

学校代码: 10246
学 号: 042052016

復旦大學

硕 士 学 位 论 文

频率综合器相位噪声分析及全差分电荷泵设计

院 系: 信息科学与工程学院
专 业: 微电子学与固体电子学
姓 名: 杨振宇
指 导 教 师: 唐长文 闵 昊
完 成 日 期: 2007 年 5 月 20 日

献给我的家人

Analysis of Phase Noise in Frequency Synthesizer and Fully-Differential Charge Pump Design

by

A dissertation submitted in partial satisfaction of the
Requirements for the degree of
Master of Philosophy
in
Microelectronics
in the
GRADUATE DIVISION
of the
Fudan university, Shanghai, China

Committee in charge:

Spring 2007

Copyright@ 2007, by Zhenyu Yang
ALL RIGHTS RESERVED

To my family

摘要

本文以应用于电视调谐器中的分数分频频率综合器为出发点，从系统、电路和环路相位噪声优化三个方面对频率综合器的设计进行了深入分析和研究。本文的研究目的主要有两点，(1) 频率综合器相位噪声分析模型的建立；(2) 如何降低频率综合器的杂散。

本文首先在系统设计方面采用了基于稳定性优化方法设计了四阶锁相系统，归纳总结了四阶锁相系统设计的注意事项及具体流程。

其次在电路设计方面，为了提高频率综合器的杂散抑制性能，本文提出了一种高电流匹配性的宽输出摆幅全差分电荷泵电路及轨到轨输入共模电平范围的共模负反馈电路，同时又设计了一种输出信号完全对称的鉴频鉴相器来有效地克服时钟效应对电荷泵性能的影响。采用新电路结构的频率综合器的杂散抑制性能比传统结构提高了 18dB。

本文还对锁相环路的输出相位噪声进行了分析、建模和优化。分析推导了各个模块电路的输出等效噪声的解析表达式。带内相位噪声的测试结果和计算值相当接近，验证了噪声分析模型的准确性。

最后，根据有线电视调谐器的系统指标，我们在 SMIC 0.18 μ m Mixed-signal 1P6M CMOS 工艺下设计并实现了一个单片集成的分数分频频率综合器。测试结果表明，电路的输出频率范围可达 1050MHz-1150MHz，频率分辨率小于 3KHz，环路锁定时间小于 80 μ s。10KHz 频偏处的相噪值为-71dBc/Hz，100KHz 频偏处的相噪值为-82dBc/Hz，1MHz 频偏处的相噪值为-110dBc/Hz。参考杂散小于 -60dBc，分数杂散在频偏 4MHz 处小于-70dBc。

关键字：电视调谐器，分数分频频率综合器，杂散，全差分电荷泵，相位噪声，噪声优化，单片集成

中图分类号：TN4

Abstract

The purpose of the thesis is to research the fractional-N frequency synthesizer which is suitable for TV-Tuner. This thesis makes a detailed research and discussion on the design of CMOS frequency synthesizer from system, circuit and the optimization of the loop's phase noise. The research aims at two points (1) How to model the phase noise of the frequency synthesizer. (2) How to reduce the spur in the frequency synthesizer.

First, in the part of PLL loop parameters design, we design a 4-order PLL based on the method of parameters design with stability optimization. And conclude the loop parameters design procedure.

Then, in the part of circuits design, a novel fully differential charge pump is implemented to improve the performance of spur reduction. Based on the analysis of the drawbacks in conventional fully differential charge pumps, we proposed a fully differential charge pump circuit with perfect current matching characteristic and a rail-to-rail common-mode feedback circuit. And we also design a new PFD with symmetrical and opposite output to reduce the clock's influence. Compared with the conventional charge pumps, the ripple has decrease 18dB.

Futhermore, the phase noise modeling and optimization of the fractional-N frequency synthesizer are quantitatively analyzed. The thesis has calculated the value of phase noise , which is verified by the test results.

Finally, according to the cable TV Tuner specification, a fully integrated fractional-N frequency synthesizer has been implemented in SMIC 0.18 μ m Mixed-signal 1P6M CMOS technology. The test results show that the output frequency range is from 1050MHz to 1150MHz, the minimum frequency step is 3KHz, the locking time is smaller than 80 μ s. The values of phase noise are as followed: -71dBc/Hz@10KHz, -82dBc/Hz@100KHz, -110dBc/Hz@1MHz. The reference spur is smaller than -60dBc, and the fractional spur is smaller than -70dBc@4MHz offset.

Keywords: TV-Tuner, fractional-N frequency synthesizer, spur, fully differential charge pump, phase noise, phase noise optimization, fully integrated

CLC number: TN

目录

摘要.....	I
Abstract.....	II
第一章 绪论	1
1.1 研究背景:	1
1.2 论文的主要工作和贡献:	1
1.3 论文的组织结构:	2
第二章 频率综合器架构的确定及环路参数设计	3
2.1 频率综合器的性能指标	3
2.2 频率综合器的系统架构	4
2.3 频率综合器的环路参数设计	8
2.3.1 闭环三阶s域模型.....	9
2.3.2 基于稳定性优化的四阶环路的分析	12
2.3.3 四阶环路参数设计方法及流程	16
2.4 本章小结	18
参考文献	19
第三章 电路设计	20
3.1 高匹配性宽输出摆幅的全差分电荷泵电路	20
3.1.1 电荷泵中非理想因素分析及计算	21
3.1.2 传统全差分电荷泵电路结构	24
3.1.3 高匹配性宽输出摆幅的全差分电荷泵电路	27
3.2 输出信号完全对称的鉴频鉴相器电路	37
3.3 三阶无源环路滤波器	38
3.4 本章小结	39
参考文献	39
第四章 频率综合器相位噪声分析及优化	41
4.1 等效噪声模型	41
4.1.1 全差分电荷泵电路的输出等效电流噪声	41
4.1.2 三阶无源环路滤波器的输出等效电压噪声	47
4.2 四阶环路的噪声传递函数	53
4.3 相位噪声优化设计	55
第五章 芯片实现与测试	60
5.1 芯片的物理实现	60
5.2 芯片测试	62

5.2.1 芯片的测试方案	63
5.2.2 芯片的测试结果	64
5.3 测试问题分析及解决办法	69
5.4 本章小结	73
参考文献	73
第六章 总结与未来展望	74
6.1 论文总结	74
6.2 未来展望	74
参考文献	75
致谢	76

第一章 绪论

1.1 研究背景:

上世纪九十年代, 欧洲电信标准研究院ETSI(Europe Telecommunication Standard Institute)最先提出DVB系列数字电视标准, 随后美国和日本也相继出台了各自的数字电视标准。2006 年, 随着中国地面数字电视传输技术标准DMB-T/H(Terrestrial Digital Multimedia TV/Handle Broadcasting)的官方发布^[1], 数字电视广播技术呈现更加迅猛的发展势头, 其中包括复旦微纳推出的“中视一号”数字信号解调芯片以及海尔推出的“爱国者”系列MPEG解码芯片。但是单片集成的有线电视调谐器(Cable TV Tuner)芯片却还是完全依赖进口。这主要是因为电视信号宽频谱和低噪声性能的要求使得调谐器中的某些电路在标准CMOS工艺下设计实现难度很大, 其中主要包括宽带低噪声放大器和低相位噪声、低杂散的频率综合器的设计和实现。本文的研究重点就是标准CMOS工艺下低相位噪声、低杂散的频率综合器的设计和实现。

在采用二次变频技术的有线电视调谐器中, 下变频混频器要求本振信号具有200MHz左右的频率调谐范围, 输出信号正交, 同时要具有较低的相位噪声($-80\text{dBc}@10\text{KHz}$, $-100\text{dBc}@100\text{KHz}$, $-130\text{dBc}@1\text{MHz}$)^[2,3]。因此往往只有采用GaAs或BiCMOS工艺实现。随着CMOS工艺的发展以及研究人员的努力, 设计低相位噪声的压控振荡器已经成为可能, 但是要想同时实现很好的杂散抑制性能、较低的带内相位噪声以及单片集成却具有很大的挑战性, 这需要我们改进现有的电路或者提出新的电路结构。然而现有的商业软件不可能精确仿真频率综合器系统的相位噪声以及杂散性能, 使得我们在设计过程中不可能利用仿真手段来验证所设计的电路是否符合系统要求, 因此在电路设计之前必须建立精确的相位噪声分析模型来对整个频率综合器系统的噪声进行估计。所以, 本论文将着重于频率综合器相位噪声分析模型的建立和低杂散、低相位噪声频率综合器的设计。

1.2 论文的主要工作和贡献:

本论文的主要工作和贡献包括:

- 1) 通过分析 DVB-C/T 标准的射频电视调谐器接收机架构, 得到频率综合器的性能指标, 根据性能指标进而确定频率综合器的系统架构。在几种分数杂散抑制技术的分析基础上, 最终选取 sigma-delta 结构的分数分频频率综合器结构。
- 2) 对四阶环路实现了基于稳定性优化的环路分析与设计, 并且采用加倍-减半电流补偿单元使环路的稳定性得到拓展。归纳总结了四阶锁相环路参数设计的具体流程。
- 3) 详细分析了传统全差分电荷泵电路和共模负反馈电路中存在的缺陷, 提出

了一种高匹配性的宽输出摆幅全差分电荷泵电路及轨到轨输入共模电平范围的共模负反馈电路,同时又设计了一种输出信号完全对称的鉴频鉴相器来有效地克服时钟效应对电荷泵性能的影响。采用新电路结构的频率综合器的杂散抑制性能可以比传统结构提高了 18dB。

4) 分析并推导了各个模块电路的输出等效噪声的解析表达式,计算结果和测试结果相当接近,从而验证了我们噪声分析模型的准确性。

5) 提出了一种新型测试方法,采用此方法可以精确地测出电荷泵等所有模块电路的相位噪声贡献。

1.3 论文的组织结构:

第二章,“频率综合器架构的确定及环路参数设计”。介绍了频率综合器性能指标和体系架构的确定。详细阐述了如何应用基于稳定性优化的环路设计方法来设计四阶锁相系统。

第三章,“电路设计”。详细介绍了高匹配性宽输出摆幅全差分电荷泵、输出信号完全对称的鉴频鉴相器以及三阶无源环路滤波器等电路的设计。

第四章,“频率综合器相位噪声分析及优化”。分析推导了各模块电路的等效输出噪声、噪声传递函数以及频率综合器的相位噪声模型,依此模型进行噪声优化设计。

第五章,“芯片实现与测试”。在 SMIC 0.18 μ m Mixed-signal 1P6M CMOS 工艺下设计并实现了 sigma-delta 结构的分数分频频率综合器电路,并完成对芯片的测试。

第六章,“总结与未来展望”。给出对本论文的总结与对未来的展望。

参考文献

- [1] DMB-TH 地面数字电视传输技术白皮书(第二版) 2006 年 5 月
- [2] Microtune Inc.MicrotunerTM 2040 Data Sheet.
- [3] Motorola Inc.Silicon Tuner MC44C800/MC44C801 Fact Sheet.

第二章 频率综合器架构的确定及环路参数设计

一般情况下，对应于不同的无线通信协议标准，所需要的频率综合器的性能指标将会有很大差异。例如，欧洲数字电视标准 DVB 对频率综合器的相位噪声和杂散抑制程度的要求相当苛刻，而在 WLAN 和 GSM 中的要求就宽松得多。本章首先根据有线电视调谐器的系统分析确定频率综合器的系统指标，然后根据所确定的系统指标来选择频率综合器的体系架构，最后再根据具体的系统结构来设计频率综合器的环路参数。

2.1 频率综合器的性能指标

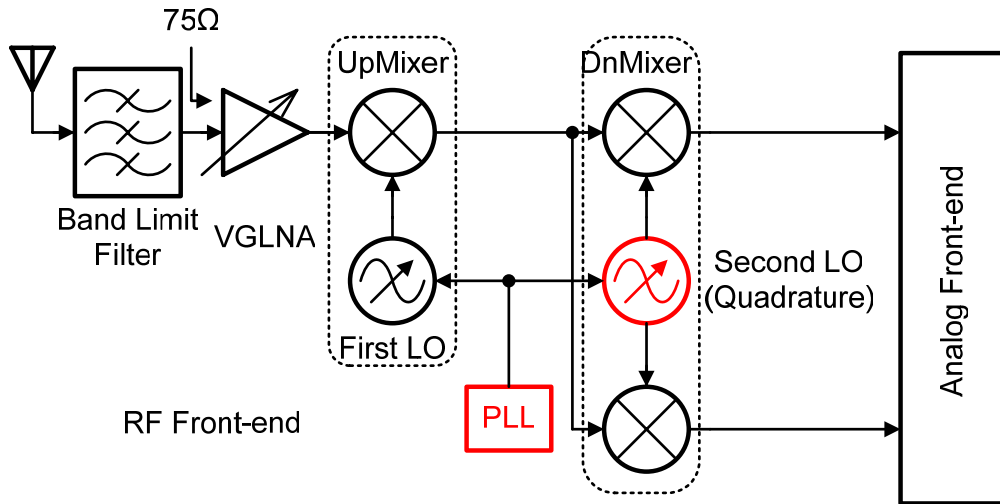


图 2.1 DVB-C/T 标准的射频电视调谐器系统框图

DVB-C/T 标准的射频电视调谐器如图 2.1 所示。它的主要作用是将 50-860MHz 信道中的带宽 8MHz 的数字电视信号下变频到低中频(7.2MHz)。为了克服 CMOS 工艺中较大的直流失调(DC-offset)和闪烁噪声(flicker noise)性能较差的缺点，接收机采用低中频架构；由于电视信号的宽频谱范围，为了降低压控振荡器的设计难度以及减小芯片面积，需要采用两次变频(Double conversion)技术，即射频信号先上变频到高中频(IF=1120MHz)，然后再下变频到低中频；为了抑制低中频接收机镜像抑制(Image rejection)较差的缺点，可以采用正交下变频技术。本文研究的着眼点就是正交输出的频率综合器。它必须有很高的频率分辨率，很小的 I/Q 失配，很好的相位噪声性能和杂散性能，较快的锁定速度及合适的功耗。参考一些商用的射频电视调谐器^[1,2]，我们可以得到应用于图 2.2 所示调谐器^[3]中的频率综合器的系统指标，如表 2-1 所示。

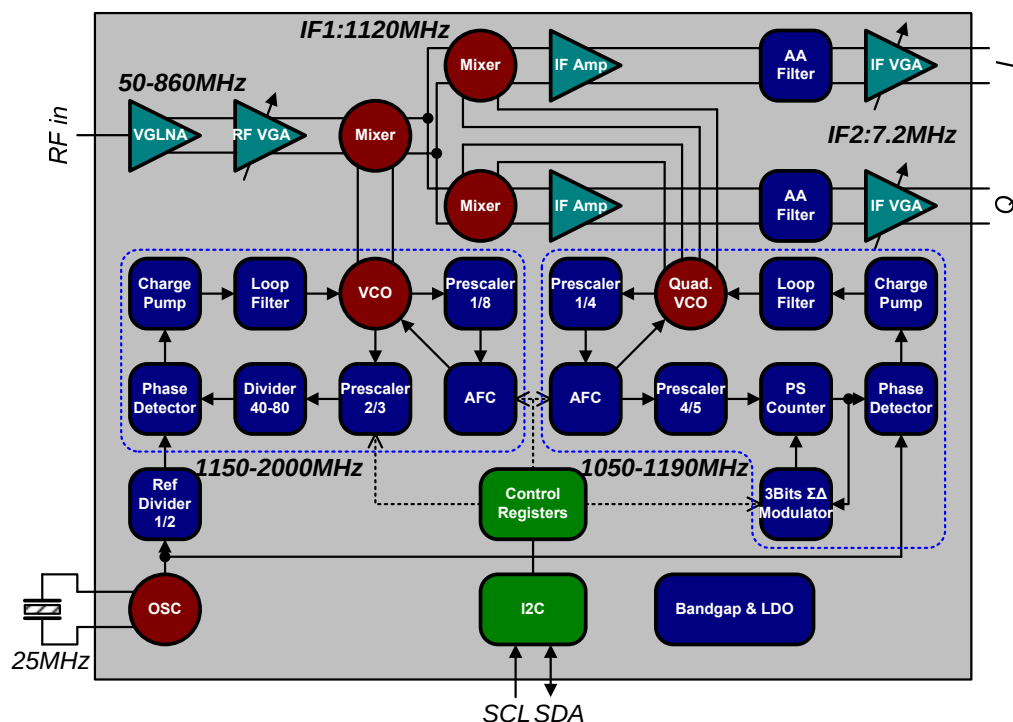


图 2.2 射频电视调谐器

表 2-1 频率综合器的一些设计指标

调谐范围	1.02GHz-1.18GHz
参考时钟	25MHz
频率阶跃	<62.5KHz
锁定时间	<100 μ s
相位噪声	<-80dBc/Hz@10kHz <-100dBc/Hz@100kHz <-130dBc/Hz@1MHz
杂散	<-80dBc
功耗	25mW

2.2 频率综合器的系统架构

频率综合器主要分为整数分频(integer-N)和分数分频(fractional-N)两种,对于整数分频来说,频率分辨率为参考时钟的频率,环路带宽的最大值是参考时钟频率的 $1/10$ 。对于分频比为N.f的分数分频来说,其频率分辨率可以为 $f \times f_{\text{ref}}$ 。电视调谐器系统要求的频率分辨率小于 62.5KHz,如果选取整数分频的话,环路带宽最大只能为 6.25KHz,这样环路的锁定时间约为 160 μ s,而且相位噪声性能会很差,因此整数分频的方案是根本不可行的。最终频率综合器将采用分数分频架构。

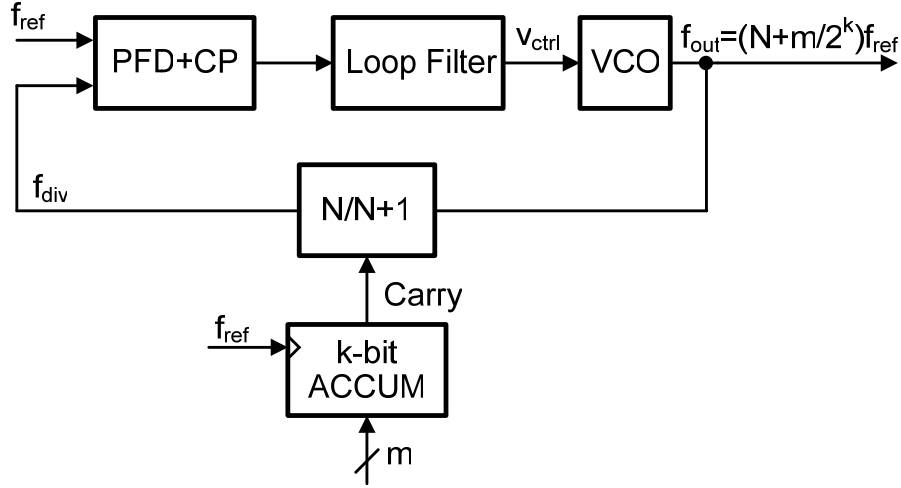


图 2.3 分数分频频率综合器的框图

分数分频频率综合器(Fractional-N Frequency Synthesizer)的频率分辨率要比参考时钟的频率小得多，最早的分数分频频率综合器^[4]如图 2.3 所示。分频比的小数部分是周期性调制双模分频器的输入信号获得的。举个例子来说，假如需要得到 $N+1/4$ 的分频比，那么每 3 个 N 分频之后就要进行一次 $N+1$ 分频，则图 2.3 中的累加器的进位端的时序逻辑就应该为 $\{...000100010001...\}$ ，其中逻辑“0”代表着 N 分频，逻辑“1”代表着 $N+1$ 分频。图 2.4 所示波型描述了具体工作原理。当环路锁定以后，控制电压 V_{ctrl} 的波型会以 $(f \times f_{ref})$ 的频率周期性变化，于是在压控振荡器的输出频谱上，就会出现频偏 $(f \times f_{ref})$ 的分数杂散(fractional spur)，一般来说 $(f \times f_{ref})$ 的频点会远小于环路带宽，不会被环路滤除。因此，分数杂散会极大的恶化频率综合器的性能。

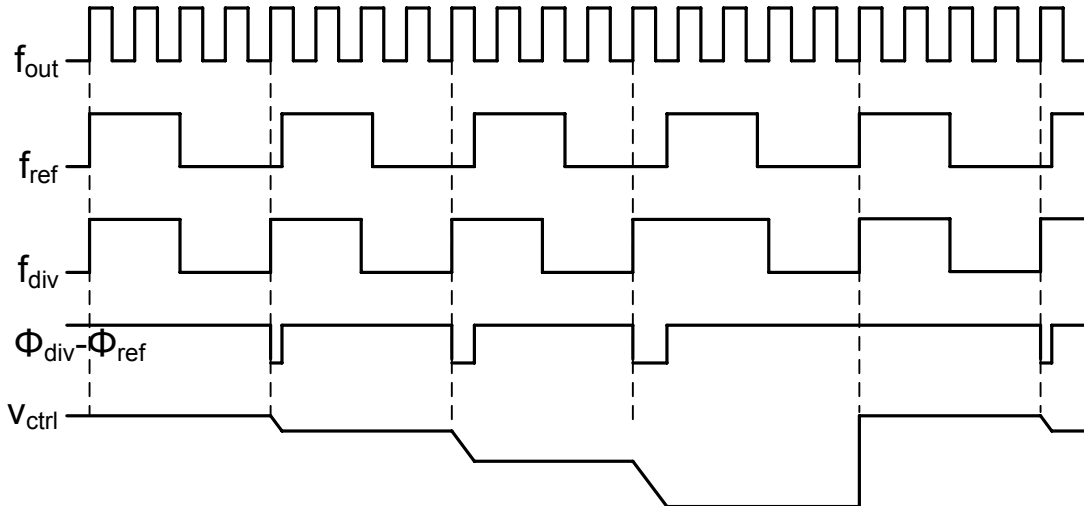


图 2.4 分数分频频率综合器的波型图

最近几年，随着分数分频综合器研究的深入，出现了很多分数杂散抑制技术，主要有表 2-2 所示的几种。

表 2-2 几种抑制分数杂散的方法

分数杂散抑制技术	优点	缺点
DAC补偿 ^[5]	用 DAC 的方法抑制杂散	模拟电路要精确匹配
随机数注入 ^[6]	随机化分频器的控制信号	频率上存在抖动，会引入低频噪声
相位内差 ^[7]	利用压控振荡器输出的多相位性	模拟电路要精确匹配
sigma-delta噪声整形 ^[8]	利用 sigma-delta 调制器的噪声整形特性	高频处引入量化噪声

(1) DAC 补偿方法：图 2.5 和图 2.6 分别描述了采用 DAC 补偿的系统框图和波形图。DAC 输出的电流信号和电荷泵输出的电流信号进行代数求和后再注入到环路滤波器。如果锁定时电荷泵输出电流和 DAC 输出电流完全匹配的话，就可以彻底的抑制分数杂散。但由于 DAC 的分辨率和精度有限，DAC 产生的电流和电荷泵输出的电流不可能精确匹配。因此采用这种方法最好也只能把 fractional spur 做到-60dBc/Hz，这不能满足性能指标要求。

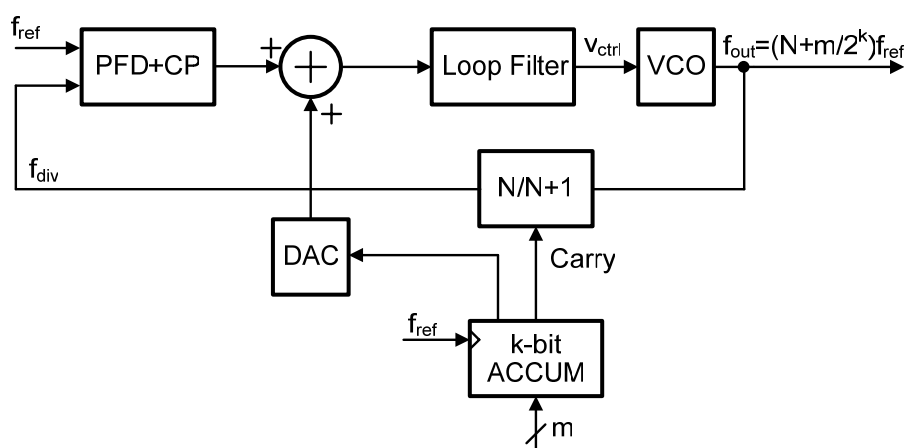


图 2.5 采用 DAC 补偿的分数分频频率综合器系统框图

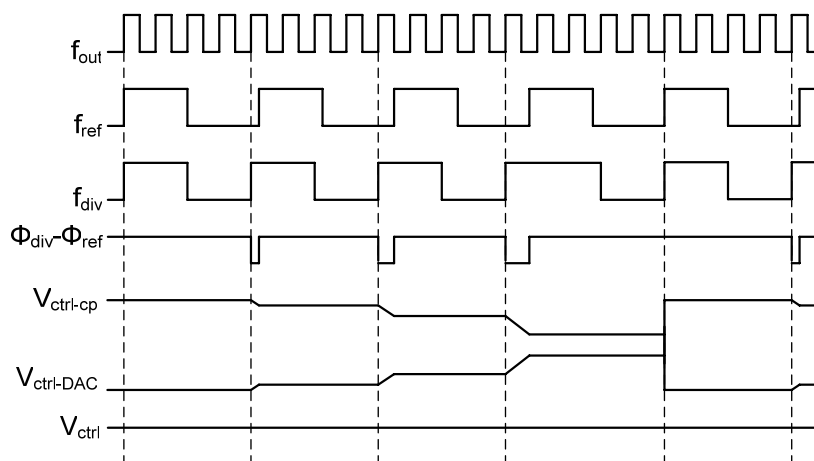


图 2.6 采用 DAC 补偿的分数分频频率综合器具体工作波形

(2) 随机数注入的方法：分数杂散产生的原理就是双模分频器控制信号的时序呈周期性，因此如果把一个随机数发生器的输出注入到分频器的控制端，同样可以抑制分数杂散。图 2.7 给出了带随机数发生器的分数分频频率综合器的框图，对于分频器的每一个输出，随机数发生器都会输出一个新的随机数 P_n ， P_n 和频率控制字 K 的比较值用于决定分频比是 N 还是 $N+1$ 。因为 K 控制双模分频器的模数，它的平均值就是需要的分数分频比。实际上,随机数就是白噪声(white noise)，频率域上的白噪声会转化为相位域上的 $1/f^2$ 噪声，这是不会被环路抑制掉的，因此频率综合器的低频噪声性能会被 $1/f^2$ 噪声恶化。

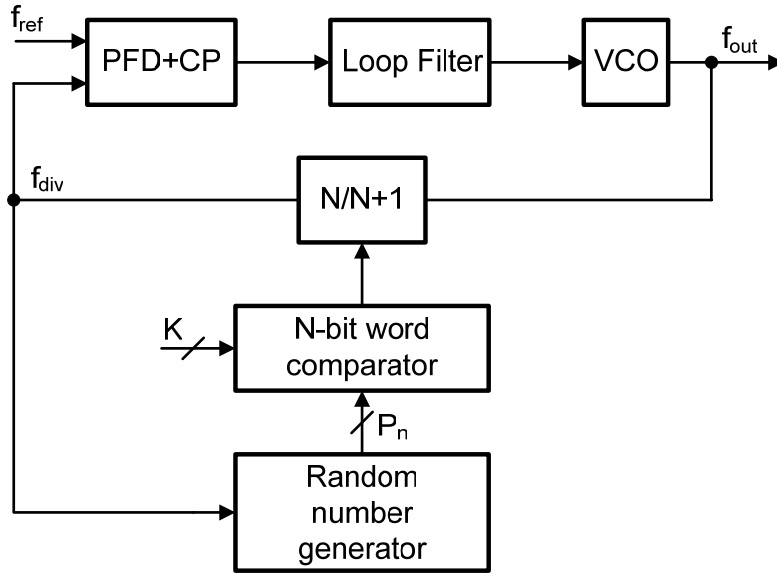


图 2.7 带随机数发生器的分数分频频率综合器的系统框图

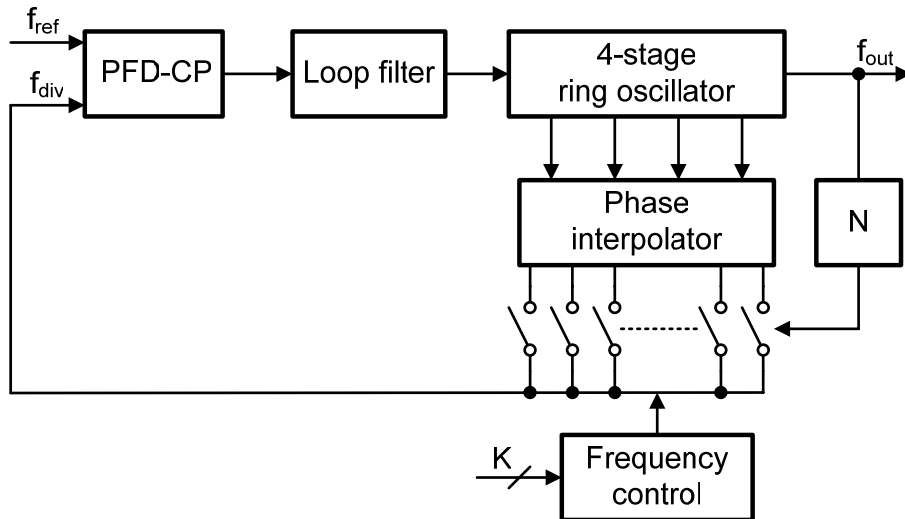


图 2.8 基于 VCO 相位内插法的分数分频频率综合器的系统框图

(3) VCO相位内插法：一般来说， N 级的环型振荡器会产生 N 个不同的相位，当我们需要某一个分数分频比时只需从中选择一个正确的相位即可。然而对于射频VCO来说，反相器的级数不可能很多，这样就必须使用相位内差器(phase

interpolator)^[9]来产生足够多的相位，实现分数分频时只需从内插得到的相位里选择一个正确的即可。图 2.8 即为采用 VCO 相位内插法来抑制分数杂散的系统框图。由于实际上选择的是相位信号的上升或下降沿，任何沿之间的时间偏差都会引入杂散，因此这种抑制杂散的方法也是极大的依赖模拟电路的匹配程度，不太适宜实际应用。

(4) 基于 sigma-delta 噪声整型的抑制杂散的方法：这是目前比较流行的一种抑制杂散的方法。因为二阶或更高阶数的 sigma-delta 调制器对于直流输入是不会产生 fixed tones 的，所以基于 sigma-delta 噪声整型的方法是可以很好的抑制分数杂散能量的。调制器结构是数字实现，可以完全避免模拟电路失配性的影响。同时锁相环路自身的低通特性还可以完全滤除由于噪声整型而转移到高频处的噪声。图 2.9 是基于 sigma-delta 噪声整型的分数分频频率综合器的系统架构。因为 sigma-delta 噪声整型的方法可以有效的降低分数杂散，同时避免了模拟电路的失配影响，所以设计中将选择 sigma-delta 结构的分数分频频率综合器结构。

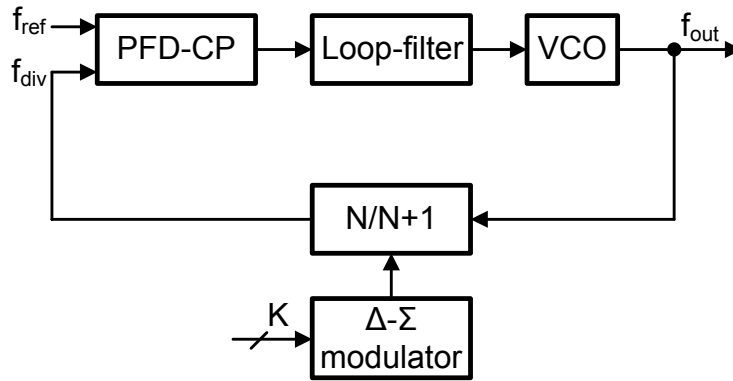


图 2.9 基于 sigma-delta 噪声整型的分数分频频率综合器系统架构

2.3 频率综合器的环路参数设计

频率综合器设计的一个重要环节就是环路参数的设计，参数设计的好坏直接决定着频率综合器的整体性能。本设计中采用四阶锁相环路来抑制三阶 sigma-delta 调制器所产生的高频噪声。一般来说，分析四阶环路最常用的方法是相位裕度最大法^[10~11]，但它不能定量反映 PVT(Process Voltage Temperature) 的变化对环路参数的影响。本节为了优化环路系统的稳定性，设计中首先对四阶环路进行了合理近似，分析表明所做近似不会改变系统的开环和闭环特性，然后对四阶系统进行了基于稳定性优化的环路参数设计^[12]，最后本章还总结了频率综合器的环路参数设计流程。

2.3.1 闭环三阶 s 域模型

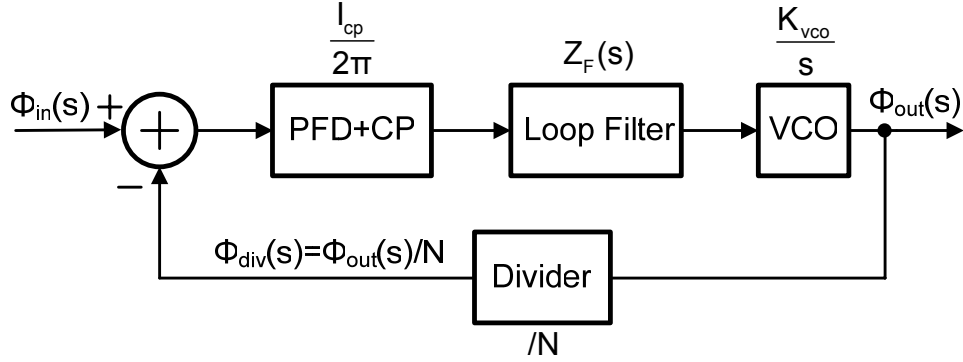


图 2.10 三阶频率综合器的 s 域线性模型

三阶频率综合器的s域模型如图 2.10 所示， I_{cp} 为电荷泵(CP)的电流， $Z_F(s)$ 为环路滤波器(Loop Filter)的传递函数， K_{vco} 为压控振荡器(VCO)的增益， N 为分频器(Divider)的分频比。开环传递函数为：

$$H_o(s) = \frac{I_{CP}}{2\pi \cdot N} \cdot Z_F(s) \cdot \frac{K_{VCO}}{s} \quad (2-1)$$

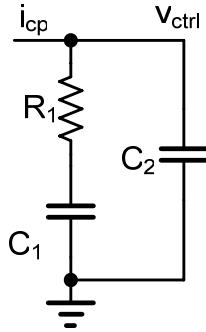


图 2.11 无源二阶环路滤波器

其中，环路滤波器为二阶无源电阻电容网络(图 2.11)，其传递函数为：

$$Z_F(s) = \frac{1 + sR_1C_1}{s(C_1 + C_2 + sR_1C_1C_2)} = \frac{1}{C_2} \frac{s + \frac{1}{R_1C_1}}{s(s + \frac{1}{\frac{R_1C_1C_2}{C_1 + C_2}})} = \frac{1}{C_2} \frac{s + \omega_z}{s(s + \omega_{p2})} \quad (2-2)$$

其中的 ω_z 、 ω_{p1} 、 ω_{p2} 分别是环路滤波器的零点和极点，具体表示为：

$$\omega_z = \frac{1}{R_1C_1} ; \omega_{p1} = 0 ; \omega_{p2} = \frac{C_1 + C_2}{R_1C_1C_2} \quad (2-3)$$

因此三阶锁相环路的 s 域开环传递函数为：

$$H_o(s) = \frac{I_{CP}K_{VCO}}{2\pi C_2 N} \cdot \frac{s + \omega_z}{s^2(s + \omega_{p2})} \quad (2-4)$$

其中 $K' = \frac{I_{CP}K_{VCO}}{2\pi C_2 N}$ 为环路增益。

由此闭环传递函数的表达式为：

$$H(s) = \frac{NH_o(s)}{1+H_o(s)} = \frac{NK'(s+\omega_z)}{s^3 + \omega_{p2}s^2 + K's + K'\omega_z} \quad (2-5)$$

三阶锁相环系统的闭环传递函数也可以写成：

$$H(s) = \frac{NK'(s+\omega_z)}{(s^2 + 2\zeta\omega_n s + \omega_n^2)(s+\omega_p)} \quad (2-6)$$

对比(2-5)、(2-6)式可以得到开环参数($K', \omega_z, \omega_{p2}$)和闭环参数($\zeta, \omega_n, \omega_p$)之间的关系如下：

$$\begin{aligned} 2\zeta\omega_n + \omega_p &= \omega_{p2} \\ \omega_n^2 + 2\zeta\omega_n\omega_p &= K' \\ \omega_n^2\omega_p &= K'\omega_z \end{aligned} \quad (2-7)$$

可得：

$$\omega_n = m(b, \zeta) \times \omega_z \quad (2-8)$$

$$\omega_p = (b+1 - 2\zeta \times m(b, \zeta)) \times \omega_z \quad (2-9)$$

$$K' = \frac{I_{CP}K_{VCO}}{2\pi C_2 N} = k(b, \zeta) \times \omega_z^2 \quad (2-10)$$

其中， $m(b, \zeta)$ 和 $k(b, \zeta)$ 分别由下列两式解出

$$2\zeta m^2(b, \zeta) - (4\zeta^2 + b)m(b, \zeta) + 2\zeta(b+1) = 0 \quad (2-11)$$

$$k(b, \zeta) = (1 - 4\zeta^2)m^2 + 2\zeta(b+1)m \quad (2-12)$$

因此，只要确定电容比 b 和系统的衰减因子 ζ 的值,就可以确定 $m(b, \zeta)$ 和 $k(b, \zeta)$ ；再根据(2-8)~(2-10)式，就可以由开环参数确定闭环参数，从而用根轨迹的方法直接对闭环系统精确分析，避免了用开环分析来近似，可以精确的定量描述环路参数变化与稳定性之间的关系。

对于频率综合器而言，不同的输出频率对应着不同的分频比 N 。同时由于压控振荡器的调频带分为多根，中心频率越低的带，其固定电容越大，所对应的VCO增益就越低,因此不同的输出频率对应着不同的压控增益 K_{vco} 。同时在CMOS集成电路中，频率综合器的很多参数和变量都将随着工艺、电压和温度(PVT)的改变而变化，因此在环路参数设计时必须考虑一定的裕量。常用的相位裕度最大法是基于开环分析的，相位裕度的取值多少不能和PVT的变化直接联系起来，而且相位裕度最大法也不能定量的反映由于PVT所引起的参数变化对实际环路的影响。

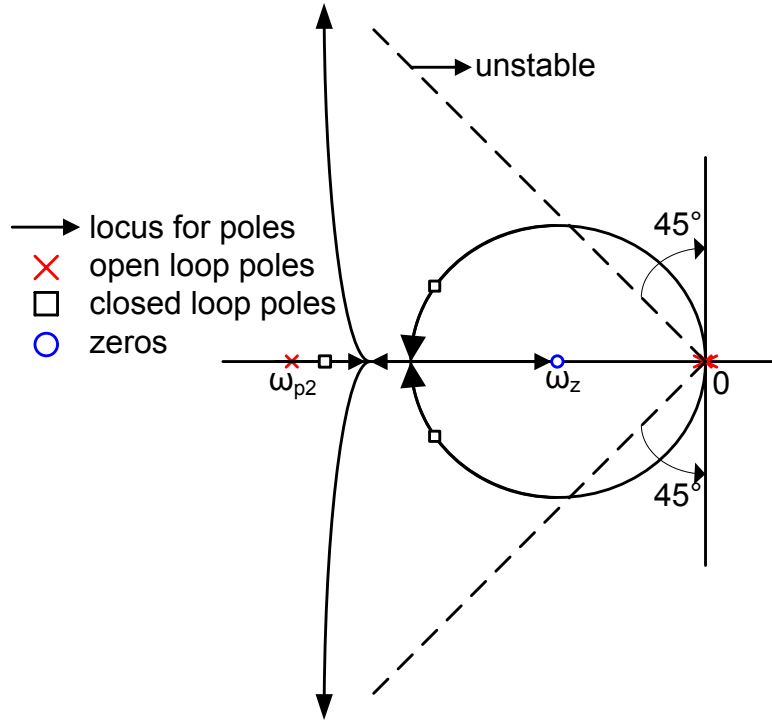


图 2.12 三阶闭环系统的根轨迹

那么如何来定量分析上述的各种变化对环路稳定性的影响呢？由图 2.12 所示的三阶闭环系统的根轨迹图可知稳定边界的阻尼因子 ζ_b 是 0.707，所以需要知道 ζ 由设计值 ζ_{opt} 变化到 ζ_b 对应着多少PVT和N的变化。由(2-10)式可以得到 k_{opt} 和环路参数的关系式是：

$$k_{opt} = k(b_{opt}, \zeta_{opt}) = \frac{K_{vco} \cdot I_{cp} \cdot b \cdot R_1^2 \cdot C_1}{2\pi N} \quad (2-13)$$

令 α 为变化因子，用来表示实际环路参数(K_{vco} , I_{cp} , b , R_1 , C_1 , N)的变化所引起的 $k(b, \zeta)$ 的变化， α_{min} 和 α_{max} 的定义式分别如下：

$$\alpha_{min} = \frac{k_{min}(b_{opt}, \zeta_b)}{k(b_{opt}, \zeta_{opt})} \quad (2-14)$$

$$\alpha_{max} = \frac{k_{max}(b_{opt}, \zeta_b)}{k(b_{opt}, \zeta_{opt})}$$

变化因子的最优值 α_{opt} 的定义式为：

$$\alpha_{opt} = \sqrt{\alpha_{min} \cdot \alpha_{max}} \quad (2-15)$$

对于任何一种CMOS工艺，可以通过查阅工艺文件以及估算 K_{vco} 、 I_{cp} 和N的变化量来计算出实际工艺所能达到的 α_{min} 和 α_{max} ，这里重新定义为 α_{min-P} 和 α_{max-P} 。如果 $(\alpha_{min-P}, \alpha_{max-P})$ 在选取的 (b_{opt}, ζ_{opt}) 值所对应的 $(\alpha_{min}, \alpha_{max})$ 范围之内，就无需采用任何补偿措施，只要PVT满足工艺文件所描述的范围，系统就一定会稳定。如果 $(\alpha_{min-P}, \alpha_{max-P})$ 超出 $(\alpha_{min}, \alpha_{max})$ 的范围，就必须采取补偿措施来扩大 α_{min} 和 α_{max} 的范

围。其中最有效的方法就是加倍或减半电荷泵的电流以使(2-14)中 $\alpha_{\min}$ 和 $\alpha_{\max}$ 的分母减小或增加。表 2-3 给出了 b 、 ζ_{opt} 、 $\alpha_{\min}$ 和 $\alpha_{\max}$ 几个量之间的数值关系。可以看到,随着电容比 b 的增加,最优的阻尼因子 ζ_{opt} 也在增加,并且变化裕量也在增加,也就是说环路更加稳定。

表 2-3 电容比与最优阻尼因子、最优变化因子、边界变化因子关系表

电容比 b	9	10	12	20
α_{opt}	1.0119	1.0311	1.0766	1.2702
ζ_{opt}	1.0201	1.0388	1.073	1.1814
$\alpha_{\max}$	1.5548	1.637	1.7878	2.2855
$\alpha_{\min}$	0.6431	0.6109	0.5594	0.4375

至此,我们得到了基于稳定性优化的参数 b 和 ζ 的设计方法:

(1)根据工艺选取及电路设计的实际情况,估算出式(2-13)中的环路参数的相对变化量($\Delta K_{\text{vco}}/K_{\text{vco}}$, $\Delta I_{\text{cp}}/I_{\text{cp}}$, $\Delta R_1/R_1$, $\Delta C_1/C_1$, $\Delta N/N$),并计算出工艺变化因子 $\alpha_{\min-P}$ 、 $\alpha_{\max-P}$ 。

(2)根据式(2-14)所示的 $\alpha_{\min}$ 和 $\alpha_{\max}$ 的定义式计算设计变化因子 $\alpha_{\min}$ 和 $\alpha_{\max}$ 。

(3)一般情况下取 $b=10$,即对应着 $\alpha_{\min}=0.6109$; $\alpha_{\max}=1.637$ 。如果 $(\alpha_{\min-P}, \alpha_{\max-P})$ 的范围小于 $(0.6109, 1.637)$,无需进行任何补偿,直接可以用 $(b, \zeta)=(10, 1.0388)$ 去计算其他环路参数;如果 $(\alpha_{\min-P}, \alpha_{\max-P})$ 的范围大于 $(0.6109, 1.637)$,需要采用加倍-减半电荷泵电流的方法使 $\alpha_{\min}=0.305$; $\alpha_{\max}=3.274$ 。此时如果 $(\alpha_{\min-P}, \alpha_{\max-P})$ 的范围小于 $(0.305, 3.274)$,则可以用 $(b, \zeta)=(10, 1.0388)$ 去计算其他环路参数;反之需要改变电容比 b 重新计算。

2.3.2 基于稳定性优化的四阶环路的分析

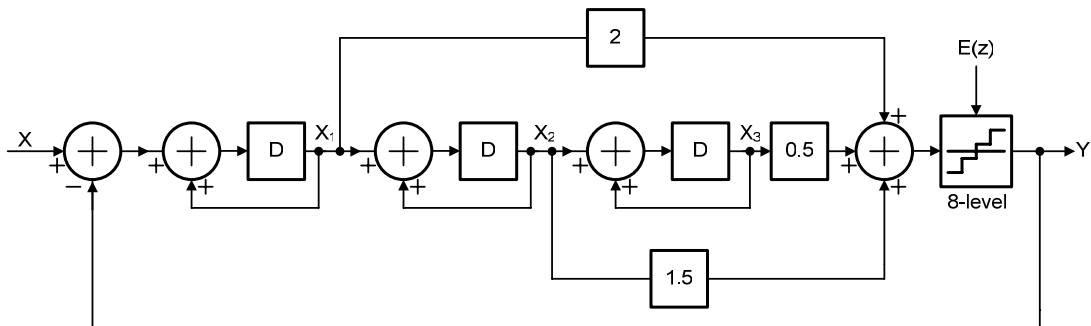


图 2.13 三阶、三比特 sigma-delta 调制器

图 2.13 所示的三阶、三比特量化的sigma-delta调制器结构^[13]具有很好的带内噪声整形特性。其中的 $\times 2$ 、 $\times 1.5$ 、 $\times 0.5$ 电路都可以通过移位器(shifters)简单实现。因此本调制器可以有很简单的数字结构。推导可得它在相位域的单边带功率谱密

度函数 $L_q(z)$ 为:

$$L_q(z) = \frac{(2\pi)^2}{12F_{ref}} \cdot \left| \frac{(1-z^{-1})^4}{(1-z^{-1}+0.5z^{-2})^2} \right| \quad (2-16)$$

其输出量化噪声的功率谱密度在带内呈 40dB/dec 斜率上升(如图 2.14 所示)。为

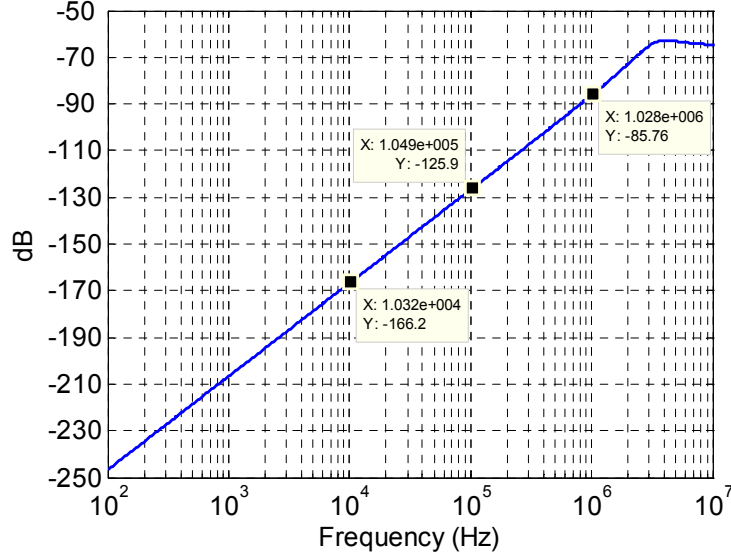


图 2.14 sigma-delta 调制器的输出量化噪声的功率谱密度

了抑制掉 sigma-delta 调制器在高频处引入的相位噪声, 必须在较高频率处再增加一个极点, 这里采用图 2.15 所示的三阶环路滤波器。

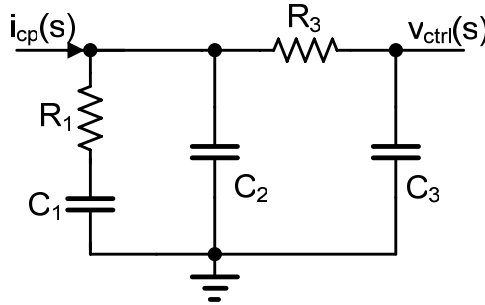


图 2.15 三阶无源环路滤波器

对于四阶锁相环来说, 精确计算闭环参数将会相当繁琐。为了简化分析计算, 根据文献^[14]所采用的分析方法对四阶环路的分析进行近似。具体分析如下:

(1) 图 2.15 所示的三阶环路滤波器的转移传递函数 $Z_F(s)$ 为:

$$Z_F(s) = \frac{V_{ctrl}(s)}{I_{cp}(s)} = \frac{1}{s} \cdot \frac{1 + sR_1C_1}{1 + s \frac{R_3C_3C_1 + C_2(R_3C_3 + R_1C_1) + R_1C_1C_3}{C_1 + C_2 + C_3} + s^2 \frac{R_1C_1R_3C_3C_2}{C_1 + C_2 + C_3}} \quad (2-17)$$

如果 $C_1 \gg C_2, C_3$ 而且 $C_1 \gg C_2 + C_3$, 可以解得滤波器的所有零极点值如下:

$$\omega_{p1} = 0, \omega_{p2} \approx \frac{1}{R_1(C_2 + C_3)}, \omega_{p3} \approx \frac{1}{R_3C_2C_3/(C_2 + C_3)} \quad (2-18)$$

$$\omega_z = \frac{1}{R_1 C_1} \quad (2-19)$$

因此环路滤波器的近似表答式为：

$$Z_f(s) = \frac{1}{s(C_1 + C_2 + C_3)} \cdot \frac{1 + s/\omega_z}{(1 + s/\omega_{p2})(1 + s/\omega_{p3})} \quad (2-20)$$

(2) 确定环路滤波器的电阻电容值

由式(2-18)可知电容 C_3 会改变环路的极点 ω_{p2} 。为了满足 $\omega_{p2}=10\omega_z$ ，需满足：

$$C_2 + C_3 = \frac{C_1}{10} \quad (2-21)$$

为了滤除sigma-delta调制器在 1MHz处的噪声能量，同时不影响四阶环路的相位裕度，第三个高频极点 ω_{p3} 的位置大致处于 $12\omega_c$ 左右。根据(2-18)式可得

$$\omega_{p3} \approx \frac{1}{R_3 C_2 C_3 / (C_2 + C_3)} = \frac{C_2 + C_3}{R_3 C_2 C_3} \quad (2-22)$$

为了降低电阻 R_3 的噪声贡献，需要使 R_3 的值最小，由式(2-18)可得：

$$R_3 = \frac{C_2 + C_3}{\omega_{p3} C_2 C_3} \geq \frac{2}{\omega_{p3} C_3} \quad (2-23)$$

当 $C_2=C_3$ 时， R_3 值最小。可以求出三个电容之间的关系为：

$$C_2 = C_3 = \frac{C_1}{20} \quad (2-24)$$

电阻 R_3 的大小为：

$$R_3 = \frac{2}{\omega_{p3} C_3} \quad (2-25)$$

(3) 近似产生的偏差

四阶系统的开环传递函数为：

$$H_o(s) = \frac{I_{CP} K_{VCO}}{2\pi N \cdot s} \cdot Z_f(s) \quad (2-26)$$

它所对应的闭环传递函数 $H_c(s)$ 的表达式为：

$$H_c(s) = \frac{NH_o(s)}{1 + H_o(s)} \quad (2-27)$$

近似后的四阶系统开环传递函数的表达式如下：

$$H_o(s) = \frac{I_{CP} K_{VCO}}{2\pi N (C_1 + C_2 + C_3)} \cdot \frac{1 + s/\omega_z}{s^2 (1 + s/\omega_{p2})(1 + s/\omega_{p3})} \quad (2-28)$$

它所对应的闭环传递函数 $H_c(s)$ 的表达式为：

$$H_c(s) = \frac{NH_o(s)}{1 + H_o(s)} \quad (2-29)$$

为了验证近似分析的合理性，需要对比式(2-26)和(2-28)所对应的波特图以及阶跃

相应波型来分析近似值会偏离真实值多少。式(2-26)和式(2-28)所对应的波特图如图 2.16 所示，式(2-27)和(2-29)所对应的阶跃相应波型如图 2.17 所示，两个波特图和阶跃相应波型均相当接近，这也验证了所做的近似是不会改变系统的开环和闭环特性的，因此完全可以利用式(2-28)和(2-29)来进行基于稳定性优化的环路参数设计。

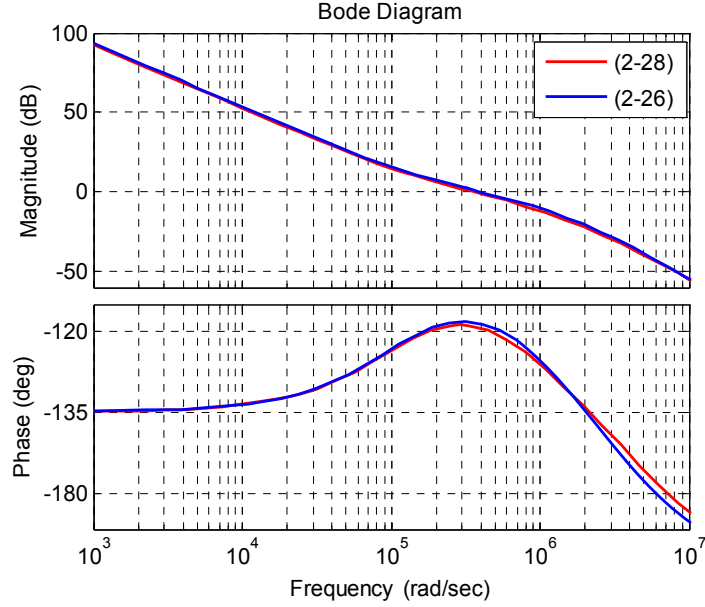


图 2.16 近似模型(2-28)和准确模型(2-26)的波特图对比

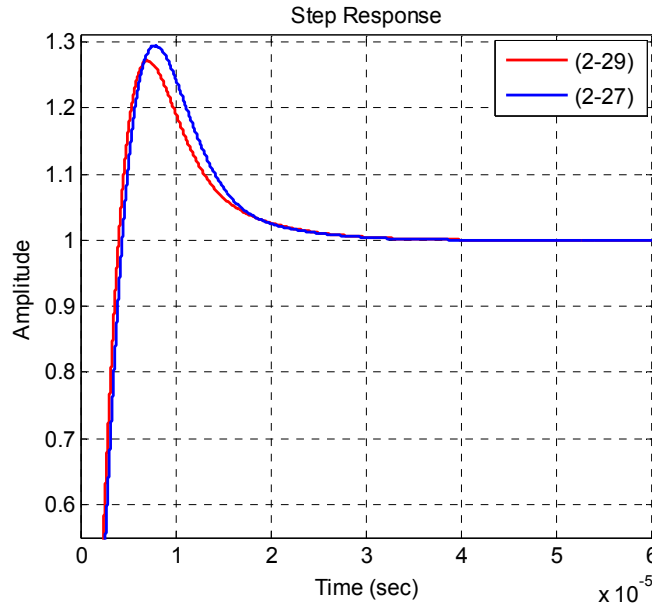


图 2.17 近似模型(2-29)和准确模型(2-27)的阶跃响应曲线的对比

式(2-28)与三阶环路模型(2-4)相比，增加了一个极点 ω_{p3} ，如果它比其他极点的频率都高的话，随着环路增益 K' 的增加，除了高频极点 ω_{p3} 将向更高频率处移动外，其余极点的轨迹与三阶环路的闭环根轨迹几乎一样。因此同样可以使用基

于稳定性优化的三阶环路参数设计方法来分析此四阶闭环系统的稳定性。下一节将具体说明如何初步确定频率综合器系统的环路参数，并给出环路参数设计的具体流程。

2.3.3 四阶环路参数设计方法及流程

(1) 依据工艺参数以及式(2-30)、(2-31)确定边界变化因子 $\alpha_{\max}$ 和 $\alpha_{\min}$ 。

$$\alpha_{\max} = (1 + \frac{\Delta K_{vco}}{K_{vco}})(1 + \frac{\Delta I_{cp}}{I_{cp}})(1 + \frac{\Delta R}{R})^2(1 + \frac{\Delta C}{C}) / (1 - \frac{\Delta N}{N}) \quad (2-30)$$

$$\alpha_{\min} = (1 - \frac{\Delta K_{vco}}{K_{vco}})(1 - \frac{\Delta I_{cp}}{I_{cp}})(1 - \frac{\Delta R}{R})^2(1 - \frac{\Delta C}{C}) / (1 + \frac{\Delta N}{N}) \quad (2-31)$$

对于SMIC 0.18 μ m mixed signal工艺，环路滤波器中的电阻采用多晶硅电阻，其偏差为 $\pm 20\%$ 。电容选择MIM电容，偏差为 $\pm 2\%$ 。电流 I_{cp} 随PVT变化的相对偏差为 $\pm 10\%$ ，压控振荡器的压控增益 K_{vco} 偏差为 $\pm 30\%$ 。分频比N的范围是40~48，相对偏差为 $\pm 10\%$ 。将这些数值代入式(2-30)和(2-31)可得工艺变化因子 $\alpha_{\min_P}$ 、 $\alpha_{\max_P}$ ，其范围是(0.351, 2.376)。当 $b=10$ 时，设计变化因子 $\alpha_{\min}$ 和 $\alpha_{\max}$ 的范围是(0.6109, 1.637)，为使环路稳定，采用图 2.18 所示的加倍-减半电流补偿的方法来拓展 $\alpha_{\min}$ 和 $\alpha_{\max}$ 的范围，使它可以达到(0.305, 3.274)。这样设计变化因子 $\alpha_{\min}$ 和 $\alpha_{\max}$ 的范围会大于工艺变化因子 $\alpha_{\min_P}$ 和 $\alpha_{\max_P}$ 的范围，四阶系统将无条件稳定。

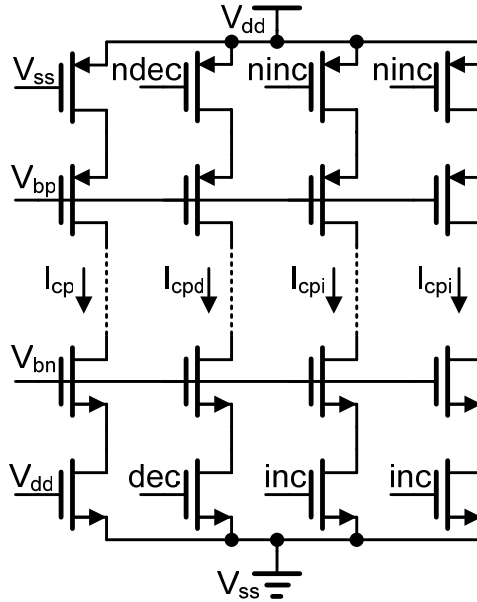


图 2.18 用于稳定性补偿的加倍-减半电流单元

(2) 最优电容比 $b_{opt}=10$ ，最优阻尼因子 $\zeta_{opt}=1.0388$ 确定以后，就可以确定其它环路参数了。开还传递函数的零点 ω_z 和环路带宽 ω_c 之间满足^[12]：

$$\omega_z = \frac{1}{n(b, \zeta)} \omega_c \quad (2-32)$$

$n(b, \zeta)$ 和 $k(b, \zeta)$ 、 $m(b, \zeta)$ 一样也是只由 b, ζ 决定的, 根据 b_{opt} 、 ζ_{opt} 就可以得到 $k(b, \zeta)$ 、 $m(b, \zeta)$ 和 $n(b, \zeta)$ 。

(3) 根据参考时钟的频率选择环路带宽 ω_c 的初值, 一个比较好的初始点是 $f_{\text{ref}}/25=1\text{MHz}$ 。

(4) 根据 ω_c 和 $n(b, \zeta)$ 计算开环传递函数的零点 ω_z 及最高频极点 ω_{p3} 。

(5) 初选电荷泵的电流值 $I_{\text{cp}}=100\mu\text{A}$ 。

(6) 根据电荷泵电流 I_{cp} 、已仿真得到的VCO压控增益 K_{vco} 、分频器的分频比 N 计算环路滤波器的所有电阻电容值。具体方法是: 由式(2-10)可得电阻 R_1 和电容 C_1 的表达式:

$$\begin{aligned} R_1 &= \frac{2\pi \cdot N \cdot k(b, \zeta)}{b \cdot I_{\text{cp}} \cdot K_{\text{vco}}} \cdot \omega_z \\ C_1 &= \frac{b \cdot I_{\text{cp}} \cdot K_{\text{vco}}}{2\pi \cdot N \cdot k(b, \zeta) \cdot \omega_z^2} \end{aligned} \quad (2-33)$$

如果电容 C_1 大于 250pF , 需要减小电荷泵电流直至电容 C_1 小于 250pF , 然后根据式(2-21)确定电容 C_2 和 C_3 进而确定开环传递函数中的次高极点 ω_{p2} , 最后根据式(2-18)中 ω_{p3} 的表达式确定电阻 R_3 的值。至此, 所有的环路参数的初始数值都已确定(表 2-4),

表 2-4 环路参数的初值

电荷泵电流 I_{cp}	100uA	最大变化因子 α_{max}	1.6366
VCO增益 K_{vco}	10MHz/V	最小变化因子 α_{min}	0.6110
参考时钟 f_{ref}	25MHz	最优阻尼因子 ζ	1.0388
环路带宽 f_c	1MHz	本征频率 f_n	810KHz
分频比 N	44	开环零点 f_z	301KHz
电容比 b	10	开环极点 f_{p2}	3MHz
电阻 R_1	152K	开环最高极点 f_{p3}	12MHz
电容 C_1	3.47pF	闭环零点 f_z	301KHz
电阻 R_3	150K	闭环极点 f_{p2}	1.3MHz
电容 C_2	0.18pF	闭环最高极点 f_{p3}	12MHz
电容 C_3	0.18pF		

环路参数的设计还远未完成, 我们还要依据表 2-4 中环路参数的初值来计算系统的建立时间和系统的相位噪声, 只有满足所有性能要求的环路参数才是最终电路设计所需的参数。图 2.19 给出了频率综合器环路参数的设计流程。

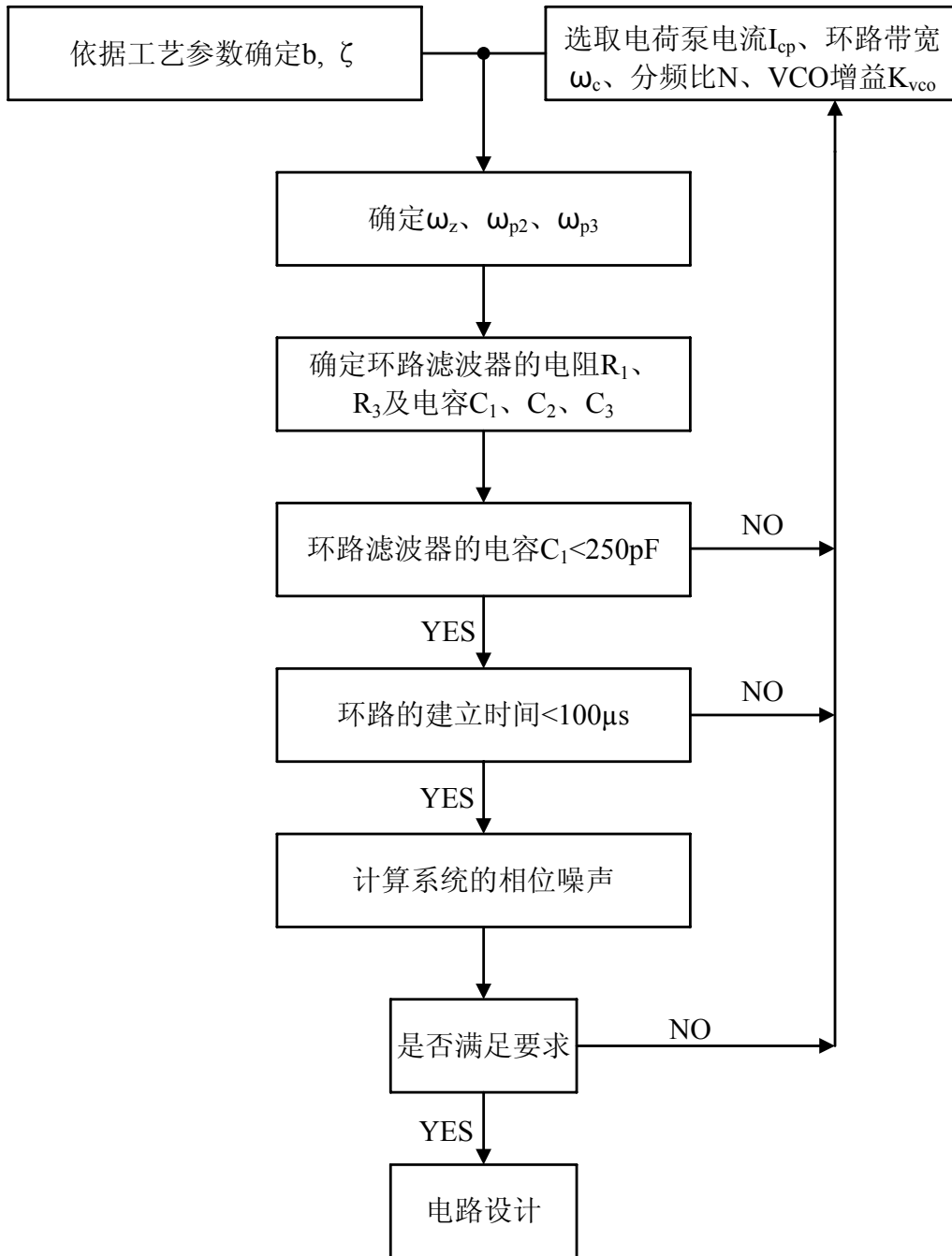


图 2.19 频率综合器环路参数的设计流程图

2.4 本章小结

本章首先通过分析有线电视调谐器接收机架构，确定了所需频率综合器的性能指标，进而确定频率综合器需要选取分数分频结构。在分析对比几种常用的分数杂散抑制技术优缺点的基础上，选择了基于 sigma-delta 噪声整型的分数分频结构。本章还总结了基于稳定性优化的闭环三阶环路的参数设计方法，给出了四阶锁相环系统的开环传递函数的精确及近似表达式，因为这两个表达式所对应的波特图和阶跃相应曲线相同，所以可以使用近似表达式来更加方便的设计环路参数。本章最后给出了采用稳定性优化的方法设计四阶锁相环路的具体流程。

参考文献

- [1] Microtune Inc. MicrotunerTM 2040 Data Sheet.
- [2] Motorola Inc. Silicon Tuner MC44C800/MC44C801 Fact Sheet.
- [3] <http://www.rfic.fudan.edu.cn/Research.htm>
- [4] J. Gibbs and R. Temple, "Frequency domain yields its data to phase-locked synthesizer," Electronics, pp.107-113, Apr.1978.
- [5] U.L. Rohde, Digital PLL Frequency Synthesizers, Theory and Design. Englewood Cliffs, NJ: Prentice-Hall, 1983.
- [6] V. Reinhardt, "Spur reduction techniques in direct digital synthesizers," in Proceedings of 47th Frequency Control Symposium. Oct. 1993, pp.230-241.
- [7] C.H. Heng et al "A 1.8GHz CMOS Fractional-N Frequency Synthesizer With Randomized Multiphase VCO," IEEE J. Solid-State Circuits, vol.38, No.6, pp. 848-854. June 2003
- [8] B. Miller et al. "A multiple modulator fractional divider," IEEE Transactions on Instrumentation and Measurement, vol. 40, pp. 578-583, June 1991.
- [9] A. Maxim. "A 0.16-2.55GHz CMOS active clock deskewing PLL using analog phase interpolation" IEEE J. Solid-State Circuits, vol. 40, No.1. pp.110-131, Jan. 2005.
- [10] Hamid R. Rategh, et al. A CMOS Frequency Synthesizer with an Injection-Locked Frequency Divider for a 5GHz Wireless LAN Receiver. IEEE J. of Solid-State Circuits, 2000, 35(5): 780~787.
- [11] Jan Craninckx, et al. "A Fully Integrated CMOS DCS-1800 Frequency Synthesizer," IEEE J. of Solid-State Circuits, 1998, 33(12):2054~2065.
- [12] 何捷, "DVB-T 接收机中频率综合器的研究" 博士学位论文, 复旦大学, 2005
- [13] Woogeun Rhee, et al. "A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3-b third-order $\Delta\Sigma$ modulator," IEEE J. of Solid-State Circuits, 2000, 35(10): 1453~1460.
- [14] Keliu Shu, et al. "A 2.4GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and loop Capacitance Multiplier," IEEE J. of Solid-State Circuits, 2003, 38(6): 866~874.

第三章 电路设计

本章将阐述电路设计工作，这里重新给出频率综合器的设计指标(表 3-1)

表 3-1 分数分频频率综合器的设计指标

调谐范围	1.02GHz-1.18GHz
参考时钟	25MHz
频率阶跃	<62.5KHz
锁定时间	<100us
相位噪声	<-80dBc/Hz@10kHz <-100dBc/Hz@100kHz <-130dBc/Hz@1MHz
杂散	<-80dB
分频架构	sigma-delta modulator
功耗	25mW

如下几个电路的设计很关键，本文的主要工作就是后三个电路的研究与设计。

- (1) 全差分、低相位噪声电感电容压控振荡器(LC-VCO)。
- (2) 高匹配性的宽输出摆幅全差分电荷泵电路及轨到轨输入共模电平范围的共模负反馈电路。
- (3) 三阶三比特单环 sigma-delta 调制器的噪声分析与设计。
- (4) 抑制 sigma-delta 调制器高频噪声的环路设计。

3.1 高匹配性宽输出摆幅的全差分电荷泵电路

在基于电荷泵锁相环的频率综合器系统中，电荷泵电路是最关键的模块之一，它的功能是将鉴频鉴相器输出的相差脉宽数字信号(up和dn)通过充放电电流(I_{up} 和 I_{dn})转化为电流信号，然后通过环路滤波器变为电压信号 V_{ctrl} ，从而对压控振荡器的工作频率进行调整。因此一旦电荷泵中的非理想因素使充电电流 I_{up} 和放电电流 I_{dn} 之间存在不匹配，压控电压 V_{ctrl} 上就会产生电压纹波(ripple)，导致压控振荡器输出频谱上产生杂散(spur)，从而造成对临近信道的干扰^[1]。

本节首先将简要分析电荷泵中的非理想因素产生的原因，并根据压控电压的函数表达式推导出杂散的解析式。然后在具体分析传统全差分电荷泵电路缺陷的基础上，提出一种高匹配性的宽输出摆幅全差分电荷泵电路以及具有轨到轨输入共模电平范围的共模负反馈电路；最后给出的仿真结果表明新型电荷泵的压控电压纹波比传统结构小了 18dB。

3.1.1 电荷泵中非理想因素分析及计算

对于电荷泵锁相环来说,电荷泵电路设计的好坏决定着整个系统的带内相位噪声性能以及参考频率处的杂散抑制性能。理想情况下,电荷泵开启时的充放电电流是完全匹配的,因此参考频率处几乎不存在杂散。但是由于实际电路(如图 3.1 所示)中存在着以下几点不理想因素,导致电荷泵的充放电电流存在失配,从而产生比较大的杂散能量。这些不理想因素主要包括:

(1) 充电和放电电流之间的不匹配:这是最主要的因素。产生的原因主要有如下两点:一方面在实际的电荷泵电路中,充放电电流源不可能完全相等。通常情况下,充电电流是由 PMOS 产生,放电电流由 NMOS 产生,因为两种电流源的工作状态不相关,所以很难匹配。另一方面,对于短窄沟道的 MOS 管,沟道长度调制效应相当明显,当漏端电压在较大范围内变动时,PMOS 和 NMOS 电流源中的电流也会发生较大变化。仿真发现对于 $1\mu\text{m}$ 长的 MOS 管,当漏端电压变化 500mV 时,其漏端电流变化了 2.6% 。这会引起压控电压周期性的波动(ripple),其在频谱上的表现即为杂散(spur)。

(2) up 和 dn 等开关信号导通时间的不匹配:对于普通的单端电荷泵来说,由于开关一般是由 NMOS 管和 PMOS 管构成的,所以它们的开启和关断时间以及导通电阻都有较大差异;同时 NMOS 管和 PMOS 管会使 PFD 电路的输出负载不匹配,这样 up 和 dn 在时间上就会不对称,同样会产生频谱上的杂散。

(3) MOS管的漏电流 I_{leak} :随着CMOS工艺的进步,MOS管的栅氧层变薄而导致从栅到源、漏及衬底的漏电流变大。虽然一般情况下漏电流的绝对值很小,对性能的影响不大;但当电荷泵的电流比较小时,就不能忽略MOS管漏电流的影响了。

(4) 时钟效应的影响:主要分为时钟馈通效应(clock feedthrough)以及沟道电荷注入效应(charge injection)两方面的影响。其中的时钟馈通效应主要是因为开关管存在栅漏电容 C_{gd} ,所以up、dn等高频脉冲信号会耦合到压控电压点 V_{ctrl} ,栅漏电容 C_{gd} 较大,耦合程度越强。降低开关管的尺寸以及降低开关信号的幅度值都可以减轻时钟馈通效应的影响。沟道电荷注入效应产生的主要原因是当电荷泵导通时,开关MOS管导通从而形成沟道,那么沟道中就会积累电荷。而当开关管由导通切换到断开的过程中,会有一半左右^[2]的电荷注入到压控电压点 V_{ctrl} ,使得压控电压发生变化。同理,当开关从断开变为导通的过程中,压控电压处的电荷又有一部分要进入MOS管形成沟道,于是压控电压也会发生周期性变化。这同样会产生杂散。

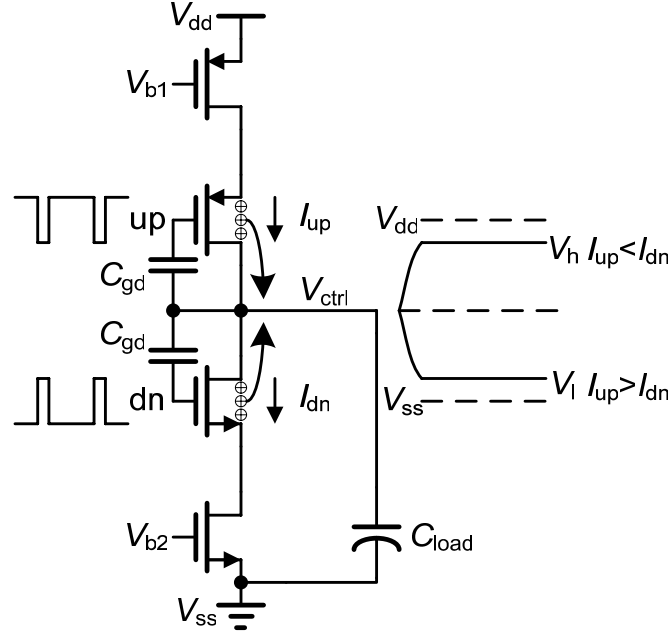


图 3.1 电荷泵中存在的各种非理想因素

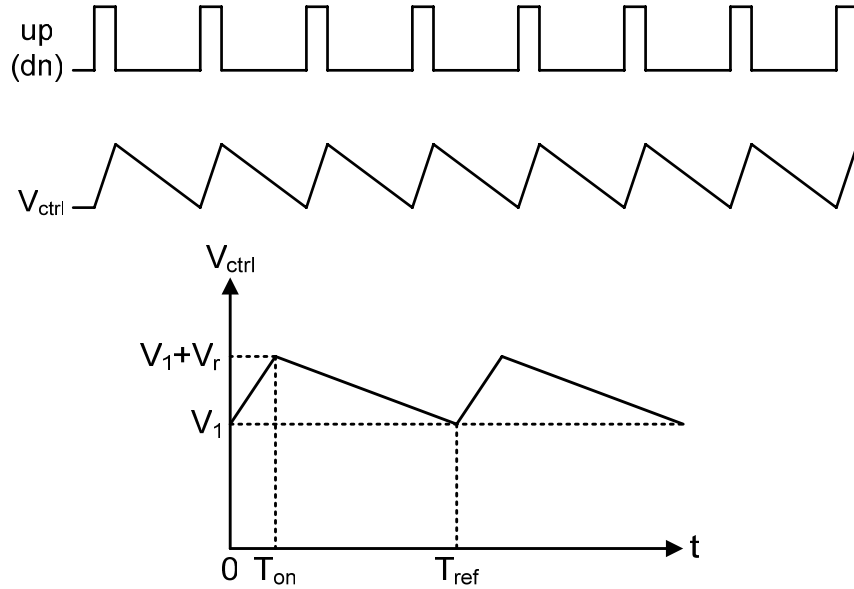


图 3.2 压控电压在时域上的表现及分析曲线

为方便定量计算，我们画出如图 3.2 所示的控制电压 V_{ctrl} 的波型。其表达式如下：

$$V_{ctrl}(t) = V_1 + g(t) \quad (3-1)$$

$g(t)$ 是周期性信号，其傅立叶展开式为：

$$g(t) = \frac{V_r}{2} + \sum_{n \neq 0}^{\infty} a_n \cos(n\omega_{ref}t + \theta_n) \quad (3-2)$$

因此， $V_{ctrl}(t)$ 的表达式为：

$$V_{ctrl}(t) = V_1 + \frac{V_r}{2} + \sum_{n \neq 0}^{\infty} a_n \cos(n\omega_{ref}t + \theta_n) \quad (3-3)$$

在PLL锁定以后，压控电压的纹波幅值(V_r)很小，因此可以用窄带调制的理论分析VCO输出信号的边带频谱，根据VCO的数学模型可得：

$$V_{out}(t) = V_0 \cos[\omega_0 t + K_{vco} \int V_{ctrl}(t) dt + \phi_0] \quad (3-4)$$

其中 ϕ_0 为初始相位，默认为零。对于窄带频率调制情况，调制相位 $\Delta\phi$ 一般远远小于 $\pi/2$ ，即：

$$\Delta\phi = |K_{vco} \int g(t) dt| \ll \frac{\pi}{2} \quad (3-5)$$

将(3-3)式代入(3-4)式并结合(3-5)式可得：

$$\begin{aligned} V_{out}(t) &= V_0 \cos[\omega_0 t + K_{vco} \int V_{ctrl}(t) dt] \\ &\approx V_0 \cos[\omega_0 t + K_{vco} (V_1 t + \frac{V_r}{2} t)] - V_0 \sin[\omega_0 t + K_{vco} (V_1 t + \frac{V_r}{2} t)] \cdot K_{vco} \int \sum_{n \neq 0}^{\infty} a_n \cos(n\omega_{ref} t + \theta_n) dt \\ &= V_0 \cos[\omega_0 t + K_{vco} (V_1 t + \frac{V_r}{2} t)] - V_0 \sin[\omega_0 t + K_{vco} (V_1 t + \frac{V_r}{2} t)] \cdot K_{vco} \sum_{n \neq 0}^{\infty} \frac{a_n}{n\omega_{ref}} \sin(n\omega_{ref} t + \theta_n) \\ &= V_0 \cos(\omega_c t) + \frac{V_0 K_{vco}}{2} \sum_{n \neq 0}^{\infty} \frac{a_n}{n\omega_{ref}} \cos(\omega_c t + n\omega_{ref} t + \theta_n) - \frac{V_0 K_{vco}}{2} \sum_{n \neq 0}^{\infty} \frac{a_n}{n\omega_{ref}} \cos(\omega_c t - n\omega_{ref} t - \theta_n) \end{aligned} \quad (3-6)$$

其中 ω_c 为环路锁定时压控振荡器的输出信号的角频率。因此，VCO的输出信号频谱中将会在 $\omega_c \pm n\omega_{ref}$ 频率处出现幅值为 $\frac{V_0 K_{vco}}{4} \cdot \frac{a_n}{2\pi n f_{ref}}$ 的边带，这里我们只关心

$\omega_c \pm \omega_{ref}$ 频率处的单边带能量 P_r ，表达式为：

$$P_r = 20 \log \frac{a_1 V_0 K_{vco}}{8\pi f_{ref}} \quad (3-7)$$

在一个周期内，函数 $g(t)$ 的表达式为

$$\begin{cases} g(t) = \frac{V_r}{T_{on}} t, & 0 < t < T_{on} \\ g(t) = \frac{-V_r}{T_{ref} - T_{on}} (t - T_{ref}), & T_{on} < t < T_{ref} \end{cases} \quad (3-8)$$

由此可以解得 $g(t)$ 的基频分量的傅立叶系数 a_1 ：

$$\begin{aligned} a_1 &= \frac{2}{T_{ref}} \int_0^{T_{on}} \frac{V_r}{T_{on}} t \cdot \cos(\omega_{ref} t) \cdot dt + \frac{2}{T_{ref}} \int_{T_{on}}^{T_{ref}} \frac{-V_r}{T_{ref} - T_{on}} (t - T_{ref}) \cdot \cos(\omega_{ref} t) \cdot dt \\ &\approx \frac{2T_{on} \cdot V_r}{T_{ref}} \end{aligned} \quad (3-9)$$

将 a_1 代入(3-7)式可以解得杂散(spur)的能量为：

$$P_r = 20 \log \frac{V_0 K_{vco} T_{on} \cdot V_r}{4\pi} \quad (3-10)$$

杂散能量 P_r 与载波能量 P_s 的比值即表示频率综合器的杂散抑制程度，这里用 P_{spur} 表示：

$$P_{spur} = \frac{P_r}{P_s} = 20 \log \frac{V_0 K_{vco} T_{on} \cdot V_r}{4\pi} - 20 \log V_0 = 20 \log \frac{K_{vco} T_{on} \cdot V_r}{4\pi} \quad (3-11)$$

可见当 K_{vco} 和 T_{on} 确定以后，控制电压的抖动 V_r 越小，频率综合器的杂散抑制程度越高。因此所设计的电荷泵电路一定要使充放电电流匹配性良好，同时开关信号的时间匹配要精确，而且尽可能的抑制开关引入的时钟馈通效应以及沟道电荷注入效应。

3.1.2 传统全差分电荷泵电路结构

与单端结构相比，全差分电荷泵具有如下几个优点^[3]：(1) NMOS开关不再需要和PMOS开关精确匹配(实际上这是很难做到的)，只要做好NMOS开关和NMOS开关，PMOS开关和PMOS开关之间的匹配即可，而这在版图上是比较容易实现的。(2) 由于鉴频鉴相器的输出脉宽数字信号up和dn的负载完全相同，可以避免开关信号时间上的不匹配因素；(3) 将单端电荷泵中的PMOS电流源和NMOS电流源之间的匹配(实际上这也是很难做到的)转变为NMOS电流源和NMOS电流源的匹配，这在版图中还是比较容易实现的。(4) 可以抑制漏电流、来自电源和地的噪声、时钟效应等共模干扰的影响。(5) 相比单端结构，全差分结构的电压输出摆幅增大一倍，在频率调谐范围不变的情况下，可以使压控振荡器的增益降低一半，特别适合低电源电压、低相位噪声的频率综合器系统。但由于全差分电荷泵拥有两条电荷泵支路，所以它的功耗是单端的两倍，而且共模负反馈电路的设计也增加了电路设计的复杂度，同时，由于环路中要采用两个无源滤波器，芯片的面积也增大了一倍。

对于应用在电视调谐器中的频率综合器来说，其对相位噪声性能及杂散性能的要求相当苛刻，而对功耗的要求却没有那么严格。因此本文将选取全差分结构的电荷泵电路。在目前所发表的有关全差分频率综合器的文献中^[4~6]，其中所采用的全差分电荷泵可归纳为如下两种类型：(1)单管宽摆幅全差分电荷泵电路(图 3.3)；(2)共源共栅结构的全差分电荷泵电路(图 3.4)。

图 3.3 的全差分电荷泵电路具有很大的输出摆幅，在 1.8V 电源电压下可达 0.2V~1.6V，但是NMOS和PMOS电流源受到沟道长度调制效应的影响非常明显，导致电流匹配程度会变得很差。而在图 3.4 的共源共栅结构的全差分电荷泵电路中，由于 cascode 电流镜提高电荷泵的输出阻抗，降低管子漏端电压对电流的影响，可以使电荷泵充放电电流的匹配性能得到改善，但却降低了电荷泵的输出摆幅。

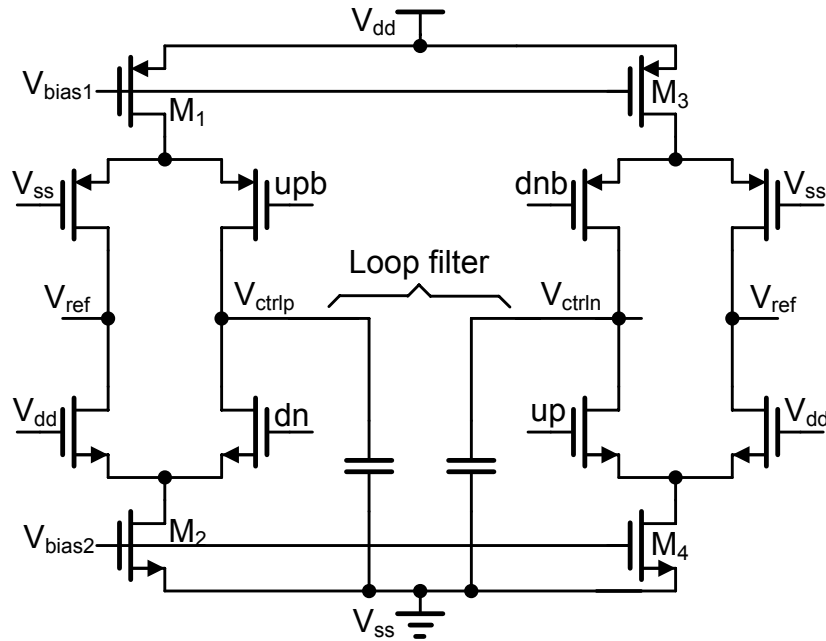


图 3.3 单管宽摆幅全差分电荷泵电路

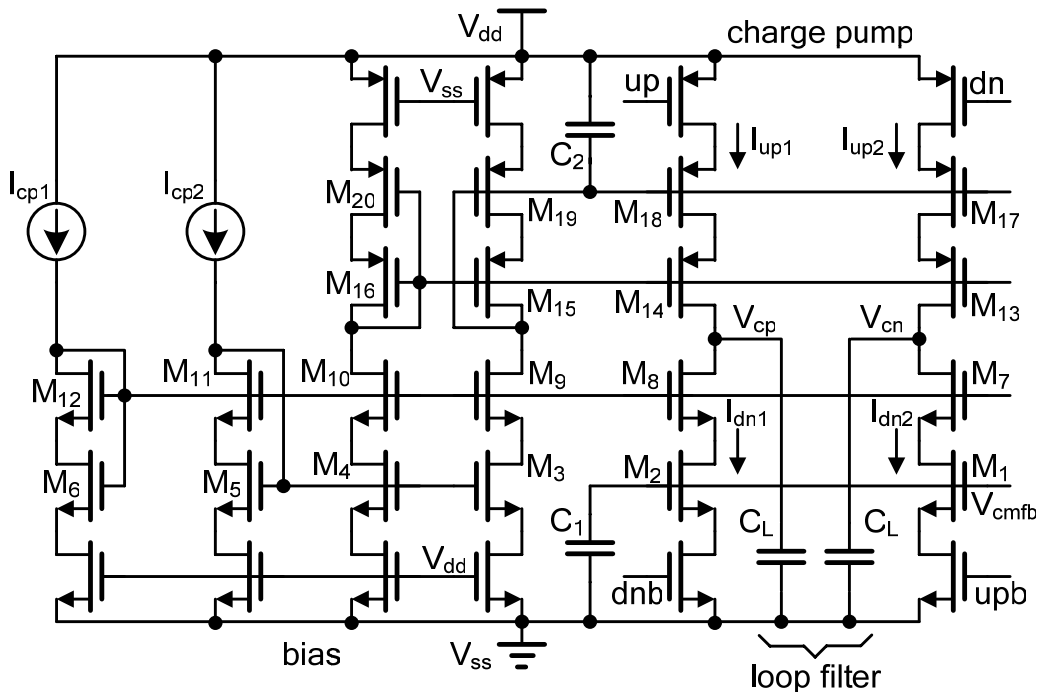


图 3.4 共源共栅结构的全差分电荷泵电路

对于全差分频率综合器电路来说，压控振荡器的差分控制电压($V_{cp}-V_{cn}$)的电压纹波来自于差分充电电流($I_{up1}-I_{dn1}$)和放电电流($I_{up2}-I_{dn2}$)的不匹配。而对于图 3.3 和图 3.4 所示的全差分电荷泵电路来说，当 V_{cp} 和 V_{cn} 差值较大时，由于沟道长度调制效应的影响，其差分充放电电流的匹配性能会被严重恶化，甚至还不如单端充放电电流的匹配性能好。接下来将具体分析传统全差分电荷泵结构存在的缺陷。

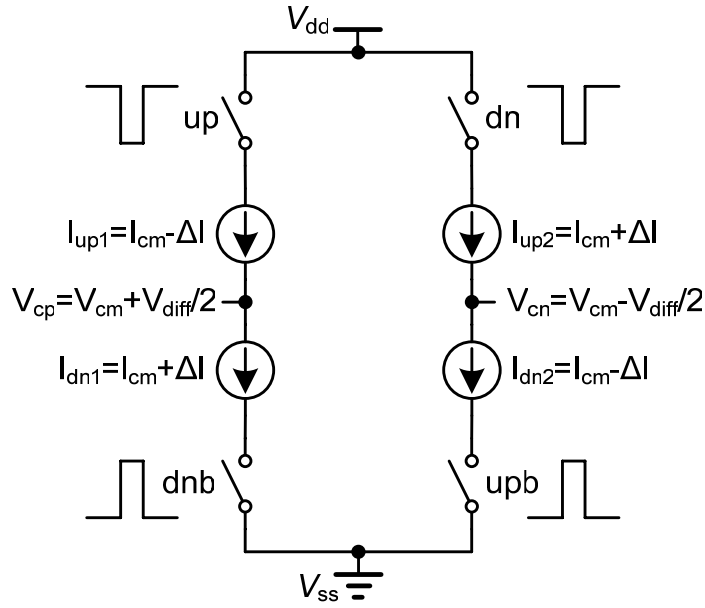


图 3.5 传统全差分电路的简化图

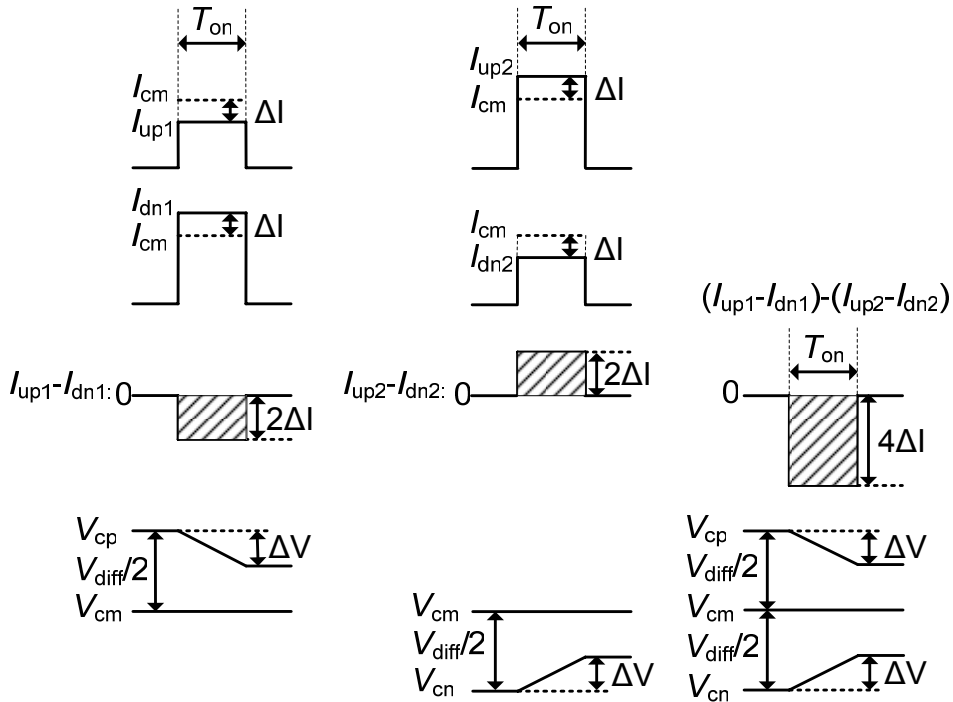


图 3.6 传统全差分电荷泵的充放电电流及压控电压波形图

传统全差分电荷泵的简化图如图 3.5 所示，假设控制电压 V_{cp} 和 V_{cn} 分别满足：

$$V_{cp} = V_{cm} + \frac{V_{diff}}{2}, \quad V_{cn} = V_{cm} - \frac{V_{diff}}{2} \quad (3-12)$$

其中， V_{cm} 是 V_{cp} 和 V_{cn} 的共模电压； V_{diff} 是 V_{cp} 和 V_{cn} 的差模电压。当差模电压 V_{diff} 不等于零时，由于沟道长度调制效应的影响，图 3.5 中的电流源 I_{up1} 、 I_{dn1} 、 I_{up2} 和 I_{dn2} 的大小会发生变化。如图 3.6 所示，假设 I_{cm} 表示当差模电压 V_{diff} 等于零

($V_{cp}=V_{cn}=V_{cm}$)时电荷泵充放电电流值。为了定性分析的方便,假设电流源 I_{up1} 、 I_{dn1} 、 I_{up2} 和 I_{dn2} 的电流变化量都是 ΔI 。这样,电荷泵两条支路的充放电电流分别表示为

$$I_{up1} = I_{cm} - \Delta I, \quad I_{dn1} = I_{cm} + \Delta I, \quad I_{up2} = I_{cm} + \Delta I, \quad I_{dn2} = I_{cm} - \Delta I \quad (3-13)$$

因此, 电荷泵两条支路上充放电电流的不匹配量分别为

$$I_{up1} - I_{dn1} = -2\Delta I, \quad I_{up2} - I_{dn2} = 2\Delta I \quad (3-14)$$

差分电流的不匹配量为

$$\Delta = (I_{up1} - I_{dn1}) - (I_{up2} - I_{dn2}) = -4\Delta I \quad (3-15)$$

因此,由于沟道长度调制效应的影响,传统全差分电荷泵电路的差分电流匹配性能被严重恶化了。差分电流的不匹配性将导致差分压控电压的纹波($2\Delta V$)比单端压控电压的纹波(ΔV)大,压控振荡器输出信号的杂散性能会被恶化。

3.1.3 高匹配性宽输出摆幅的全差分电荷泵电路

在本节的论述中, 首先将介绍一种新型的单端电荷泵电路, 然后在此单端电路的基础上, 提出一种高电流匹配宽输出摆幅的全差分电荷泵电路, 仿真结果验证了所提出的电路在实现低杂散方面相比传统结构具有较大的优势。

1、高电流匹配的单端电荷泵电路

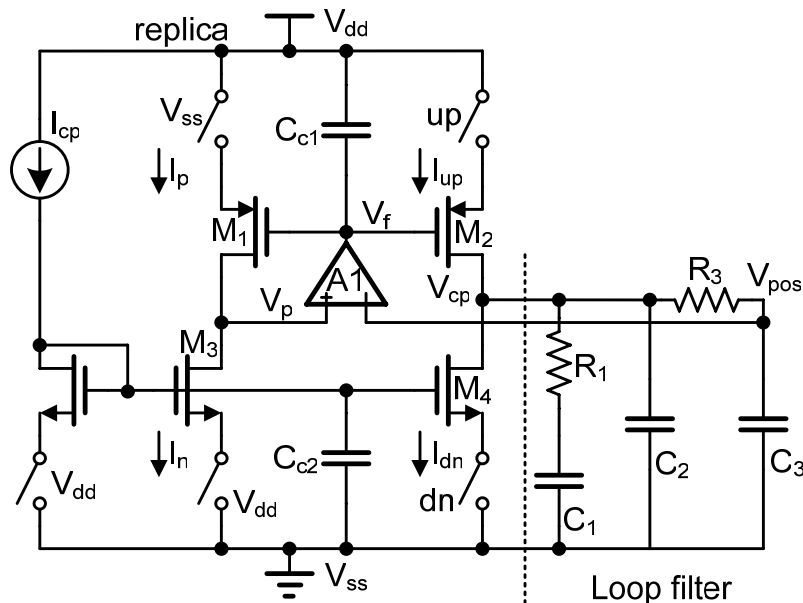


图 3.7 高电流匹配的单端电荷泵电路

图 3.7 所示的单端电荷泵电路具有很好的电流匹配性能^[7]。这是因为误差反馈放大器A1 会强制输出电压 V_{pos} 和replica支路上M1 和M3 管的漏极电压 V_p 相等，低通滤波器不仅会使 V_{cp} 和 V_{pos} 的直流分量完全相同，而且还会进一步滤除输出电压中的高频分量以保证运放A1 和M1 管构成的反馈环路稳定工作。所以，当电荷

泵的开关关闭以后，下列电流关系等式成立：

$$I_p = I_{up} ; I_n = I_{dn} \quad (3-16)$$

而在replica支路上， I_p 和 I_n 始终相等，所以无论电荷泵的输出电压如何变化，充放电电流 I_{up} 和 I_{dn} 始终相等，从而可以降低沟道长度调制效应对电荷泵充放电电流的影响。

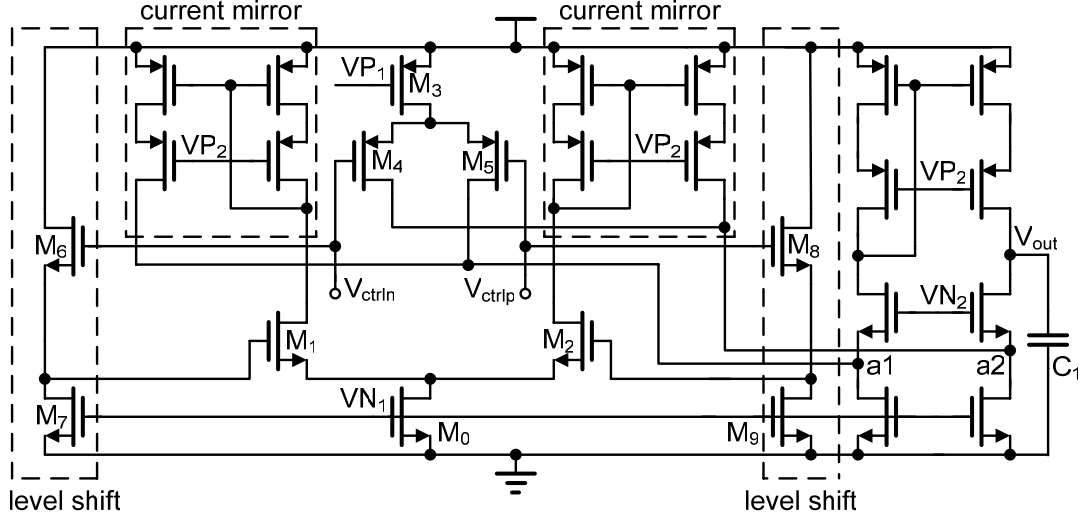


图 3.8 误差反馈放大器 A1

其中的误差反馈放大器A1 的具体结构如图 3.8 所示，M4 和M5 构成了轨到轨输入级的PMOS差分对管；M1 和M2 构成NMOS差分对管，NMOS管M6~M9 构成level shift电路，通过适当选取M6~M9 的管子尺寸可以确保输入级的跨导保持恒定^[8](如图 3.9 所示)。

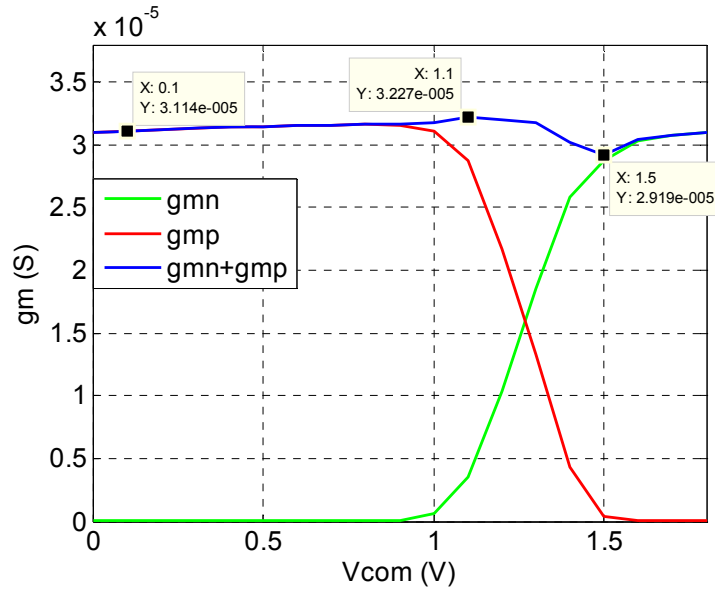


图 3.9 误差反馈放大器A1 的输入级跨导 g_m 随输入共模电平 V_{com} 变化的曲线

因为放大器A1 和图 3.7 中共源连接的M1 管构成了二级运放，电容 C_{c1} 为第一级运放A1 的负载。

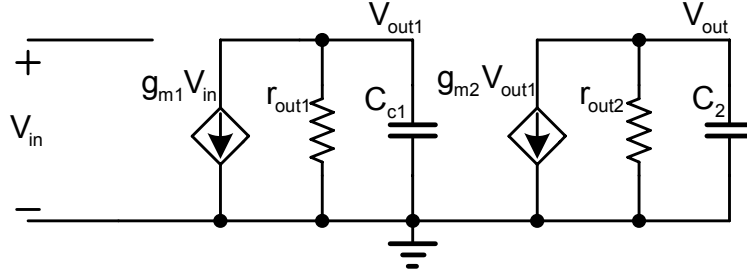


图 3.10 二级运放的小信号模型

由图 3.10 所示的小信号模型可得其传递函数为：

$$\frac{V_{out}}{V_{in}}(s) = g_{m1}g_{m2}r_{out1}r_{out2} \frac{1}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})} \quad (3-17)$$

其中 $\omega_{p1} = -\frac{1}{r_{out1}C_{c1}}$, $\omega_{p2} = -\frac{1}{r_{out2}C_2}$ 。由于电容 C_{c1} 的值较大, 所以主极点就是第一级的输出极点 ω_{p1} 。又因为运放的直流增益为 $A_{dc} = g_{m1}r_{out1}g_{m2}r_{out2}$, 因此两级运放的单位增益带宽 GBW 为：

$$GBW = A_{DC} \cdot \omega_{p1} = \frac{g_{m1}g_{m2}r_{out2}}{C_{c1}} \quad (3-18)$$

为了保证至少 60 度的相位裕度, 则次极点 ω_{p2} 至少大于 3 倍的 GBW, 可得：

$$C_{c1} \geq 3g_{m1}g_{m2}r_{out2}^2C_2 \quad (3-19)$$

这样两级运放中就需要一个非常大的电容 C_{c1} 以及非常小的跨导 g_{m1} 。这无疑会大大增大芯片的面积, 同时会降低电路的性能。因此需要采用 miller 补偿的方法进行稳定性设计(如图 3.11 所示)。

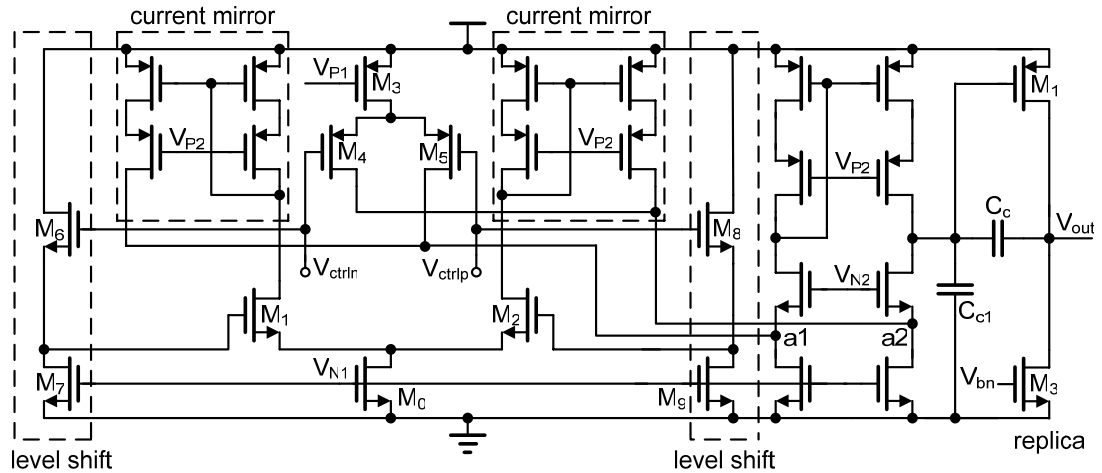


图 3.11 采用 miller 电容补偿的二级运放

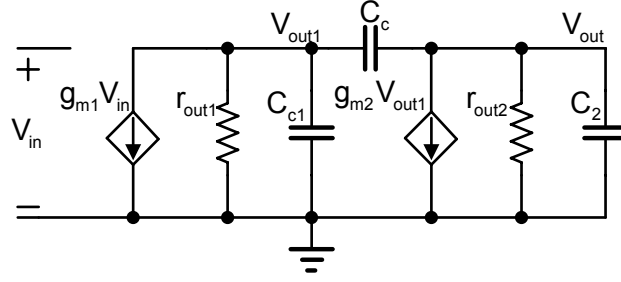


图 3.12 采用 miller 电容补偿的二级运放的小信号模型

重新画出图 3.11 所示电路的小信号模型(如图 3.12 所示), 其传递函数为:

$$\frac{V_{out}}{V_{in}}(s) = \frac{g_{m1}g_{m2}r_{out1}r_{out2}(1 - \frac{sC_c}{g_{m2}})}{1 + s[r_{out1}(C_{c1} + C_c) + r_{out2}(C_2 + C_c) + g_{m2}r_{out1}r_{out2}C_c] + s^2r_{out1}r_{out2}[C_{c1}C_2 + C_{c1}C_c + C_cC_2]} \quad (3-20)$$

因为 $C_c, C_{c1} \gg C_2$, 可得零极点值及单位增益带宽GBW如下:

$$\begin{aligned} \omega_{p1} &= \frac{-1}{g_{m2}r_{out1}r_{out2}C_c}, \quad \omega_{p2} \approx \frac{-g_{m2}}{C_{c1}} \\ \omega_z &= \frac{g_{m2}}{C_c} \\ GBW &= \frac{g_{m1}}{C_c} \end{aligned} \quad (3-21)$$

为确保 60 度左右的相位裕度, 需要满足 $g_{m1}=10g_{m2}$, $\omega_{p2} \approx 3GBW$ 。表 3-2 给出采用 miller 补偿的两级运放的具体设计参数。在不同输入共模电平下运放的频率响应曲线如图 3.13 所示。整个单端电荷泵电路的充放电电流的匹配性仿真如图 3.14 所示, 可见在 0-1.7V 的范围之内, 充电电流 I_{cp} 和放电电流 I_{cn} 几乎完全匹配。

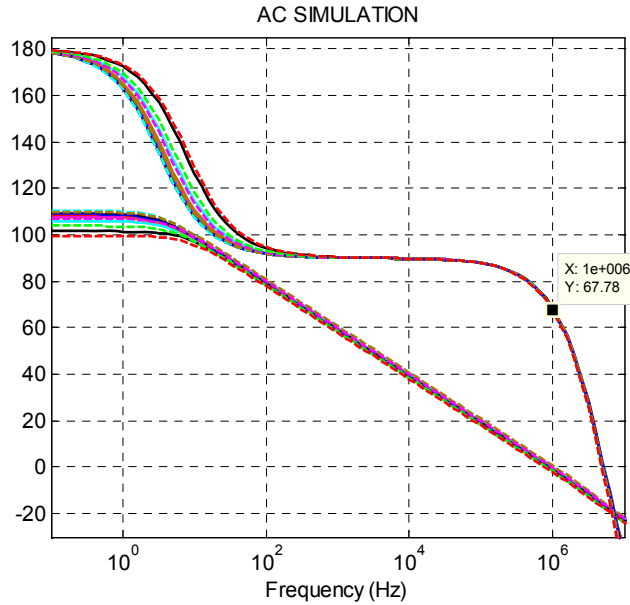


图 3.13 在不同输入共模电平下两级运放的频率响应曲线

表 3-2 采用 Miller 电容补偿的两级运放的设计参数

$g_{m1}(S)$	$g_{m2}(S)$	$C_c(pF)$	$C_{c1}(pF)$	GBW(Hz)	PM
36e-6	0.26e-3	6	8	1MHz	68°

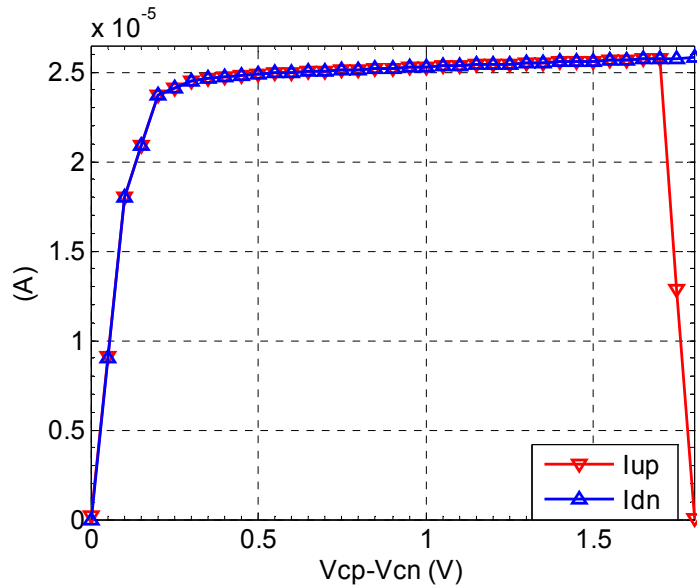


图 3.14 充放电电流匹配性的直流扫描曲线

2、高匹配性全差分电荷泵电路及共模负反馈电路

(1) 全差分电荷泵设计

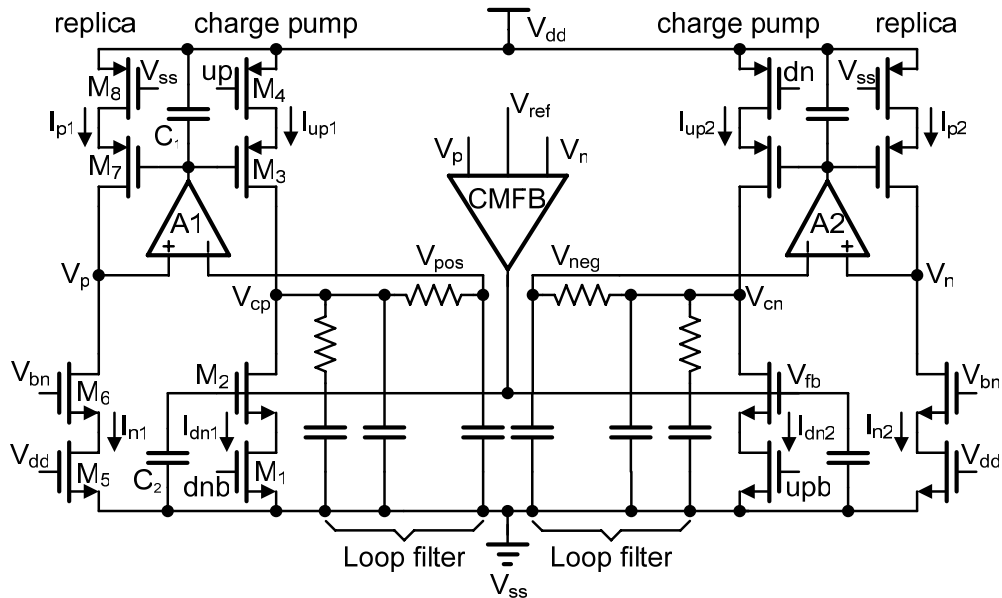


图 3.15 提出的全差分电荷泵电路

图 3.15 为全差分电荷泵电路。轨到轨运放 A1 和 A2 使得电荷泵支路(charge pump)上管子漏端电压 V_{cp} 和 V_{cn} 与复制支路(replica)上管子漏端电压 V_p 和 V_n 分别相等,

$$V_p = V_{pos} = V_{cp}, \quad V_n = V_{neg} = V_{cn} \quad (3-22)$$

这样，在整个输出电压范围内电荷泵支路的充电电流 I_{up1} 和 I_{up2} 分别与复制支路电流 I_{p1} 和 I_{p2} 相等，

$$I_{up1} = I_{p1}, I_{up2} = I_{p2} \quad (3-23)$$

在复制支路上，无论电压 V_p 和 V_n 如何变化，始终满足：

$$I_{p1} \equiv I_{n1}, I_{p2} \equiv I_{n2} \quad (3-24)$$

因此电荷泵支路的充电电流始终满足：

$$I_{up1} = I_{p1} \equiv I_{n1}, I_{up2} = I_{p2} \equiv I_{n2} \quad (3-25)$$

假设 V_{cp} 和 V_{cn} ， V_p 和 V_n 满足：

$$V_p = V_{cp} = V_{cm} + \frac{V_{diff}}{2}, V_n = V_{cn} = V_{cm} - \frac{V_{diff}}{2} \quad (3-26)$$

当差模电压 V_{diff} 不等于零时，由于沟道长度调制效应的影响，图 3.15 所示的电荷泵支路的电流源 I_{up1} 、 I_{dn1} 、 I_{up2} 和 I_{dn2} 大小会变化，复制支路的电流源 I_{p1} 、 I_{n1} 、 I_{p2} 和 I_{n2} 大小也会变化。如图 3.16 所示，假设 $I_{replica}$ 表示当差模电压 V_{diff} 等于零($V_p=V_n=V_{cm}$)时复制支路的电流值， $\Delta I_{replica}$ 表示沟道长度调制效应在复制支路上引起的电流变化量。为了定性分析的方便，假设电荷泵支路电流源 I_{dn1} 和 I_{dn2} 的电流变化量都是 ΔI ，复制支路电流源 I_{n1} 和 I_{n2} 的电流变化量为 $\Delta I_{replica}$ 。这样，电荷泵两条支路的充放电电流分别表示为：

$$\begin{aligned} I_{up1} = I_{p1} = I_{n1} = I_{replica} + \Delta I_{replica}, I_{dn1} = I_{cm} + \Delta I \\ I_{up2} = I_{p2} = I_{n2} = I_{replica} - \Delta I_{replica}, I_{dn2} = I_{cm} - \Delta I \end{aligned} \quad (3-27)$$

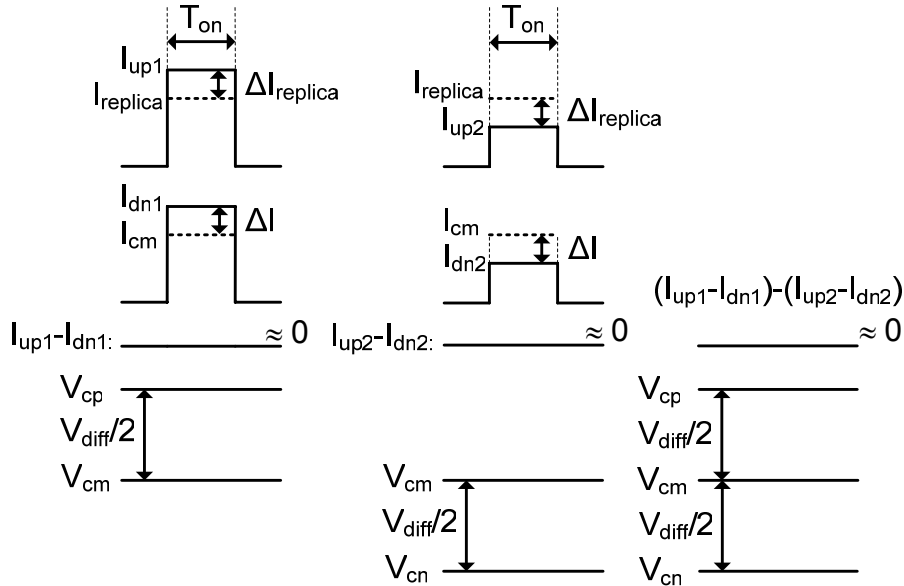


图 3.16 所提出的电荷泵充放电电流及压控电压波型图

当共模负反馈电路稳定后，必然满足 $V_{fb} \approx V_{bn}$ （这是因为如果 $V_{fb} > (<) V_{bn}$ ，根据(3-22)和(3-25)式可知 $I_{dn1} > (<) I_{up1}$ ； $I_{dn2} > (<) I_{up2}$ ，那么电压 V_{cp} 和 V_{cn} 都将会变低(高)，这样负反馈环路就会起作用直至满足 $V_{fb} \approx V_{bn}$)，同时又因为 $V_p = V_{cp}$ ， $V_n = V_{cn}$ ，所以下

式满足：

$$I_{n1} \approx I_{dn1}, I_{n2} \approx I_{dn2}, \Delta I_{replica} \approx \Delta I \quad (3-28)$$

则电荷泵两条支路上充放电电流的不匹配量分别为

$$I_{up1} - I_{dn1} = I_{n1} - I_{dn1} \approx 0, I_{up2} - I_{dn2} = I_{n2} - I_{dn2} \approx 0 \quad (3-29)$$

差分电流的不匹配量为

$$\Delta = (I_{up1} - I_{dn1}) - (I_{up2} - I_{dn2}) = (I_{p1} - I_{dn1}) - (I_{p2} - I_{dn2}) = (I_{n1} - I_{dn1}) - (I_{n2} - I_{dn2}) \quad (3-30)$$

传统电荷泵电路和所提出的电荷泵电路的各条支路电流变化量如表 3-3 所示。所提出的电荷泵结构将 pmos 管电流源与 nmos 管的电流源匹配问题转化为 nmos 管电流源之间的匹配。因此提出的全差分电荷泵电路可以完全克服沟道长度调制效应对充放电电流匹配性能的影响，使得压控电压纹波很小，能够极大的抑制频率综合器中的杂散能量。

表 3-3 传统电荷泵和所提出电荷泵的对比

	$V_{cp} > V_{cn}$	I_{up1}	I_{up2}	I_{dn1}	I_{dn2}	$(I_{up1} - I_{dn1}) - (I_{up2} - I_{dn2})$
电流变化量	传统结构	$-\Delta I$	ΔI	ΔI	$-\Delta I$	$-4\Delta I$
	所提出结构	ΔI	$-\Delta I$	ΔI	$-\Delta I$	≈ 0

(2) 共模负反馈电路的设计

所提出的全差分电荷泵电路输出摆幅很大，可达(0.2V~1.6V)，而传统的共模负反馈电路^[9~10]会限制电荷泵的输出摆幅，不适合应用在此差分电路中。因此本文设计了图 3.17 所示的输入共模电平范围接近轨到轨的共模负反馈电路。其中的轨到轨单位增益负反馈放大器A3和A4的结构如图 3.18 所示，运放A5为普通的folded-cascode结构。

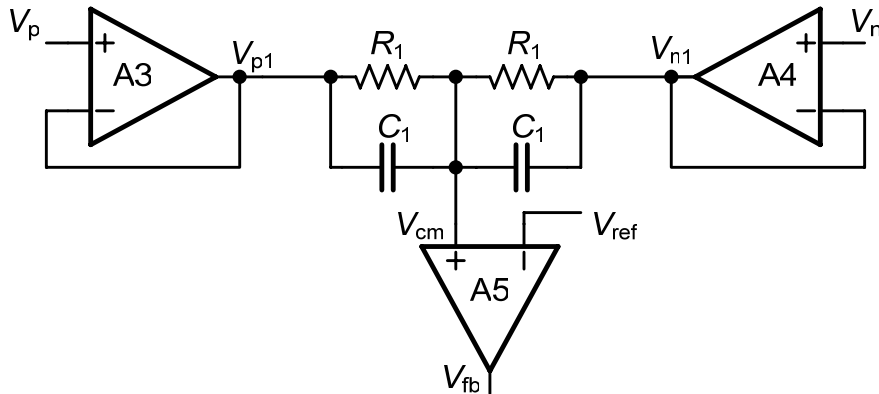


图 3.17 宽输入范围的共模负反馈电路

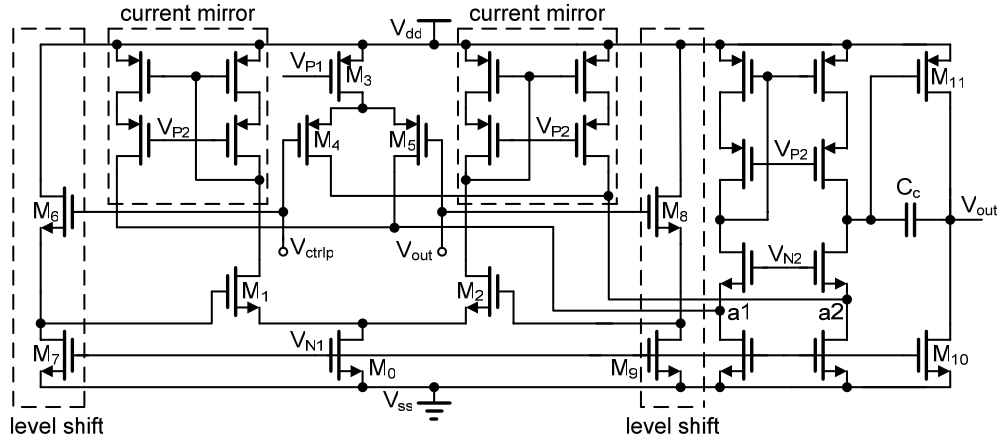


图 3.18 轨到轨单位增益负反馈放大器

它的具体工作原理是：缓冲放大器 A3 和 A4 分别将电压 V_p 和 V_n 复制到电压 V_{p1} 和 V_{n1} ，经 RC 采样电路得到 V_{p1} 和 V_{n1} 的共模电压 V_{cm} ， V_{cm} 与参考电压 V_{ref} 相比较所得的电压 V_{fb} 再反馈到电荷泵电路去改变电荷泵的放电电流，从而改变电荷泵的输出电压 V_{pos} 和 V_{neg} ，使 V_{pos} 和 V_{neg} 的共模值最终达到 V_{ref} 。这种轨到轨的共模负反馈电路具有下面几个特点：(1) 因为电压 $V_p = V_{pos}$ 且 $V_n = V_{neg}$ ，所以可将电压 V_p 和 V_n 作为共模负反馈电路的输入采样信号，从而避免 CMFB 对环路滤波器零极点分布的影响。(2) 共模负反馈电路的输入范围大于电荷泵的输出摆幅，非常适合宽输出摆幅的全差分电荷泵的应用。(3) 对于差分电荷泵来说共模负反馈电路中的噪声是共模噪声，不会影响频率综合器的相位噪声性能。(4) 由于低通滤波器的输出 V_{pos} 和 V_{neg} 的频率很低，只要 buffer 的输入输出范围达到 0.2-1.6V，且其带宽选取合适(不用做得很大)，就可以实现线性度较好的采样，这样可以降低运放 A3 和 A4 的功耗以及设计难度。(5) 与传统的线性电阻采样网络相比，所提出的 rail-to-rail 采样电路，可以实现很小的芯片面积下全摆幅的采样。相比其它的 rail_to_rail 共模反馈电路^[11]，本结构在不同的 CMOS 工艺下都具有较好的鲁棒性。

3、传统结构和所提出的结构仿真结果的比较

(1) 直流仿真。分别对传统全差分电荷泵电路和所提出的全差分电荷泵电路的差分压控电压 ($V_{cp} - V_{cn}$) 从 -1.8V 到 1.8V 进行直流扫描，得到电压 V_{cp} 和 V_{cn} 所在支路的充放电电流仿真波形(图 3.19 和图 3.20)和电荷泵差分充放电电流的仿真波形(图 3.21 和图 3.22)。当 V_{cp} 和 V_{cn} 差值较大时，传统全差分电荷泵的差分充放电电流不匹配量几乎是单端充放电电流不匹配量的 2 倍，差分充放电电流的匹配性能被恶化了。而新型全差分电荷泵电路在 0.2V~1.6V 的输出电压范围内，其差分充放电电流的不匹配性均可小于 0.1%，能够很好的克服沟道长度调制效应的影响。

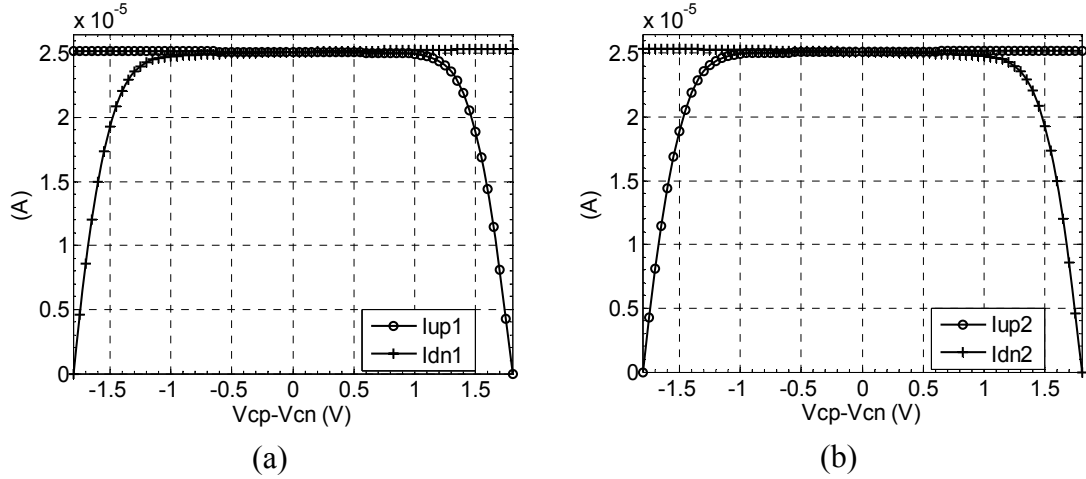
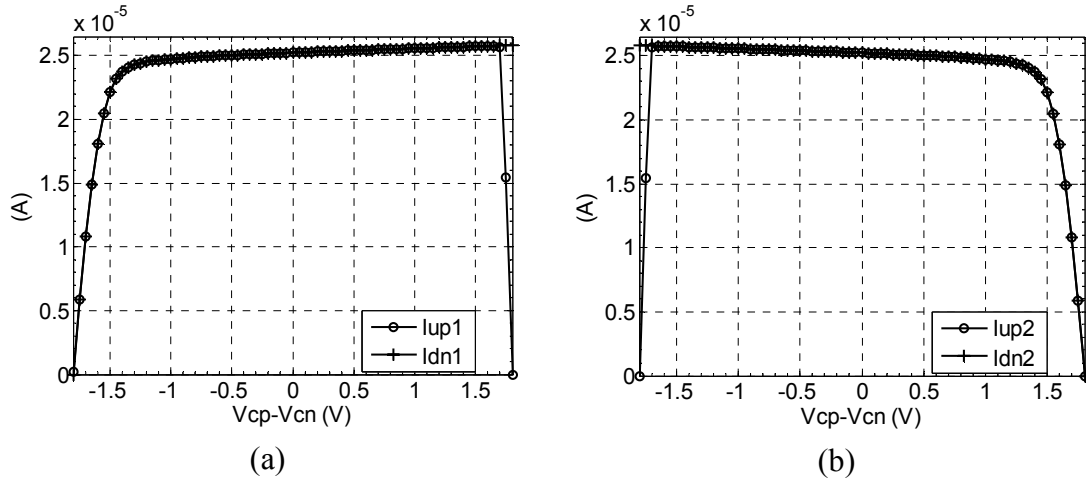
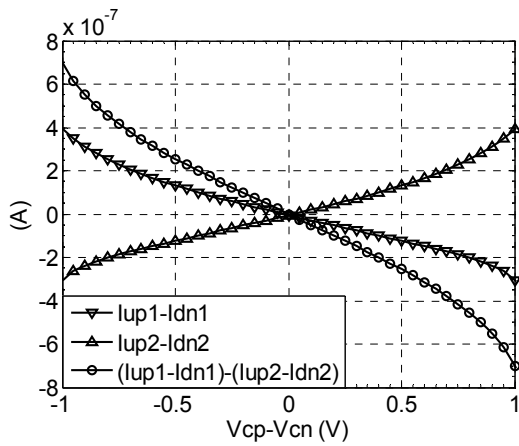
图 3.19 传统电荷泵 (a) V_{cp} 支路的充放电电流; (b) V_{cn} 支路的充放电电流图 3.20 所提出的电荷泵 (a) V_{cp} 支路的充放电电流; (b) V_{cn} 支路的充放电电流

图 3.21 传统电荷泵的差分充放电电流匹配性

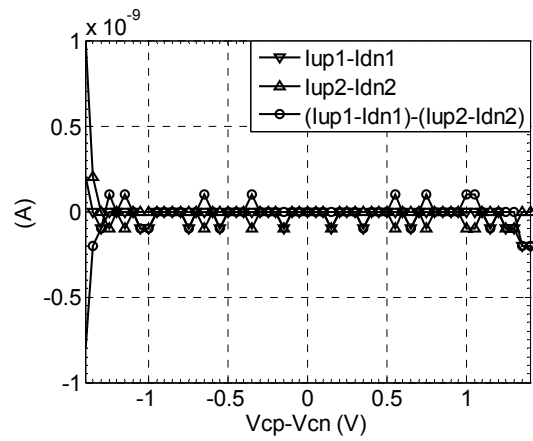


图 3.22 所提出的电荷泵差分充放电电流匹配性

(2) 瞬态仿真。分别将传统全差分电荷泵和所提出的电荷泵电路放在一个中

心频率为 1.1GHz，参考时钟为 25MHz，分频比为 40~48 的频率综合器(图 3.23)中进行仿真。电荷泵电流为 $25\mu\text{A}$ ，压控振荡器(VCO)和分频器(Divider)为 Verilog-AMS宏模型。当频率综合器环路稳定后，压控电压直流分量为 $V_{\text{pos}}=1.4\text{V}$ ， $V_{\text{neg}}=0.4\text{V}$ ，采用传统电荷泵的频率综合器压控电压频谱如图 3.24(a)所示，采用新型电荷泵的频率综合器压控电压频谱如图 3.24(b)所示。仿真结果显示，新型电荷泵的压控电压的纹波比传统电荷泵的电电压纹波大约小了 18dB。

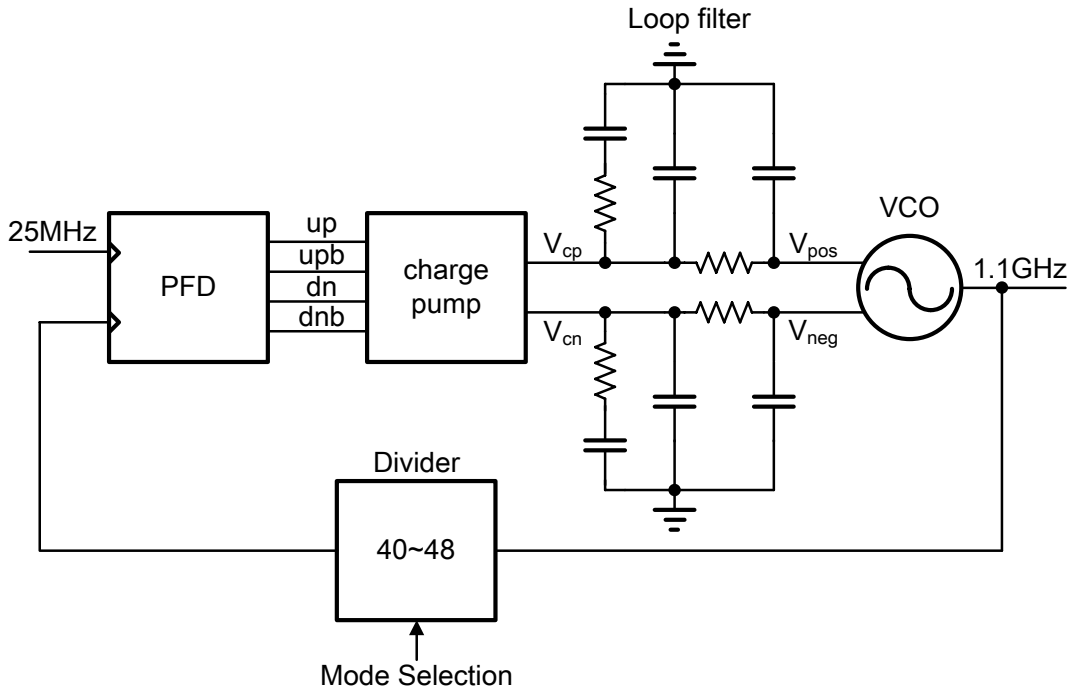


图 3.23 1.1GHz 频率综合器

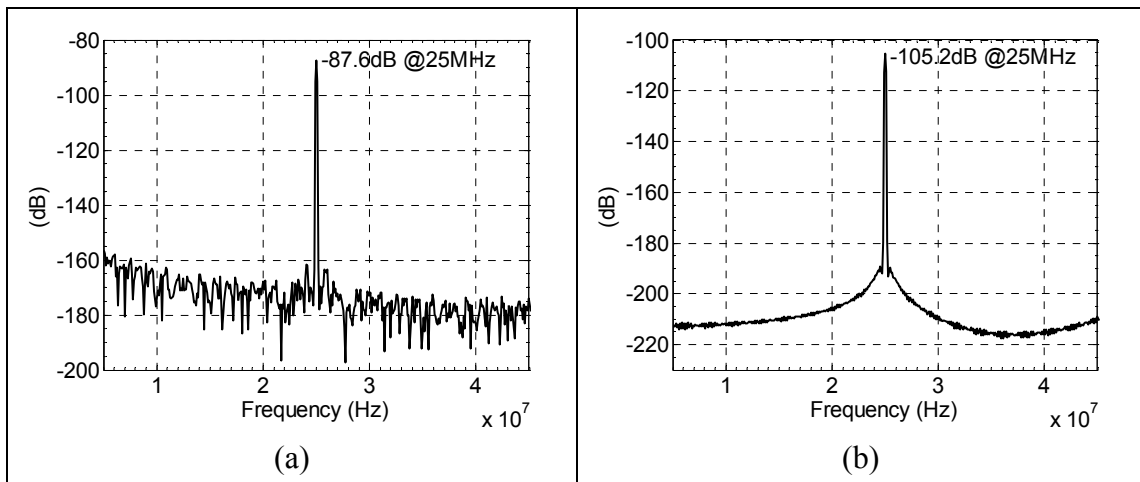


图 3.24 电荷泵压控电压频谱 (a)传统电荷泵; (b)所提出的电荷泵

由图 3.24 所示的压控电压频谱可以看出所提出的电荷泵电路可以很好的克服沟道长度调制效应对电荷泵充放电电流的影响，使得电压控制线上的纹波幅度 V_r 相当小，那么根据(3-11)式可知采用所提出的全差分电荷泵电路结构应该可以很容

易的实现系统-80dBc的杂散要求。

3.2 输出信号完全对称的鉴频鉴相器电路

在频率综合器中，由于输入的参考时钟的频率相对较低(只有 25MHz)，因此可以采用三态鉴相器的结构^[12]用标准的CMOS逻辑门实现。以开关S1 为例(具体结构如图 3.25 所示)，其中M2 管的宽长比是M1 管的 1/2，它的作用主要有两个，一是减小时钟馈通效应的影响，二是降低沟道电荷的注入效应^[13]。这就需要时钟信号up、upb、dn、dnb呈图 3.26 所示的对称反相特性，因此我们设计了图 3.27 所示的鉴频鉴相器。

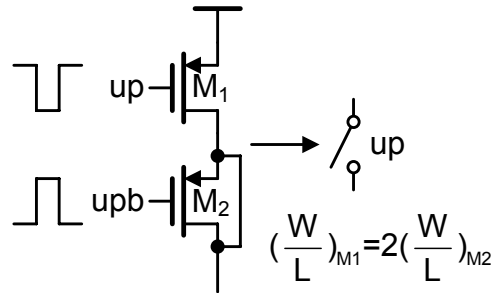


图 3.25 电荷泵中的 MOS 开关

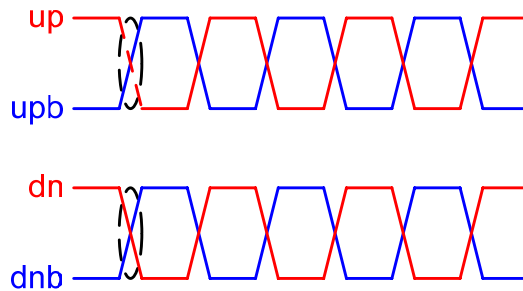


图 3.26 完全对称的 up、upb、dn、dnb 波形

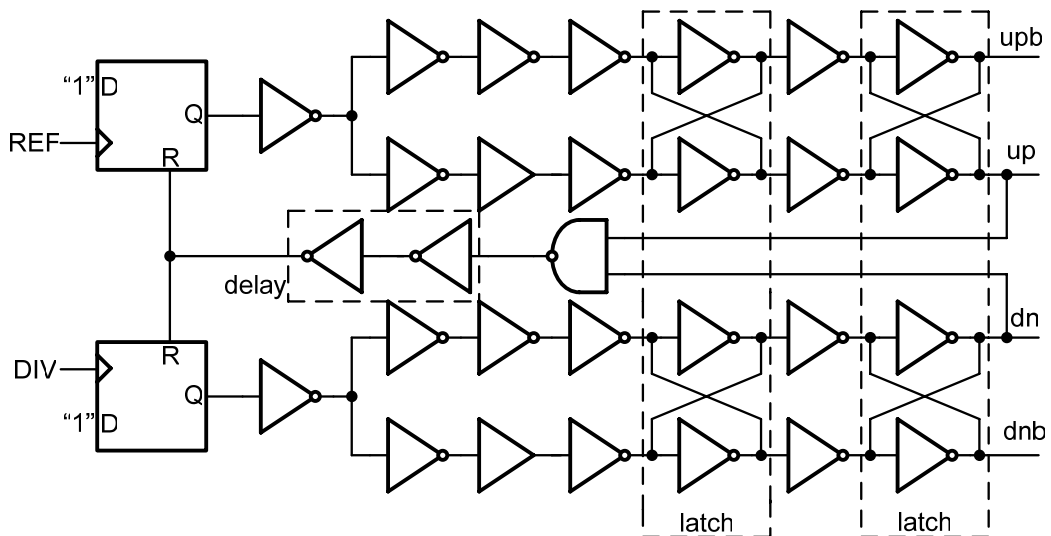


图 3.27 输出信号完全对称的鉴频鉴相器电路

其中 Latch 的作用是利用正反馈加快 up 等信号的逻辑转换速度,同时可以使 up 和 upb、dn 和 dnb 的时钟沿满足要求。而 Delay 单元可以对复位信号进行延时控制,以消除环路在锁定态的死区(Dead-zone)。当 REF 和 DIV 的频率和相位完全相同时,得到 up 等时钟信号的仿真曲线如图 3.28 所示,仿真曲线几乎和图 3.26 所示的波形一样,因此图 3.27 所示的鉴频鉴相器满足系统要求。

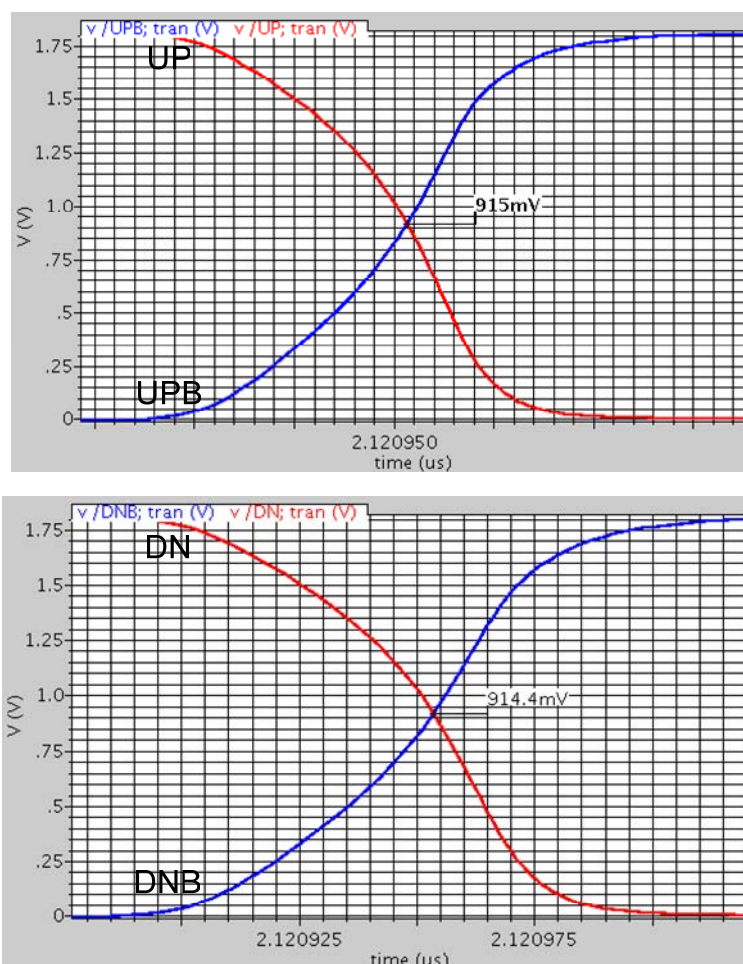


图 3.28 UP、UPB、DN、DNB 四路信号的仿真波形

3.3 三阶无源环路滤波器

由于频率综合器中的电荷泵电路在整个输出电压范围内都可以保证充放电电流的精确匹配,因此我们可以使用无源的环路滤波器电路而避免使用有源环路滤波器所带来的 MOS 噪声和消耗的不必要功耗。无源滤波器只由电阻和电容构成。在集成电路工艺中,实现电阻的方法主要有:多晶硅电阻、扩散区电阻、阱电阻和线性区的 MOS 管。实现电容的方法有: MOS 管电容、金属层间(MIM)电容以及多晶硅层间(PIP)电容。它们的具体性能对比参见表 3-4、3-5。

表 3-4 CMOS 工艺中的电阻特性对比

IC 中的电阻	方块电阻(Ω/sq)	精度	随 PVT 变化情况	寄生效应
---------	----------------------------	----	------------	------

多晶硅电阻	较高	高	变化小	很小
扩散区电阻	一般	一般	变化大	很大
阱电阻	很大	差	变化大	很大
MOS 管	一般	一般	变化大	较小

表 3-5 CMOS 工艺中的电容特性对比

IC 中的电容	电容率(pF/ μm^2)	精度	随 PVT 变化情况	寄生效应
MOS	一般	稍差	变化大	一般
PIP	一般	一般	变化小	较大
MIM	略小	高	变化小	很小

对于无源滤波器中的电阻电容，其寄生参数一定要小，精度一定要高，随工艺、电压、温度的变化也一定要小，因此我们选择多晶硅电阻和 MIM 电容来构建所需要的三阶无源环路滤波器。

3.4 本章小结

本章的设计重点在于高匹配性的全差分电荷泵设计。首先简要分析了电荷泵中非理想因素的主要来源，并推导了控制电压的波动对频综输出信号频谱的影响。然后在分析传统电荷泵存在的缺点的基础上提出了一种新的全差分电荷泵及共模负反馈电路，仿真结果表明，新型电荷泵的压控电压的纹波比传统电荷泵的电压纹波大约小了 18dB。接着还设计了一种输出信号完全对称的鉴频鉴相器电路来有效克服时钟效应。最后确定了环路滤波器采用多晶硅电阻和 MIM 电容来实现。

参考文献

- [1] Vaucher C S. Architectures for RF frequency synthesizers. Kluwer Academic Publishers, 2002
- [2] Bram De Muer et al, "Monolithic CMOS Fractional-N Frequency Synthesizers" Phd.Thesis, KU-Leuven, 2002.
- [3] Rhee W. Design of high-performance CMOS charge pumps in phase-locked loops. IEEE Proceedings of the International Symposium on Circuits and Systems, June 1999.
- [4] Mike Keaveney, et al. A 10 μs Fast Switching PLL Synthesizer for a GSM/EDGE Base-Station. IEEE International Solid-State Circuits Conference, Feb.2004.
- [5] Maxim A. Low-voltage CMOS charge-pump PLL architecture for low jitter

- operation. Proceedings of the 28th European Solid-State Circuit, Sept.2002.
- [6] He Jie et al, “A CMOS Fully Integrated Frequency Synthesizer with Stability Compensation” Chinese Journal of Semiconductors, 2005, 26(8), English.
- [7] Jae-Shin Lee et al.Charge pump with perfect current matching characteristics in phase-locked loops. Electronics Letters, Nov 2000, 36(23):1907-1908.
- [8] Wang Minsheng et al. Constant-gm Rail-to-Rail CMOS Op-Amp Input Stage with Overlapped Transition Regions. IEEE J. Solid-State Circuit, 1999, 34(2):148-156.
- [9] Shu Zhinian et al. A 2.4GHz Ring-Oscillator-Based CMOS Frequency Synthesizer With a Fractional Divider Dual-PLL Architecture. IEEE J. Solid-State Circuit, 2004, 39(3): 452- 462.
- [10]Shanfeng Cheng et al. Design and Analysis of an Ultrahigh-Speed Glitch-Free Fully Differential Charge Pump With Minimum Output Current Variation and Accurate Matching. IEEE Transactions on circuits and systems-II: express briefs, 2006, 53(9): 843-847.
- [11]H.Maarefi, “A wide swing 1.5 V fully differential op-amp using a rail-to-rail analog CMFB circuit”, IEEE MWSCAS-2002.
- [12]B.Razavi. RF Microelectronics, Prentice Hall, 2000.
- [13]B.Razavi. Design of Analog CMOS Integrated Circuits, McGRAW-Hill, 2000.

第四章 频率综合器相位噪声分析及优化

第二章中我们已经讨论过，确定环路参数以后，还要验证采用这些参数设计的系统是否满足相位噪声性能的要求。如果达不到设计指标，则需要重新设计环路参数，通过调整环路带宽 f_c 、电荷泵电流 I_{cp} 、甚至VCO的压控增益 K_{vco} 来优化系统的噪声性能。因此环路的噪声优化是相当重要的一个环节，也是设计高性能、低相位噪声频率综合器不可或缺的部分。

本章首先将给出频率综合器中电荷泵、环路滤波器等模块电路的输出等效噪声源的计算模型，并通过 Spectre 仿真器的输出噪声曲线来验证计算模型的准确程度。然后将推导出基于四阶锁相环路的噪声传递函数，最后通过 MATLAB 程序进行相位噪声优化的分析与设计。

4.1 等效噪声模型

频率综合器电路包括晶体振荡器、鉴频鉴相器、带共模负反馈电路的全差分电荷泵、三阶无源环路滤波器、压控振荡器、分频器、sigma-delta 调制器等。为方便噪声优化的过程,压控振荡器和分频器采用基于性能指标的参数模型进行噪声估计;而其余电路采用基于环路的参数模型进行噪声估计。

4.1.1 全差分电荷泵电路的输出等效电流噪声

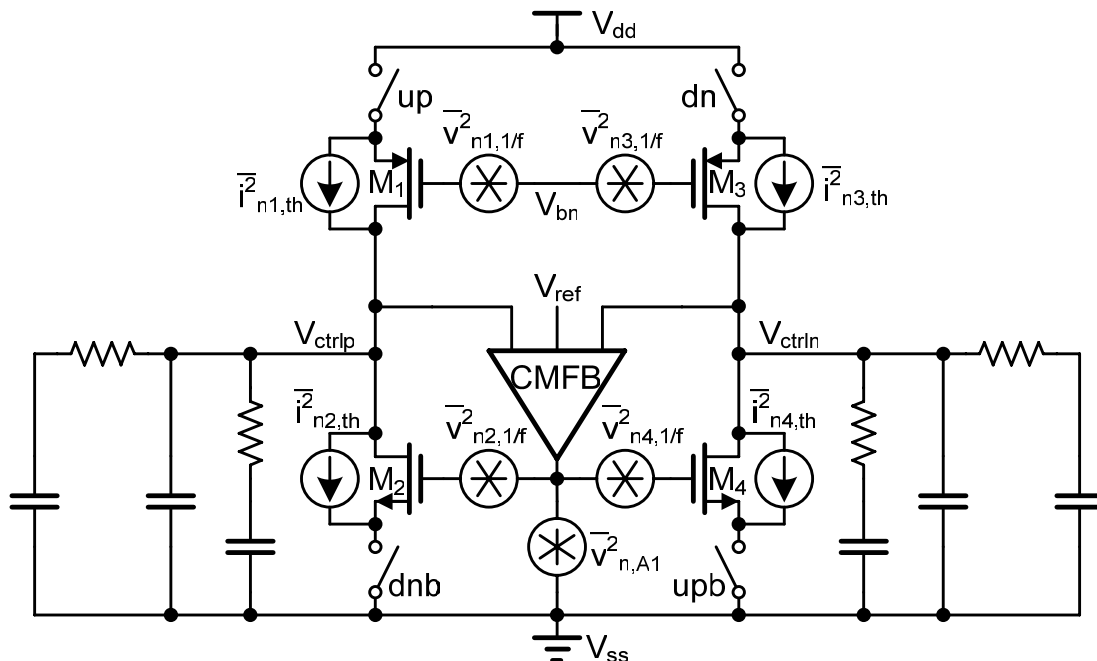


图 4.1 全差分电荷泵的简化图

全差分电荷泵的简化图如图 4.1 所示。共模负反馈电路的输出等效电压噪声 $\overline{v_n^2}$ 对于电荷泵的输出来说是共模噪声源，并不会影响电荷泵的差分输出噪声。因此在

计算电荷泵的等效输出电流噪声时可以忽略共模负反馈电路的影响，实际上电荷泵的输出噪声只来源于电荷泵中 MOS 管的沟道热噪声 $\overline{i_{n,th}^2}$ 及 1/f 噪声 $\overline{v_{n,1/f}^2}$ ，即满足：

$$\overline{i_{n,tot}^2} = 2(S_{i,thermal} + S_{v,flicker}) \quad (4-1)$$

其中 $S_{i,thermal}$ 表示差分电荷泵的每一条单端支路的 MOS 管的沟道热噪声 $\overline{i_{n,th}^2}$ 的贡献； $S_{v,flicker}$ 表示同一条支路的 MOS 管的 1/f 噪声的贡献。因为各条支路的噪声源完全独立，所以，差分电荷泵的输出等效电流噪声是单端的 2 倍。

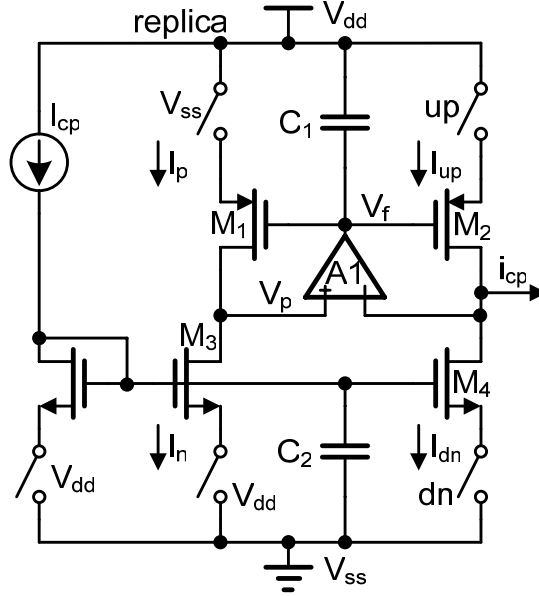


图 4.2 单端电路结构

以其中一条支路为例(图 4.2 所示)，我们计算其输出等效电流噪声的表达式。由于开关的存在，电路的输出电流噪声跟连续时间电路有一定差别。当开关闭合时，我们可以按照连续时间电路推导出电荷泵的输出电流噪声；开关断开后所有的晶体管都不贡献噪声，这就是开关对连续时间电路输出噪声电流的采样。接下来将首先推导开关闭合情况下的输出等效电流噪声，然后将所得表达式在时域上进行采样即可。

(1) 运放的输出等效电压噪声。这里重新画出用于电荷泵中的轨到轨运放 A1(如图 4.3)。根据[1]中的分析，我们知道运放的输出噪声主要来源于 M1~M2、M4~M5、M10~M13 以及电流镜的几个管子，其中，输入对管 M1~M2、M4~M5 的沟道噪声对运放输出噪声的贡献是：

$$\overline{v_{n,m1/m2,t}^2} = 4KT\gamma \frac{1}{g_{m1/m2}} \cdot \left| g_{m1/m2} \cdot \frac{r_{out}}{1 + s r_{out} C_L} \right|^2 = 4KT\gamma \cdot g_{m1/m2} \left| \frac{r_{out}}{1 + s r_{out} C_L} \right|^2 \quad (4-2)$$

$$\overline{v_{n,m4/m5,t}^2} = 4KT\gamma \frac{1}{g_{m4/m5}} \cdot \left| g_{m4/m5} \cdot \frac{r_{out}}{1 + s r_{out} C_L} \right|^2 = 4KT\gamma \cdot g_{m4/m5} \left| \frac{r_{out}}{1 + s r_{out} C_L} \right|^2 \quad (4-3)$$

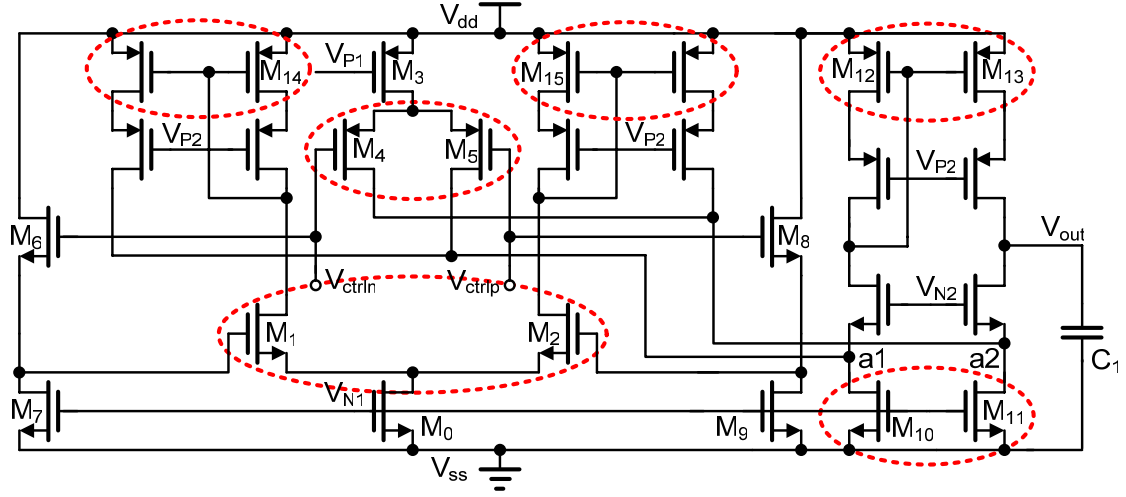


图 4.3 电荷泵中运放 A1 的电路结构

Cascode 电流源 M10~M13 以及电流镜 M14、M15 的沟道噪声电流对运放输出噪声的贡献是：

$$\overline{v_{n,m10/m11,t}^2} = 4KT\gamma g_{m10/m11} \left| \frac{r_{out}}{1 + sr_{out}C_L} \right|^2 \quad (4-4)$$

$$\overline{v_{n,m12/m13,t}^2} = 4KT\gamma g_{m12/m13} \left| \frac{r_{out}}{1 + sr_{out}C_L} \right|^2 \quad (4-5)$$

$$\overline{v_{n,m14/m15,t}^2} = 2 \times 4KT\gamma g_{m14/m15} \left| \frac{r_{out}}{1 + sr_{out}C_L} \right|^2 \quad (4-6)$$

输入对管 M1~M2、M4~M5 的 1/f 噪声对运放输出噪声的贡献是：

$$\overline{v_{n,m1/m2,1/f}^2} = \frac{2\pi K_N}{(WL)_{1,2}C_{ox}s} \cdot |g_{m1/m2} \cdot \frac{r_{out}}{1 + sr_{out}C_L}|^2 = \frac{2\pi K_N}{(WL)_{1,2}C_{ox}s} \cdot g_{m1/m2}^2 \left| \frac{r_{out}}{1 + sr_{out}C_L} \right|^2 \quad (4-7)$$

$$\overline{v_{n,m4/m5,1/f}^2} = \frac{2\pi K_P}{(WL)_{4,5}C_{ox}s} \cdot |g_{m4/m5} \cdot \frac{r_{out}}{1 + sr_{out}C_L}|^2 = \frac{2\pi K_P}{(WL)_{4,5}C_{ox}s} \cdot g_{m4/m5}^2 \left| \frac{r_{out}}{1 + sr_{out}C_L} \right|^2 \quad (4-8)$$

Cascode 电流源 M10~M13 以及电流镜 M14、M15 的 1/f 噪声对运放输出噪声的贡献是：

$$\overline{v_{n,m10/m11,1/f}^2} = \frac{2\pi K_N \cdot g_{m10/m11}^2}{(WL)_{10,11}C_{ox}s} \left| \frac{r_{out}}{1 + sr_{out}C_L} \right|^2 \quad (4-9)$$

$$\overline{v_{n,m12/m13,1/f}^2} = \frac{2\pi K_P \cdot g_{m12/m13}^2}{(WL)_{12,13}C_{ox}s} \left| \frac{r_{out}}{1 + sr_{out}C_L} \right|^2 \quad (4-10)$$

$$\overline{v_{n,m14/m15,1/f}^2} = 2 \times \frac{2\pi K_P \cdot g_{m14/m15}^2}{(WL)_{14,15}C_{ox}s} \left| \frac{r_{out}}{1 + sr_{out}C_L} \right|^2 \quad (4-11)$$

因此运放的总的输出噪声电压的功率谱密度 $\overline{v_{n,A1}^2}$ 为：

$$\begin{aligned}
\overline{v_{n,A1}^2} = & 2(4KT\gamma g_{m1/m2}^2 + 4KT\gamma g_{m4/m5}^2 + 4KT\gamma g_{m10/m11} + 4KT\gamma g_{m12/m13} \\
& + 8KT\gamma g_{m14/m15} + \frac{2\pi K_N g_{m1/m2}^2}{(WL)_{1,2} C_{ox} s} + \frac{2\pi K_P g_{m4/m5}^2}{(WL)_{4,5} C_{ox} s} + \frac{2\pi K_N g_{m10/m11}^2}{(WL)_{10,11} C_{ox} s} \\
& + \frac{2\pi K_P g_{m12/m13}^2}{(WL)_{12,13} C_{ox} s} + \frac{4\pi K_P g_{m14/m15}^2}{(WL)_{14,15} C_{ox} s}) \left| \frac{r_{out}}{1 + s r_{out} C_L} \right|^2
\end{aligned} \quad (4-12)$$

(2) 运放A1 的输出等效电压噪声对电荷泵输出等效电流噪声的贡献。分析模型如图 4.4 所示。其中, $\overline{v_{n,A1}^2}$ 为运放A1 的输出等效电压噪声的功率谱密度。因为M1和M2、M3和M4的几何尺寸完全相同, 所以电压 V_p 和 V_n 始终相等。因此A1 的输出等效电压噪声对电荷泵输出等效电流噪声的贡献为:

$$\overline{i_{n,tot_A1}^2} = \overline{v_{n,A1}^2} \cdot g_{m2}^2 \quad (4-13)$$

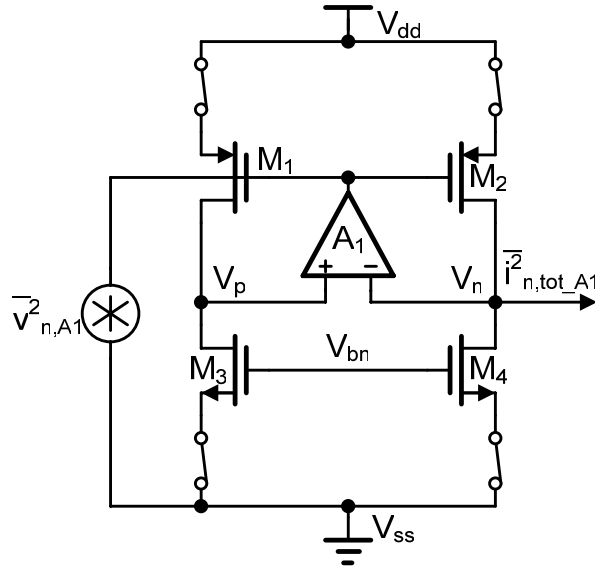


图 4.4 运放 A1 对电荷泵输出噪声贡献的分析模型

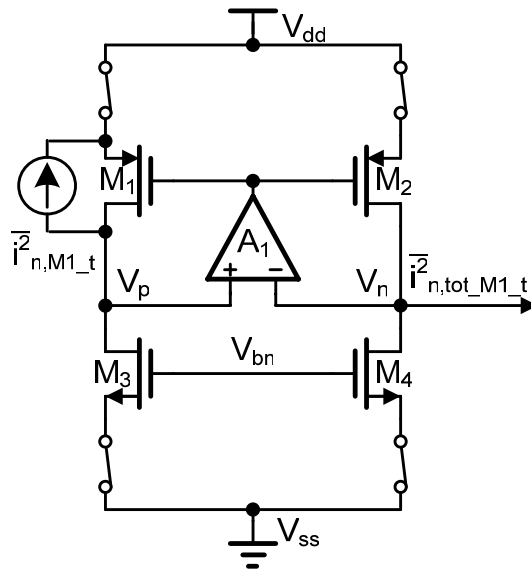


图 4.5 M1 的沟道噪声对电荷泵输出噪声贡献的分析模型

(2) M1 的沟道噪声对电荷泵输出等效电流噪声的贡献: 分析的等效电路模型如图 4.5 所示。 $\overline{i^2_{n,m1_t}}$ 为 M1 沟道噪声的功率谱密度。可得下式成立:

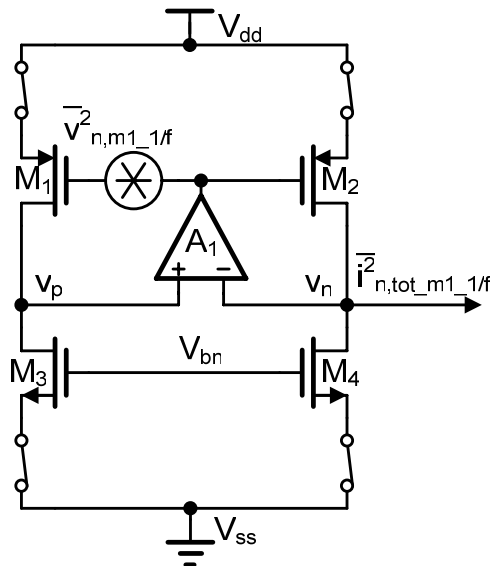
$$\begin{aligned} &-(v_p - v_n)A_1 g_{m2} Z(s) = v_n \\ &-[(v_p - v_n)A_1 g_{m1} + i_{n,m1_t}] Z(s) = v_p \\ &\overline{i^2_{n,m1_t}} = \frac{v_n^2}{|Z(s)|^2} \end{aligned} \quad (4-14)$$

其中 $Z(s)$ 表达式如下:

$$Z(s) = r_{ds1} \parallel r_{ds3} \parallel \frac{1}{sC_D} = r_{ds2} \parallel r_{ds4} \parallel \frac{1}{sC_D} \approx \frac{\frac{r_{ds}}{2}}{1 + s \cdot \frac{r_{ds}}{2} C_D} \quad (4-15)$$

C_D 为输出端的寄生电容。因此 $\overline{i_{n,m1-t}^2}$ 对电荷泵输出等效电流噪声的贡献为:

$$\overline{i^2}_{n,tot_m1_t} = \overline{i^2}_{n,m1_t} \cdot A^2 g_{m2}^2 |Z(s)|^2 = 4KT\gamma g_{m1} \cdot A^2 g_{m2}^2 |Z(s)|^2 \quad (4-16)$$

图 4.6 M1 的 $1/f$ 噪声电压对电荷泵输出噪声贡献的分析模型

(3) M1 的 $1/f$ 噪声对电荷泵输出等效电流噪声的贡献: 分析的等效电路模型如图 4.6 所示, 其中, $\overline{v_{n,m1}^2}_{1/f}$ 为 M1 的 $1/f$ 电压噪声的功率谱密度, 可得:

$$\begin{aligned} &-(v_p - v_n)A_1 g_{m2} Z(s) = v_n \\ &-[(v_p - v_n)A_1 + v_{n,m1_1/f}] g_{m1} Z(s) = v_p \\ &\overline{i^2_{n,tot_m1_1/f}} = \frac{v_n^2}{|Z(s)|^2} \end{aligned} \quad (4-17)$$

因此 $\overline{v_{n,ml}^2}$ 对电荷泵输出等效电流噪声的贡献为:

$$\overline{i^2}_{n,tot_m1_1/f} = \overline{v^2}_{n,m1_1/f} \cdot g_{m1}^2 A_1^2 g_{m2}^2 |Z(s)|^2 = \frac{2\pi K_P g_{m1}^2}{(WL)_{m1} C_{ov} S} \cdot A_1^2 g_{m2}^2 |Z(s)|^2 \quad (4-18)$$

同理，我们可以得到 M2、M3、M4 的沟道噪声和 $1/f$ 噪声对电荷泵输出等效电流噪

声的贡献，整理如下：

(1)M2 管的沟道噪声的贡献：

$$\overline{i_{n,tot_m2_t}^2} = \overline{i_{n,m2_t}^2} \cdot |1 + A_1 g_{m1} Z(s)|^2 = 4KT\gamma g_{m2} \cdot |1 + A_1 g_{m1} Z(s)|^2 \quad (4-19)$$

(2)M2 管的 1/f 噪声的贡献：

$$\overline{i_{n,tot_m2_1/f}^2} = \overline{v_{n,m2_1/f}^2} \cdot g_{m2}^2 |1 + A_1 g_{m1} Z(s)|^2 = \frac{2\pi \cdot K_p g_{m2}^2}{(WL)_{m2} C_{ox} s} \cdot |1 + A_1 g_{m1} Z(s)|^2 \quad (4-20)$$

(3)M3 管的沟道噪声的贡献：

$$\overline{i_{n,tot_m3_t}^2} = \overline{i_{n,m3_t}^2} \cdot A_1^2 g_{m2}^2 |Z(s)|^2 = 4KT\gamma g_{m3} \cdot A_1^2 g_{m2}^2 |Z(s)|^2 \quad (4-21)$$

(4)M3 管的 1/f 噪声的贡献：

$$\overline{i_{n,tot_m3_1/f}^2} = \overline{v_{n,m3_1/f}^2} \cdot |g_{m3} g_{m2} A_1 Z(s)|^2 = \frac{2\pi K_n g_{m3}^2}{(WL)_{m3} C_{ox} s} \cdot |g_{m2} A_1 Z(s)|^2 \quad (4-22)$$

(5)M4 管的沟道噪声的贡献：

$$\overline{i_{n,tot_m4_t}^2} = \overline{i_{n,m4_t}^2} \cdot |1 + A_1 g_{m1} Z(s)|^2 = 4KT\gamma g_{m4} |1 + A_1 g_{m1} Z(s)|^2 \quad (4-23)$$

(6)M4 管的 1/f 噪声的贡献：

$$\overline{i_{n,tot_m4_1/f}^2} = \overline{v_{n,m4_1/f}^2} \cdot g_{m4}^2 |1 + A_1 g_{m1} Z(s)|^2 = \frac{2\pi \cdot K_n g_{m4}^2}{(WL)_{m4} C_{ox} s} |1 + A_1 g_{m1} Z(s)|^2 \quad (4-24)$$

可得开关始终闭合时电荷泵输出等效电流噪声为：

$$\begin{aligned} \overline{i_{n,tot}^2} = & \overline{v_{n,A1}^2} \cdot g_{m2}^2 + 4KT\gamma g_{m1} |A_1 g_{m2} Z(s)|^2 + 4KT\gamma g_{m2} |1 + A_1 g_{m1} Z(s)|^2 \\ & + 4KT\gamma g_{m3} |A_1 g_{m2} Z(s)|^2 + 4KT\gamma g_{m4} |1 + A_1 g_{m1} Z(s)|^2 \\ & + \frac{2\pi K_p \cdot g_{m1}^2}{(WL)_{m1} C_{ox} s} \cdot |A_1 g_{m2} Z(s)|^2 + \frac{2\pi \cdot K_p g_{m2}^2}{(WL)_{m2} C_{ox} s} \cdot |1 + A_1 g_{m1} Z(s)|^2 \\ & + \frac{2\pi K_n g_{m3}^2}{(WL)_{m3} C_{ox} s} \cdot |g_{m2} A_1 Z(s)|^2 + \frac{2\pi \cdot K_n g_{m4}^2}{(WL)_{m4} C_{ox} s} |1 + A_1 g_{m1} Z(s)|^2 \end{aligned} \quad (4-25)$$

其中开关信号 $up(t)$ 和 $dn(t)$ 是周期性脉宽信号，其对 $\overline{i_{n,tot}^2}$ 在时域上的采样(乘积)对应着频域上的卷积。对 $up^2(t)$ 信号求傅立叶变换得：

$$S_{up}(\omega) = \sum_{n=-\infty}^{+\infty} a_n^2 \delta(\omega - n\omega_0) \quad (4-26)$$

其中傅立叶系数 a_n 的表达式为 $\sin(n\omega_{ref}T_{on}/2)/n\pi$ ，因此电荷泵电路的输出等效电流噪声的表达式为：

$$\overline{i_{n,charge_pump}^2}(s) = \overline{i_{n,tot}^2}(s) * S_{up}(\omega) \quad (4-27)$$

图 4.7 所示波形为计算结果和 Spectre 仿真结果的对比。计算值和仿真值最大差距不超过 1dB，可见噪声计算模型能够很精确的拟和仿真结果，因此计算模型对于实际电路的设计也就更有指导意义。

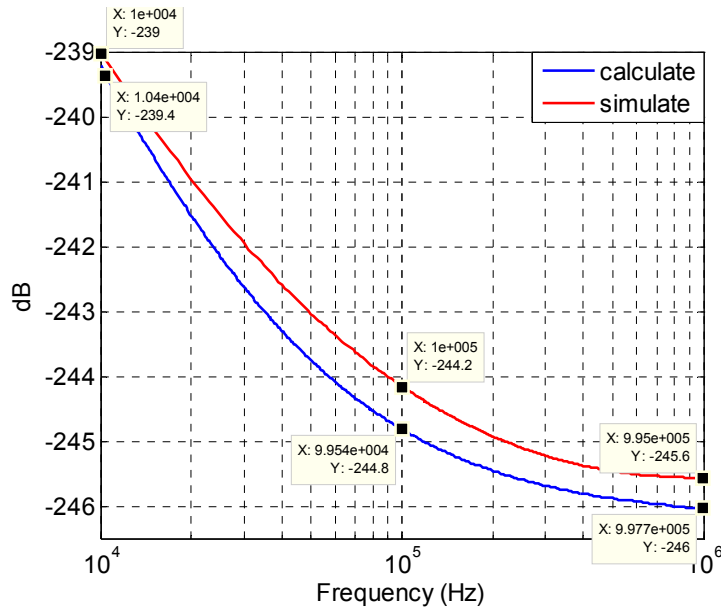


图 4.7 电荷泵输出等效电流噪声的计算值和仿真值的对比

4.1.2 三阶无源环路滤波器的输出等效电压噪声

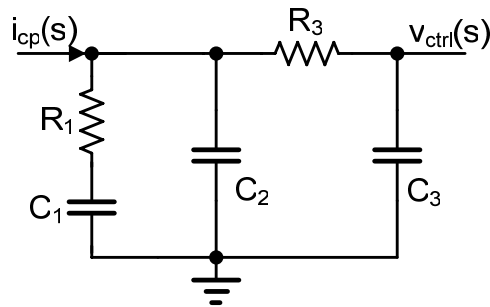
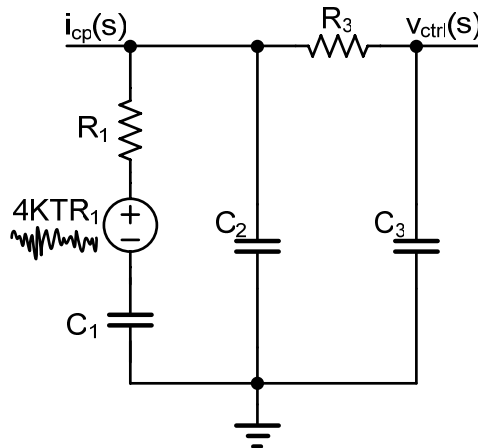


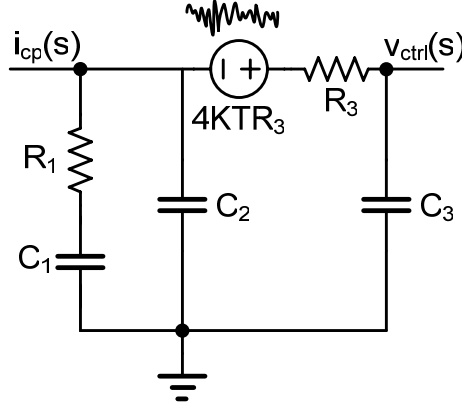
图 4.8 三阶无源环路滤波器

三阶无源环路滤波器电路如图 4.8 所示，电阻 R_1 和 R_3 都会贡献热噪声。对于 R_1 的噪声源 $\overline{v_{n,R1}^2} = 4KTR_1$ ，其对输出噪声的贡献可以通过图 4.9 的等效电路进行推导：


 图 4.9 计算电阻 R_1 噪声贡献的等效电路

可以得到电阻 R_1 的噪声贡献表达式如下：

$$\begin{aligned} \overline{v_{n,R1}^2} &= 4kTR_1 \cdot \left| \frac{1}{R_1 + \frac{1}{sC_1}} \cdot \left[\left(R_1 + \frac{1}{sC_1} \right) \parallel \frac{1}{sC_2} \parallel \left(R_3 + \frac{1}{sC_3} \right) \right] \cdot \frac{1}{R_3 + \frac{1}{sC_3}} \right|^2 \\ &= \frac{4kTR_1 C_1^2}{\left| s^2 R_1 C_1 C_2 R_3 C_3 + s(R_1 C_1 C_2 + R_1 C_1 C_3 + R_3 C_2 C_3 + R_3 C_3 C_1 + C_1 + C_2 + C_3) \right|^2} \end{aligned} \quad (4-28)$$

图 4.10 计算电阻 R_3 噪声贡献的等效电路

同理，可以推导出 R_3 对输出噪声的贡献，具体的小信号电路如图 4.10 所示，可得：

$$\overline{v_{n,R3}^2} = \frac{4kTR_3 \cdot |sR_1 C_1 C_2 + C_1 + C_2|^2}{\left| s^2 R_1 C_1 C_2 R_3 C_3 + s(R_1 C_1 C_2 + R_1 C_1 C_3 + R_3 C_2 C_3 + R_3 C_3 C_1 + C_1 + C_2 + C_3) \right|^2} \quad (4-29)$$

因为 R_1 和 R_3 是独立的噪声源，所以环路滤波器的输出等效电压噪声 $\overline{v_{n,lpf}^2}$ 的值应该为式(4-28)和式(4-29)之和，即：

$$\begin{aligned} \overline{v_{n,lpf}^2} &= \frac{4kTR_1 C_1^2}{\left| s^2 R_1 C_1 C_2 R_3 C_3 + s(R_1 C_1 C_2 + R_1 C_1 C_3 + R_3 C_2 C_3 + R_3 C_3 C_1 + C_1 + C_2 + C_3) \right|^2} \\ &\quad + \frac{4kTR_3 \cdot |sR_1 C_1 C_2 + C_1 + C_2|^2}{\left| s^2 R_1 C_1 C_2 R_3 C_3 + s(R_1 C_1 C_2 + R_1 C_1 C_3 + R_3 C_2 C_3 + R_3 C_3 C_1 + C_1 + C_2 + C_3) \right|^2} \end{aligned} \quad (4-30)$$

根据表达式(4-30)和 Spectre 的仿真结果，可以得到图 4.11 所示的曲线，对比发现两者的最大差值仅 2dB，因此噪声计算模型也能够很好的拟和 Spectre 仿真器的仿真结果。

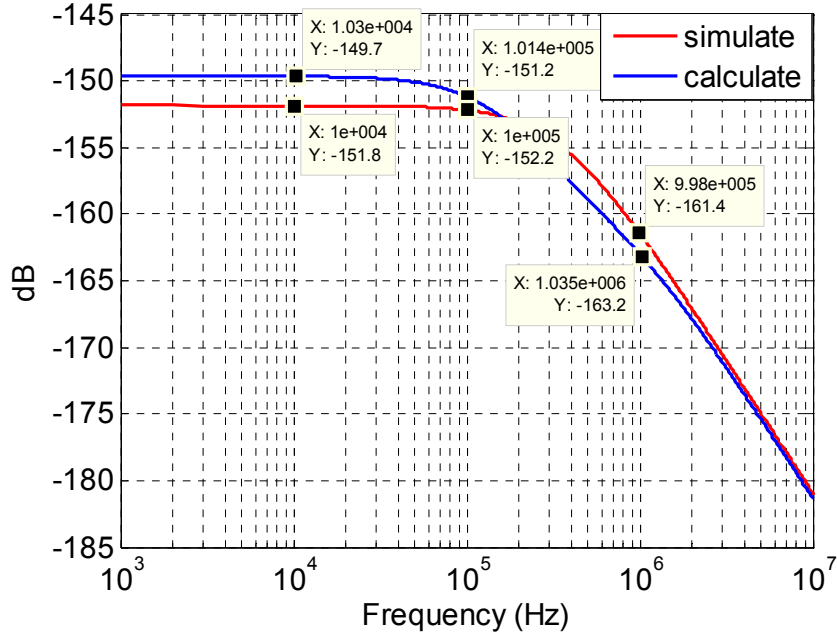


图 4.11 环路滤波器的噪声计算曲线和 Spectre 仿真曲线的对比

4.1.3 sigma-delta 调制器的输出等效噪声

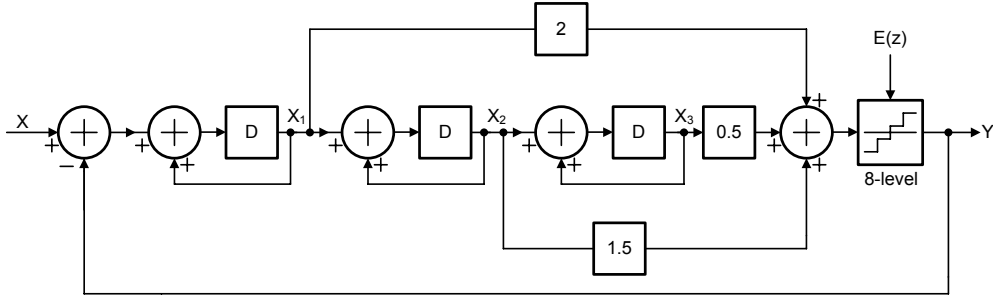


图 4.12 三阶、三比特 sigma-delta 调制器

Sigma-delta 调制器的结构如图 4.12 所示，其中所有的模块都可以用简单的数字电路实现，简化了设计上的难度。由图 4.12 可得调制器的噪声传递函数 $H_n(z)$ 的表达式为：

$$H_n(z) = \frac{Y(z)}{E(z)} = \frac{(z-1)^3}{z^3 - z^2 + 0.5z} \quad (4-31)$$

则调制器量化噪声的表达式为：

$$Q(z) = |H_n(z)|^2 \cdot \frac{1}{12 f_{ref}} \quad (4-32)$$

式(4-32)的计算曲线和 simulink 行为级仿真曲线如图 4.13 所示。从 400KHz 到 12.5MHz 两者之间非常接近。但是当频率小于 400KHz 时，Simulink 的噪底始终维持在 -140dBc/Hz 附近，计算曲线却可以向下一直延伸，原因可能是由于计算时假定输入为理想的白噪声，而 Simulink 的仿真结果要受到 dither 的限制。

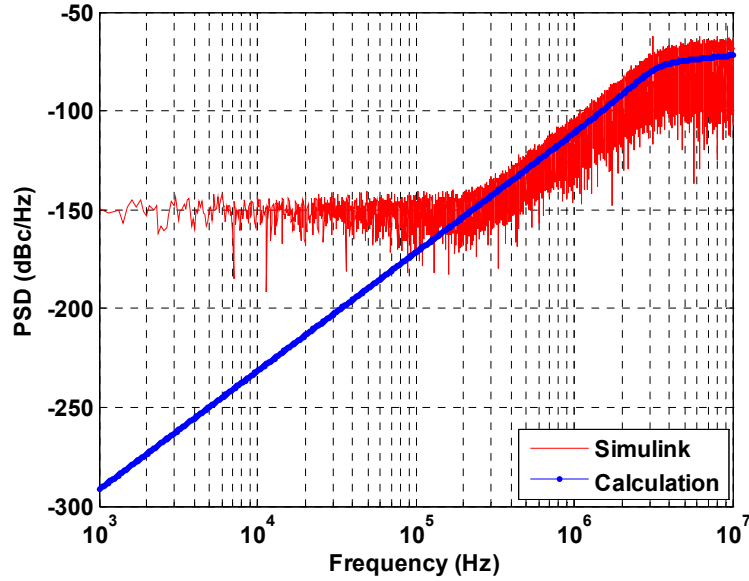


图 4.13 调制器的量化噪声计算曲线和行为级仿真曲线的对比

4.1.4 压控振荡器和分频器的相位噪声

与电荷泵和环路滤波器相比，压控振荡器和分频器很难用相关的环路参数来估计它们的噪声。这里采取基于设计的性能指标，给压控振荡器和分频器的噪声性能指定一个上限，并用此上限作为压控振荡器和分频器的噪声估计。

(1) 压控振荡器的噪声估计：压控振荡器的相位噪声可分为三个区域： $1/f^3$ 、 $1/f^2$ 以及噪声基底^[2]。图 4.14 为压控振荡器相位噪声的功率谱密度曲线， f_1 、 f_2 分别代表了在 $1/f^3$ 、 $1/f^2$ 区域的典型频偏值，相位噪声的实际取值就是压控振荡器设计时的上限指标。其相位噪声的参数模型可以表示为：

$$S_{vco,n}(f) = A\left(\frac{f_1}{f}\right)^3 + B\left(\frac{f_2}{f}\right)^2 + C \quad (4-33)$$

其中，A是在频偏 f_1 (在 $1/f^3$ 区域)处的相位噪声；B是在频偏 f_2 (在 $1/f^2$ 区域)处的相位噪声；C是噪声基底，A, B, C的单位都是dBc/Hz。

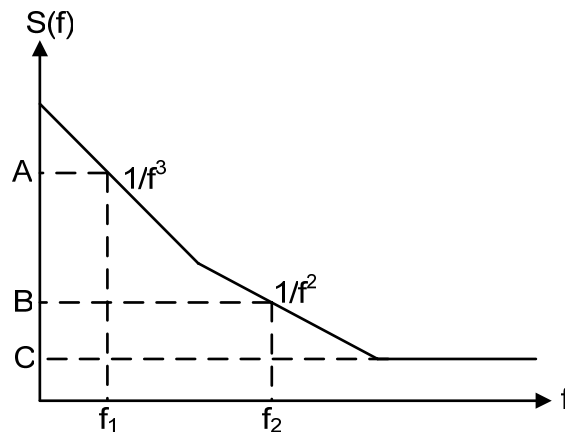


图 4.14 压控振荡器相位噪声的功率谱密度

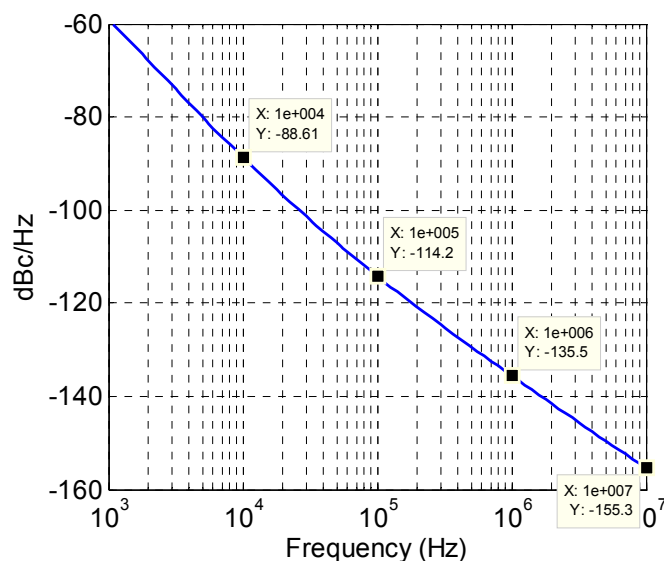


图 4.15 压控振荡器的相位噪声仿真曲线

根据图 4.15 所示的压控振荡器相位噪声的仿真曲线, 我们可以确定出式(4-33)中 A, B, C, f_1 和 f_2 的取值如表 4-1 所示:

表 4-1 拟和函数(4-33)的参数取值

A	B	C	f_1	f_2
$10^{-9.165}$	$10^{-11.5}$	10^{-18}	10KHz	100KHz

图 4.16 所示的拟和曲线和仿真曲线相当接近。因此完全可以用表 4-1 的数值以及式 (4-33)来对压控振荡器的相位噪声进行建模。

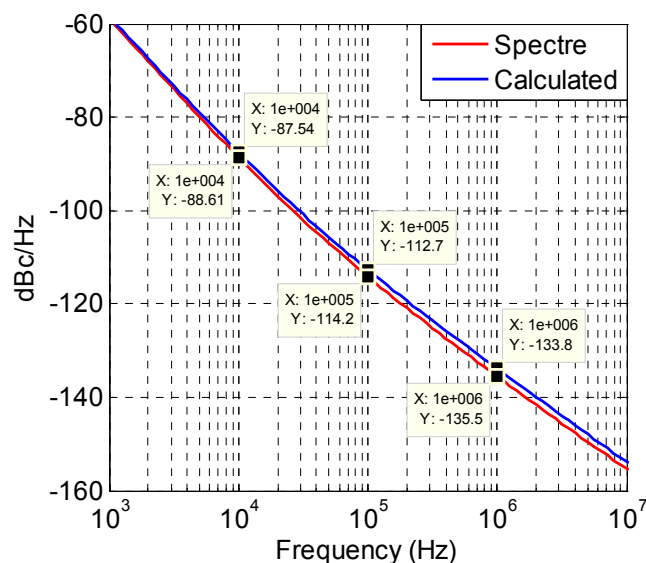


图 4.16 压控振荡器的相位噪声拟和曲线和仿真曲线的对比

(2) 分频器的噪声估计

分频器只由电阻和 MOS 管构成，其相位噪声的频谱特性也可以分为两个区域： $1/f$ 区域和基底噪声区域。与 VCO 相似，也可用下述公式来拟和，

$$S_{div,n}(f) = D\left(\frac{f_3}{f}\right) + E \quad (4-34)$$

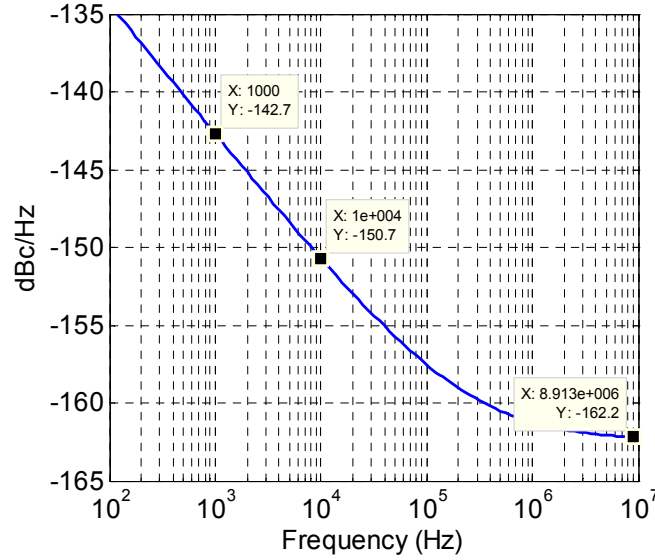


图 4.17 分频器的相位噪声仿真曲线

其中, f_3 是 $1/f$ 区域的典型频偏值, D 是在频偏 f_3 处的相位噪声, E 是噪声基底。根据图 4.17 可以得到(4.34)式的参数值如下: $D=10^{-15}$, $E=10^{-16}$, $f_3=10\text{KHz}$ 。图 4.18 所示的拟和曲线和仿真曲线很接近。因此(4-34)式可以用来描述分频器的相位噪声。

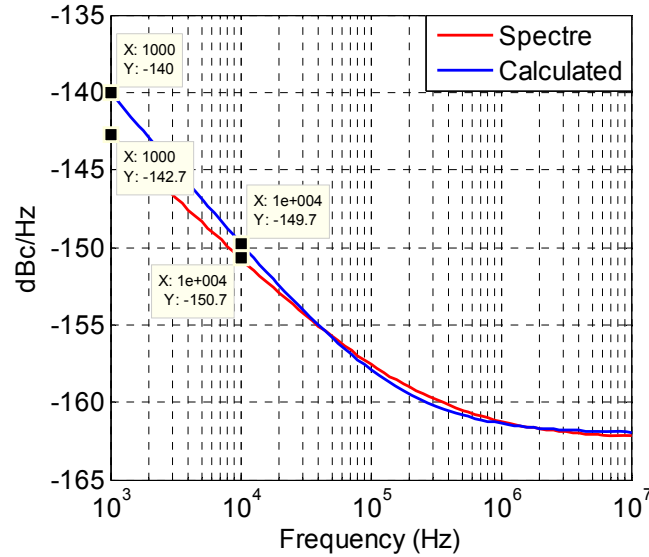


图 4.18 分频器的相位噪声拟和曲线和仿真曲线的对比

以上我们定量分析了电荷泵、环路滤波器、压控振荡器、分频器、sigma-delta 调制器的输出等效噪声，得到了各模块电路的输出等效噪声的解析表达式；同时利用 Spectre 仿真器分别对各模块电路进行噪声仿真。所有的计算结果都可以很好的拟和仿真结果，因此各模块电路的输出等效噪声的解析表达式是可以用来估算频率综合

器的相位噪声性能的。

4.2 四阶环路的噪声传递函数

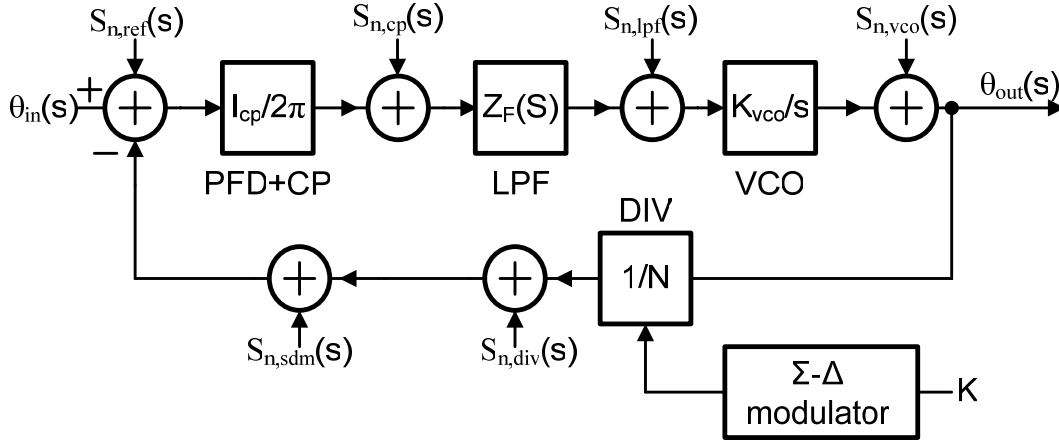


图 4.19 相位噪声传递函数的分析模型

图 4.19 为锁相环路的相位噪声分析模型，其中参考时钟、鉴频鉴相器和电荷泵、环路滤波器、压控振荡器、分频器、sigma-delta 调制器的输出噪声功率谱密度分别为 $S_{n,ref}(s)$ 、 $S_{n,cp}(s)$ 、 $S_{n,lpf}(s)$ 、 $S_{n,vco}(s)$ 、 $S_{n,div}(s)$ 、 $S_{n,sdm}(s)$ 。因为每个模块电路的噪声源到环路输出端 $\theta_{out}(s)$ 的传递函数不同，所以它们对环路相位噪声的贡献也不同，本节我们将推导各模块电路的噪声传递函数。

(1) 开环传递函数的表达式为：

$$H_o(s) = \frac{I_{CP} K_{VCO}}{2\pi N (C_1 + C_2 + C_3)} \cdot \frac{1 + s/\omega_z}{s^2 (1 + s/\omega_{p2})(1 + s/\omega_{p3})} \quad (4-35)$$

(2) 参考时钟的噪声传递函数：

由 $(\theta_{n,ref}(s) - \frac{\theta_{n,out}(s)}{N}) \cdot \frac{1}{2\pi} \cdot I_{cp} \cdot Z_F(s) \cdot \frac{K_{vco}}{s} = \theta_{n,out}(s)$ 可得下式成立：

$$\frac{\theta_{n,out}(s)}{\theta_{n,ref}(s)} = \frac{NH_o(s)}{1 + H_o(s)} \quad (4-36)$$

(3) 电荷泵的噪声传递函数：

由 $[(0 - \frac{\theta_{n,out}(s)}{N}) \cdot \frac{I_{cp}}{2\pi} + \theta_{n,pfd+cp}(s)] \cdot Z_F(s) \cdot \frac{K_{vco}}{s} = \theta_{n,out}(s)$ 可得下式成立：

$$\frac{\theta_{n,out}(s)}{\theta_{n,pfd+cp}(s)} = \frac{NH_o(s) \cdot 2\pi}{(1 + H_o(s)) I_{cp}} \quad (4-37)$$

(4) 环路滤波器的噪声传递函数：

由 $[(0 - \frac{\theta_{n,out}(s)}{N}) \cdot \frac{I_{cp}}{2\pi} \cdot Z_F(s) + \theta_{n,lpf}(s)] \cdot \frac{K_{vco}}{s} = \theta_{n,out}(s)$ 可得下式成立：

$$\frac{\theta_{n,out}(s)}{\theta_{n,lpf}(s)} = \frac{\frac{K_{vco}}{s}}{1 + H_o(s)} \quad (4-38)$$

(5) 压控振荡器的噪声传递函数:

由 $[(0 - \frac{\theta_{n,out}(s)}{N}) \cdot \frac{I_{cp}}{2\pi} \cdot Z_F(s) \cdot \frac{K_{vco}}{s}] + \theta_{n,vco}(s) = \theta_{n,out}(s)$ 可得下式成立:

$$\frac{\theta_{n,out}(s)}{\theta_{n,vco}(s)} = \frac{1}{1 + H_o(s)} \quad (4-39)$$

(6) 分频器的噪声传递函数:

由 $[0 - (\frac{\theta_{n,out}(s)}{N} + \theta_{n,div}(s))] \cdot \frac{I_{cp}}{2\pi} \cdot Z_F(s) \cdot \frac{K_{vco}}{s} = \theta_{n,out}(s)$ 可得下式成立:

$$\frac{\theta_{n,out}(s)}{\theta_{n,div}(s)} = \frac{NH_o(s)}{1 + H_o(s)} \quad (4-40)$$

(7) sigma-delta 调制器的噪声传递函数:

根据文献^[3-5]可得调制器的相位域等效输出噪声为:

$$S_\varphi(z) = \frac{(2\pi)^2}{|1 - z^{-1}|^2} \cdot \frac{S_f(z)}{f_{ref}^2} \cdot \frac{1}{N^2} = \frac{1}{N^2} \cdot \frac{f_{ref}}{12} |H_n(z)|^2 \cdot \frac{(2\pi)^2}{|1 - z^{-1}|^2} \cdot \frac{1}{f_{ref}^2} \quad (4-41)$$

因为调制器的量化噪声等效到分频器的输出, 所以 sigma-delta 调制器的噪声传递函数和分频器相同, 表达式如下:

$$\frac{\theta_{n,out}(s)}{\theta_{n,sdm}(s)} = \frac{NH_o(s)}{1 + H_o(s)} \quad (4-42)$$

因此可得调制器的量化噪声对频率综合器相位噪声的贡献是:

$$\theta_{n,out-sdm}^2 = S_\varphi(z) \cdot \left| \frac{NH_o(s)}{1 + H_o(s)} \right|^2 = \frac{(2\pi)^2 \cdot |H_n(z)|^2}{|1 - z^{-1}|^2 \cdot 12 f_{ref}} \cdot \left| \frac{H_o(s)}{1 + H_o(s)} \right|^2 \quad (4-43)$$

图 4.20 所示的噪声传递函数曲线表明了压控振荡器的噪声传递函数呈高通特性, 环路滤波器的噪声传递函数呈带通特性, 而其余电路的噪声传递函数均呈低通特性。因此对于频率综合器来说, 压控振荡器和 sigma-delta 调制器决定了系统的带外相位噪声性能, 而电荷泵则决定了系统的带内相位噪声性能。在下一节我们将阐述如何对环路的噪声进行优化设计以满足系统指标

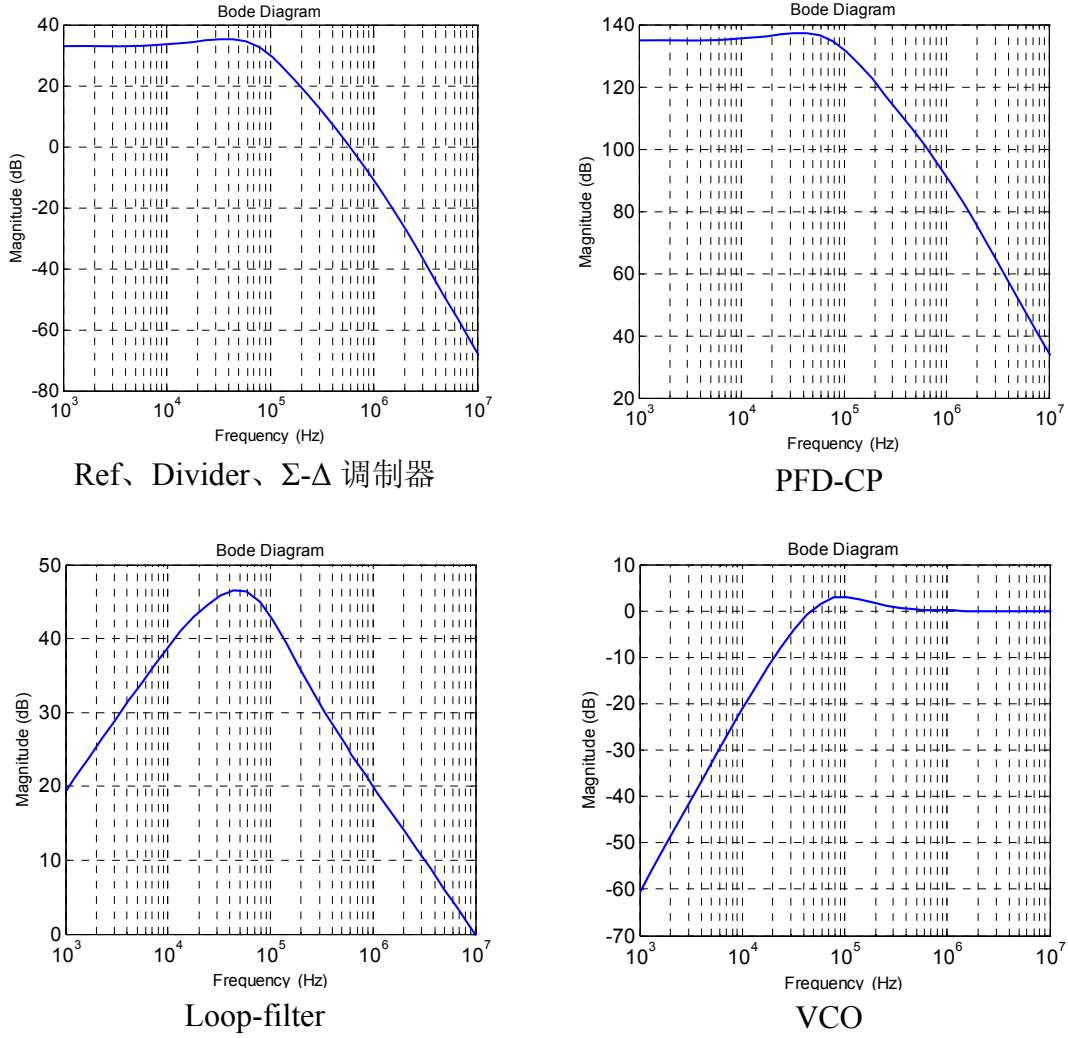


图 4.20 各模块电路的噪声传递函数曲线

4.3 相位噪声优化设计

频率综合器的环路参数一旦改变, 各模块电路对环路输出相位噪声的贡献同样会随之改变。因此一定存在一组环路参数值使得频率综合器的相位噪声最优。

(1) 对于参考时钟来说, $\theta_{n,out_ref}^2(s)$ 为参考时钟对输出相位噪声的贡献量, 其大小为:

$$\theta_{n,out_ref}^2(s) = \theta_{n,ref}^2(s) \cdot \left| \frac{NH_o(s)}{1 + H_o(s)} \right|^2 \xrightarrow{s \rightarrow 0} \theta_{n,ref}^2(s) \cdot N^2 \quad (4-44)$$

(2) 分频器的情况和参考时钟的情况相似, 其对输出相位噪声的贡献量 $\theta_{n,out_div}^2(s)$ 满足:

$$\theta_{n,out_div}^2(s) = \theta_{n,div}^2(s) \cdot \left| \frac{NH_o(s)}{1 + H_o(s)} \right|^2 \xrightarrow{s \rightarrow 0} \theta_{n,div}^2(s) \cdot N^2 \quad (4-45)$$

(3) 对于鉴频鉴相器和电荷泵电路来说, $\theta_{n,out_cp}^2(s)$ 为电荷泵对输出相位噪声的贡献, 其大小为:

$$\theta_{n,out_cp}^2(s) = i_{n,cp}^2(s) \cdot \left| \frac{NH_o(s) \cdot 2\pi}{(1 + H_o(s))I_{cp}} \right|^2 \xrightarrow{s \rightarrow 0} i_{n,cp}^2(s) \cdot \left| \frac{2\pi N}{I_{cp}} \right|^2 \quad (4-46)$$

电流噪声 $i_{n,cp}^2(s)$ 是与电流 i_{cp} 呈正比的，在低频处 $\theta_{n,out_cp}^2(s)$ 满足：

$$\theta_{n,out_cp}^2(s) \propto \frac{(2\pi N)^2}{I_{cp}} \quad (4-47)$$

(4) 对于VCO来说， $\theta_{n,out_vco}^2(s)$ 为VCO对输出相位噪声的贡献量，其大小为：

$$\theta_{n,out_vco}^2(s) = v_{n,vco}^2(s) \cdot \left| \frac{1}{1 + H_o(s)} \right|^2 \quad (4-48)$$

可见，在低频处(环路带宽以内)，VCO 的相位噪声将会被环路抑制掉；而在高频处，VCO 的相位噪声将会通过环路以 0dB 增益传递到频率综合器的输出。

(5) 对于环路滤波器来说， $\theta_{n,out_lpf}^2(s)$ 为无源环路滤波器对输出相位噪声的贡献，其大小为：

$$\theta_{n,out_lpf}^2(s) = v_{n,lpf}^2(s) \cdot \left| \frac{\frac{K_{vco}}{s}}{1 + H_o(s)} \right|^2 \quad (4-49)$$

$\theta_{n,out_lpf}^2(s)$ 呈带通特性，其通带增益将会受到如下环路因素的影响(表 4-2 所示)。

表 4-2 环路滤波器通带增益随环路参数的变化

	$ \max(\theta_{n,out_lpf}^2(s)) $
I_{cp} 增加一倍	降低 3dB
K_{vco} 增加一倍	增加 3dB
f_c 增加一倍	降低 3dB
b 增加一倍	几乎不变
N 增加一倍	增加 3dB

综上，可以归纳出优化环路噪声的方法如下：

(1) 各个模块电路的输出等效噪声一定要最小。

(2) 为了降低参考时钟、分频器、电荷泵以及环路滤波器的噪声贡献，分频比越小越好，这在分数分频频率综合器中是可行的。

(3) 为了降低电荷泵的噪声贡献以及滤波器电阻的噪声，需要增大电荷泵的电流，这会增大环路滤波器中的电容值。对于单片集成的频率综合器来说，最大的片上电容值必须小于 250pF。

(4) 为了降低滤波器的噪声贡献以及压控振荡器自身的相位噪声，我们需要较小的 VCO 压控增益，可以依靠数字分带技术实现。

(5) 以 MASH 结构的调制器为例，不同阶数的调制器的输出量化噪声 $L(f)$ 满足下式 [5]：

$$L(f) = \frac{(2\pi)^2}{12 f_{ref}} \cdot \left\{ 2 \sin\left(\pi \frac{f}{f_{ref}}\right) \right\}^{2(m-1)} \quad (4-50)$$

因此调制器的阶数越高，带内噪声整型性能会越好。为了滤除调制器引入的高频噪声，就需要引入额外的极点，过多的极点会降低环路的相位裕度。

(6)调制器的噪声整型功能会恶化频率综合器在 1MHz 的噪声性能，因此需要在 800KHz 处加入一个极点滤除调制器的噪声。为了仍保持足够的相位裕度(50°左右)，环路带宽必须小于 70KHz。

(7)为了满足锁定时间的要求，环路带宽要大于 25KHz。

总之，我们需要设计一个基于 sigma-delta 噪声整型的低相位噪声单片集成分数分频频率综合器。根据第二章所述的频率综合器的设计流程，可以得到环路参数的初值，但是这些参数所对应的相位噪声性能是不满足要求的，因此需要进行相位噪声的优化设计。根据指标要求，可以得到如下的噪声优化流程。

- (1)根据已经设计好的压控振荡器电路确定压控增益 K_{vco} 。本设计中 K_{vco} 为 10MHz/V。
- (2)确定电容比 b 。一般取电容比 $b=C_1/(C_2+C_3)=10$ 。
- (3)根据系统要求确定分频比 N 。本电路中分频比 N 的范围是 40-48，对应的 VCO 频率是 1GHz-1.2GHz。

以上都是由系统直接确定的或者已经设计完成的 (如VCO)部分，它们在频率综合器设计过程中一般是不变的。能改变的只有环路带宽 f_c 以及电荷泵的电流 I_{cp} 。其中 f_c 必须满足 $25KHz < f_c < 70KHz$ ，这里假设 $f_c=40KHz$ ，为了保证滤波器电容 C_1 小于 250pF，电荷泵电流不能大于 10 μA ，将表 4-3 所示数值代入Matlab计算程序可得环路的相位噪声计算曲线如图 4.21 所示。

表 4-3 图 4.23 所对应的环路参数值

I_{cp}	K_{vco}	N	f_c	b
10 μA	10MHz/V	44	40KHz	10

由于电荷泵电流较小，所以带内噪声不满足要求。增大电流到 25 μA ，其它参数不变，可得图 4.22 所示的相位噪声计算曲线。此时环路滤波器电容 $C_1=540pF$ ，这将占用相当大的芯片面积。因此，在保持电荷泵电流 $I_{cp}=25\mu A$ 的同时，环路带宽增大到 60KHz左右，此时得到的相位噪声计算曲线如图 4.23 所示，环路的阶跃相应曲线如图 4.24 所示，所对应的一切环路参数如表 4-4 所示。相位噪声计算曲线和阶跃相应曲线均满足设计指标要求。至此，我们就完成了频率综合器的系统级和电路级的设计及噪声优化。

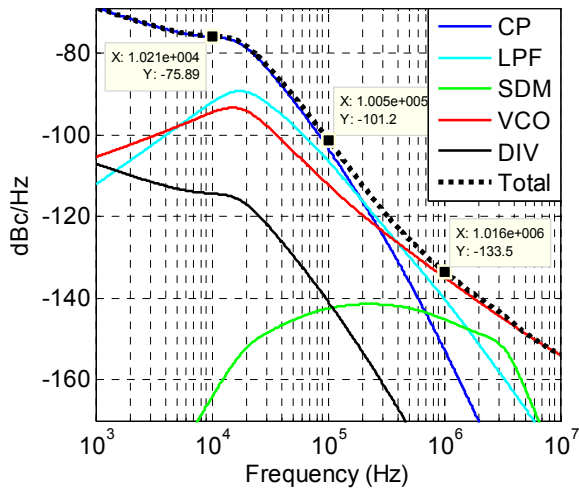


图 4.21 $I_{cp}=10\mu A$, $f_c=40\text{KHz}$ 时相噪曲线

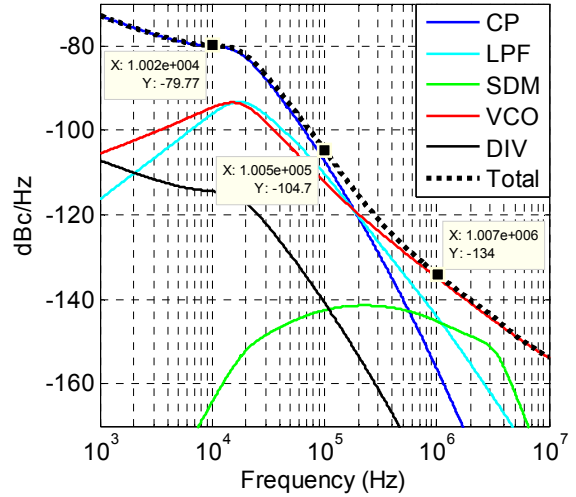


图 4.22 $I_{cp}=25\mu A$, $f_c=40\text{KHz}$ 时相噪曲线

表 4-4 最终确定的系统参数

$I_{cp}=25\mu A$	$f_c=60\text{KHz}$
$K_{vco}=10\text{MHz/V}$	$N=44$
$b=10$	$R_1=36.5\text{K}$
$R_3=39\text{K}$	$C_1=240\text{pF}$
$C_2=12\text{pF}$	$C_1=12\text{pF}$

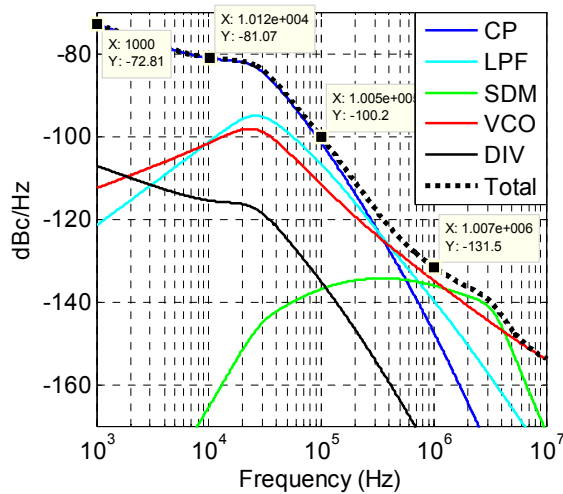


图 4.23 $I_{cp}=25\mu A$, $f_c=60\text{KHz}$ 时相噪曲线

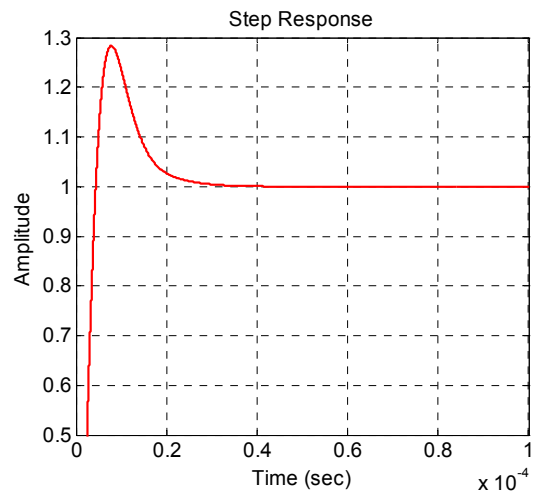


图 4.24 环路阶跃相应曲线

4.4 本章小结

本章的主要目的就是频率综合器的相位噪声进行精确建模。首先得到全差分电荷泵的输出等效电流噪声的表达式以及三阶无源环路滤波器的输出等效电压噪声的表达式，计算结果和仿真结果的接近验证了计算模型的准确。然后推导了调制器

量化噪声的表达式，并用行为级仿真进行了验证，同时根据性能指标得到了压控振荡器和分频器相位噪声的拟和公式。最后经过一些噪声优化的方法，得到了满足要求的环路参数。

参考文献

- [1] B.Razavi. Design of Analog CMOS Integrated Circuits, McGRAW-Hill, 2000.
- [2] D.B.Leeson, "A simple model of feedback oscillator noises spectrum." Proc.IEEE, Vol. 54, pp. 329-330, Feb. 1966.
- [3] B.Miller and R.Conley, "A multiple modulator fractional divider," IEEE Transactions on Instrumentation and Measurement, vol. 40, pp. 578-583, June 1991.
- [4] T.A.Riley et al. "Delta-sigma modulation in fractional-N frequency synthesis," IEEE Journal of Solid-State Circuits., vol.28, pp.553-559, May 1993.
- [5] W.Rhee, "Multi-Bit Delta-Sigma Modulation Technique For Fractional-N Frequency Synthesizers," Phd. Thesis, University of Illinois at Urbana-Champaign, 2001

第五章 芯片实现与测试

本章主要介绍应用在电视调谐器中的频率综合器芯片的物理实现以及测试。首先介绍芯片物理实现的基本情况和需要注意的问题，其次介绍相关的测试方案和测试结果。最后根据测试的问题详细分析了原因并提出解决方案，争取在日后的研究工作中加以解决。

5.1 芯片的物理实现

整个频率综合器在 SMIC 0.18 μm Mixed-signal 1P6M CMOS 工艺下设计并实现。芯片的面积约为 3.3mm $\times$ 1.3mm，芯片照片如图 5.1 所示。其中的全差分电荷泵和鉴频鉴相器版图分别如图 5.2 和 5.3 所示。

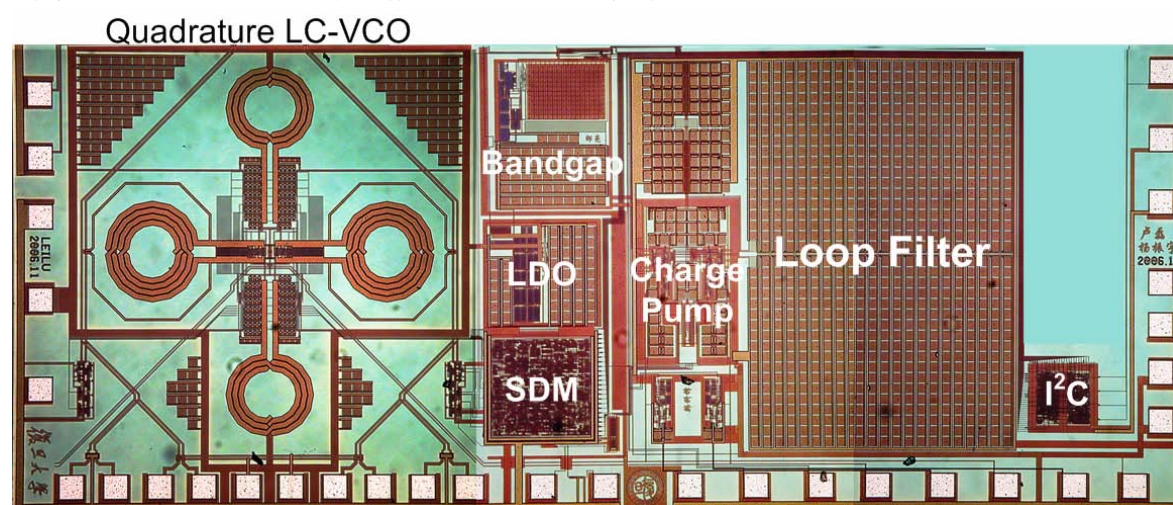


图 5.1 频率综合器芯片照片

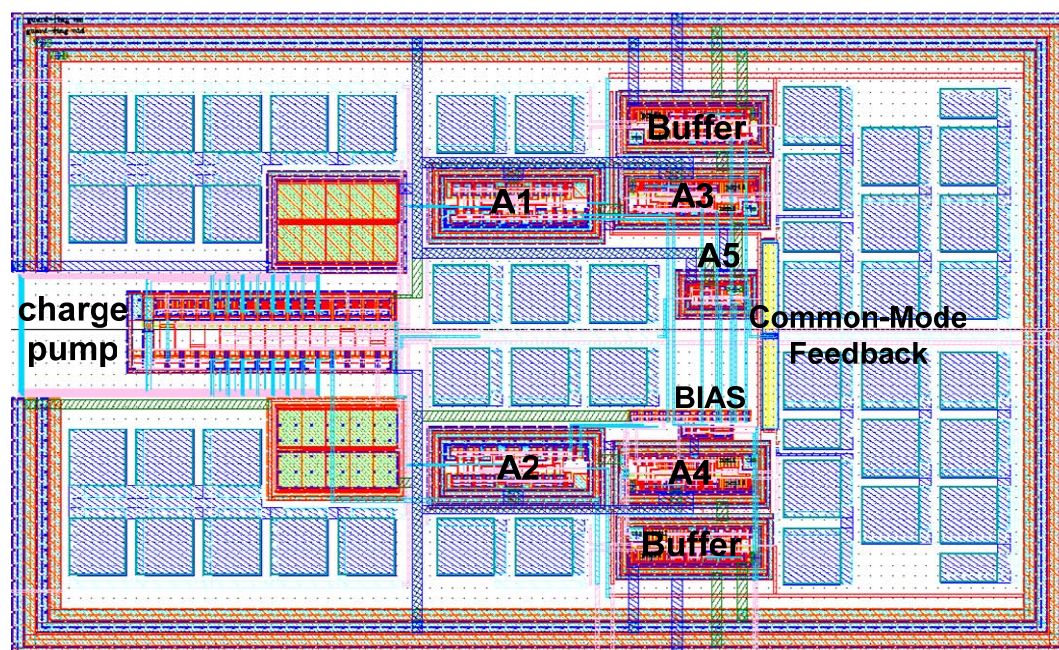


图 5.2 全差分电荷泵电路的版图

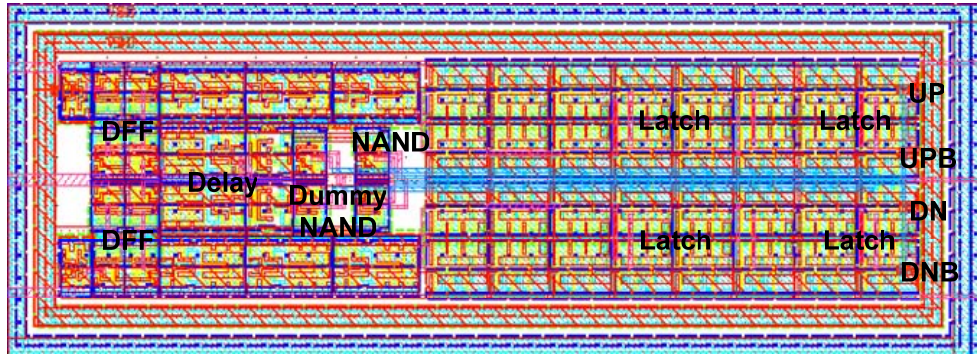


图 5.3 鉴频鉴相器电路的版图

在画版图时需要注意以下几个方面：

(1)为了隔断数字电路的噪声对模拟电路的干扰，采取了如下的措施：(1)利用 deep-N-well 层隔断数字电路和模拟电路，可以明显降低数字电路的干扰。(2)将数字电路和模拟电路的电源接到不同的 PAD 上，同时还在每个模拟电路的四周都画了隔离环，然后将这些隔离环通过独立的 PAD 接到外部的独立电源。

(2)全差分电荷泵和滤波器电路画版图时要充分考虑了它们的对称性，尽可能的降低两条支路的不匹配程度。其中电荷泵开关的版图设计是个难点，为了充分的抑制时钟效应，我们采用了图 5.4 所示的版图结构。其中 dummy 管 M2 的尺寸是开关管 M1 的一半，这样 M2 沟道的面积恰好是 M1 的一半，当 up 和 upb 信号来到时，M2 沟道中的电荷就会平均分配到 M1 的沟道中而形成 M1 的沟道电荷，由于 M1 和 M2 的 finger 完全对称，所以它们的栅漏和栅源电容基本相同，可以有效地降低时钟馈通效应的影响。

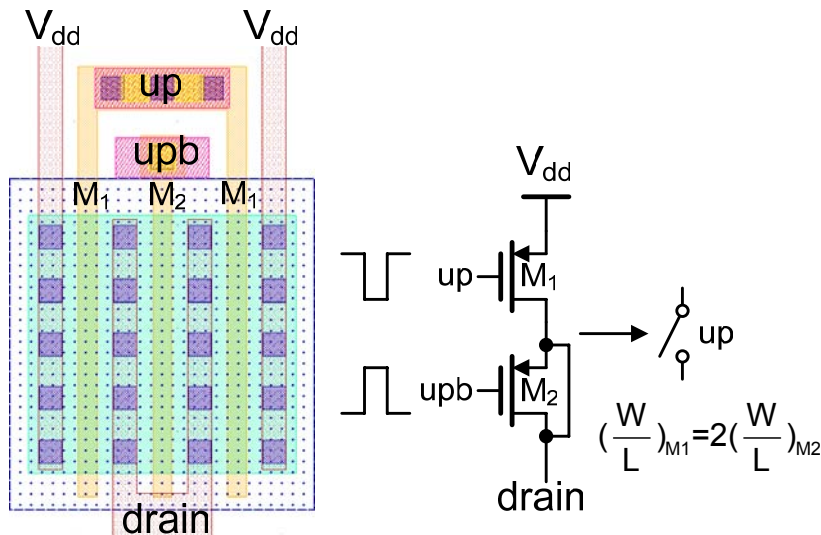


图 5.4 电荷泵中开关的版图和电路图

(3)为了使鉴频鉴相器的负载完全匹配，需要加入三个 dummy 与非门以使输出端 up、dn 和 upb、dnb 的负载完全相同。这样鉴频鉴相器就不会影响到电荷泵开关信号的时间特性。

(4)电荷泵中的电阻电容都是采样或者补偿作用，并不需要很精确的值，所以没有必要加入 dummy 之类的辅助措施。另外还需要注意电荷泵电路本身是属于混合信号性质，up、dn 等数字开关信号应尽量避免和模拟信号的走线相交，在隔离环上方走线是个不错的选择。

5.2 芯片测试

为了最大可能的减小寄生效应，芯片采用 COB(Chip-on-Board)封装，将芯片上的 I/O PAD bonding 到 PCB 板上来测试。芯片测试的 PCB 照片如图 5.5 所示。

对于分数分频频率综合器电路，需要测试如下几个方面：

- (1)频率综合器直流功耗、偏置电压、偏置电流的测试。
- (2)压控振荡器的压控增益、输出信号频谱及相位噪声的测试。
- (3)分数分频频率综合器的输出信号频谱及相位噪声的测试。
- (4)分数分频频率综合器的分数杂散和参考杂散的测试。
- (5)sigma-delta 噪声整形功能的测试。
- (6)改变电荷泵电流，重新测试上述性能。
- (7)频率综合器锁定时间的测试。

其中(1)-(6)可以用 A 测试方案测试; (7)则需要 B 测试方案。

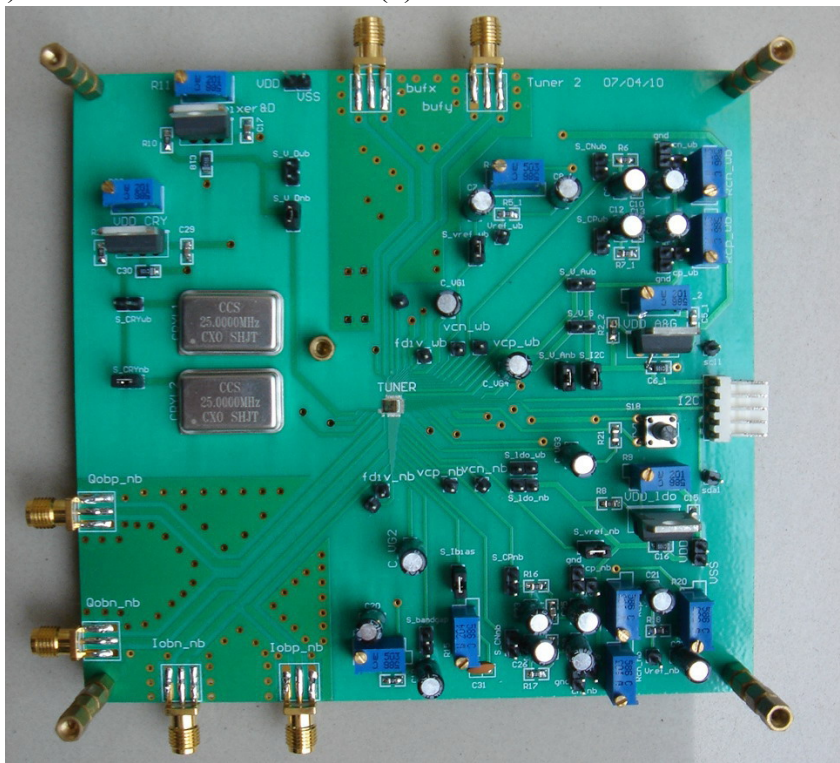


图 5.5 芯片测试的 PCB 照片

5.2.1 芯片的测试方案

(1) 芯片的 A 测试方案

分数分频频率综合器的A测试方案如图 5.6 所示。整个版图由数字部分(sigma-delta调制器、AFC、PFD以及 I^2C)、模拟部分(bandgap、LDO、charge pump等)、射频部分(Quadrature LC-VCO及Divider)组成。其中参考时钟 f_{ref} 由片外晶振输入, sigma-delta调制器的数字控制字通过PC写入, 0.75V的共模电压值 V_{ref} 由直流电源输入, 本振的正交输出信号 I_{out} 、 Q_{out} 通过的Bias-Tee单元输入到频谱分析仪, 分频后的 f_{div} 信号也是通过Bias-Tee单元输入到频谱分析仪。

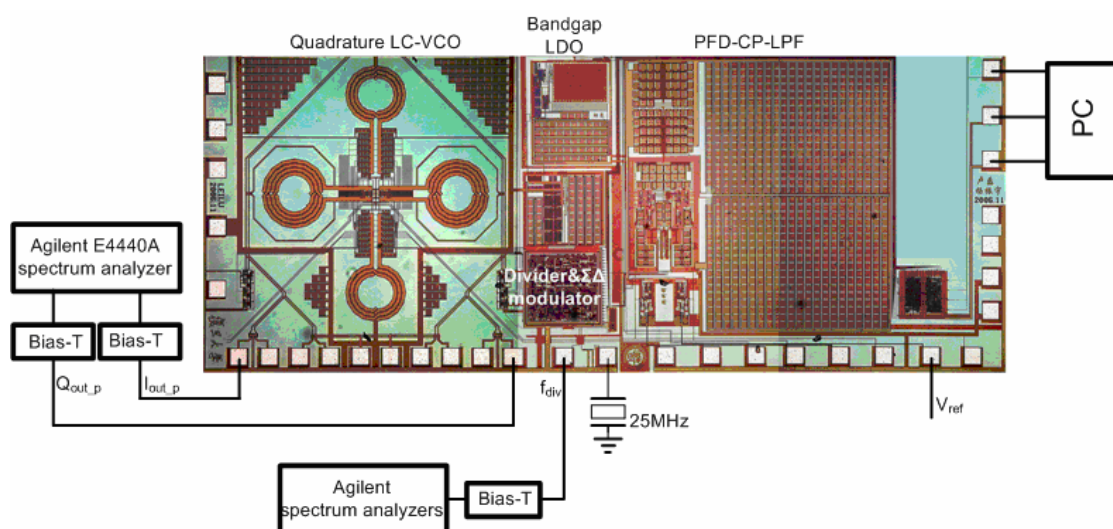


图 5.6 频率综合器的 A 测试方案

(2) 芯片的 B 测试方案

为了测试锁定时间, 我们选取图 5.7 所示的 B 测试方案。因为芯片内部集成了具有较大电流驱动能力的缓冲器, 所以可以用示波器来直接测试压控电压的波形。通过改变分频比, 示波器就会记录下整个 PLL 的锁定过程。从而完成频率综合器锁定时间的测定。

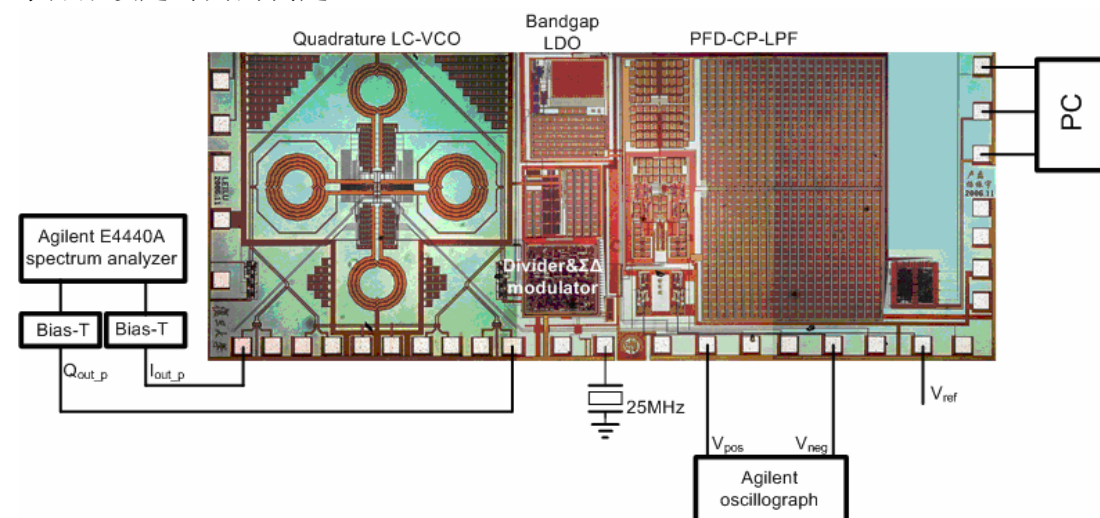


图 5.7 频率综合器的 B 测试方案

5.2.2 芯片的测试结果

1、频率综合器直流测试

通过直流测试可得整个芯片的功耗约为 18mW, Bandgap 电压约为 1.2V, 偏置电流为 10 μ A。

2、VCO 的压控增益、输出信号频谱及相位噪声的测试。

图 5.8 给出了 VCO 压控增益的曲线(红线为仿真结果, 黑线为测试结果)。图 5.9 给出频率为 1.08GHz 时压控振荡器的输出信号频谱。图 5.10 给出所对应的压控振荡器相位噪声曲线。

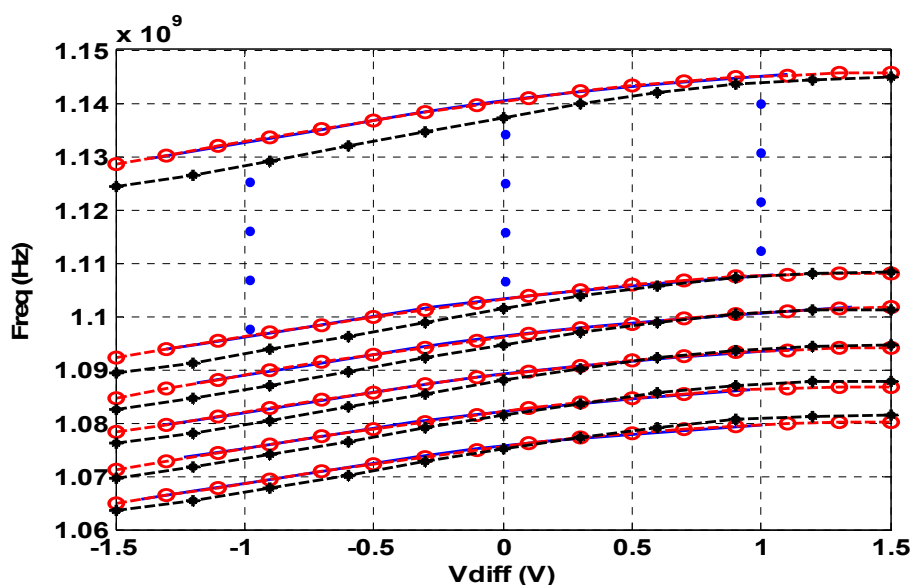


图 5.8 VCO 压控增益的测试曲线

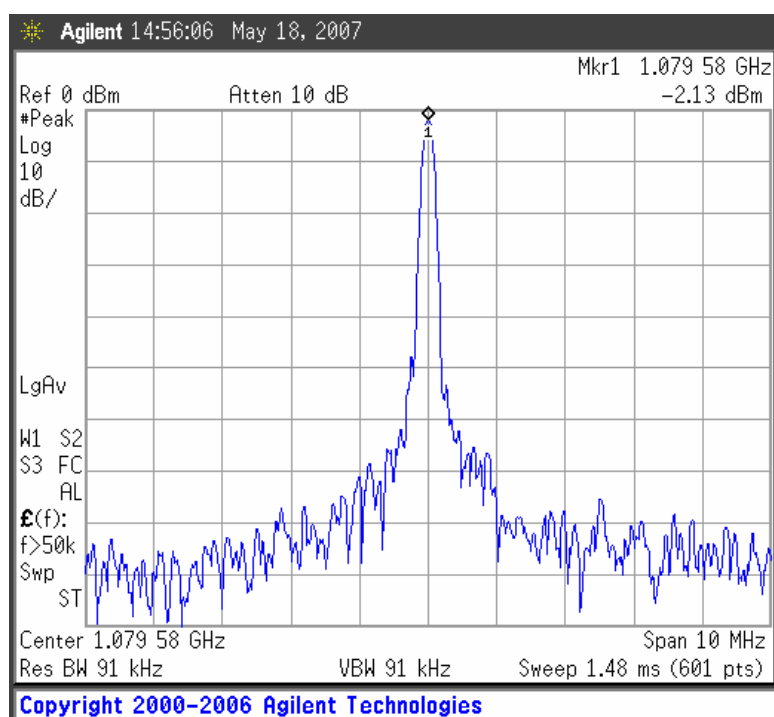


图 5.9 频率为 1.08GHz 时 VCO 的输出信号频谱

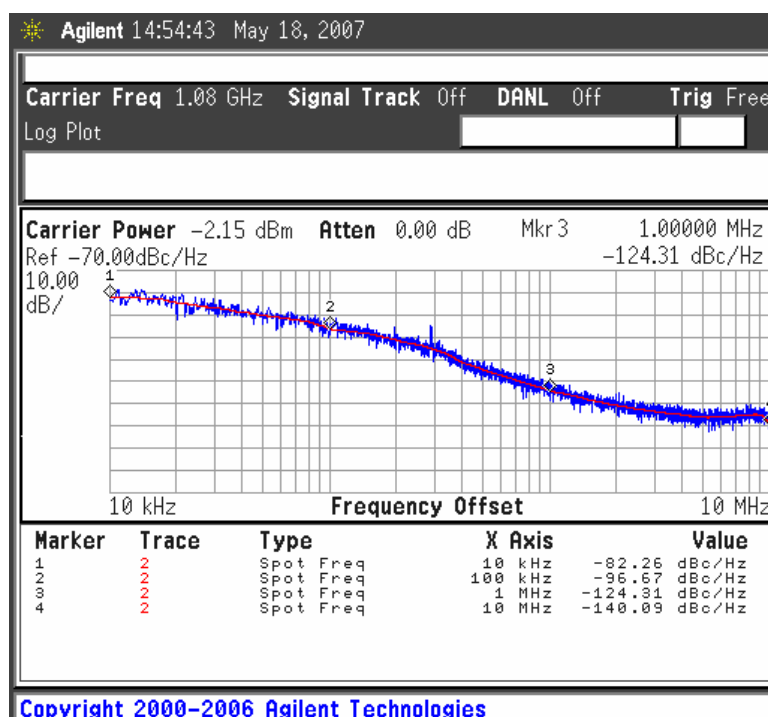


图 5.10 对应的压控振荡器相位噪声曲线

压控振荡器在某些频偏处的相噪值如表 5-1 所示。

表 5-1 压控振荡器在某些频偏点处的相位噪声值

@10KHz	@100KHz	@1MHz	@10MHz
-82dBc	-97dBc	-124dBc	-140dBc

3、分数分频频率综合器的相位噪声的测试。

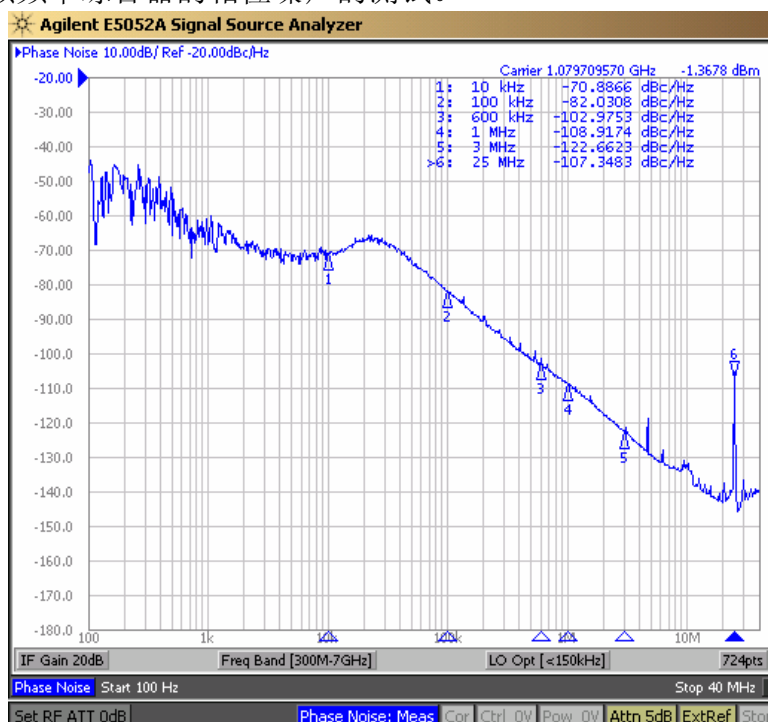


图 5.11 频率为 1.079710GHz 时频率综合器的输出信号频谱

输出频率为 1.079710GHz 时, 频率综合器的相位噪声如图 5.11 所示。在一些频偏点处的相位噪声的测试值如表 5-2 所示。

表 5-2 频率综合器在某些频偏处的相位噪声值

@10KHz	@100KHz	@1MHz	@10MHz
-71dBc	-82dBc	-109dBc	-135dBc

4、分数分频频率综合器的分数杂散和参考杂散的测试。

由于参考时钟直接馈通到控制电压, 因此由电荷泵电流不匹配所产生的参考杂散完全被淹没了。我们这里给出的测试结果(如图 5.12 所示)是同时流片的一个整数频综的杂散的测试。整数频综的带宽也是 60KHz, 电荷泵电流为 10 μ A, 分频比为 128, 且环路滤波器是二阶结构。根据文献^[1]可以估算出在分数分频频率综合器中参考杂散的能量为-90dBc左右。图 5.13 为分数杂散的测试结果。

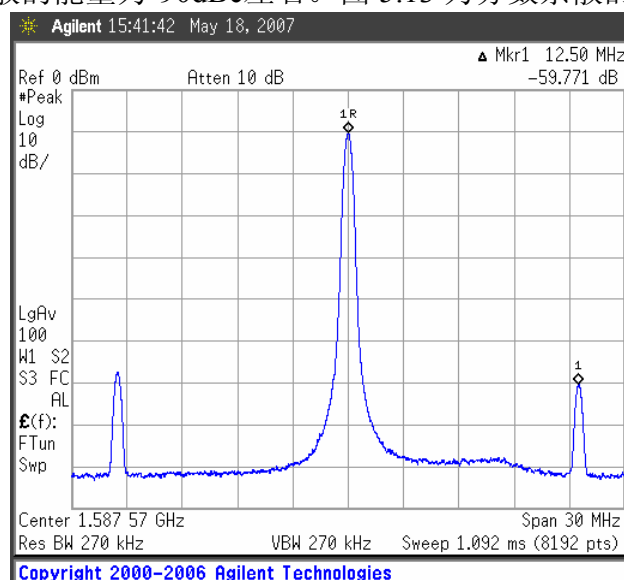


图 5.12 整数频综参考杂散(12.5MHz)的最差值

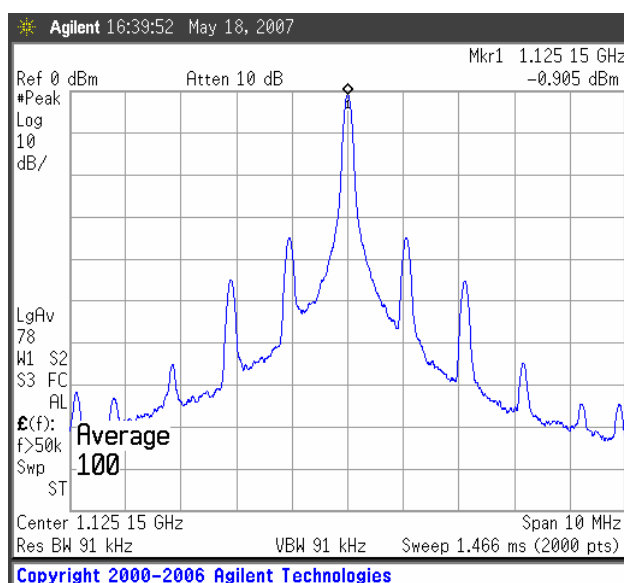


图 5.13 分数杂散的测试情况

5、sigma-delta 噪声整型功能的测试。

锁相环自身的低通特性会滤除高频处的噪声，因此在压控振荡器的输出端是无法看到 sigma-delta 调制器的噪声整型特性的。但是如果从分频器的输出端看进去的话，sigma-delta 调制器的噪声传递函数呈高通特性，这样就可以清晰的看到 sigma-delta 调制器的噪声整型特性(如图 5.14 所示)。

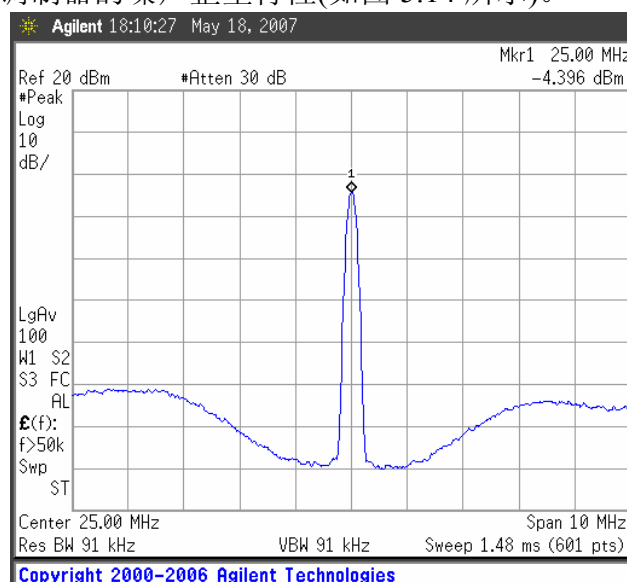


图 5.14 sigma-delta 调制器的噪声整型特性

6、频率综合器锁定时间的测试。

以上均是基于 A 测试方案，而对于频率综合器锁定时间的测试需要采用 B 测试方案。当频率从 1075MHz 跳变到 1079.6875MHz 时，所测得的环路锁定过程如图 5.15 所示，可见环路捕捉的最长时间小于 80 μ s，完全满足系统要求。

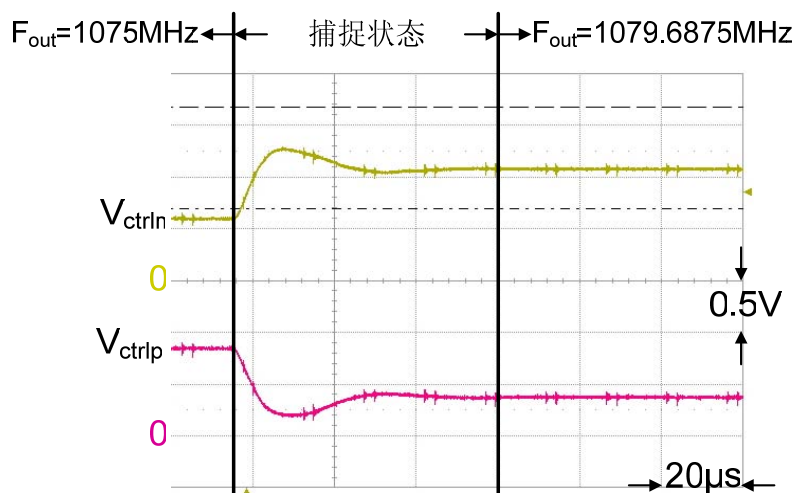
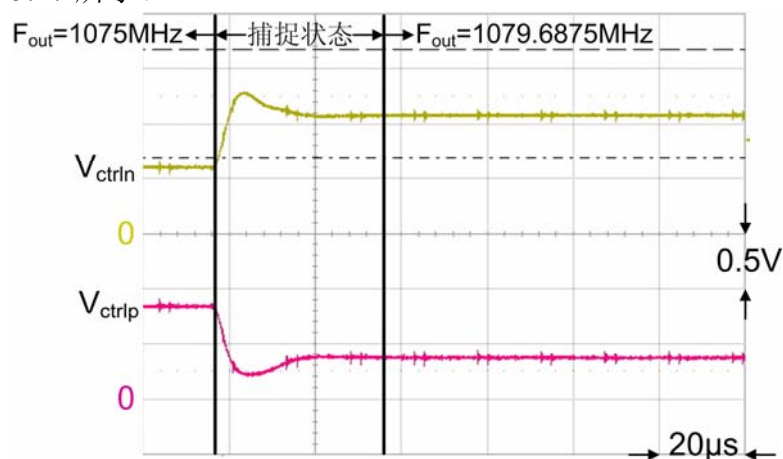


图 5.15 频率综合器环路锁定的测试

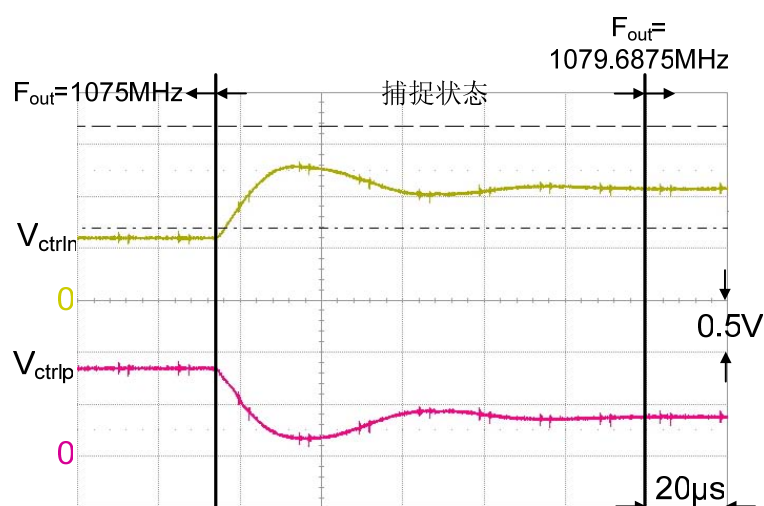
7、加倍或减半电荷泵的电流重新测试环路的锁定情况以及相位噪声。

以上都是基于电荷泵电流 25 μ A 情况下的测试。为了验证加倍减半电路对环路的建立行为以及相噪的影响，在保证其它参数都不变的情况下，分别加倍、减

半电荷泵电流得到的环路锁定情况的测试曲线如图 5.16 所示，相位噪声的测试曲线如图 5.17 所示。



(A) 加倍



(B) 减半

图 5.16 加倍、减半电荷泵电流后频率综合器的锁定情况

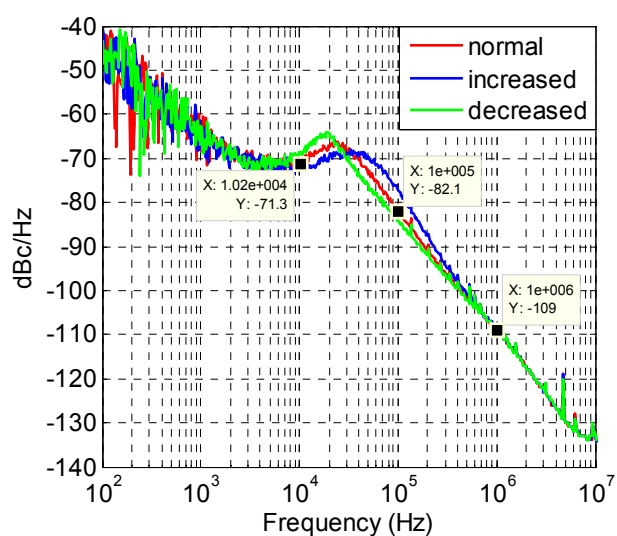


图 5.17 加倍、减半电荷泵电流后频率综合器的相噪测试曲线

至此我们完成了整个分数分频频率综合器的测试工作，所测得的性能指标如表 5-3 所示。

表 5-3 分数分频频率综合器的测试结果

调谐范围	1050MHz-1.15GHz
参考时钟	25MHz
频率分辨率	3KHz
锁定时间	<80us
相位噪声	<-71dBc/Hz@10kHz <-82dBc/Hz@100kHz <-110dBc/Hz@1MHz
参考杂散	-90dBc
分数杂散	-70dBc
面积	2.42mm ²
功耗	18mW(不包括 buffer)

5.3 测试问题分析及解决办法

芯片测试中遇到的最大问题就是相位噪声性能较差。远没有满足电视调谐器的指标要求。主要的问题如下：(1)带内噪声值并未随电荷泵电流改变而变化，而且带内相噪曲线呈 $1/f^2$ 趋势。(2)高频(1MHz)处的相噪并不等于压控振荡器的相噪。

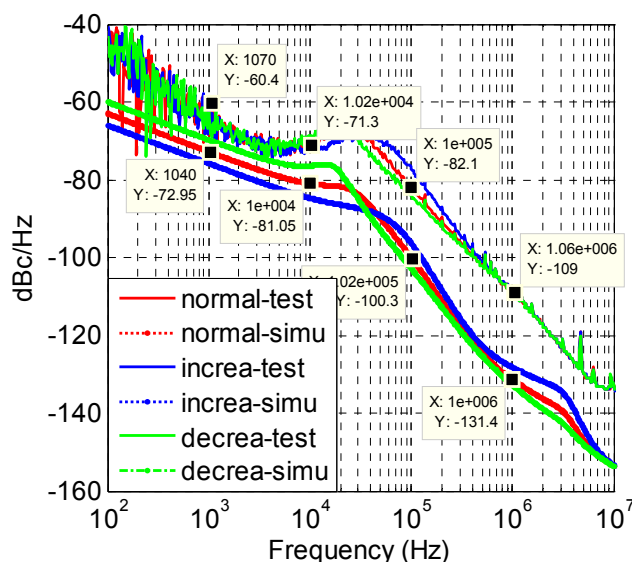


图 5.18 加倍、减半电荷泵电流后频率综合器的相噪测试和仿真曲线

问题(1)分析：图 5.18 为相噪的测试结果和仿真结果的对比。可见环路带宽的测试值和仿真值比较接近。加倍减半电荷泵的电流并未改变带内的相位噪声值，这证明了带内相噪并不是来源于电荷泵。相噪曲线在带内呈 $1/f^2$ 趋势，而电荷泵、参考时钟、分频器等噪声传递函数呈低通特性的电路是不会产生 $1/f^2$ 噪声

的, 因此只有sigma-delta调制器会产生 $1/f^2$ 噪声。根据第四章图 4.13 可知, dither 会在调制器内引入白噪声, 频率域上的白噪声积分到相位域就变成了低频处的 $1/f^2$ 噪声, 这是不会被锁相环路滤掉的(图 5.19), 因此由调制器产生的 $1/f^2$ 噪声正是带内相噪恶化的主要原因。这可以通过优化dither的结构以及增加输入控制字的位数加以改善。

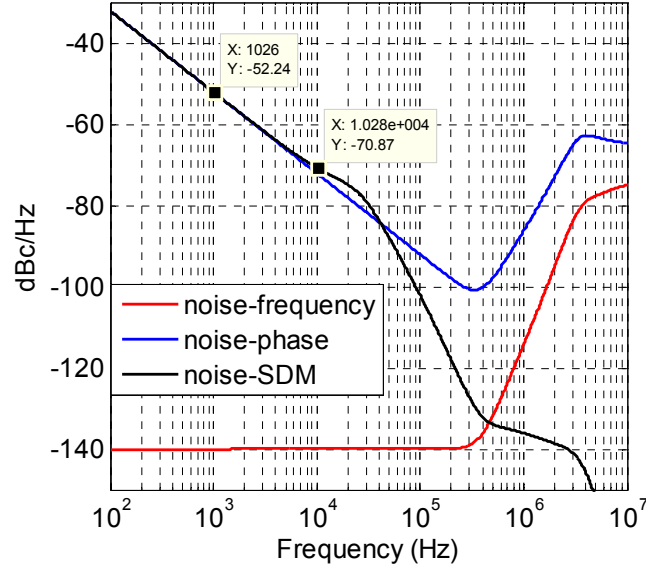


图 5.19 带内相噪恶化的原因分析图

问题(2)分析: 图 4.23 的相位噪声曲线不便于分析问题。这里提出了一种可以精确测试电荷泵、滤波器、分频器和调制器相位噪声贡献的方法。图 5.20 为分频器输出点处相位噪声的分析模型。

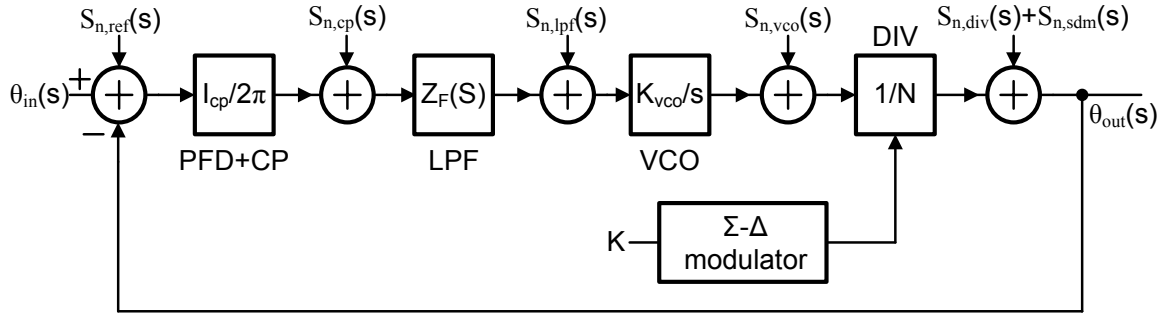


图 5.20 分频器输出点的相位噪声分析模型

各个模块电路的噪声传递函数为:

1)参考时钟:

$$\frac{\theta_{n,div-out}(s)}{\theta_{n,ref}(s)} = \frac{H_o(s)}{1 + H_o(s)} \quad (5-1)$$

2)电荷泵:

$$\frac{\theta_{n,div-out}(s)}{\theta_{n,cp}(s)} = \frac{H_o(s)}{1 + H_o(s)} \cdot \frac{2\pi}{I_{cp}} \quad (5-2)$$

3)滤波器:

$$\frac{\theta_{n,div-out}(s)}{\theta_{n,lpf}(s)} = \frac{1}{1+H_o(s)} \cdot \frac{K_{vco}}{s} \cdot \frac{1}{N} \quad (5-3)$$

4)压控振荡器:

$$\frac{\theta_{n,div-out}(s)}{\theta_{n,vco}(s)} = \frac{1}{1+H_o(s)} \cdot \frac{1}{N} \quad (5-4)$$

5)分频器:

$$\frac{\theta_{n,div-out}(s)}{\theta_{n,div}(s)} = \frac{1}{1+H_o(s)} \quad (5-5)$$

6)调制器:

$$\frac{\theta_{n,div-out}(s)}{\theta_{n,sdm}(s)} = \frac{1}{1+H_o(s)} \quad (5-6)$$

这样可以得到各模块电路的相噪计算曲线(图 5.21), 测试曲线如图 5.22 所示。可见测试和计算非常吻合。由测试曲线可得一些频偏点处的相噪值如表 5-4 所示,

表 5-4 图 5.22 所示的一些频偏点处的相噪值

	@1KHz	@30KHz	@550KHz	高频
测试	-107	-104	-114	-90~-100
计算	-104.3	-95	-114.4	-90~-100

很明显, 低频处的相噪来源于电荷泵, 即在 1KHz 频偏处满足:

$$\frac{\theta_{n,div-out}(s)}{\theta_{n,cp}(s)} = \frac{H_o(s)}{1+H_o(s)} \cdot \frac{2\pi}{I_{cp}} \bigg|_{f=1KHz} = -107\text{dBc/Hz} \quad (5-7)$$

因此电荷泵在 1KHz 频偏处对压控振荡器输出点的相噪贡献为:

$$\frac{\theta_{n,vco-out}(s)}{\theta_{n,cp}(s)} = \frac{H_o(s)}{1+H_o(s)} \cdot \frac{2\pi}{I_{cp}} \cdot N \bigg|_{f=1KHz} = (-107+33)=-74\text{dBc/Hz} \quad (5-8)$$

根据图 4.23 可知电荷泵在 1KHz 频偏处对压控振荡器输出点的相噪贡献的计算值为-72.81dBc/Hz, 计算值和测试值相当接近, 因此, 所建立的电荷泵的相噪分析模型是正确的, 而且也可以判定 1MHz 处的相噪不会来源于电荷泵。

同理, 30KHz 处的相噪来源于滤波器, 即:

$$\frac{\theta_{n,div-out}(s)}{\theta_{n,lpf}(s)} = \frac{1}{1+H_o(s)} \cdot \frac{K_{vco}}{s} \bigg|_{f=30KHz} = -104\text{dBc/Hz} \quad (5-9)$$

而滤波器对压控振荡器输出点的相噪贡献为:

$$\frac{\theta_{n,vco-out}(s)}{\theta_{n,lpf}(s)} = \frac{1}{1+H_o(s)} \cdot \frac{K_{vco}}{s} \bigg|_{f=30KHz} = -104\text{dBc/Hz} \quad (5-10)$$

根据图 4.23 可知滤波器对压控振荡器输出点的相噪贡献的计算值为-95dBc/Hz,

测试值比计算值还小，因此滤波器的相噪贡献很小，根本不会恶化 1MHz 处的相噪值。

550KHz 处的-114dBc/Hz 的相位噪声主要来源于分频器，分频器的噪底相比仿真值-160dBc/Hz 增加了 46dB。因此 1MHz 处的相噪极有可能来自于分频器。优化分频器的相位噪声特性应该会解决这个问题

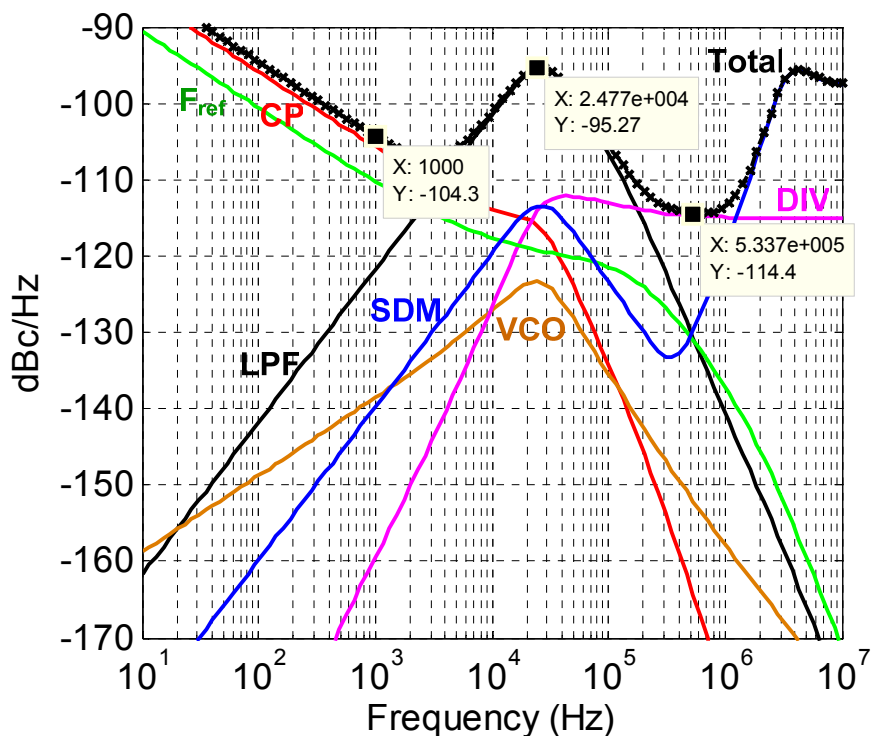


图 5.21 各模块电路对分频器输出点的相噪计算曲线

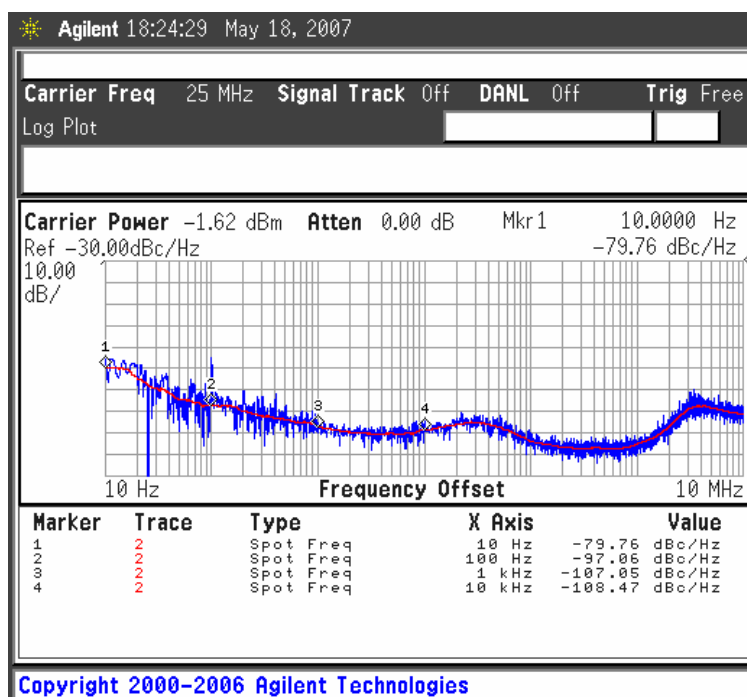


图 5.22 各模块电路对分频器输出点的相噪计算曲线

5.4 本章小结

本章节完成了电路设计中一个最重要的环节-芯片测试。首先介绍芯片物理实现的基本情况和需要注意的问题。其次介绍了两种测试方案，依照测试方案测试了频率综合器的所有性能指标。在对测试结果分析的过程中，本文提出了一种新方法精确测试各个模块电路的噪声贡献值。测试结果验证了计算模型的准确性。本章最后提出了解决问题的一些想法，争取在日后的研究工作中加以实现。

参考文献

- [1] Rhee W. Design of high-performance CMOS charge pumps in phase-locked loops. IEEE Proceedings of the International Symposium on Circuits and Systems, June 1999.

第六章 总结与未来展望

6.1 论文总结

本文以应用于电视调谐器中的分数分频频率综合器为出发点,从系统、电路和环路相位噪声优化三个方面对频率综合器的设计进行了深入分析和研究。

本文首先在系统设计方面采用了基于稳定性优化方法设计了四阶锁相系统,归纳总结了四阶锁相系统设计的注意事项及具体流程。

其次在电路设计方面,本文实现了一种高匹配性宽输出摆幅的全差分电荷泵电路以提高频率综合器的杂散抑制性能。同时又设计了一种输出信号完全对称的鉴频鉴相器来有效地克服时钟效应对电荷泵性能的影响。采用新电路结构的频率综合器的杂散抑制性能可以比传统结构提高了 18dB。

本文还对锁相环路的输出相位噪声进行了分析、建模和优化。分析推导了各个模块电路的输出等效噪声的解析表达式,计算结果和测试结果比较接近,验证了我们噪声分析模型的准确性。

最后,根据电缆电视调谐器(Cable TV Tuner)的系统指标,我们在 SMIC 0.18 μm Mixed-signal 1P6M CMOS 工艺下设计并实现了一个单片集成的分数分频频率综合器。测试结果表明:电路的输出频率范围可达 1050MHz-1150MHz,频率分辨率小于 3KHz,环路锁定时间小于 80 μs 。10KHz 频偏处的相噪值为 -71dBc/Hz, 100KHz 频偏处的相噪值为 -82dBc/Hz, 1MHz 频偏处的相噪值为 -110dBc/Hz。参考杂散小于 -60dBc, 分数杂散在频偏 4MHz 处小于 -70dBc。

6.2 未来展望

虽然第一版分数分频频率综合器电路工作情况正常,但是频率综合器的相位噪声性能尚不满足要求,接下来的工作主要有改进 sigma-delta 调制器的设计以降低 dither 引入的白噪声能量,同时优化分频器的结构及功耗来降低分频器的噪声基底。

分数分频频率综合器是一个非常具有挑战性的研究方向。到目前为止,即使是国际顶级的杂志(JSSC)和会议(ISSCC)也尚未出现一个可以单片集成的、具有低相位噪声、低杂散性能的自适应(self-adaptive)宽带分数分频频率综合器。主要难点就是低杂散和大环路带宽的设计。通过第五章的分析可以知道,采用 sigma-delta 结构的环路其带宽最大也就不过 100KHz。为了增大环路的带宽,可以采用降低频率阶跃步长^[1]的方法来降低高频相位噪声;也可以采取 hybrid PFD/DAC^[2]的方法来抑制分数杂散;还可以用 LMS-based DAC gain calibration^[3]的方法来降低分数杂散。这些新技术都是日后设计宽带分数频率综合器的重要参考。

论文的完成是一个不断学习和渐进的过程。由于作者的水平有限，文中难免存在不足，望读者提出批评和指正。

参考文献

- [1] Yu-Che Yang et al, "A Quantization Noise Suppression Technique for $\Delta\Sigma$ Fractional-N Frequency Synthesizers," IEEE, J. Solid-State Circuits, vol.41, no.11, pp.2500-2511, Nov.2006.
- [2] S.E.Meninger et al, "A 1-MHz Bandwidth 3.6GHz 0.18 μ m CMOS Fractional-N Synthesizer Utilizing a Hybrid PFD/DAC Structure for Reduced Broadband Phase Noise," IEEE, J. Solid-State Circuits, vol.41, no.4, pp.966-980, Apr.2006.
- [3] Manoj Gupta et al, "A 1.8-GHz Spur-Cancelled Fractional-N Frequency Synthesizer With LMS-Based DAC Gain Calibration," IEEE, J. Solid-State Circuits, vol.41, no.12, pp.2842-2851, Dec.2006.

致谢

时光荏苒，岁月如梭。转眼间三年的硕士生活行将结束。在论文即将完成之际，我要感谢那些曾经给予我帮助的老师、同学和朋友们。

首先我要感谢的是我的导师唐长文博士。唐老师严谨求实的科研态度，一丝不苟的科研精神，以及高屋建瓴的洞察力都使我受益匪浅。正是由于唐老师的悉心指导和帮助，才有了这篇论文的成功完成。

其次我要感谢的是我在硕士期间的启蒙导师周锋博士。周老师忘我的工作热情和对学术研究的执着令人钦佩，正是由于周锋老师的指导，才使我走上了频率综合器的研究道路。

同时我还要感谢闵昊教授对本论文的大力支持和帮助。

人世间最珍贵的便是亲情，谨以此文献给为我操劳了一生的父母，尤其是患病在床的妈妈。愿儿子的学业有成换取上天对妈妈的同情与眷顾，我相信，妈妈最终一定会顽强的战胜病魔的。祝爸爸妈妈永远幸福、健康。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名：_____ 日期：_____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名：_____ 导师签名：_____ 日期：_____