

学校代码: 10246

学 号: 082052067

復旦大學

硕士学位论文

频率综合器中分频器的研究与设计

院 系: 微电子研究院

专 业: 微电子学与固体电子学

姓 名: 黄兆磊

指导教师: 唐长文 副教授

完 成 日 期: 2011 年 5 月 20 日

目录

摘要.....	III
Abstract	IV
第一章 绪论	1
1.1 研究背景	1
1.2 频率综合器的结构	1
1.3 分频器在频率综合器的作用	2
1.4 研究内容及贡献	3
1.5 论文的组织结构	3
第二章 分频器的研究	4
2.1 多模可编程分频器	4
2.1.1 可预置数的可编程分频器	4
2.1.2 Pulse-Swallow型可编程分频器	5
2.1.3 基于 2/3 分频单元的多模可编程分频器	6
2.2 预分频器	6
2.2.1 同步预分频器	6
2.2.2 异步逻辑的预分频器	8
2.2.3 相位开关型预分频器[16]	9
2.3 高速电路结构	10
2.3.1 TSPC电路	10
2.3.2 电流模式逻辑(CML)	12
第三章 可编程分频器设计	14
3.1 可编程分频器结构	14
3.2 <i>P</i> 和 <i>S</i> 的实现方式	14
3.2.1 可编程分频器的分频范围	14
3.2.2 <i>P</i> 和 <i>S</i> 的实现方式	15
3.3 4/4.5 双模预分频器	17
3.3.1 4/4.5 型双模预分频器结构	18
3.3.2 时序问题	21
3.4 可编程计数器	23
3.4.1 <i>P</i> 计数器	24
3.4.2 <i>S</i> 计数器	24
3.4.3 bitcell	28
3.5 其它模块电路	30

3.5.1	CML锁存器	30
3.5.2	Mux电路	31
3.5.3	组合逻辑电路	32
3.5.4	Sync 电路	32
3.5.5	双端转单端电路	33
3.6	仿真结果	34
3.6.1	预分频器仿真结果	34
3.6.2	可编程分频器仿真结果	35
第四章	正交分频器设计	38
4.1	正交信号的实现方法	38
4.2	用于DTV-TUNER的正交分频器	39
4.2.1	应用背景	39
4.2.2	正交分频器结构	40
4.3	二分频电路的设计	41
4.3.1	二分频电路结构	41
4.3.2	CML二分频器的动态特性	42
4.3.3	电路设计考虑	43
4.4	其它模块设计	45
4.4.1	多路选择器	45
4.4.2	输出缓冲器	46
4.5	版图设计	46
第五章	测试结果	48
5.1	芯片实现和测试方案	48
5.2	芯片测试结果	49
5.2.1	相位噪声测试结果	49
5.2.2	正交相位精度测试	55
5.2.3	功耗估计	59
5.2.4	摆幅测试	59
5.2.5	自激振荡频率测试	60
5.2.6	工作频率范围测试	60
第六章	总结和展望	62
6.1	工作总结	62
6.2	未来展望	62
	参考文献	63
	致谢	65

摘要

在无线通信应用中，频率综合器为射频收发机提供高精度的本振信号。分频器是频率综合器中一个非常关键的模块。它关系着频率综合器能够实现的最高速度和能够实现的工作频率范围。在数字电视调谐器等多标准应用中，可以用分频器扩展频率综合器的频率范围，同时产生正交信号。本论文研究的主要内容是分频器在频率综合器中的应用，并重点设计了一个宽频率范围的正交分频器。

论文首先介绍了频率综合器的理论知识，研究了分频器在其中的应用，全面总结和分析了各种分频器的结构和工作原理，比较了它们的优缺点。

其次，全面分析了 **Pulse-Swallow** 型多模可编程分频器。提出了异步 **4/4.5** 双模预分频器结构，具有较小的晶体管数目，能够降低功耗和节省面积。提出一种新型的 **S** 计数器结构，可以很好的与检测“2”结束状态的 **P** 计数器配合，实现较高的速度。

再次，针对数字电视调谐器应用，利用 **SMIC 0.18 μ m** 工艺设计了一款正交分频器，能够实现 **50~860MHz** 的正交信号。通过对分频器逻辑结构的改进，减少了接收机所需要的混频器个数，从而节省芯片面积和减小功耗。

最后，给出了正交分频器的测试结果。芯片核心部分的面积为 **390 μ m \times 350 μ m**，消耗的最大电流为 **6mA**。测试表明，该分频器正确实现了分频功能，性能指标达到了设计要求。当输出 **750MHz** 信号时，测得的正交相位精度是 **1.14** 度。与频率综合器的级联测试表明，每经过一次除 **2**，相位噪声性能提高大约 **6dB**。

关键词：频率综合器，分频器，**4/4.5** 预分频器，可编程分频器，正交信号

中图分类号：TN432

本论文工作受到国家自然科学基金资助(项目编号：**60876019**)

Abstract

In wireless communication applications, frequency synthesizer is used to generalize high precise LO signals. In phase locked loop(PLL)-based frequency synthesizers, the frequency divider is one of the most important building blocks. It determines the highest speed and the frequency range of the frequency synthesizer. In multi-standard applications, such as the DTV-Tuner, divider may be used to extend the frequency range of the frequency synthesizer, or to generate the quadrature (I/Q) signal. The main focus of this thesis is the research of the applications of divider in frequency synthesizers, and the silicon verification of a quadrature divider with wide frequency range is realized.

Firstly, this thesis summarizes a basic knowledge about frequency synthesizers, then focus on the application of frequency divider in frequency synthesizer. A comprehensive summary and comparisons of several main kinds of dividers are presented, including their structures and operating principles, and both the advantages and disadvantages in performance.

Secondly, a detailed analysis of Pulse-Swallow Counter based multi-modulus programmable frequency divider is presented. The thesis presents a new structure of asynchronous 4/4.5 dual-modulus prescaler, the reduced number of transistors results in the reduction of power consumption and the chip area. A new structure of the Swallow Counter is proposed, which works well with the Program Counter which chooses “2” as the end-of-count state, thus the multi-modulus programmable frequency divider can operate at higher speed.

Thirdly, a quadrature divider is realized in SMIC 0.18 μm technology, which can generalize the quadrature signal of 50~860MHz for DTV-Tuners. Through the choice of the divider structure, the number of mixers used in the receiver can be reduced from 5 to 1, which reduces the chip area and the power consumption.

Finally, the measurement results are given. The core area of the chip is 390 μm ×350 μm , and the maximum current of the core circuit is 6mA. The measurement result shows that the divider can operate well, and the performance agrees well with the design requirement. The mismatch of I/Q

signals is less than 1.14 degree, when the output frequency is 750MHz. When the divider is cascaded with the frequency synthesizer, the measurement result shows that, every time it is divided by 2, the phase noise performance of the output signal improves by about 6dB.

Key words: frequency synthesizer, divider, 4/4.5 prescaler, programmable divider, quadrature signal

第一章 绪论

1.1 研究背景

随着无线通信市场的繁荣，无线收发机已经变的无处不在。基于锁相环（Phase-Locked Loop, PLL）的频率综合器是无线收发机的关键模块，用来产生精细可调的本振信号，实现精确的频道选择。近年来，无线通信技术取得了突飞猛进的发展，许多针对不同应用的无线技术标准如雨后春笋般涌现。新标准的出现要求频率综合器能应用到多个系统和标准上，这给频率综合器的设计带来了挑战。首先，频率综合器要能工作在更宽的频率范围，以覆盖不同频段的标准；其次，要有更加精确的频率分辨率，以实现更小的频道间隔。有些标准即使频带相似，也有着不同的中心频率和频带宽度，因此要求频率综合器具有更加精确的频率分辨率。例如，HiperLAN1/HiperLAN2和802.11a标准，它们都工作在5-6GHz频段内，频带相近，但却有着不同的中心频率和频带宽度。另外，相位噪声等其它方面的性能要求也大都更加苛刻。

1.2 频率综合器的结构

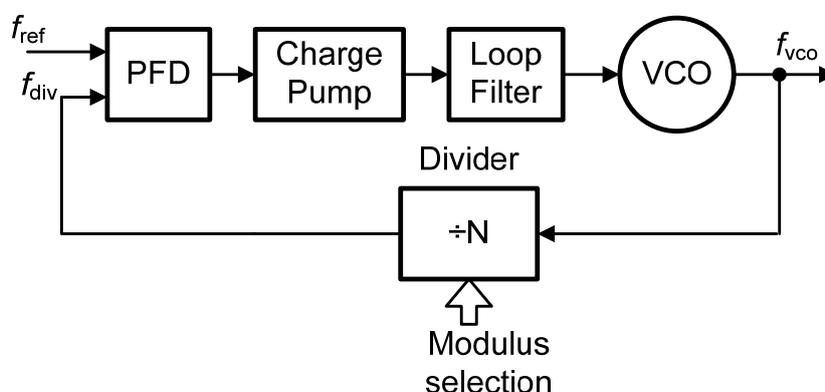


图 1-1 频率综合器的基本结构

图 1-1 是基于锁相环的频率综合器基本结构。它由鉴频鉴相器，电荷泵，低通环路滤波器，压控振荡器(VCO)，以及分频器组成。锁相环是一个负反馈系统，VCO 的输出信号被分频器进行降频处理，得到频率降低 N 倍的时钟信号，PFD 检测分频器输出时钟信号和参考时钟信号的相位差，然后由电荷泵将相位差转换成电压信号，经过低通滤波器后作为 VCO 的输入控制电压，从而改变 VCO 的输出频率，实现负反馈。系统稳定后，分频器输出时钟信号和参考时钟信号频率相等，相位对齐，由 VCO 的输出可以得到稳定的高频信号。

根据上面的描述，频率综合器产生如下形式的输出频率：

$$f_{\text{out}} = N \cdot f_{\text{ref}} \quad (2.1)$$

即锁相环把参考时钟频率放大了 N 倍， N 是分频器的分频比。不同的频道由它的中心频率来表征，因此，改变频道就是改变频率综合器的分频比，从而改变输出频率。

根据分频比的形式，频率综合器分为三种基本结构：整数型频率综合器，分数型频率综合器，以及由 $\Sigma\Delta$ 调制器(简称SDM)实现的分数型频率综合器[1]~ [4]。整数型频率综合器的输出频率是参考频率的整数倍，因而信道间隔就等于参考频率，如果要得到更精确的频率分辨率，必须减小参考频率。然而，减小参考频率会带来很多坏处：它减小最大可能的环路带宽，增加锁相环的建立时间，并且增加VCO所贡献的相位噪声[5]。分数型频率综合器可以实现参考频率分数倍的输出频率，可以在提供窄信道间隔的同时采用大的环路带宽，可以同时实现低相位噪声，低参考输入杂散和快速的锁定时间[5]。分数分频的实现方式，是动态地改变分频器的分频比，使它们的平均值为分数，根据动态分频比的实现方式，分数型频率综合器又分为一般的分数型频率综合器和基于 $\Sigma\Delta$ 调制器的分数型频率综合器。在分数型频率综合器中，在每个参考时钟周期，分频器的输出信号与参考信号不是始终对齐，而是时而超前，时而滞后，实现的是动态锁定。这种动态锁定会产生量化噪声，进而会在输出载波附近引起分数杂散。对于低的分数频率，这些分数杂散很容易落入带内，从而降低相位噪声性能[6]。采用 $\Sigma\Delta$ 调制器实现的分数型频率综合器，可以将量化噪声的能量整形到高频，进而用低通滤波器滤除，但量化噪声仍然影响带外的相位噪声性能。

1.3 分频器在频率综合器的作用

分频器在频率综合器中占有非常重要的地位，频率综合器的三种结构本质上是根据分频器的种类进行区分的。它应用于频率综合器的反馈支路，参考时钟频率确定后，它的分频比决定频率综合器的输出频率。频率综合器进行信道的选择，实际上是改变分频器的分频比，因此要求分频器的分频比可编程，分频比的可编程范围影响频率综合器的工作频率范围。即使对于同一信道，为了实现小数分频也必须实时的改变分频器的分频比，同样要求分频比可编程的分频器，也称为多模分频器。分频器接收的是VCO的输出信号，工作在最高工作频率,因此它消耗非常大的功耗，它的速度决定着频率综合器的速度。另外，分频器还影响频率综合器的相位噪声性能，除了分频器自身的相位噪声贡献外，频率综合器中其它模块对相位噪声的贡献也与分频器有关，因为分频器的分频比影响着各模块到输出的传输函数[7]。SDM的量化噪声会影响带外的相位噪声性能，分频器的实现方

式影响着量化噪声对相位噪声的贡献[7] [8][9]。

另外，分频器还有一个非常重要的应用，它常被接在频率综合器之后，用以扩展频率范围[10][11][12]或者实现正交信号[13]。

1.4 研究内容及贡献

在科研工作及论文写作过程中，阅读了大量分频器相关的文献与资料，对信号分频技术做了比较全面的分析与总结，具体的工作如下：

1. 以频率综合器的应用背景为基础，介绍了锁相环型频率综合器的基本原理及分频器在频率综合器中的作用；
2. 按从大到小的顺序分析研究了频率综合器中各种分频器的结构，包括多模可编程分频器，双模预分频器，和分频器基本实现单元的结构，比较了它们性能上的优劣。
3. 提出异步4/4.5型双模预分频器结构，具有较少的晶体管数目，可以节省面积和降低功耗。
4. 提出了一种新型的S计数器结构，可以很好的与检测“2”结束状态的P计数器相配合，正确实现多模可编程分频器的功能，达到较高的速度。
5. 在SMIC 0.18 μm CMOS工艺下，设计并实现了一款低相位噪声，高正交相位精度的正交分频器，完成了芯片的测试工作。

1.5 论文的组织结构

本论文对分频器在频率综合器中的应用进行了系统的分析和研究，论文共分为六个部分，具体组织结构如下：

第一章是绪论，介绍了本论文的研究背景和本论文的主要工作。

第二章介绍了频率综合器中各类分频器的原理和结构，比较了它们性能上的优劣。

第三章详细分析了基于双模预分频器的多模可编程分频器。提出并分析了异步4/4.5双模预分频器结构。指出检测“2”结束状态的P计数器在速度上的优势，以及它引起的S计数器难以实现S=1的问题，分析问题原因，提出新型的S计数器结构来解决这个问题，使电路达到较高的速度。

第四章设计实现一款低相位噪声，高正交相位精度的正交分频器。分析了二分频电路的动态特性，给出了电路的设计考虑。

第五章给出了正交分频器的测试结果，并对测试结果进行了分析。

第六章对论文进行总结，并对今后的工作进行了展望。

第二章 分频器的研究

2.1 多模可编程分频器

分频器最常见的应用是作为锁相环的反馈支路，它需要采用多模的可编程分频器，以实现频道的切换以及实现小数分频。下面介绍三种常用的多模可编程分频器结构。

2.1.1 可预置数的可编程分频器

这种可编程分频器由计数逻辑和计数结束逻辑（End Of Count Logic,简称 EOC）组成[14]，如图 2-1所示。计数逻辑基于可预置数的二分频器，各级二分频器连接成行波计数器的形式。分频器的工作周期可分为两个阶段，即正常计数阶段和置数阶段，由置数信号LD控制。正常计数期间，LD信号为低电平，EOC检测电路的输出状态，当检测到结束状态（比如全零状态）后，将LD信号置为高电平，电路进入置数阶段，各基本单元开始进行置数，置数完成后，EOC检测到输出不再是结束状态，因此LD信号又变为低电平，电路再一次进入计数状态，在下一个时钟上升沿到来时，将从所置之数开始进行递减计数，以此循环。LD信号同时也是输出信号，因为它的输出周期与输入信号的周期之比就等于所置之数。改变所预设的值就改变了分频器的分频比，实现分频比的可编程。

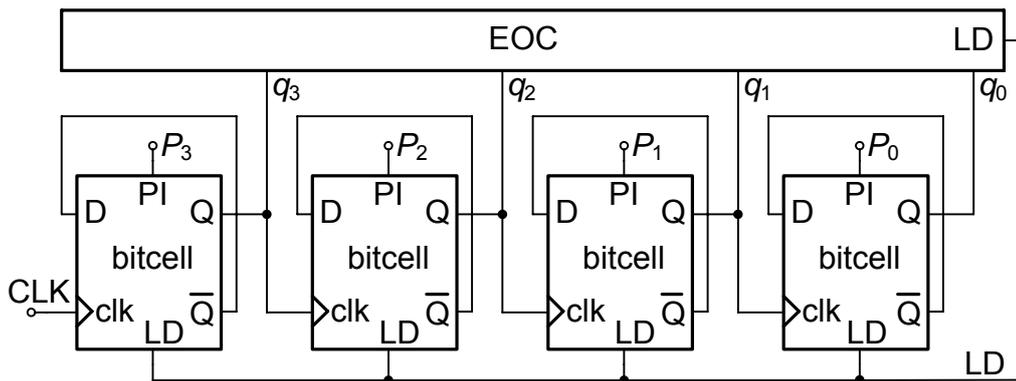


图 2-1 基于可置数单元的可编程分频器

该种类型的可编程分频器能够实现的分频范围是最大的，它的最小分频比是 2(在这里分频比为 0 没有定义)，最大分频比与级数有关，假设分频器的级数为 M ，则最大分频比是 $2^M - 1$ 。通过选取级数，理论上可实现的分频比是无穷大。由于预

置数过程占用较多的时间，该种分频器难以实现很高的速度，适合于低频应用。

2.1.2 Pulse-Swallow 型可编程分频器

图 2-2 是一种比较常用的可编程分频器，它由 M/M+1 双模预分频器（Dual Modulus Prescaler）、可编程计数器（P counter）和吞计数器（S Counter）三部分组成。双模预分频器负责将 VCO 频率降低到数字电路可以接受的程度，它可以进行 M+1 分频和 M 分频两种操作，由控制信号 mod 决定，当 mod="1" 时，进行 M+1 分频，当 mod="0" 时，进行 M 分频。P 计数器和 S 计数器的时钟输入是经过预分频器降频后的信号，工作频率较低，可以采用 2.1.1 节介绍的可预置数的可编程分频器。

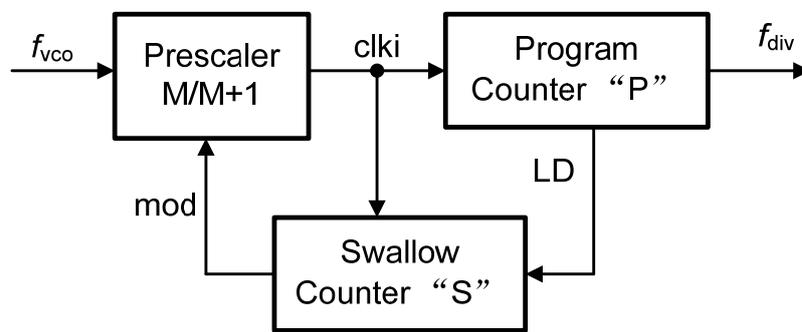


图 2-2 Pulse-Swallow 型可编程分频器

它的工作原理是：当分频器开始工作时，mod="1"，预分频器工作在 M+1 分频模式，可编程计数器和吞咽计数器同时开始计数。当计数完 S 个脉冲后，S 计数器停止计数，发出改变分频模式的控制信号 mod，使预分频器工作在 M 分频模式，P 计数器继续计数，当计满 P 个脉冲后，发出置位信号，开始新一轮的计数，以此循环。计数操作可以采用递增计数或者递减计数，递减计数可以采用 2.1.1 节介绍的可预置数的可编程分频器。可以看到，在一次循环中总共进行了 P 次计数，其中有 S 次计数预分频器工作在 M+1 分频模式，其余的 P-S 次计数预分频器工作在 M 分频模式，因此分频器的分频比是：

$$N = \frac{(M+1) \cdot S \cdot T_{vco} + M \cdot (P-S) \cdot T_{vco}}{T_{vco}} \quad (3.1)$$

$$= M \cdot P + S$$

由于采用了双模预分频器对 VCO 信号进行降频，该种类型的可编程分频器可以工作在较高的频率。分频器能够实现的分频范围与 P 和 S 的实现方式有关，一般情况下能够实现的分频比范围是 M² 到无穷大，将在第三章详细介绍。

2.1.3 基于 2/3 分频单元的多模可编程分频器

基于2/3分频单元的多模可编程分频器也是一种常用的结构，如图 2-3所示 [15]。该分频器由基本2/3分频单元级联组成，每一级单元的逻辑结构相同，每一级的输入时钟是前一级的分频输出时钟，每一级的输出控制信号反馈回前一级，连接成类似于行波计数器的结构。

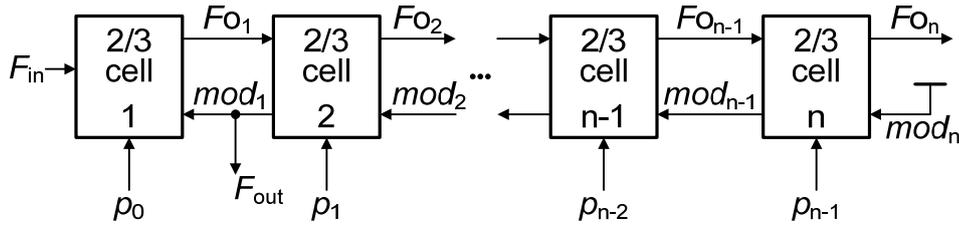


图 2-3 基于 2/3 分频单元的多模可编程分频器

图 2-3 所示的多模可编程分频器按照如下方式工作：在每一个分频周期，分频器串中处于最后一级的双模预分频器产生模式信号 mod_{n-1} ，然后这个信号沿着分频器串向上传播，在每一级2/3单元处都被那一级的输入时钟所同步。如果编程输入位（图 2-3中的 p_0, p_1, \dots, p_{n-1} ）为“1”，处于高电平的 mod 信号将使2/3分频单元工作在3分频模式。在一个分频周期中每个2/3分频单元最多经历一次3分频模式，在分频周期的其它时间都工作在二分频模式，因此，除3操作使得2/3基本单元的输出信号只增加了一个额外的输入信号周期。

分频器的输出周期为[15]：

$$T_{out} = 2^n \cdot T_{in} + 2^{n-1} \cdot T_{in} \cdot p_{n-1} + 2^{n-2} \cdot T_{in} \cdot p_{n-2} + \dots + 2 \cdot T_{in} \cdot p_1 + T_{in} \cdot p_0 \quad (3.2)$$

$$= (2^n + 2^{n-1} \cdot p_{n-1} + 2^{n-2} \cdot p_{n-2} + \dots + 2 \cdot p_1 + p_0) T_{in}$$

该类分频器所能实现的分频比范围较小，为 2^n 到 $2^{n+1}-1$ ，最大分频比大概是 最小分频比的两倍，但通过结构上的修改，可以扩展分频比的范围[15]。该分频器具有模块化的优点，有利于版图的设计，各级信号工作在不同的频率，有利于对功耗进行优化。

2.2 预分频器

双模预分频器主要有三种结构，它们分别是：

2.2.1 同步预分频器

该种类型的分频器能够实现 $2^k/2^k+1$ 类型的双模预分频器。根据实现的基本逻辑的不同，它又可以分为基于与非门的实现和基于或非门的实现两种基本类型。下面

以与非逻辑的实现为例进行说明。与非门的特点是，只要有一个输入为“0”，它的输出必定为“1”，只有两个输入均为“1”时，它的输出才为“0”。图 2-4是基于与非逻辑的 $2^k/2^{k+1}+1$ 双模预分频器逻辑框图，图中的mod是分频模式控制信号。预分频器的基本原理是：当mod=“0”时，第k+1个寄存器无效，前k个寄存器构成扭环形计数器，可以实现输出占空比为50%的 2^k 分频；当mod=“1”时，第k+1个寄存器工作，它的作用是对第k个寄存器的输出 Q_k 实现1个输入时钟周期的延时，由于与非逻辑的特点，当 Q_k 为“0”时， D_1 的输出为“1”， Q_{k+1} 对与 D_1 没有影响，只有当 Q_k 从“0”变为“1”时， Q_k 的“1”状态和 Q_k 延时一个输入时钟周期的 Q_{k+1} 的“0”状态相作用，使得 D_1 多出一个高电平的输入时钟周期，从而实现 2^{k+1} 分频。当mod=“1”时的工作过程如图 2-5所示。

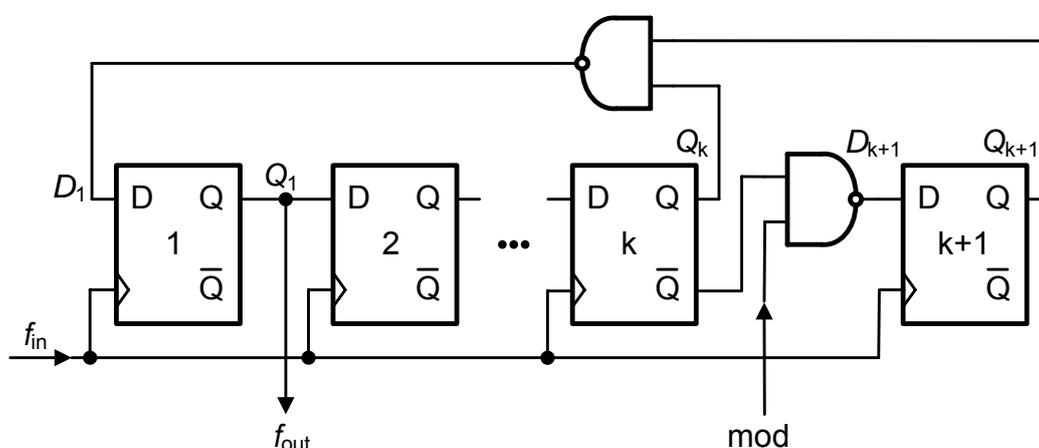


图 2-4 基于与非逻辑的 $2^k/2^{k+1}+1$ 双模预分频器

将图 2-4的两个与非门用或非门替换，并将mod信号反相，就能得到基于或非逻辑的实现，当mod=“1”时， Q_k 的“0”状态和 Q_k 延时一个输入时钟周期的 Q_{k+1} 的“1”状态相作用，使得 D_1 多出一个低电平的输入时钟周期。

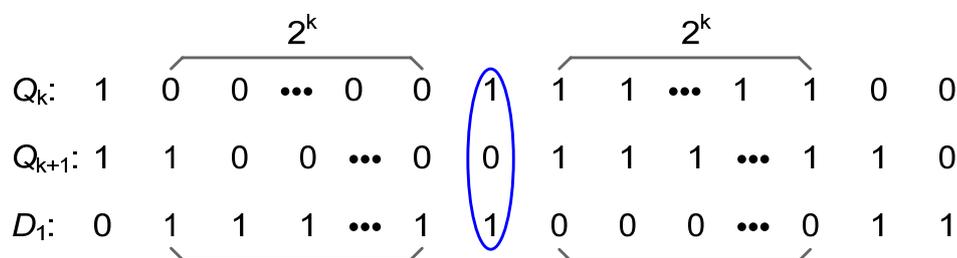


图 2-5 mod=1 时双模预分频器的工作过程

该种类型的预分频器由于逻辑简单，所以应用非常广泛，它也常用来构建异步双模预分频器。该类型结构的缺点是，与非门（或非门）处在电路的关键路径上，

降低了电路能够达到的最大频率，并且，所有的触发器都工作在最高工作频率，会消耗非常大的功耗。还有，当 k 增大后，电路的冗余状态可能会形成不正常的循环，使电路产生逻辑错误，因而该类电路适合实现较小的分频比，要实现更大分频比的双模预分频器，一般采用异步电路。

2.2.2 异步逻辑的预分频器

图 2-6是异步电路构成的 $M/M+1$ 双模预分频器的一般结构，它由双模 $P/P+1$ 预分频器，行波计数器和模式控制逻辑组成。 $P/P+1$ 双模预分频器的输出 F_{out1} 是行波计数器的时钟输入。模式控制逻辑控制着 $P/P+1$ 双模预分频器的工作模式，它的输入是外部输入模式控制信号 mod 和行波计数器的输出。 $M/M+1$ 双模预分频器的工作原理是：当 mod 为“1”（或“0”）时，模式控制逻辑的输出始终为“0”，因此双模预分频器始终工作在 P 分频模式（这里假设 $mod=1=“0”$ 时， $P/P+1$ 双模预分频器工作在 P 分频模式），因而实现的是 M 分频，这里 $M=2^n \times P$ ；而当 $mod=“0”$ （或“1”）时，在一个输出周期内，模式控制逻辑使得 $P/P+1$ 双模预分频器有且仅有一个周期进行 $P+1$ 分频，而在其它周期都进行 P 分频，从而使输出周期多出了一个输入时钟周期，实现 $M+1$ 分频。该种结构也可以实现 $M/M-1$ 分频，进行 M 分频时， $P/P+1$ 双模预分频器始终工作在 $P+1$ 分频模式；进行 $M-1$ 分频时，在一个输出周期内， $P/P+1$ 双模预分频器有且仅有一个周期工作在 P 分频模式，使得输出周期少了一个输入时钟周期，从而实现 $M-1$ 分频。

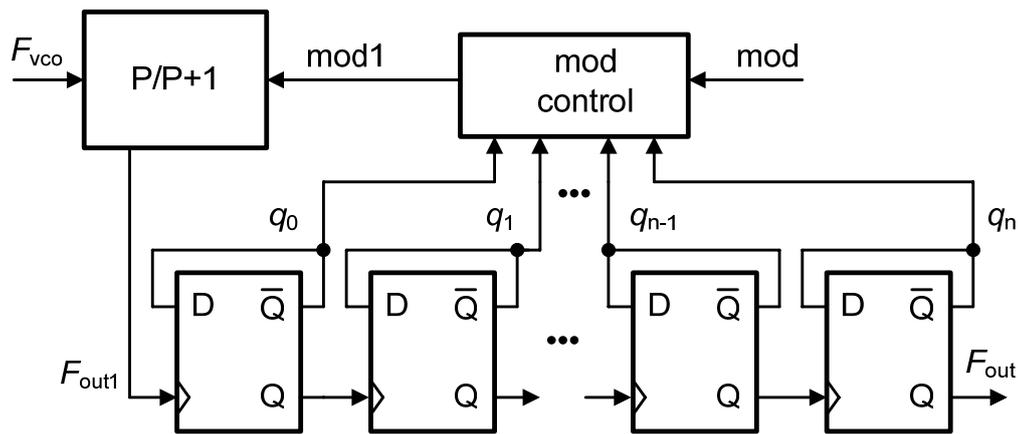


图 2-6 异步 $M/M+1$ 双模预分频器

由上述分析可见，异步分频器的根本思想是，进行 $M+1$ （或 $M-1$ ）分频时，找到一个控制逻辑，使得在一个输出周期内，它的输出有且仅有一个输入时钟周期与其它周期不同。行波计数器的各级输出构成的最大乘积项或者最小求和项恰好具有

这个特点，因此可以当作控制逻辑，再通过外部模式输入 mod 的控制，便可以实现所需要的双模预分频器。

2.2.3 相位开关型预分频器[16]

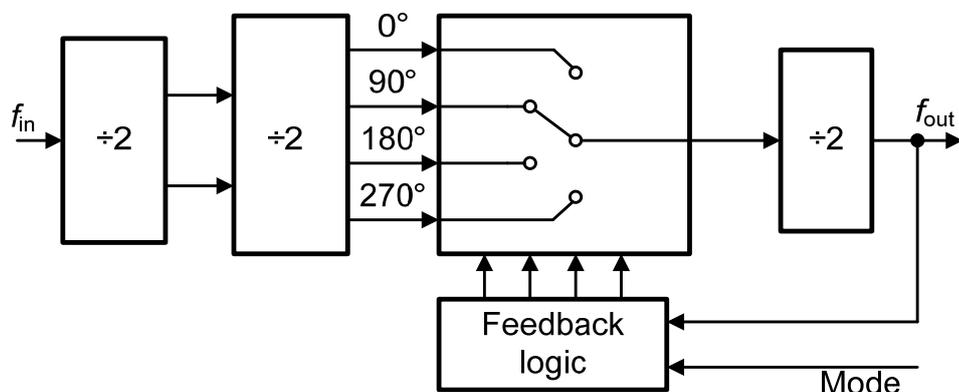


图 2-7 相位开关型 16/17 双模预分频器

图 2-7是相位开关型16/17双模预分频器的结构，它由两级除2电路，除4电路，相位选择电路和反馈控制电路构成。 Mode 是模式选择信号，当 $\text{Mode}="0"$ 时，反馈控制电路不起作用，相位选择电路恒定的选择某一路信号，整个电路的行为就像一个普通的异步除16行波计数器。当 $\text{Mode}="1"$ 时，每隔8个输入周期，相位开关电路选择延时90度的另一路信号作为输出，使输出信号多出了一个额外的输入时钟周期，从而实现17分频，这个过程如图 2-8所示。将图 2-7的最后一级异步4分频器改成其它异步分频器，可以实现其它分频比的双模预分频器。

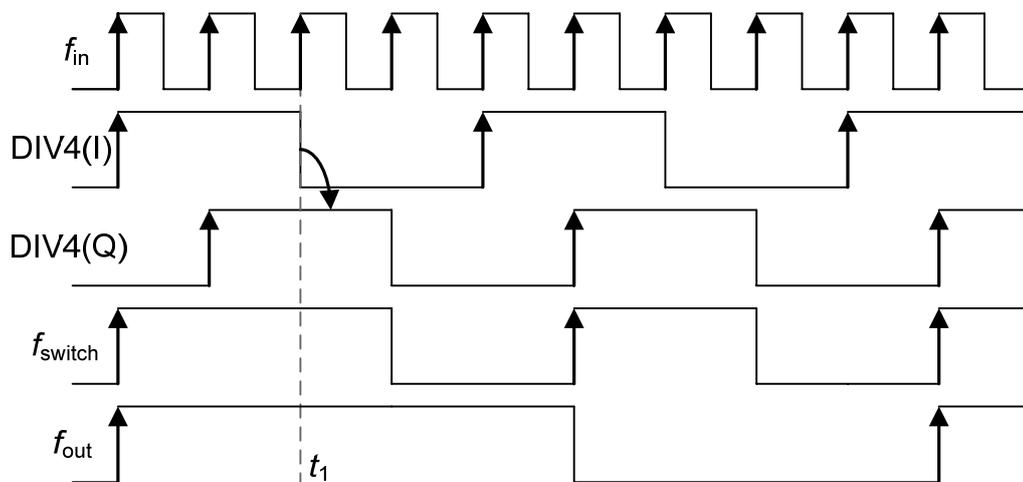


图 2-8 相位开关电路时序

与2.2.1和2.2.2节介绍的预分频器相比，相位开关型双模预分频器没有额外的逻辑门存在于预分频器的关键路径上，所以它能实现更高的速度，但是它存在相位选择电路，实现比较复杂。相位开关电路还存在毛刺问题[16]，毛刺消除电路进一步增加了电路的复杂性。

2.3 高速电路结构

同VCO一样，预分频器是频率综合器中工作频率最高的模块，它们的实现需要采用高速的电路结构。再生型模拟分频器和注入锁定分频器等模拟结构，可以达到非常高的速度，而且注入锁定分频器在高速工作的同时还消耗非常低的功耗。但模拟结构占用很大的面积，而且只能实现单模分频器，因此本文不再讨论。由2.2节的分析可知，触发器是构建双模预分频器的关键模块，采用CMOS逻辑的触发器或锁存器，具有逻辑简单，没有静态功耗等优点。但随着频率的升高，cmos逻辑的动态功耗将急剧增大，而且，由于晶体管数目大，需要满摆幅工作，它难以达到很高的速度。高速锁存器或触发器，常常采用真单相时钟 (True Single Phase Clock, 简称TSPC)和电流模式逻辑(Current Mode Logic, 简称CML)结构。

2.3.1 TSPC 电路

TSPC电路最早出现在80年代末[17][18]。由于采用单相位时钟，并减少了晶体管的个数，因此TSPC可以达到较高的速度。九十年代末以来，TSPC得到了越来越广泛的应用。它的结构也在不断的改进，比如出现了E-TSPC(The Extended True Single Phase Clock)结构[19]。

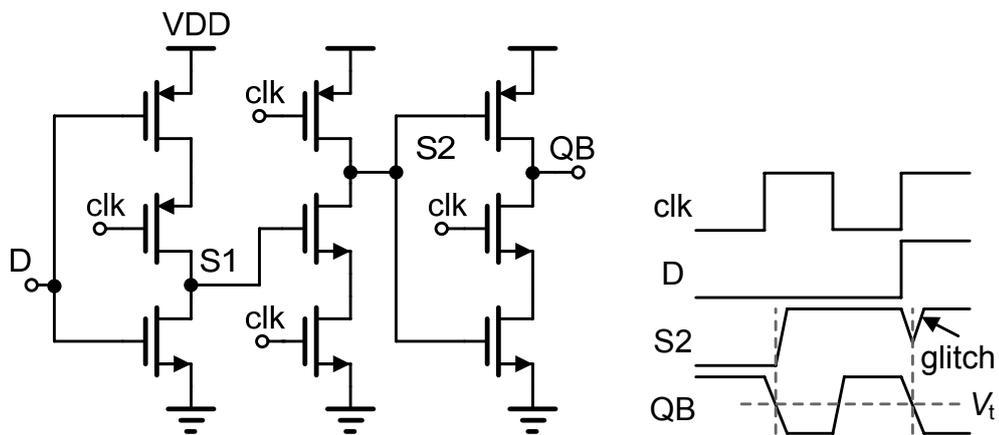


图 2-9 真单相时钟结构和时序

图 2-9左图是最基本的TSPC触发器结构[18]。它基于预充电逻辑，其中第二级是预充电电路，当时钟为低电平时，第一级对输入数据进行采样，第二级被预充电

至高电平，从而使第三级处于高阻状态，由寄生电容保持电路的状态；当时钟为高电平时，第一级在前一阶段采样的数据开始向输出传递，根据采样到的数据的不同，会通过不同的传输路径。如果S1节点的数据为“1”，则发生S1→S2→QB的传递；如果S1节点的数据为“0”，则发生S2→QB的传递，因为S2节点在前一阶段被预充电为“1”，所以它直接打开第三级的下拉路径，将QB节点下拉到“0”。

图 2-9左图的电路存在着竞争冒险。当D节点数据连续两个输入时钟周期为“0”时，可能在输出端产生“毛刺”，如图 2-9右图所示。因为，第一个输入时钟周期结束后QB被置为“1”，第二个时钟的低电平时，S2被预充电为“1”，QB动态保持在“1”状态；当第二个时钟的高电平到来后，S2开始从“1”到“0”变化，在它降低于第三级的阈值电压（图 2-9右图中的 V_t ）之前，第三级的下拉路径开启，使得QB从“1”向“0”变化，直到S2节点电压低于第三级的阈值电压之后，QB点电压再变回“1”。如果第二级的下拉不够快，则毛刺可能会使后续电路发生错误的翻转。图 2-10给出了解决了这个问题的电路结构。第三级的下拉路径多出一个晶体管，因而降低了电路的速度。

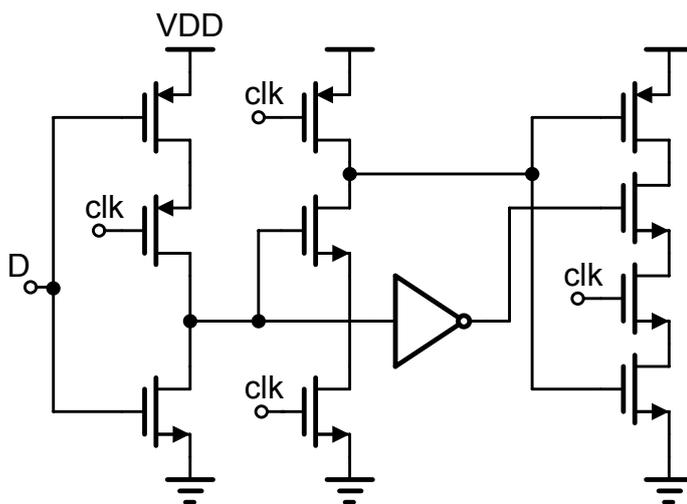


图 2-10 消除毛刺的TSPC结构[20]

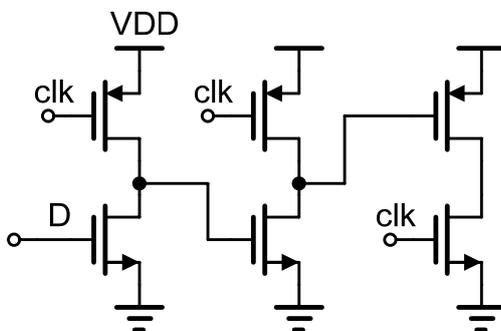


图 2-11 E-TSPC结构[21]

如果电路中不存在连续两个输入时钟周期数据输入为“0”的情况，比如二分频器，毛刺问题就不会存在，可以放心使用图 2-9结构。

将图 2-9左图中电路的各级改为相应的有比逻辑，就可以得到E-TSPC。如图 2-11所示。也可以只替换其中的一级或两级，也可以称之为E-TSPC[22]。由于晶体管数目减少，所以能达到更高的速度。有比逻辑的摆幅会随着温度工艺的变化而变化，摆幅太小时可能无法驱动驱动后级电路，造成电路不工作。E-TSPC电路的另一个问题是存在静态功耗。

2.3.2 电流模式逻辑(CML)

一般的电流模式逻辑由三部分组成：一个上拉电阻，一个下拉网络和一个恒定电流源，如图 2-12所示。CML电路是一种静态的差分结构，在任何时间，电流被全部导向其中的一条支路，因此CML电路的工作原理可由“电流切换”来理解。图 2-12中，尾电流被导向哪条支路取决于输入的值和下拉网络要实现的逻辑。没有电流的支路输出电压稳定在VDD，而有电流的支路由于电阻上的压降输出电压被限制在 $VDD - I_S R_L$ ，因此输出电压摆幅 $\Delta V = I_S R_L$ 。

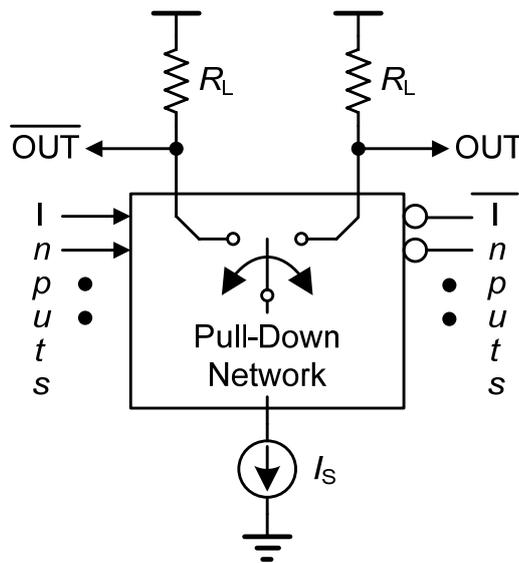


图 2-12 电流模式逻辑的一般结构[23]

CML电路具有以下特性[24]：第一，它具有较小的电压摆幅。电路不再从最高电压切换到最低电压，CML只需要较小的摆幅 ΔV 。较小的输出摆幅意味着更小的输出建立时间，因此可以达到更高的速度；第二，由于差分对采用了固定的电流源，CML电路的功耗相对比较固定。第三，由于是全差分结构，提供差分输出，因此能够很好的抑制共模噪声，转换噪声较小。

CML 电路一般占用较大的功耗，但在高频时，它的功耗可能就小于其它逻辑

了，而且它所能达到的最高速度，也是其它逻辑所无法实现的。

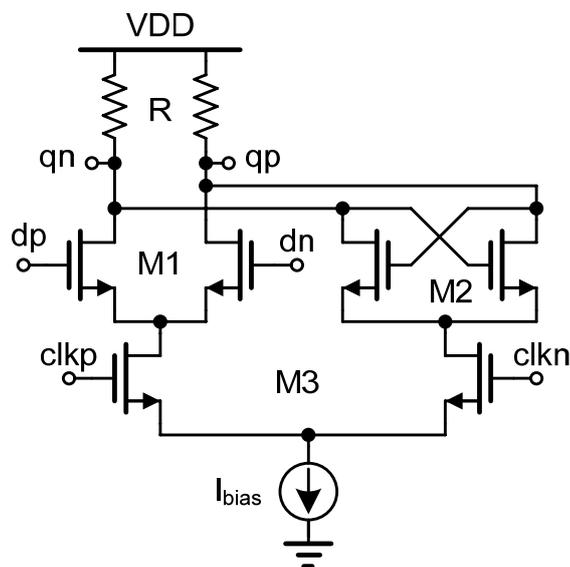


图 2-13 CML 锁存器

图 2-13给出了CML 锁存器的结构，它由一个采样级(M1 所在支路)和一个保持级(M2 所在支路)组成，哪一级处于活动状态由互补时钟信号决定。当时钟为高电平时，电流被全部导向采样级，输入端的数据直接反映到输出，即锁存器处于采样状态。当时钟为低电平时，电流全部导向锁存级，交叉耦合对M2 形成正反馈结构，保持住前一阶段采样的数据，输入信号对输出没有影响，因而电路处于锁存状态。当电源电压降低时，可以将图 2-13中的尾电流源去掉。与有尾电流源结构相比，无尾电流源结构可以达到更高的速度，因为电路的切换不再受尾电流源的影响。但它也有很多缺点：它的直流电平配置困难，它的摆幅随温度工艺变化很大，给电路带来可靠性问题，它对衬底噪声的干扰没有抑制能力。

第三章 可编程分频器设计

3.1 可编程分频器结构

图 3-1是本论文所采用的小数分频器的结构框图。

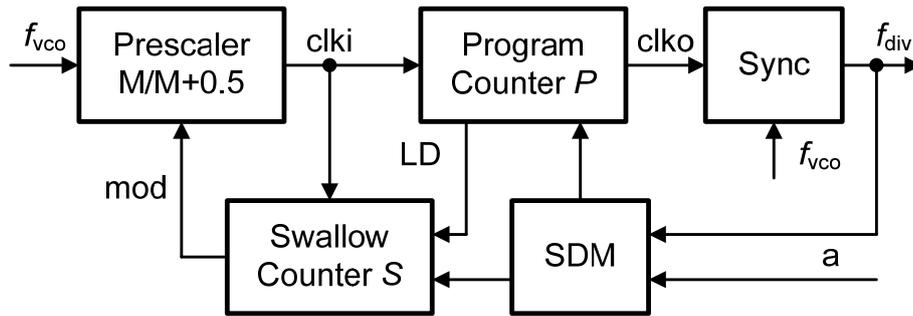


图 3-1 可编程分频器结构

它由Pulse-swallow架构的多模可编程分频器和SDM构成。SDM产生动态分频比，从而产生 P 和 S 的值，分别作为 P 计数器和 S 计数器的模数。与2.1.2节的介绍不同的是，多模可编程分频器采用了 $M/M+0.5$ 双模预分频器。这使得可编程分频器的分频步长从1降为0.5，从而降低了分频器输出和参考时钟边沿“动态对齐”引起的量化噪声，根据文献[7][8][9]等的分析，可以使SDM量化噪声引起的带外相位噪声减少6dB。图3.1中还有一个同步电路，目的是使分频器的输出与高频的VCO信号同步，减少异步电路引起的累积抖动[25]。

多模分频器的工作原理与2.1.2节的介绍相同，只是当 $mod=1$ 时进行的是 $M+0.5$ 分频，因此分频器的分频比是：

$$N = \frac{(M+0.5) \cdot S \cdot T_{vco} + M \cdot (P-S) \cdot T_{vco}}{T_{vco}} \quad (4.1)$$

$$= M \cdot P + 0.5S$$

由(4.1)式可见，如果 S 以1为步长变化，则分频器的步长为0.5，与传统实现相比量化阶梯降低了一半，从而使频率综合器的带外相位噪声性能提高6dB。

3.2 P 和 S 的实现方式

3.2.1 可编程分频器的分频范围

根据Pulse-Swallow型多模可编程分频器的工作原理， $P>S$ ，对于给定的 P 值， $S_{max}=P-1$ ，下面推导 P 的最小可能值 P_{min} ，此时 S 的取值范围是 $0 \sim P_{min}-1$ 。

根据应用的需要,实现的分频比必须是连续可调的,对于 $S=P_{\min}-1$,分频比为:

$$N1=M \cdot P_{\min}+P_{\min}-1 \quad (4.2)$$

假设 $N1$ 的下一个分频比 $N2=N1+1$ 对应着 $P2$ 和 $S2$,则有:

$$N2=N1+1=M \cdot P_{\min}+P_{\min}=M \cdot P2+S2 \quad (4.3)$$

如果 $P2=P_{\min}$,则 $S2=P_{\min}=P2$,与 $S<P$ 的要求相矛盾,因此 $P2>P_{\min}$,可取 $P2=P_{\min}+1$,代入式(4.3)并整理可得到:

$$P_{\min}=M+S2 \geq M \quad (4.4)$$

因此, P 的最小可能取值 $P_{\min}=M$,当 $P=P_{\min}$, $S=0$ 时,得到可能的最小分频比 $N_{\min}=M^2$ 。

下面验证, $P_{\min}=M$,对于 $N>M^2$ 的所有值,只要找到一组对应的 P 和 S 的组合,就可以证明结论。因此限定 $S_{\max}=M-1$,则肯定满足 $S<P$ 的要求。 P 每变化一次, S 从 $0 \sim M-1$ 连续取值,就可以实现连续的分频,因为:

当 $P=M$ 时,可以得到 $M^2 \sim M^2+M-1=M(M+1)-1$;

当 $P=M+1$ 时,可以得到 $M(M+1) \sim M(M+1)+M-1=M(M+2)-1$;

其余的依次类推。

因此,对于 $N>M^2$ 的所有值,都可以找到一组 P 和 S 的组合与之相对应,所以 $P_{\min}=M$,能实现的最小分频比为

$$N_{\min}=M^2 \quad (4.5)$$

理论上能实现的最大分频比为无穷大。

用类似的方法可以证明,采用 $M/M+0.5$ 型双模预分频器时,

$$P_{\min}=2M \quad (4.6)$$

$$N_{\min}=2M^2 \quad (4.7)$$

3.2.2 P 和 S 的实现方式

接收机信道的选择通过改变多模分频器的分频比实现,根据分频比确定 P 和 S 的值。对于整数分频,只有在信道切换时才会改变分频比,信道确定后分频比不再改变,因此 P 和 S 的值只在信道切换时改变一次,可以手动确定 P 和 S 的值。但对于分数分频,分频器的分频比每个参考时钟周期都在实时的变化,必须通过编程自动实现 P 和 S 的值。

对于确定的 N ,可能会对应不同的 P 和 S 的组合,即存在不同的实现方式,但这些不同的组合之间,有一定的关联,只要得到了一种组合,就可以得到另外的其它组合。在此给出简单证明,假设分频比 $N1$ 对应 $P1$ 和 $S1$,即 $N1=M \cdot P1+S1$,则有:

$$N1=M \cdot P1+S1=M(P1-1)+(S1+M)=\dots=M(P1-k)+(S1+k \cdot M) \quad (4.8)$$

上式中 k 为正整数,只要满足 $P1-k>S1+k \cdot M$,即 $P1>S1+(M+1) \cdot k$,则 $P1-k$ 和

$S1+k \cdot M$ 都是满足条件的组合。

一个分频比对应多个相互关联的 P 和 S 的组合，给我们的选择带来了灵活性，同时也促使我们寻找有效且简单的实现。不同的实现方法，可能会影响可以实现的分频比的最小值。下面介绍一种简单的编程方式， P 和 S 的值可以通过动态分频比的二进制代码直接得到[7][26]。

A) 采用 $M/M+1$ 型预分频器

首先针对采用 $M/M+1$ 型预分频器的结构进行分析。

假设 N 一共有 n 位，二进制编码为 $b_{n-1}b_{n-2}\cdots b_0$ ，则 N 可用下式(4.9)表示：

$$\begin{aligned} N &= b_{n-1}2^{n-1} + \cdots + b_k2^k + b_{k-1}2^{k-1} + \cdots + b_0 \\ &= (b_{n-1}2^{n-1} + \cdots + b_k2^k) + (b_{k-1}2^{k-1} + \cdots + b_0) \\ &= 2^k(b_{n-1}2^{n-1-k} + \cdots + b_k) + (b_{k-1}2^{k-1} + \cdots + b_0) \\ &= M \cdot P + S \end{aligned} \quad (4.9)$$

如果选取 $M=2^k$ ，则 P 和 S 可以选取式(4.10)的组合：

$$\begin{cases} P = b_{n-1}2^{n-1-k} + b_{n-2}2^{n-2-k} + \cdots + b_k \\ S = b_{k-1}2^{k-1} + \cdots + b_0 \end{cases} \quad (4.10)$$

即， P 和 S 的值由分频比 N 的二进制代码直接得到，其中 P 取高权重部分，最低位为 N 的第 $\log_2 M$ 位， S 取低权重部分，最高位是 N 的第 $\log_2 M - 1$ 位。由式(4.10)可以看到， $S < M$ ，所以 $P \geq M$ ， $N \geq M^2$ ，即分频比 N 的取值范围是 M^2 到无穷大。根据 3.2.1 节的分析，Pulse-Swallow 型可编程分频器能够实现的分频比范围也是 M^2 到无穷大，即这种编程方式能实现最大的分频比范围。而且，这种对 P 和 S 进行编程的方式， P 和 S 由分频比的二进制编码直接得到，实现简单，能达到非常快的速度，唯一的要求是 $M=2^k$ 。如果实现的是整数分频器，则上述的 N 由频道选择直接确定，如果实现的是分数分频器，则 N 由分频比的整数部分与 $\Sigma\Delta$ 调制器的输出二进制码相加得到。

B) 采用 $M/M+0.5$ 型预分频器

对于 $M/M+0.5$ 预分频器，需要重新推导上述方法的适用性。由于分频器本身可以实现精度为 0.5 的分数分频，只有小于 0.5 的分频精度才需要 $\Sigma\Delta$ 调制器，因此将分频比小于 0.5 的分数部分作为 $\Sigma\Delta$ 调制器的输入。假设分频比 $N.a$ 的二进制编码具有 n 位整数 p 位分数，表示为 $b_{n-1}b_{n-2}\cdots b_0.b_1\cdots b_p$ 。则 $\Sigma\Delta$ 调制器的输入为 $2(a.b_1) = .b_2\cdots b_p$ ，将输出序列 $y[n]$ 加到 $2(N.b_1)$ 上求得动态分频比为 $N.b_1 + 0.5 y[n]$ ，因此分频步长为 0.5。 $y[n]$ 的平均值为 $.b_2\cdots b_p$ ，所以 $N.b_1 + 0.5 y[n]$ 的平均值为 $N.b_1 + .b_2\cdots b_p = N.a$ 。

令 $N.b_1 + 0.5 y[n] = M \cdot P + 0.5 S$ ，即

$$\begin{aligned}
 & d_{n-1}2^{n-1} + \dots + d_k 2^k + d_{k-1} 2^{k-1} + \dots + d_0 + d_{-1} 2^{-1} \\
 &= 2^k (d_{n-1} 2^{n-k-1} + \dots + d_k) \\
 &\quad + 0.5 (d_{k-1} 2^k + \dots + d_0 2 + d_{-1}) \\
 &= M \cdot P + 0.5S
 \end{aligned}
 \tag{4.11}$$

其中， $d_{n-1}d_{n-2}\dots d_0.d_{-1}$ 是 $N.b_{-1}+0.5y[n]$ 的二进制编码,可以看到，同采用 $M/M+1$ 预分频器的情况一样，如果选取 $M=2^k$ ，则 P 和 S 的值同样可以从动态分频比 $N.b_{-1}+0.5y[n]$ 的二进制编码直接得到，即：

$$\begin{cases} P = d_{n-1}2^{n-1-k} + d_{n-2}2^{n-2-k} + \dots + d_k \\ S = d_{k-1}2^k + \dots + d_0 2 + d_{-1} \end{cases}
 \tag{4.12}$$

由(4.12)式可以看到， S 共有 $k+1$ 位， $S_{\max}=2^{k+1}-1$,所以 $P_{\min}=S_{\max}+1=2^{k+1}=2M$,所以能实现的分频比范围是 $2M^2$ 到无穷大。

3.3 4/4.5 双模预分频器

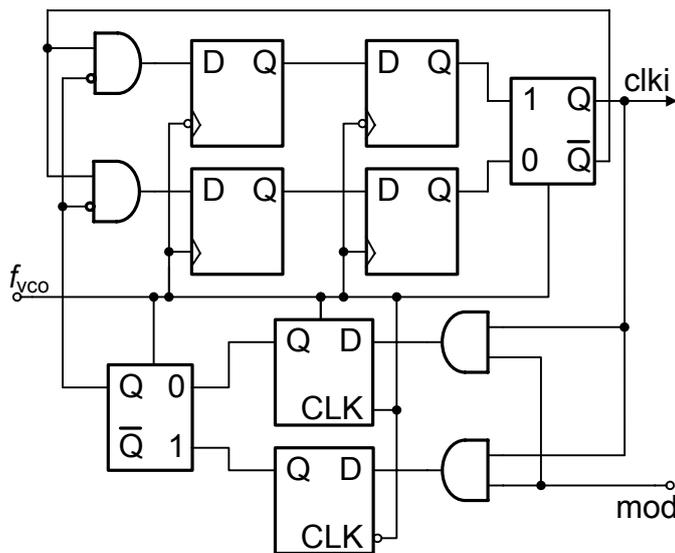


图 3-2 文献[7]的 4/4.5 型双模预分频器

前面提到，用 $M/M+0.5$ 类型的双模预分频器可以使分频器的分频步长降为 0.5 ，从而使 $\Sigma\Delta$ 调制器引起的带外相位噪声减小 6 dB 。文献[7]采用双沿触发的同步电路实现了一个 $4/4.5$ 型双模预分频器，图 3-2是它的电路结构。这个结构从文献[8]的 $1/1.5$ 预分频器扩展而来，它们可以归类为2.2.1节的同步预分频器结构，不同的是由延时一个输入时钟周期改为延时半个输入时钟周期。该电路具有潜在的稳定性问题，无论是进行 4 分频还是 4.5 分频，它的冗余状态都会形成不正常的循环[7]。为

为了保证电路可靠工作，需要增加置位电路，增加了电路的复杂性。根据2.2.2节的分析，为了减少冗余状态，可以采用异步电路。本论文正是采用异步电路的方法，实现了另一种结构的 4/4.5 双模预分频器。

3.3.1 4/4.5 型双模预分频器结构

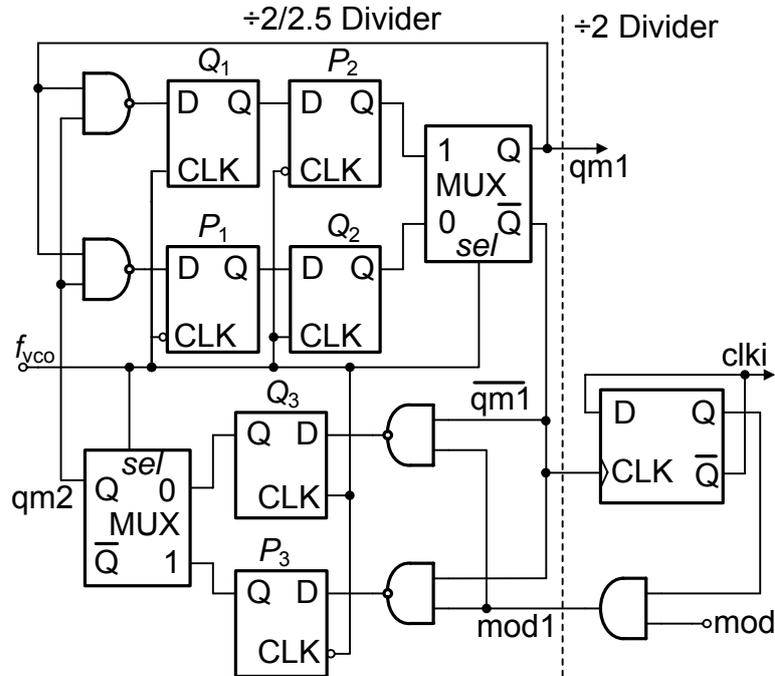


图 3-3 本论文提出的 4/4.5 型双模预分频器

本论文提出一款异步 4/4.5 双模预分频器，具有较少的晶体管数目，虽然仍有冗余状态，但它的冗余状态不会形成不正常的循环。图 3-3 是所提出的双模预分频器的电路结构。它由两部分组成，左半部分是同步 2/2.5 双模预分频器，右半部分是异步二分频器，它的输入时钟由左边同步 2/2.5 双模分频器的输出提供。与文献[7]的同步 4/4.5 双模预分频器一样，同步 2/2.5 双模预分频器也是从文献[8]的结构扩展而来。mod1 是同步 2/2.5 双模预分频器的模式输入，当 mod1="1" 时，2/2.5 双模预分频器工作在 2.5 分频模式，当 mod1="0" 时，2/2.5 双模预分频器工作在 2 分频模式。mod 是 4/4.5 双模预分频器的模式输入，它与输出时钟相配合，产生左边 2/2.5 双模预分频器的模式输入。当 mod="0" 时，mod1 始终为"0"，2/2.5 双模预分频器始终工作在 2 分频模式，经过异步 2 分频后实现 4 分频。当 mod="1" 时，相当于输出时钟 clki 的反相信号直接作为 2/2.5 双模预分频器的模式控制信号，即 $mod1 = \overline{clki}$ ，在一个 clki 时钟周期内，2/2.5 双模预分频器交替工作在 2 分频和 2.5 分频模式，因此输出时钟周期 $T_{clki} = 2T_{vco} + 2.5T_{vco} = 4.5T_{vco}$ ，进行的是 4.5 分频。

同图 3-2的电路相比,虽然多出了一个与门,但latch的数量由 10 个减为 8 个,所以具有更小的面积和功耗,而且,异步除 2 分频器工作在较低的频率,可以进一步降低电路的功耗。

接下来详细分析 2/2.5 双模预分频器的工作原理。

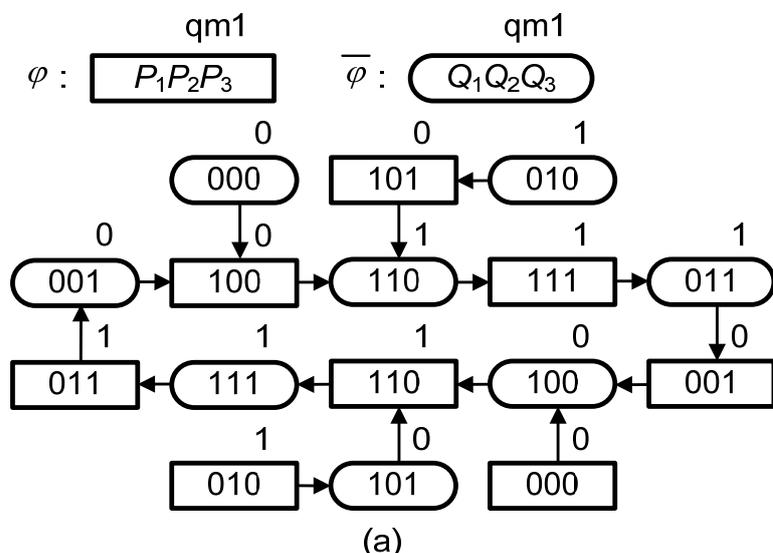
A) 2/2.5 双模预分频器工作原理

2/2.5 双模预分频器电路具有双沿触发特性,对这类电路的分析采用文献[27]的方法。它由锁存器(latch),多路选择器(mux)和其它逻辑电路组成。锁存器具有保持和透明两种状态,处于透明状态的锁存器是被驱动的, mux总是选择保持状态提供给输出。根据保持状态的不同,锁存器分为两类,当时钟为高电平时处于保持状态的,称为P类锁存器,称它的保持状态为P类状态;反之,当时钟为低电平时处于保持状态的,称为Q类锁存器,称它的保持状态为Q类状态。因为是不同锁存器的输出,P类状态和Q类状态的编码可以相同。

锁存器的激励方程如式(4.13)所示:

$$\begin{aligned}
 \varphi: \quad Q_1^+ &= \overline{P_2 \cdot P_3} & \overline{\varphi}: \quad P_1^+ &= \overline{Q_2 \cdot Q_3} \\
 Q_2^+ &= P_1 & P_2^+ &= Q_1 \\
 Q_3^+ &= \overline{P_2 \cdot \text{mod}1} & P_3^+ &= \overline{Q_2 \cdot \text{mod}1} \\
 qm1 &= P_2 & qm1 &= Q_2
 \end{aligned}
 \tag{4.13}$$

其中 φ 表示时钟为高电平, $\overline{\varphi}$ 表示时钟为低电平。根据激励方程,得到 2 分频和 2.5 分频模式下的状态转换图分别如图 3-4(a)、(b)所示,其中 $P_1P_2P_3$ 是时钟为高电平时系统的状态; $Q_1Q_2Q_3$ 是时钟为低电平时系统的状态。从图 3-4 可以看到,虽然具有冗余状态,但电路的冗余状态不会形成不正常的循环,即 2/2.5 预分频器可以自启动,因此基于它的异步 4/4.5 预分频器也可以自启动,保证了电路的可靠性。



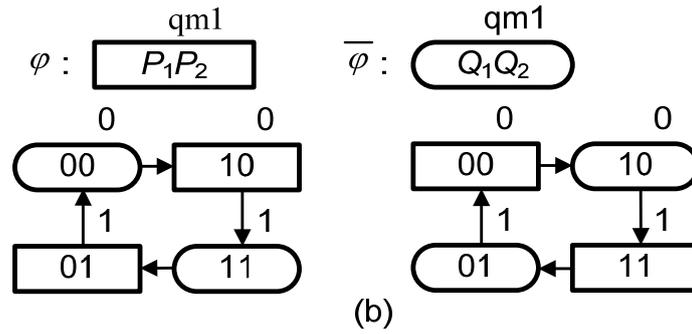


图 3-4 (a) 2.5 分频的状态转换图 (b) 2 分频的状态转换图

从图 3-4 的状态转换图可以得到电路的时序图，如图 3-5 所示。2 分频对应两种时序，这与它的双沿触发特性相一致，这两种时序都是正确的，具体进行哪种时序，由初始条件决定，即由从 2.5 分频转换到 2 分频时电路的状态决定。当从图 3-5 (c) 中的 t_2 时刻改变为 2 分频时，会进行图 3-5 (a) 的时序，当从图 3-5 (c) 中的 t_4 时刻改变为 2 分频时，会进行图 3-5 (b) 的时序。从图 3-5 (c) 可以看到，进行 2.5 分频时，输出信号的低电平占两个输入时钟的半周期，高电平占 3 个输入时钟的半周期。

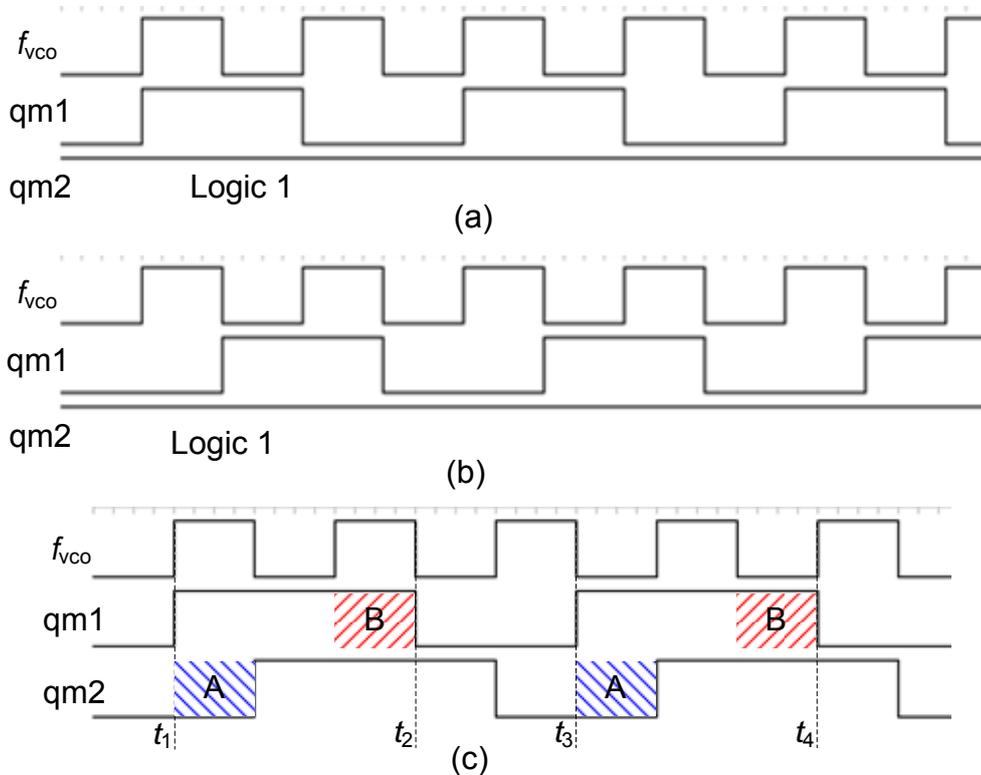


图 3-5 (a) 二分频下降沿触发 (b) 二分频上升沿触发 (c) 2.5 分频时序图

3.3.2 时序问题

双模预分频器的工作模式由模式控制信号决定，以本论文提出的 4/4.5 双模预分频器为例，当 $\text{mod}="1"$ 时，进行 4.5 分频，当 $\text{mod}="0"$ 时，进行 4 分频。在实际的应用中， mod 信号是由预分频器的输出信号的某一边沿触发的。当输出时钟的某一边沿触发改变 mod 的信号后，接下来一个输出周期的工作模式，必须与所触发的 mod 信号的要求相一致。由于电路中存在延时， mod 信号不会立即变为所要求的值，如果 mod 信号的延时超过了一定的程度，就会引起逻辑错误，即应该从 4 分频变为 4.5 分频时，却仍然进行 4 分频；或者应该从 4.5 分频改变为 4 分频时，却仍然进行 4.5 分频。为了保证正确的模式切换，双模预分频器给后续电路提出了时序约束。

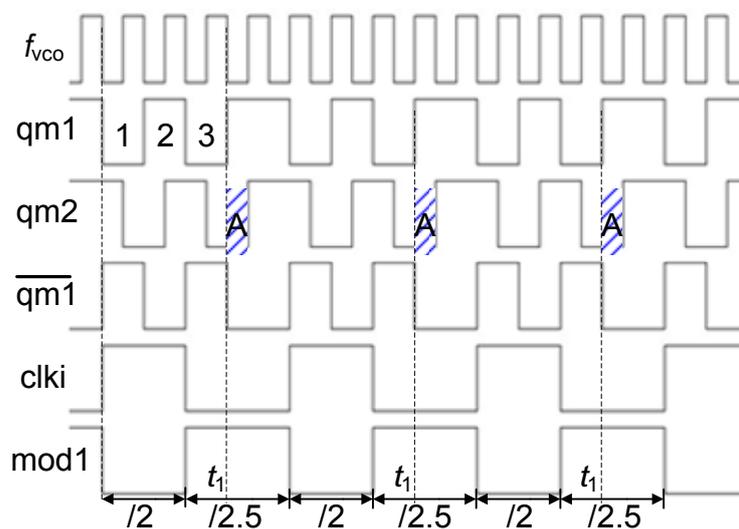


图 3-6 4.5 分频时的时序

A) 2/2.5 分频器时序约束

同单沿触发的同步双模预分频器一样，进行 2.5 分频的原因有一个直观的解释：图 3-3 中，2/2.5 双模预分频器基于与非逻辑， qm1 的第一个高电平和 qm1 延时半个周期的 qm2 的低电平进行与非操作，使得 qm1 多出半个输入时钟周期的高电平，图 3-5(c) 中红色阴影区域 B 即为多出的半个输入时钟周期。一个输出周期进行的是 2 分频还是 2.5 分频，取决于图 3-5(c) 中，区域 A 内 qm2 的值，即 qm2 是否为 qm1 最后一个低电平的半个输入时钟周期的延时。而这又取决于 t_1 (或 t_3) 时刻之前 mod1 的值，如果 mod1 为 "1"，则在接下来的时钟边沿， qm1 的值将会正确的传到 qm2 ，进行 2.5 分频；如果 t_1 (或 t_3) 时刻之前 mod1 的值为 0，则 qm1 的低电平不会被采样，在接下来的时钟边沿 qm2 的值将为 "1"，从而进行 2 分频。因为 mod1 信号是由 qm1

触发的，如果用qm1 的上升沿触发mod1 信号，则mod1 信号的改变肯定在 t_1 (或 t_3) 之后，在接下来的循环的工作模式与前一循环相同，产生逻辑错误，因此qm1 的上升沿不能作为mod1 的触发信号。如果用qm1 的下降沿触发mod1 信号，由于qm1 与 t_1 (或 t_3)间隔为一个输入时钟周期，因此mod1 允许的最大延时为一个输入时钟周期。分析时假设了电路的建立时间要求为 0，如果考虑电路的建立时间要求，则允许的mod1 的最大延时，还要减去 Q_3 或 P_3 锁存器的建立时间。

B) 4/4.5 预分频器时序约束

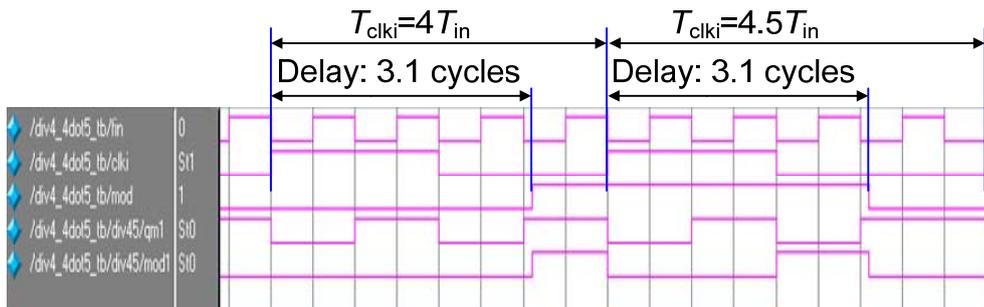


图 3-7 错误的模式切换

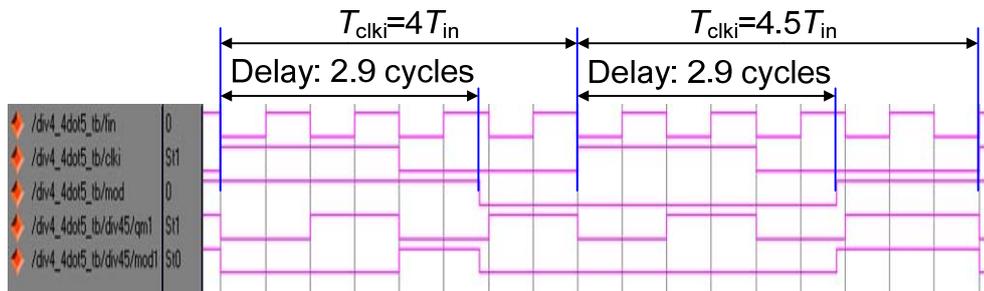


图 3-8 正确的模式切换

图 3-6是进行 4.5 分频的时序，根据前面的分析，mod信号必须由qm1 的下降沿触发，因此clki由qm1 的下降沿触发，再由clki触发mod信号。一个clki周期包含两个qm1 周期。采用clki的上升沿触发mod信号的改变时，第一个qm1 周期肯定进行 2 分频，第二个qm1 周期进行 2.5 分频时，整体电路进行 4.5 分频，第二个qm1 周期进行 2 分频时，整体电路进行 4 分频。因此，是否进行 4.5 分频，取决于第二个qm1 周期是否进行 2.5 分频。根据对 2/2.5 预分频器的分析，如果mod1 在 t_1 时刻之前改变，则工作模式可以正确转变，如果mod1 信号在 t_1 时刻之后改变，则会发生逻辑错误。因此，采用clki的上升沿触发后级电路时， mod信号允许的最大延时为 3 个输入时钟周期减去或非门的延时和锁存器的建立时间。同样可以证明，采用clki的下降沿触发后级电路时， mod信号允许的最大延时为 1 个输入时钟周期减去或非

门的延时和锁存器的建立时间，因此本论文采用 clk_i 的上升沿触发后级电路。图 3-7 给出了延时为 $3.1T_{in}$ 时的功能仿真结果， mod 从“0”变为“1”再变为“0”，由于延时大于 $3T_{in}$ ，所以没能完成正确的模式切换。图 3-8 给出了延时为 $2.9T_{in}$ 时的功能仿真结果， mod 从“1”变为“0”再变为“1”，可以看到实现了正确的模式切换。

用与同步 2/2.5 型预分频器类似的方法可以证明，图 3-2 所示的 4/4.5 型双模预分频器对 mod 信号允许的最大延时为 $2T_{in}$ 。

通过上面的分析可以看到，图 3-3 的电路在速度，功耗，面积，以及可靠性方面，都要优于图 3-2 的电路结构。

3.4 可编程计数器

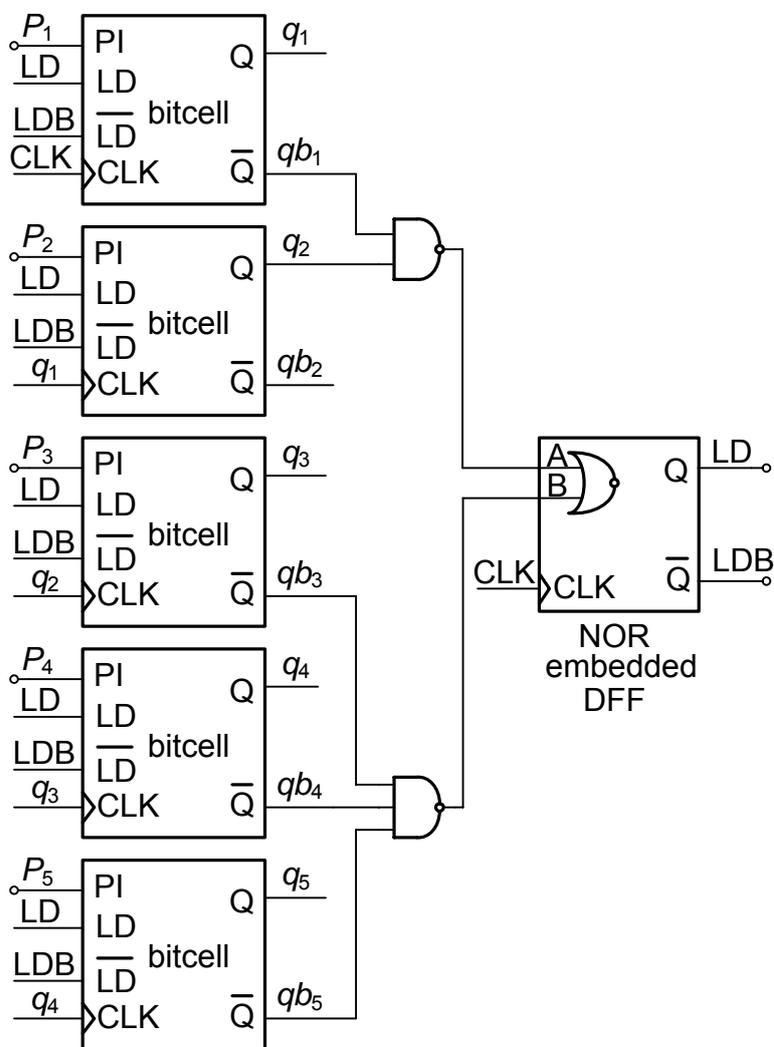


图 3-9 P 计数器结构

从图 3-1 可以看到，P 计数器和 S 计数器是整个多模可编程分频器的重要组成

部分，3.2节介绍了P和S的产生方式，接下来讨论这两个计数器的具体实现。P计数器和S计数器可以采用递减计数和递增计数。递增计数基于比较器，递减计数基于2.1.1节介绍的可预置数分频器。检测“2”结束状态的可预置数递减计数器[14]，使结束状态检测和置数操作分布在两个不同的输入时钟周期，可以提高电路的速度。而采用递增计数时，比较过程和置数操作必须在一个输入时钟周期内完成，比较过程相当于递减计数的结束状态检测过程，因此，检测“2”结束状态的可预置数递减计数器，理论上可以达到更高的速度。

3.4.1 P 计数器

P计数器的作用是检测计数结束状态，发出置数信号，采用递减计数时，就是普通的可预置数计数器。图 3-9是本论文采用的P计数器结构。图中的bitcell[28]是能够预设值的二分频电路，PI是置数端，LD、LDB是互补置数控制信号端，CLK是时钟输入信号，Q、 \bar{Q} 是互补输出端。当LD="1"时，bitcell处于置数状态，PI端的数据被直接置位到输出端；当LD="0"时，是正常计数状态，输出端Q是输入时钟信号的二分频。图 3-9中，各bitcell连接成行波计数器的形式，构成可预置数的递减计数器。循环结束逻辑以“2”作为电路的结束状态，因此可以达到较高的速度。为了保证置数操作成功完成，LD信号必须能够持续一定的时间。检测“2”的方案中，LD信号持续一个输入时钟周期，保证了电路的可靠性。

3.4.2 S 计数器

S计数器的作用是，正常计数期间，输出模式控制信号mod（参照图 3-1）为高电平，使得预分频器工作在 4.5 分频模式，当计数结束后，将mod改变为低电平，使预分频器工作在 4 分频模式，并且停止计数，直到P计数器发出置数信号LD，S计数器再重新置数，下一个时钟上升沿到来时，开始新一轮的计数。从工作过程可以看出，S计数器跟一般的可置数计数器是不同的：它的计数周期不是连续的；它必须具有停止计数的功能；它的置数信号不是由自己产生的，而是由P计数器控制着它的置数，而它自己的计数结束逻辑产生的是计数停止信号和预分频器模式控制信号mod。另外，S计数器还有一个特别的地方：它能对“0”进行计数，即一直处于计数停止状态。

由于S计数器自身的特点，相对于P计数器，它的实现相对复杂。下面先介绍文献[28]的实现，介绍它的原理和存在的问题，找出问题存在的原因，然后给出本论文的实现。

A) 存在的问题

采用了图 3-9的P计数器后，根据不同的实现方案，S计数器的计数停止信号和预分频器模式控制信号可能相同，也可能不同，对这两个信号需要仔细设计，以确

保功能的正确实现。

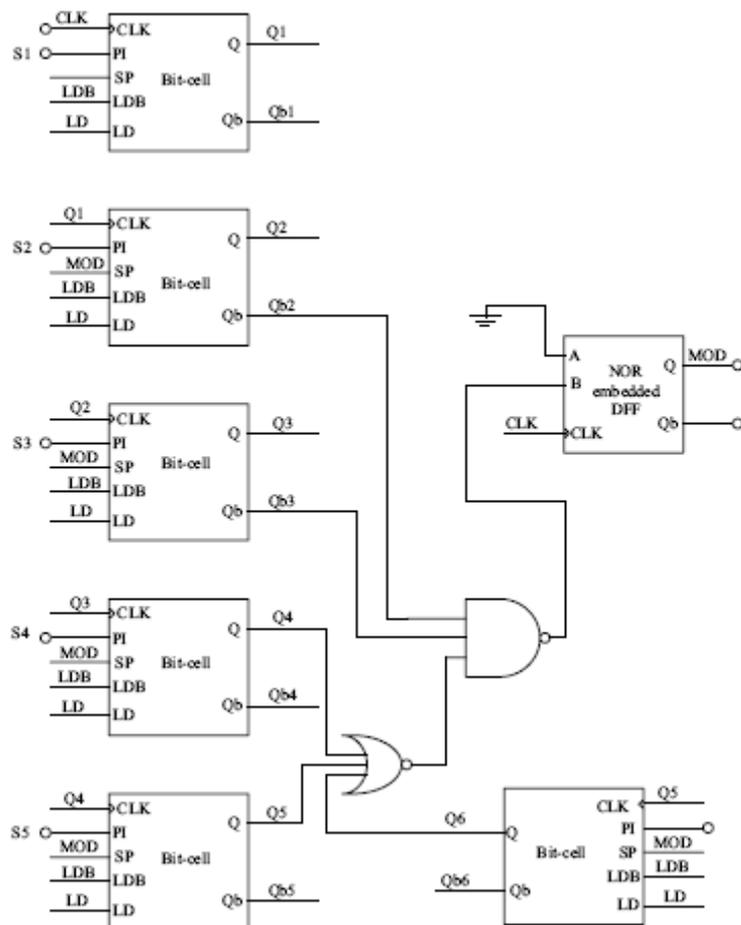


图 3-10 文献[28]的S计数器结构

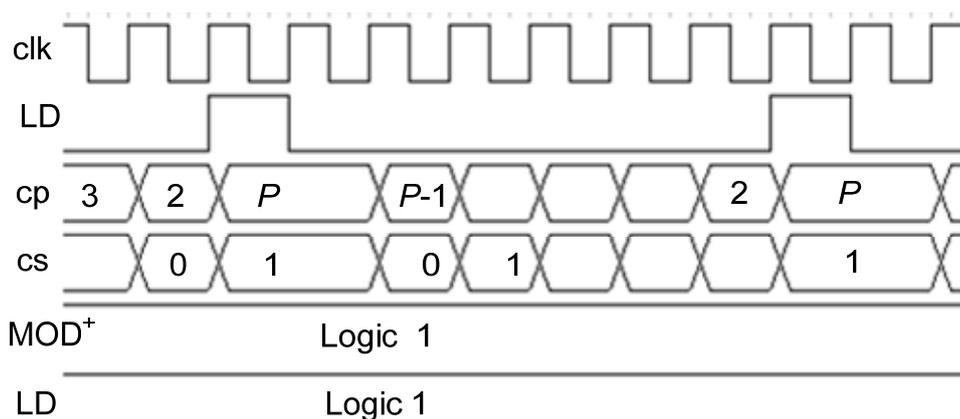


图 3-11 文献[28] S=1 的时序

文献[28]的P计数器和S计数器都是 6 位的异步递减计数器，其中，P计数器采用了检测“2”结束状态的方法，图 3-10给出了它的S计数器结构。该文献将预分频

器设计成 $MOD="1"$ 时进行 47 分频, $MOD="0"$ 时进行 48 分频。本论文以 MOD^+ 表示 MOD 的次态, 从图 3-10 可以看到, $MOD^+ = \overline{Q6Q5Q4Q3Q2}$, 当且仅当 $Q2=Q3=Q4=Q5=Q6="0"$ 时, $MOD^+="1"$, 其余状态 $MOD^+="0"$, S 计数器检测的是"00000X"状态, X代表"0"或"1"。当 $S=1$ 或 $S=0$ 时, 计数器会一直处于停止状态; 当 $S \geq 2$ 时, 因为采用的是递减计数, 所以"000001"状态会首先出现, 该电路检测的是"000001"状态。因此, 当 $S \neq 1$ 时, 该电路可以正常工作, 但如果 $S=1$, 则会出现逻辑错误。图 3-11是 $S=1$ 时电路的时序, 图中的cp和cs分别代表P计数器和S计数器的即时计数值。可见, 始终有 $MOD="1"$, 而 $S=1$ 时, 应该有一个输入时钟周期 $MOD="0"$, 所以上述电路在 $S=1$ 时发生了逻辑错误。但这并不说明上述电路不能工作, 只是说明上述电路仅适用于 $S \neq 1$ 的情况。从3.2节的分析可知, 一个分频比可能对应不同的P和S的组合, 只要选取S不为 1 的组合就可以了, 代价是增加了P和S编程的复杂度。而且, 只有大到一定程度的分频比才会对应多个P和S, 因此限制了能够实现的最小分频比。如果希望实现更小的分频比, 减小编程的复杂度, 则需要寻找其它的方案。

将文献[28]的S计数器改为检测"0"也是不行的, 因为当 $S=1$ 时, 电路会发生其它的逻辑错误。如图 3-12所示, 当LD为"1"时, S计数器进行置数, 使得S计数器置数为"1"状态, 因此 $MOD^+="0"$, 在下一个输入时钟上升沿到来时, 因为上升沿之前 $LD="1"$, 所以计数器输出保持不变, 仍然为"0"状态, 使得下一个输入时钟周期仍然有 $MOD^+="0"$ 。因此MOD会有两个输入时钟周期为低电平, 发生逻辑错误。

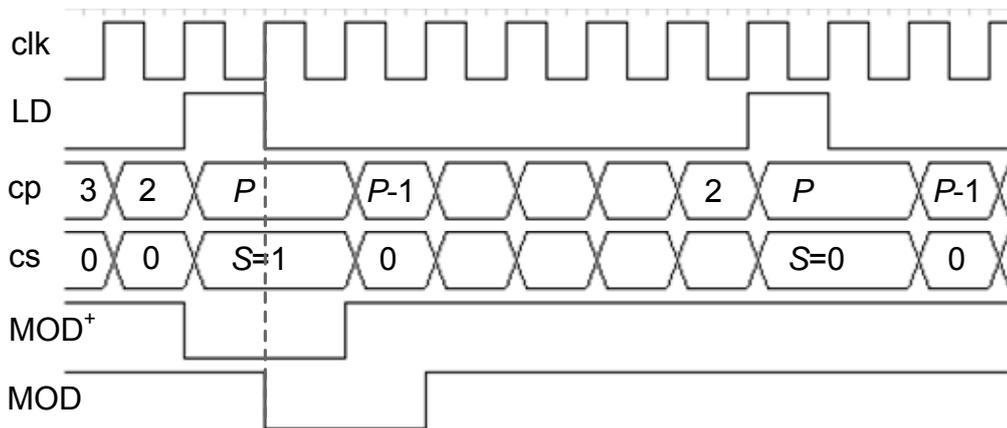


图 3-12 S 计数器问题

文献[29]采用递增计数的方法来实现S计数器, 文献[30]增加部分辅助电路来解决S不能为 1 的问题。对它们的原理本论文不做赘述, 现在给出一种全新的解决方案。

B) 本论文提出的 S 计数器结构

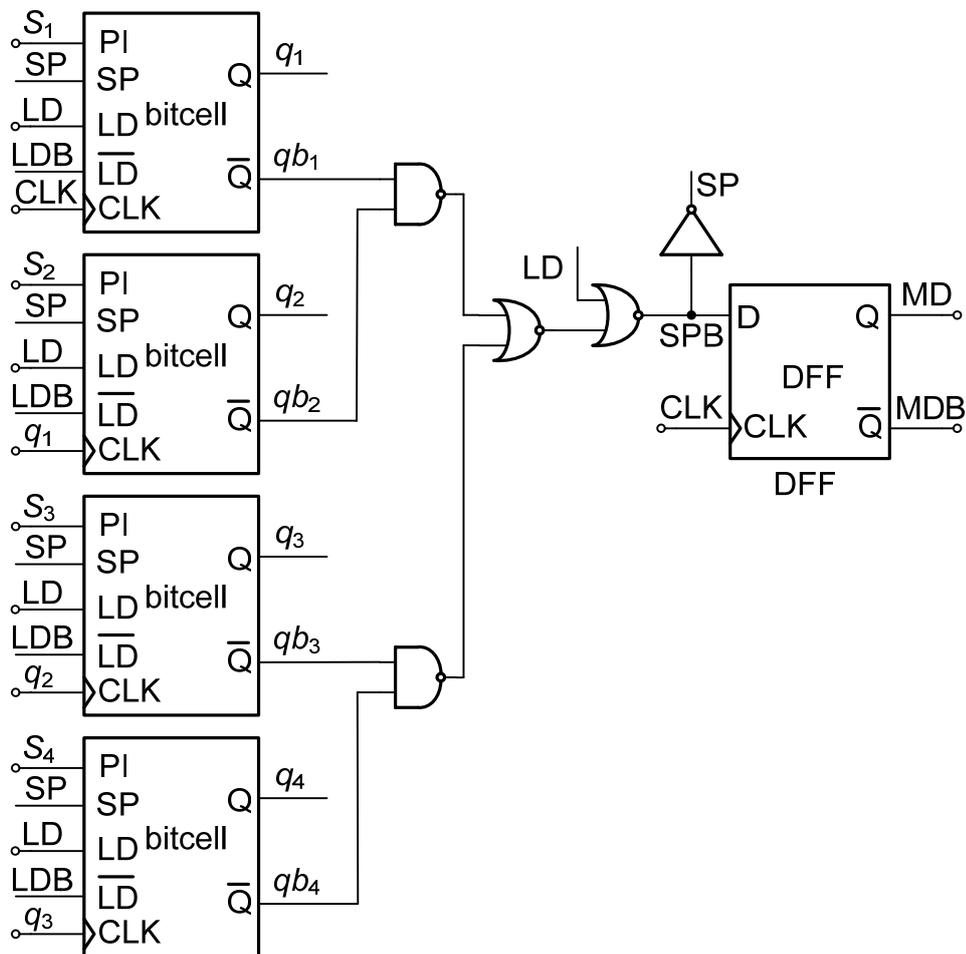


图 3-13 本文提出的 S 计数器结构

图 3-13是本论文提出的S计数器结构。SP是S计数器的计数停止信号，MOD是预分频器的模式控制信号。它的根本思想是，SP和MOD采用不同的信号。从图 3-12的时序图可以看到，MOD⁺连续为“0”的两个状态是不同的，区别就是LD信号，注意到这一点，对MOD⁺的逻辑稍做修改，便可解决上面的问题，因此得到了图 3-13所示的结构。在此电路中，当MOD=“1”时，预分频器工作在除M+0.5 或除M+1 状态，当MOD=“0”时，预分频器工作在除M状态。其中MOD⁺ = SPB = $\overline{q_4 q_3 q_2 q_1} \cdot \overline{LD}$ ，当且仅当LD=“1”或q₄=q₃=q₂=q₁=“0”时，MOD⁺=SPB=“0”，其余状态MOD⁺=SPB=“1”，即电路检测的是“0”状态。

采用图 3-13的S计数器结构后，S=1 时电路的时序如图 3-14所示。可以看到，在LD信号的两个下降沿之间，一共经历了P个时钟周期，而其中有 1(S=1)个时钟周期MOD=1，可见分频器正确实现了逻辑功能，LD就是电路的输出信号，它的下降沿作为PFD的输入。

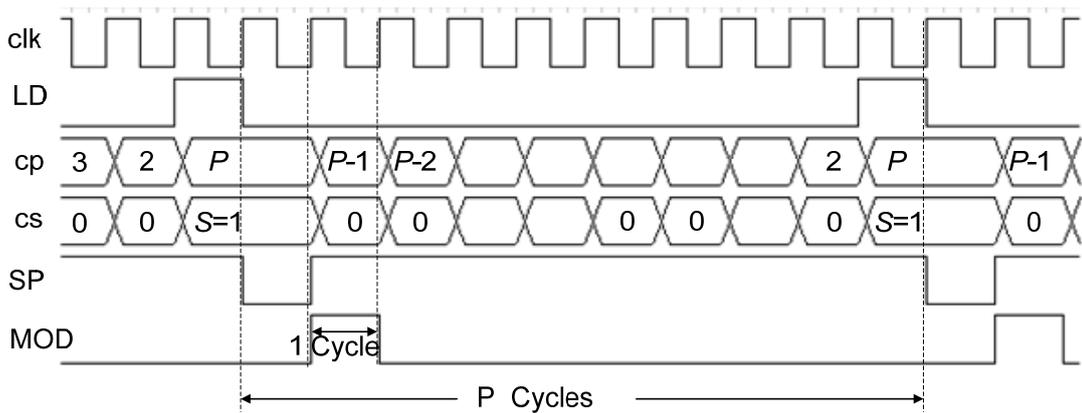


图 3-14 S=1 时的时序

对于分数分频锁相环，分频比是动态变化的，即每个输出周期 P 和 S 的值均不相同，图 3-15显示了 P 不变， S 由其它值变为 $P-1$ 再变为 1 的时序图。

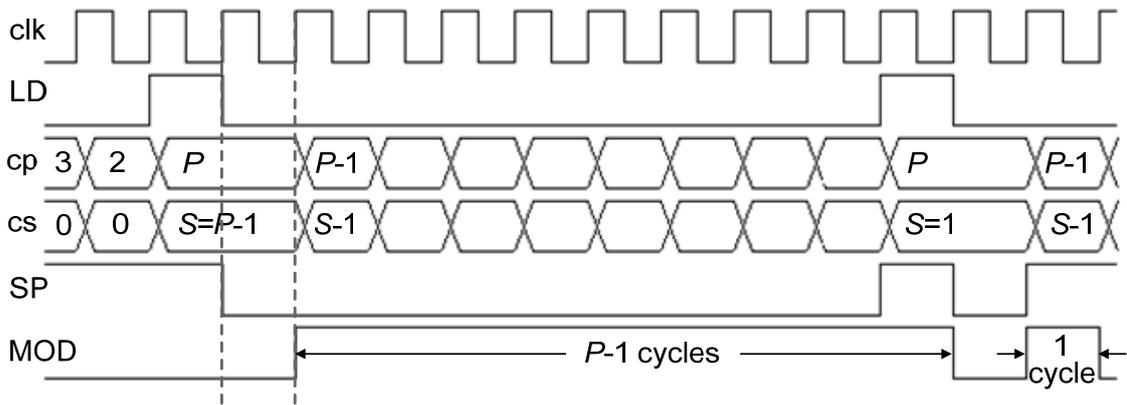


图 3-15 从 $S=P-1$ 到 $S=1$ 的转换时序

3.4.3 bitcell

本论文采用的 P 计数器和 S 计数器都基于可预置数的二分频器 (bitcell)，由于 P 计数器和 S 计数器工作方式的不同，它们的 bitcell 具有不同的实现。

A) P-bitcell

图 3-16是本论文采用的 P 计数器的基本单元结构 (P-bitcell) [28]。电路左半部分是TSPC结构的二分频器，它由输入时钟信号的上升沿触发，并受LD信号控制；中间部分是置数逻辑；最右边是反相器。当LD="0"时，置数电路无效，电路进行正常的二分频操作；当LD="1"时，左半部分的二分频电路被置无效，输出直接由置数电路决定。M5 所在支路的作用是：当LD由高变为低时，输出不会立即改变，而是保持为所置之数，直到下一个输入时钟上升沿到来，避免发生逻辑错误。如果没有这一部分，则在置数期间S2 处于保持状态。假设LD在clk="1"时变为"0"，如果S2 节

点保持的值为“1”，所置之数为“0”，则QB不会随着LD变为“0”而改变，仍然为“0”，不会发生问题，但如果QB节点被置为“1”，QB会跟随LD变化立即由“1”变为“0”，从而发生逻辑错误，如图 3-17中虚线部分所示。

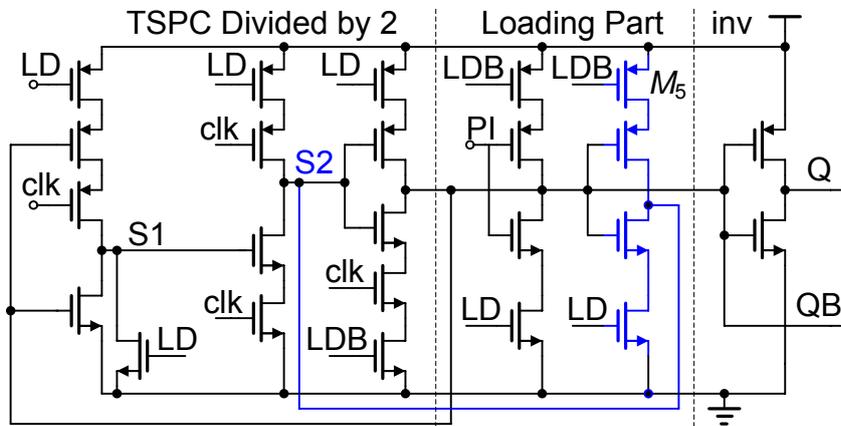


图 3-16 P-bitcell电路结构[28]

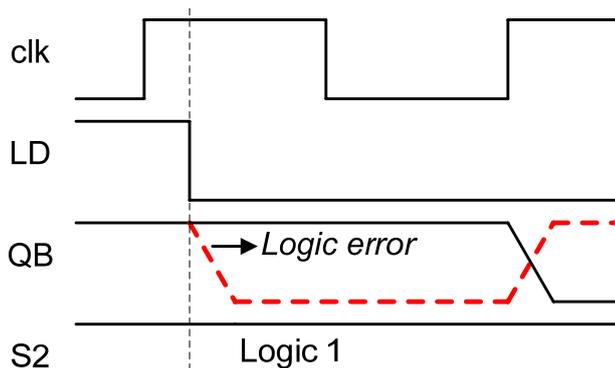


图 3-17 没有 M5 支路发生的逻辑错误

保留 M5 支路后，在置数期间 S2 节点电压是 QB 节点的反相，LD 由高变低后，S2 节点要么处于保持状态（当 clk 为高电平时），要么被预充电到高电平（当 clk 为低电平时），使输出节点处于高阻状态，两种情况下输出状态都会保持到下一个输入时钟上升沿的到来，实现正确的逻辑功能。

B) S-bitcell

与P计数器不同，S计数器具有计数停止功能，因此它的基本单元（S-bitcell）比P-bitcell多出一个计数停止信号SP，SP信号有效时，S计数器停止计数并保持在计数停止前的状态。图 3-18是本文采用的S-bitcell结构，它与P-bitcell结构相同，但具有不同的输入信号，部分LD信号被替换成计数停止信号SP。由3.4.2节的分析可知，当LD信号为“1”时，SP信号肯定为“1”，此时S-bitcell与P-bitcell完全相同，

它们同时进行置数操作。当LD="0"时，S计数器先是工作在正常计数状态（S="0"时除外），此时SP="0"，当检测到S计数器输出为全零状态"0000"时，SP变为"1"，M1,M2 所在支路被SP信号置为无效，计数功能停止，使所有的输出节点保持在全零状态。M5 所在支路由SP信号控制，使得在计数停止状态下QB节点保持为"强 1"状态，增强电路的可靠性。因为M3 所在支路的上拉支路和M5 所在支路的下拉支路形成正反馈，使得保持状态时电路由动态逻辑变为CMOS逻辑，增加了电路的可靠性。如果M5 所在支路由LD信号控制，则保持状态时S2 节点处于高阻状态，漏电流可能会损坏S2 所保持的状态，从而破坏输出状态，电路处于计数停止状态的时间越长，状态被破坏的可能性越大。而电路的最长计数停止时间等于参考时钟周期。因为当S="0"时，S计数器在整个输出周期内均处于停止状态，而锁定的情况下，输出周期大约等于参考时钟周期。计数停止状态对各级S-bitcell的动态保持时间提出了相同的要求，都等于参考时钟周期，这给电路的优化带来了困难。因为各级S-bitcell工作在不同的频率，设计时希望各级的管子尺寸与它的工作频率相适应。将M5 支路改为由SP控制后，计数停止状态下电路成为CMOS逻辑，对各级的动态保持时间没有要求，因而可以设计各级的尺寸与它们各自的工作频率相适应，实现最优的设计。

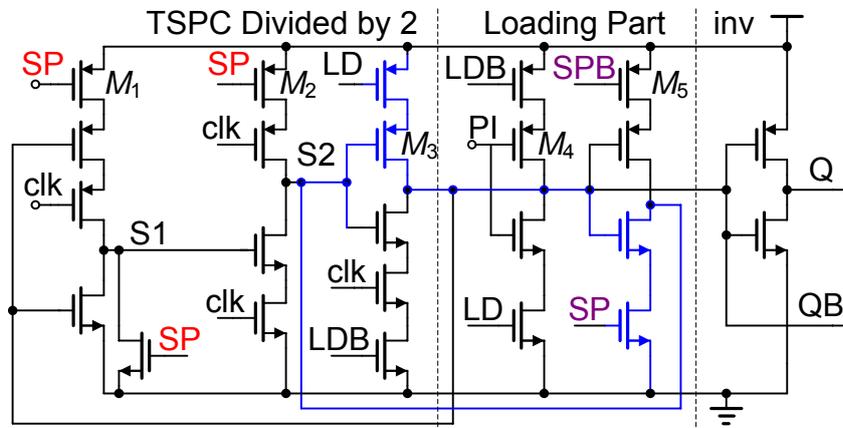


图 3-18 S 计数器的基本单元

3.5 其它模块电路

3.5.1 CML 锁存器

预分频器跟VCO一样，工作在最高工作频率，构建它的latch必须适应高速工作的需要，因此选择CML类型的锁存器。图 3-19是它的电路结构，它采用了无尾电流源的结构，可以达到更高的速度。

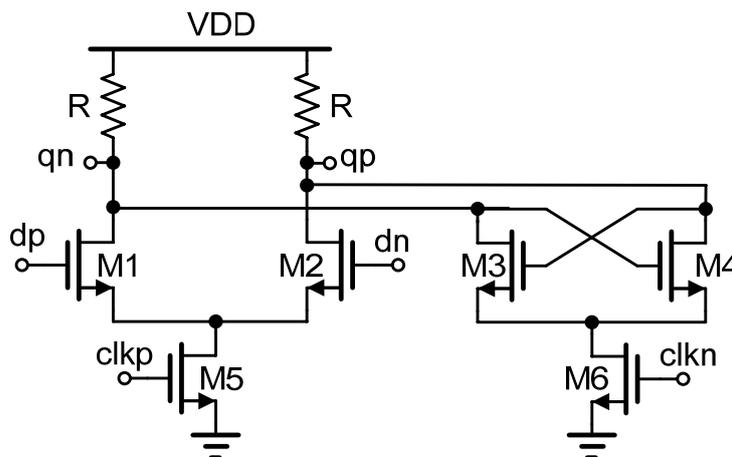


图 3-19 无尾电流源 CML 电路结构

预分频器电路的四个与非门逻辑，占用较大的延时，因此将它嵌入锁存器中，提高电路的工作速度。图 3-20是嵌入与门的锁存器结构。

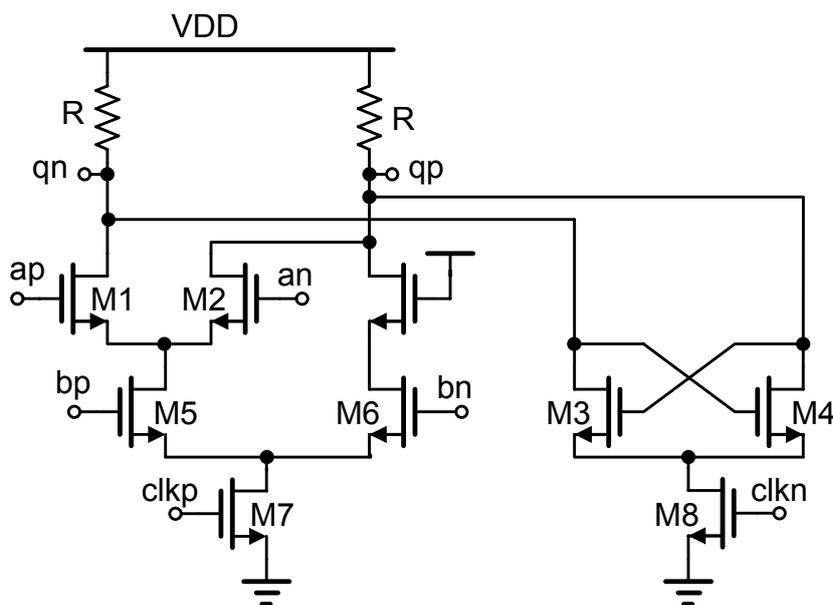


图 3-20 嵌入与门的 CML 锁存器

3.5.2 Mux 电路

由于Latch是双端输入双端输出，时钟作为选择信号的多路选择器也要设计成双端输入双端输出的形式，因此采用CML结构，如图 3-21所示。当输入时钟为高电平（ $clkp=1$ ）时，M1,M2 开启，对pp2,pn2 进行采样，qp2,qn2 对输出没有影响。当输入时钟为低电平时，M3,M4 开启，M1, M2 关断，qp2,qn2 传递到输出，

pp2, pn2 对输出没有影响。

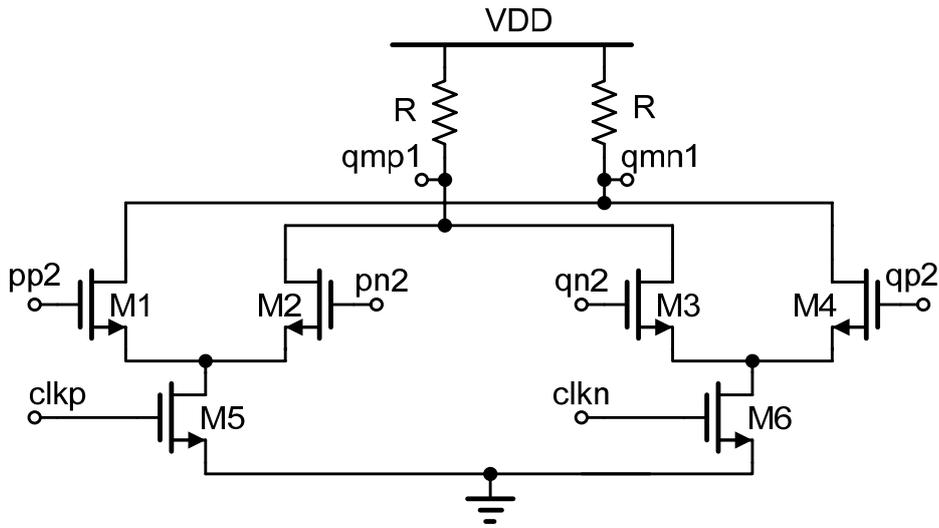


图 3-21 时钟控制多路选择器

3.5.3 组合逻辑电路

图 3-3中，同四个与非门一样，右下角的与门也可以嵌入锁存器q3和p3之中，但这会堆叠太多的晶体管，由此引起速度的减小可能会抵消逻辑嵌入带来的速度的提高，因此本论文将这个与门独立设计，图 3-22是它的结构。

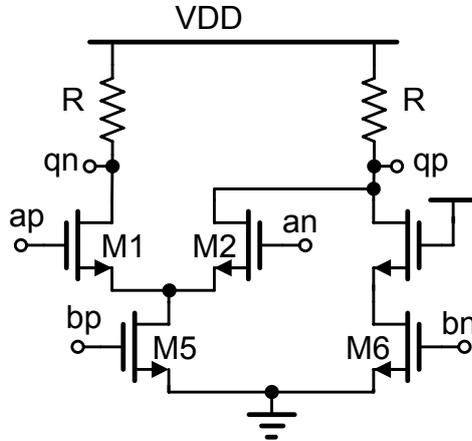


图 3-22 与门结构

3.5.4 Sync 电路

异步电路的抖动可以逐级累加，如果在异步电路之后再接一级由高频信号同步的电路，则可以将抖动大幅降低，因为只有同步电路的抖动会影响输出[25]。PS计数器构成的分频器明显是异步电路，因此可以利用同步电路来降低相位噪声。图 3-23是同步电路的结构，为了配合4/4.5分频器的双沿触发特性，它同样设计成双沿驱动。构成同步电路的锁存器和多路选择器采用CML电路结构。clko即为PS计数器

3.6 仿真结果

3.6.1 预分频器仿真结果

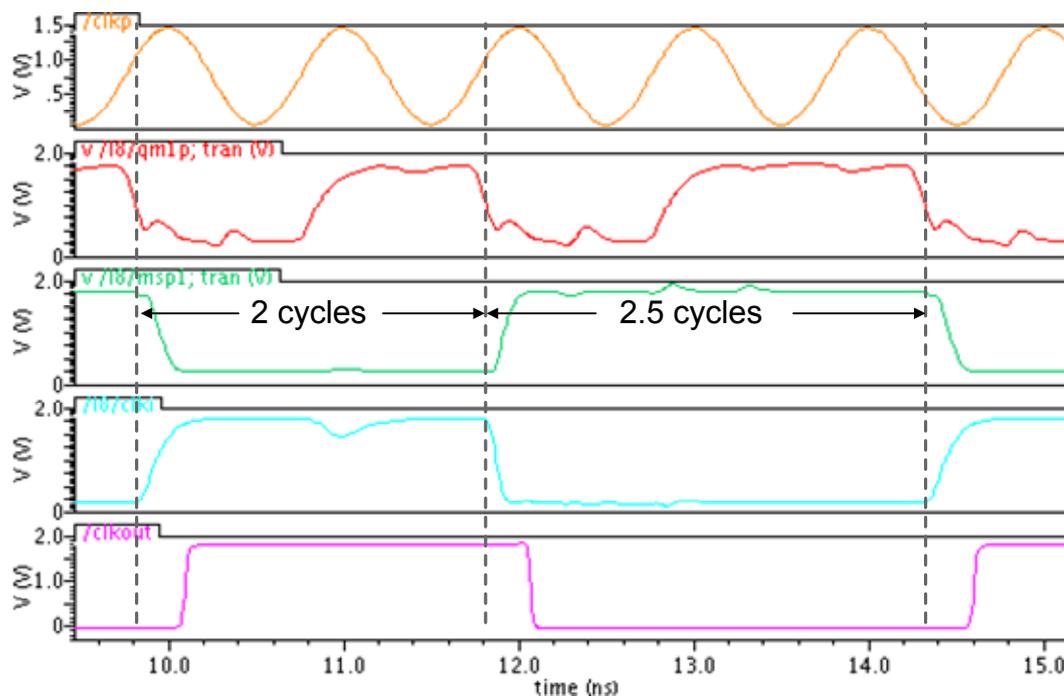


图 3-25 输入频率 1GHz 下的 4.5 分频仿真瞬态波形

图 3-25是输入频率为 1GHz，4.5 分频模式下前仿真时域波形。

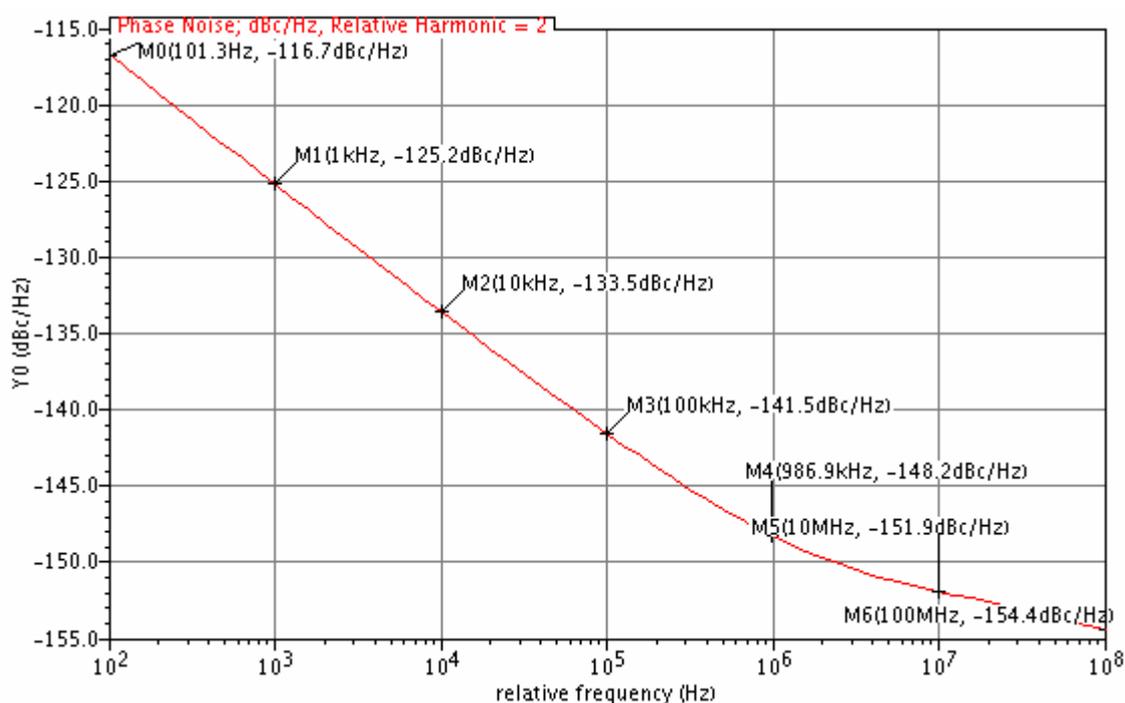


图 3-26 输入频率 1.5GHz 下的 4.5 分频的相位噪声仿真结果

图 3-26是输入频率为 1.5GHz，4.5 分频模式下的相位噪声仿真结果。

3.6.2 可编程分频器仿真结果

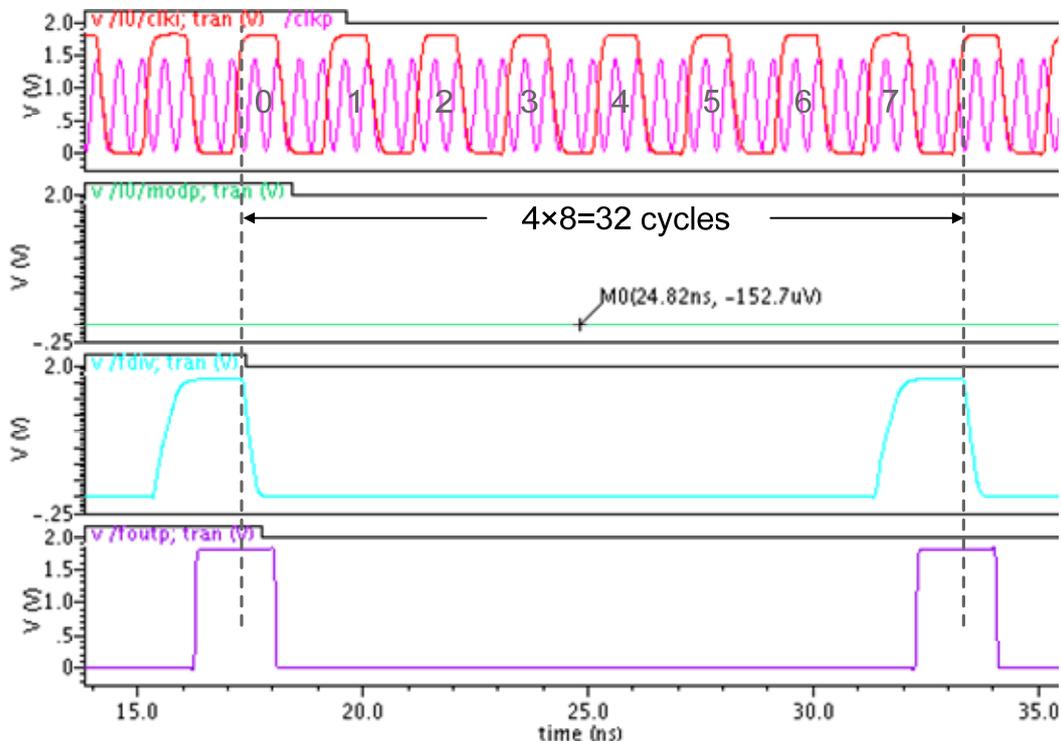


图 3-27 $P=8$ ， $S=0$ 时的瞬态波形

图 3-27是 $P=8$ ， $S=0$ ，即 $N=32$ 时的瞬态波形，可以看到，一个输出周期包含 8 个输入时钟周期，在整个输出周期内，预分频器模式控制信号`modp`始终为“0”，即预分频器始终工作在 4 分频模式。

图 3-28是 $P=8$ ， $S=1$ ，即 $N=32.5$ 时的瞬态波形，可以看到，在一个输出周期内，只有第 1 个输入时钟周期(从 0 开始计数)进行的是 4.5 分频，其它周期进行的都是 4 分频，正确实现了逻辑功能。从图中可以看到从`clki`到`modp`的延时很小，小于半个`vco`时钟周期，因此实现了正确的模式切换。

图 3-29是 $P=8$ ， $S=7$ ，即 $N=35.5$ 时的瞬态波形，可以看到，在一个输出周期内，只有第 0 个输入时钟周期进行的是 4 分频，其它 7 个输入时钟周期进行的都是 4.5 分频。

图 3-30是 S 值从 7 变为 1 的瞬态波形。图中的`SI`即为 S 的值，它是电压源的直流电压，采用`veriloga`实现电压值到二进制数的转换。可以看到，第一个输出周期中有 7 个输入时钟周期`modp`="1"，第二个输出周期中有 1 个输入时钟周期`modp`="1"，因此正确实现了分频比的改变，可以实现分数分频。

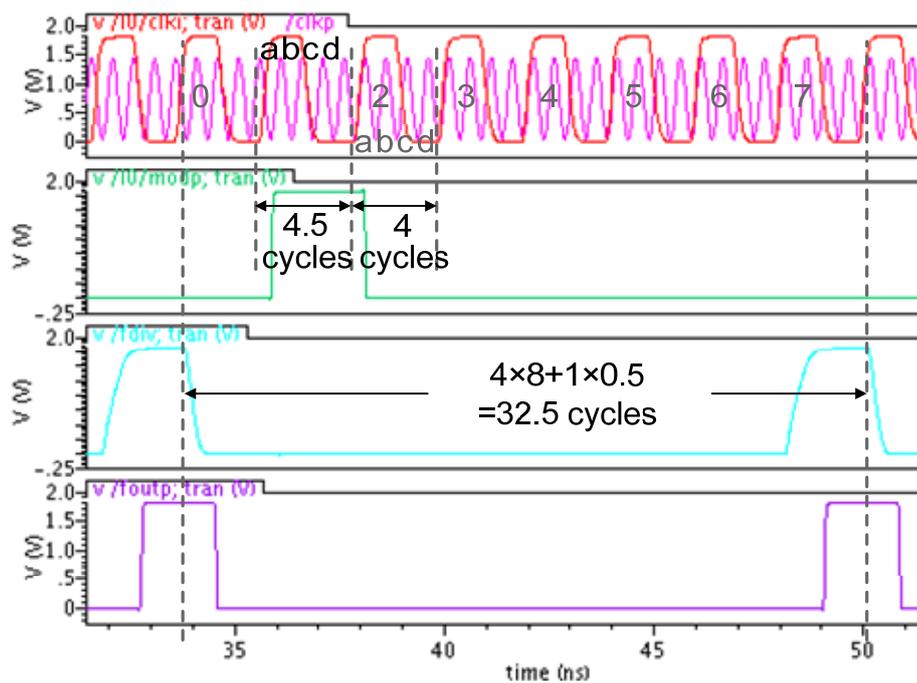


图 3-28 $P=8, S=1$ 时的瞬态波形

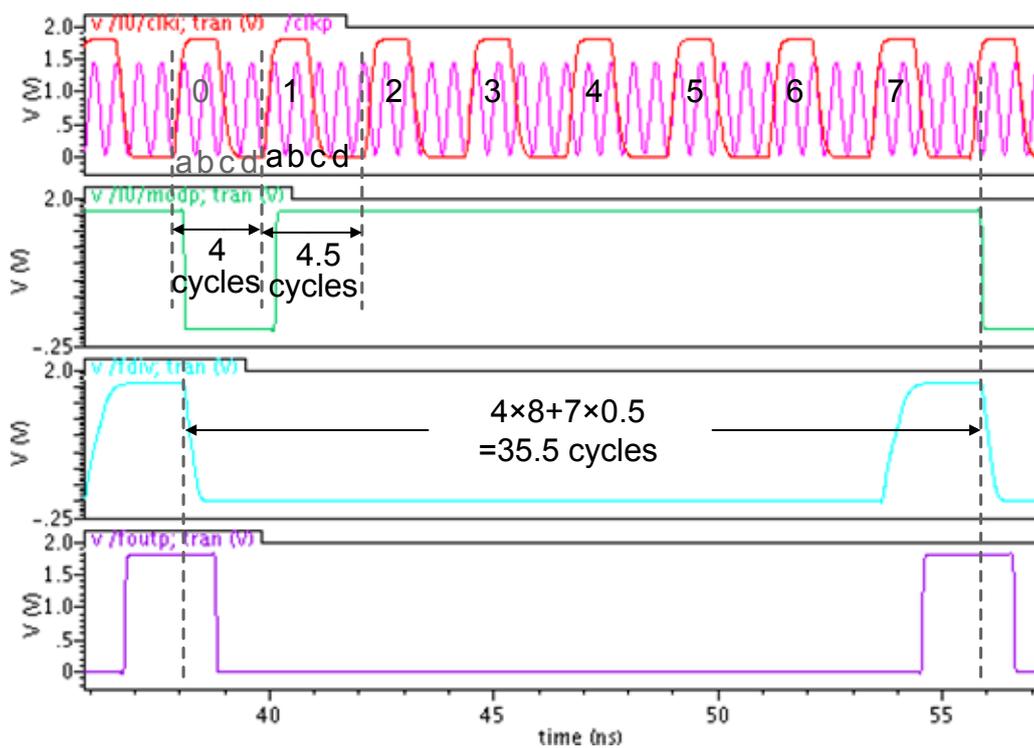


图 3-29 $P=8, S=7$ 时的瞬态波形

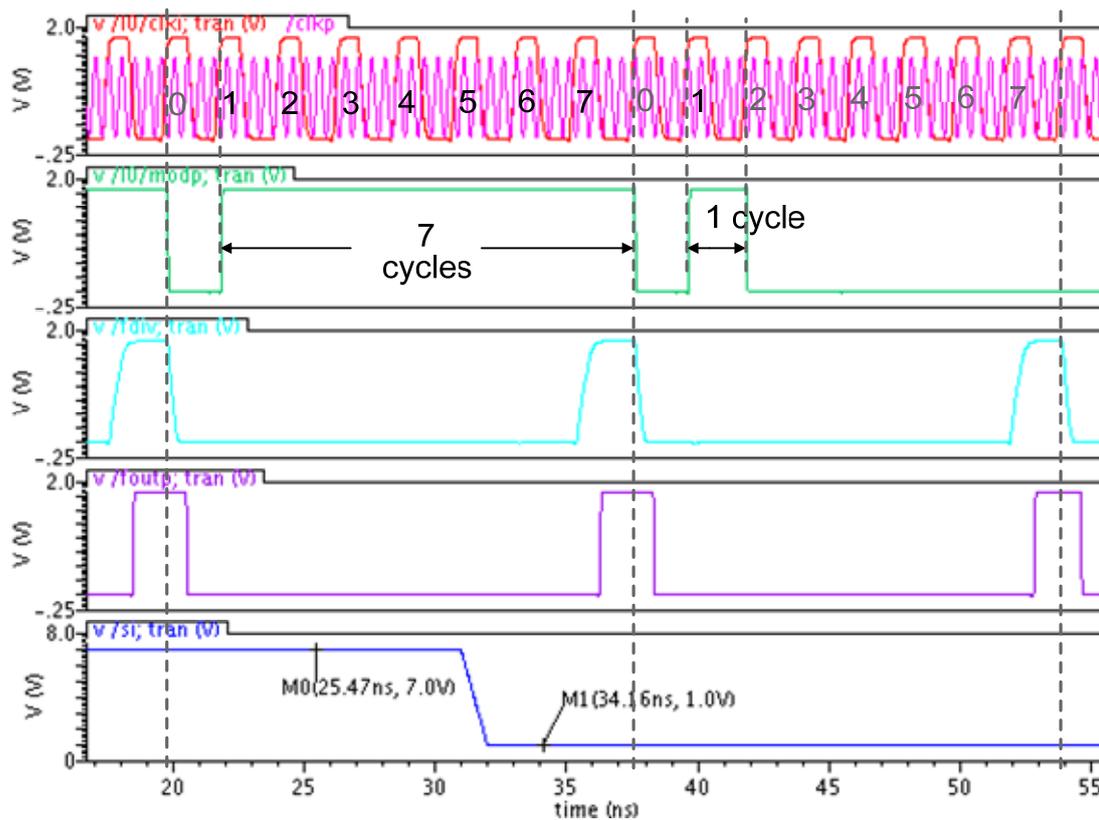


图 3-30 $P=8$, S 从 7 变为 1 的瞬态波形

第四章 正交分频器设计

除了用于频率综合器的反馈支路外，分频器还有一个很重要的应用，即连接在频率综合器之后，产生正交信号，或者扩展频率范围。本章的主要内容，是设计一款应用于数字电视调谐器(DTV-TVUNER)的正交分频器，通过与频率综合器配合，实现 50~860MHz 的正交本振信号。

4.1 正交信号的实现方法

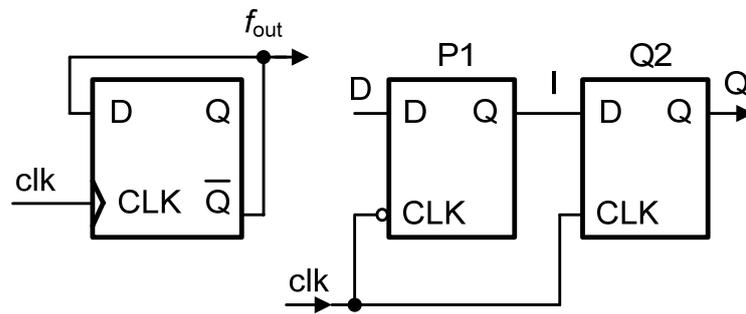


图 4-1 二分频器的结构

镜像抑制结构的射频收发机中，为了抑制镜像信号，无论接收路径还是发射路径，都需要正交的本振信号。实现正交信号的方法有多种，比如采用混频器的方法，正交振荡器的方法，以及使用二分频器的方法，等等。其中，与其它方法相比，只要选取合适的结构，采用二分频器的方法可以实现很宽的频率范围，占用较小的面积，并具有较高的正交相位精度。

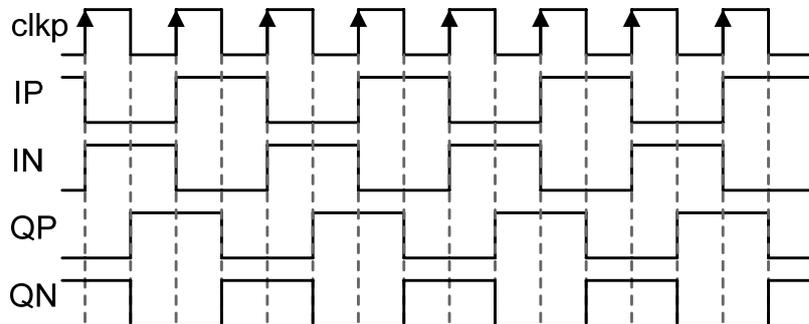


图 4-2 正交信号时序

图 4-1 是二分频器的结构框图。将触发器的反相输入端反馈到数据输入端，便构成一个简单的二分频器。如果触发器采用主从结构的锁存器实现，便可以在主从两级

锁存器的输出得到正交信号。因为主锁存器输出相位始终比从锁存器的输出相位超前 90 度，当锁存器采用全差分结构实现时，主从两级锁存器的输出便构成四路正交信号，其时序如图 4-2所示。

4.2 用于 DTV-TUNER 的正交分频器

4.2.1 应用背景

采用一次变频接收机架构的数字电视调谐器，需要 50~860MHz的正交本振信号[11]。这个本振信号的产生面临着诸多挑战，它必须达到非常宽的频率范围，必须满足严格的相位噪声和积分相位误差要求，还必须具有精确的正交相位精度。环形振荡器能够实现这样的频率范围，但它恶劣的相位噪声性能限制了它的使用，因为数字电视调谐器要求在 10kHz频偏处相位噪声低于-87dBc/Hz [31]。因此，必须采用LC 压控振荡器，因为它具有较好的相位噪声性能。而LC VCO无法工作在如此宽的频率范围，必须采取方法对LC VCO的输出频率范围进行扩展，而采用分频器的方案便是扩展方法的一种。二分频器可以实现正交信号，但直接采用二分频的方法，无法解决VCO工作频率范围的问题。因此要求分频器即能扩展频率范围，又能实现正交信号。

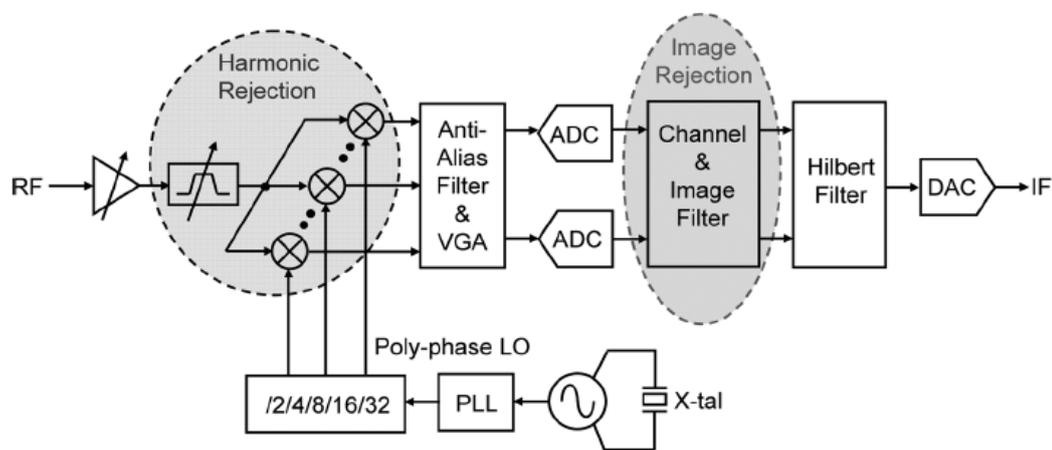


图 4-3 文献[11]的接收机架构

同时实现频率扩展和输出正交信号的分频器目前报道较少。文献[11]是其中的一篇，它也是应用于一次变频的数字电视调谐器。图 4-3是文献[11]所采用的接收机架构，接收机采用直接变频方式，本振信号将要求的信道直接下变频到低中频(比如 4.75MHz)。频率综合器采用 3 个VCO并联产生 1.1~2.2GHz范围的信号，这些信号通过多个分频器降频后得到 48~860MHz的频段。为了得到正交信号，它采用

二分频的方式。图 4-3中所有的分频器都是二分频器的级联，每个二分频器都输出正交信号。通过选择不同的二分频器的输出，可得到各个频率范围的信号，即该配置在扩展频率范围的同时实现了正交信号。但是，从图 4-3可以看到，该方案需要 5 个混频器，因此占用较大的面积和消耗更大的功耗。

4.2.2 正交分频器结构

为了得到 50~860MHz 频率范围的正交信号，本论文采用与文献[11]相类似的方案，通过一个小的改动，使接收机只需要一个混频器，从而节省芯片面积和减小功耗。

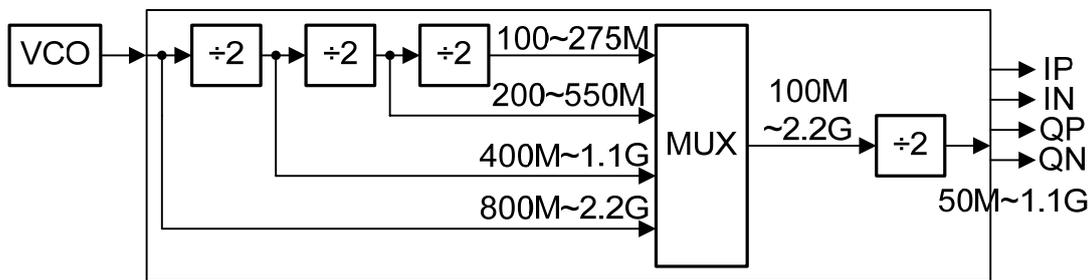


图 4-4 正交分频器结构

图 4-4 是本论文采用的正交信号产生方案。首先由一个宽带 VCO 产生 800M~2.2GHz 的差分信号，然后将 VCO 信号通过一个四级的二分频器链，通过多路选择器的控制，实现 2、4、8 或 16 分频，从而得到 50M~1.1GHz 的正交信号。具体实现为：经过 2 分频，得到的频率范围是 400M~1.1GHz；经过 4 分频，得到的频率范围是 200~550MHz；经过 8 分频，得到的频率范围是 100~275MHz；经过 16 分频，得到的频率范围是 50~137.5MHz。不同的分频模式下，输出频率范围是交叠的，所以，通过开关选择不同的分频模式，可得到 50~860MHz 的信号。

同文献[11]的方案相比，分频器的工作模式减少了一个，因为它配合的是 800M~2.2GHz 输出频率范围的 VCO。本论文着重于分频器的设计，对 VCO 不做过多介绍，但要说明的是，用单个 VCO 实现如此宽的频率范围是可行的[34]。文献[34]利用开关电容将 VCO 的工作频率范围分为 256 个子带，每个子带覆盖 10MHz 的频率范围，测试得到的输出频率范围是 0.9~2.1GHz。

与图 4-3 的方案相比，图 4-4 最重要的变化是：整个分频器只有一个输出端。可以看到，所有工作模式下的分频比都是 2 的指数，都可以通过二分频器的级连得到；而要实现的最小分频比为 2，即不会直接选取 VCO 的输出。所以，本论文作出如下的改动：在正常工作的情况下，四个二分频器中最后一级二分频器一直开启，由它的输出产生正交信号；而其它三个二分频器的输出和 VCO 的输出，则通过多路

选择器之后连接到第四级二分频器，为其提供时钟输入。通过多路选择器的控制，可以实现 2、4、8 以及 16 分频。输出信号始终由第四级二分频器得到，与图 4-3 相比，相当于将多路选择器的位置由混频器之后移动到最后一级二分频器之前，并将 VCO 输出信号作为多路选择器的一路输入，如图 4-4 所示。这样做的好处是，只需要一个混频器，从而节省芯片面积和减小功耗。图 4-4 中也清晰地标出了各个模块的输入输出频率范围。

4.3 二分频电路的设计

图 4-4 的结构看似简单，在实际设计中却有许多问题需要考虑，包括功耗的优化，级联的方法，工作频率范围的设计，版图的布局等等。这些问题大都与二分频器有关。从图 4-4 可以看到，二分频器是电路的核心组成部分，因此它的设计是决定电路性能的关键。

4.3.1 二分频电路结构

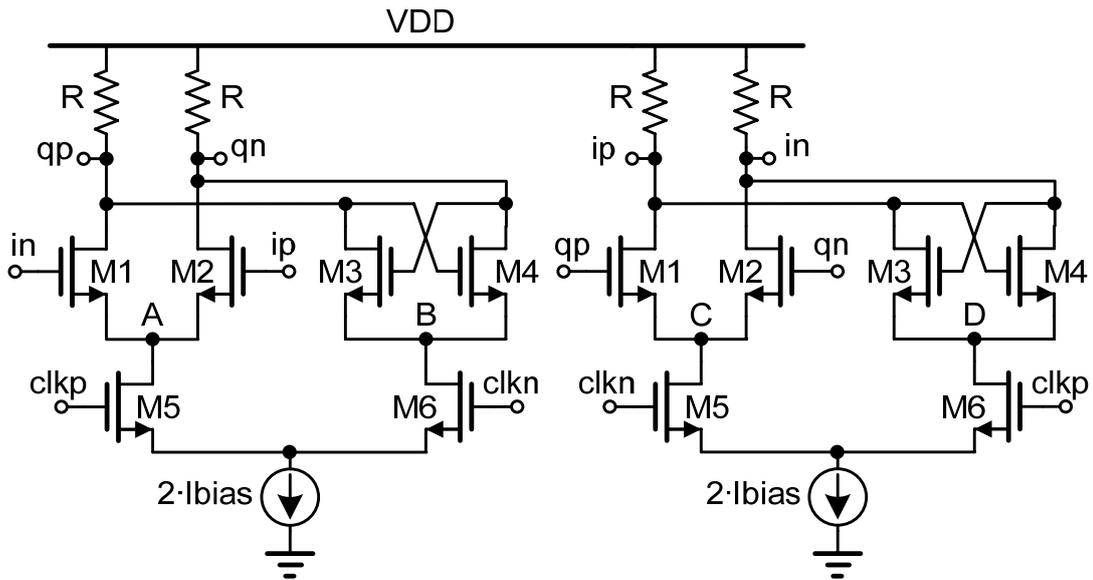


图 4-5 CML 结构二分频器

注入锁定分频器可以实现正交信号，并且高频工作的同时具有较低的功耗，但它的锁定范围很小，而且采用电感负载，占用较大的面积。由于本论文的所有二分频器都要求很宽的频率范围，所以注入锁定分频器不合适。

本论文采用图 4-1 的主从结构触发器实现所有的二分频器。为实现正交信号，构建触发器的锁存器必须是差分输入差分输出，因此可以选择 CML 结构。本论文采用的正交分频器共有四个二分频器，其中只有第四级二分频器用于产生正交信号，但其它二分频器必须产生差分信号为它提供差分输入，所以它们均采取相同的结

构。图 4-5是二分频器电路结构，它采用有尾电流源的CML电路实现，以最大限度的保证温度工艺变化的情况下电路都能正常工作。

4.3.2 CML 二分频器的动态特性

CML锁存器的原理已在第二章介绍，图 4-5的电路从数字电路的角度非常容易理解，但实际的工作却比较复杂，为设计出可靠有效的电路，必须充分了解电路的动态特性。

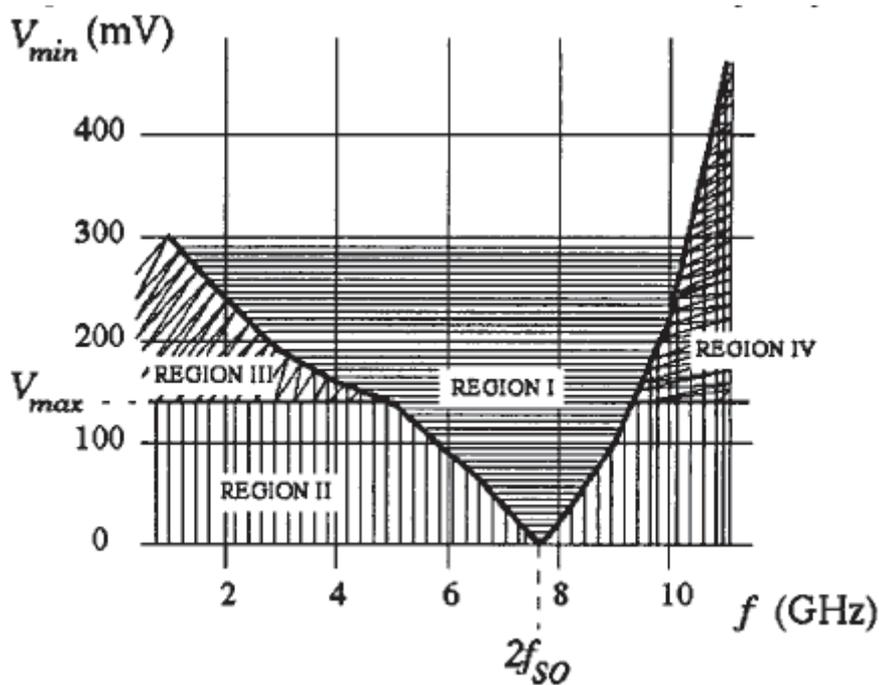


图 4-6 分频器的灵敏度曲线[32]

A) 自激频率

CML结构的分频器具有自激振荡特性，即不给分频器施加时钟输入，只给时钟输入管提供直流偏置时，分频器会发生自激振荡，振荡频率 f_{so} 称为分频器的自激振荡频率。对图 4-5的二分频器，如果输入信号频率等于 $2f_{so}$ ，则即使输入信号幅度为“0”分频器也能正常工作。电路必须满足起振条件才可能发生自激振荡。从图 4-5可以看出，当时钟输入幅度为“0”时，主从锁存器构成两级的环形振荡器。环形振荡器的振荡频率就是分频器的自激振荡频率。一般情况下，两级的环形振荡器是不会振荡的，因为它不满足“巴克豪森准则”的相位条件[33]。但是，CML锁存器的锁存管构成一对负阻，引入额外的相位，从而满足了相位条件。要使电路起振只要再满足增益条件。文献[32]指出，电路的起振条件是： $gm_L \cdot R > 1$ ， gm_L 是锁存管的直流跨导。

B) 灵敏度特性

分频器最关心的是它的灵敏度特性。灵敏度是指输入正弦时钟信号时，某一频率下，分频器能够正常工作时输入信号的最小幅度。将频率与最小幅度的关系描成曲线，就得到分频器的灵敏度曲线。灵敏度特性体现了分频器的工作频率范围。图 4-6 是典型的灵敏度曲线，图中的 $2f_{so}$ 对应着自激振荡频率，此时要求的最小输入信号幅度为“0”。在其它频率下，输入时钟信号必须具有一定的幅度才能使分频器正常工作。根据输入信号频率和幅度的不同，CML 分频器可以工作在四个不同的区域 [32]:

区域 I: 正常工作区域。区域 I 是灵敏度曲线之上的区域，也是分频器可以正常工作的区域。在设计时，输入时钟信号的幅度必须使分频器工作在这个区域。

区域 II: 准周期工作区域。该区域分频器对输入时钟信号会有所响应，但由于输入幅度不够大，所以不能使输出频率锁定在一半的输入频率上。

区域 III: 压摆率受限区域。当输入信号频率远远低于分频器的自激振荡频率时就会工作在这个区域。当输入信号频率低于 $2f_{so}$ 时，正常工作所要求的输入信号的最小幅度会增大，输入频率越低，所需的最小幅度越大。当频率小到一定程度后，可能在电源电压允许的任何摆幅下分频器都不会工作。产生这个问题的原因是，在很低的频率下，输入正弦信号的斜率太小，无法实现尾电流的快速切换，使得输入时钟信号过零时，采样管和锁存管同时导通，本应处于锁存状态的输出仍然跟随数据输入，从而引起逻辑错误。也可以理解为，采样管和锁存管同时导通，电路的自激振荡破坏了正常的工作状态。如果输入信号不是正弦波，而是其它没有斜率限制或限制较小的波形，则可以减小低频工作的限制。当输入是方波时，分频器可以工作在任意低的频率。

区域 IV: 响应受限区域。这个区域对应着输入频率特别高的情况。当分频器正常工作时，采样管和锁存管的源极电压（图 4-5 中的 A、B、C、D 点）应该以输入频率变化。但是，当输入频率太大时，这些节点的充放电时间常数接近甚至大于输入信号周期，从而导致电路无法正常工作。

4.3.3 电路设计考虑

A) 灵敏度特性

从上一节对 CML 二分频器动态特性的分析可知，分频器正常工作有一个频率范围。当输入频率很高时，电路内部节点的充放电时间常数超过了输入时钟周期，因而电路不工作。当输入频率很低时，如果输入是正弦波，则电路的自激振荡导致电路出现逻辑错误。本章设计的分频器，工作频率范围很宽，因此高频和低频的情况都需要考虑。为了消除低频时的输入斜率限制，可以在分频器的输入端加入一个缓冲器，以增大分频器输入时钟信号的斜率，消除低频工作时所受的限制。缓冲器还

有以下几个作用：实现VCO与分频器的隔离，增加VCO的带负载能力和负载变化对VCO频率的影响；提供一定的高频增益，补偿分频器与VCO之间连线的高频信号衰减，提高输入敏感特性；为分频器提供一定的直流电平。图 4-7是所采用的输入缓冲器结构，它实际上是CML类型的反相器。缓冲器的引入，使得分频器的设计只需要满足高频的限制，而不必关心低频的情况。

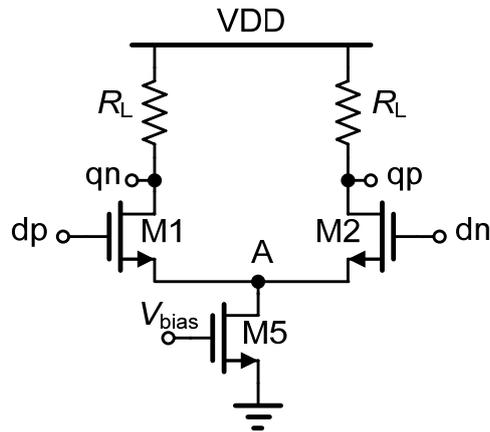


图 4-7 输入缓冲器结构

本章设计的正交分频器包含四个二分频器，以上讨论的是整体电路的缓冲器，在图 4-4中处于VCO和第一级二分频器之间，影响的是第一级二分频器的灵敏度特性。第四级二分频器的输入由多路选择器提供，多路选择器同时扮演输入缓冲器的角色。对于第二级和第三级二分频器，输入时钟信号是前级二分频器的输出，一般的做法是在两级之间加一级源极跟随器作为缓冲器，并实现电平移位，但这引入了额外的功耗，同时还有其它一些问题需要考虑。本论文采用直接级联的方法，即前级二分频器的输出直接作为后级二分频器的时钟输入。只要适当的设计分频器的摆幅和输入时钟管的尺寸，直接级联可以正常工作，而不需要额外的电平移位器。因此第二级和第三级没有单独的缓冲器，它们的前级二分频器充当缓冲器的角色。有了缓冲器之后，电路不再受低频工作的限制，只需要考虑高频的情况。对高频的优化，可以参照文献[34]的分析。由于不受低频的限制，可适当加大电路的功耗，使电路能够工作在更高的频率，保证在温度工艺变化的情况下仍能正常工作。特别是第四级二分频器，要驱动输出buffer，具有较大的负载，而且要保证精确的正交相位精度，因此可有意将它的功耗做大。

B) 输出摆幅

输出摆幅直接影响电路的速度和功耗。为了达到更高的速度，CML电路的摆幅一般设计的比较小。但为了驱动后级电路，必须满足最小摆幅要求。本章设计的正交分频器，采用了直接级联的方法，为实现后级尾电流的完全切换，要求的最小输

出摆幅为:

$$V_o = \sqrt{\frac{2I_{\text{bias}}}{\mu C_{\text{ox}} \left(\frac{W}{L}\right)}} \quad (5.1)$$

C) 自激振荡频率

从4.3.2节对CML电路动态特性的分析可以看出,最好将分频器的输入工作频率设定在 $2f_{s0}$ 附近,这样对输入时钟信号的幅度要求较小。因为频率高于 $2f_{s0}$ 时,所需要最小输入信号幅度急剧增大,而且 f_{s0} 还会随温度工艺的变化而变化,所以最好设计 $2f_{s0}$ 大于分频器的最高工作频率。

D) 功耗优化

由图 4-4可以看到,4级二分频器具有不同的工作频率范围,而频率是影响CML电路功耗的关键因素,频率越高,所需要的电流越大。因此可以对每个二分频器单独进行优化,使它们的功耗与各自的最高工作频率相对应。表 4-1是各级二分频器以及mux所消耗的电流。

表 4-1 正交分频器各部分功耗

模块	buffer	分频器 1	分频器 2	分频器 3	mux	分频器 4
电流(mA)	0.96	1.12	0.96	0.64	0.96	1.28

4.4 其它模块设计

4.4.1 多路选择器

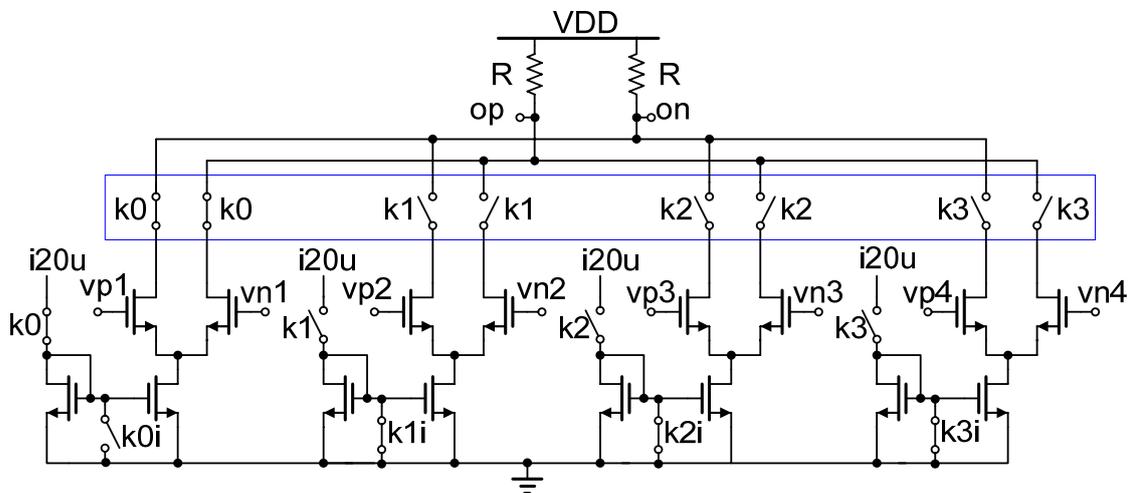


图 4-8 4 选 1 多路选择器

图 4-8是本论文采用的 4 选 1 多路选择器结构。接通状态下的支路等同于CML反相器。多路选择器只有一路输入电流，通过开关控制导向接通的支路。其它支路因为偏置电流被切断，因而停止工作。图中的i20u代表节点名。蓝色方框圈出的开关的作用，是防止未接通支路的输入信号通过输入管的寄生电容耦合到输出节点，干扰正常的输出信号。在不同的分频模式下，为节省功耗，开启的二分频器数量是不同的，比如二分频模式下，前三级二分频器都是关闭的，只有最后一级二分频器开启，图 4-8中开关k3 控制支路（输入是VCO输出信号）开启，其它支路关闭，因为前三级二分频器被关断，所以k0,k1,k2 控制的支路输入信号是静态信号，不会对输出产生影响。在 16 分频模式下，k0 关闭，其它打开，即图 4-8所示的情况，此时所有的二分频器都开启，v2、v3、v4 信号都处于活动状态，如果没有蓝色方框圈出的开关进行隔离，v2、v3、v4 信号会通过相应支路的输入电容耦合到输出，破坏输出信号。

4.4.2 输出缓冲器

因为采用CML结构的分频器，输出摆幅很小，本文设计为 650mV，而后级的混频器需要满摆幅（1.8V）的数字信号，因此需要缓冲器实现信号的转换。图 4-9 是所采用的缓冲器结构，电路采用交流耦合的方式，由于非线性负反馈电阻R1 的使用，S1 节点的直流电平就是反相器的阈值电压，可以防止由于S1 点直流电平的偏移而造成的缓冲器不翻转的问题。

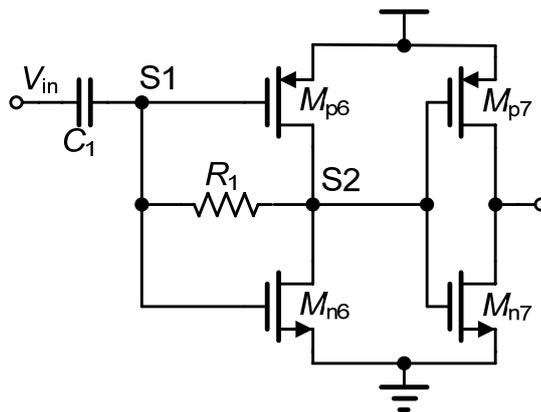


图 4-9 输出缓冲器

4.5 版图设计

正交分频器的目的是实现高精度的正交信号，为保证信号的对称性，必须仔细设计版图。由于是高速电路，对寄生电容非常敏感，为减小寄生电容的影响，画版

图时走线尽量要短，信号线尽可能采用高层。为了得到好的正交匹配精度，要尽量保证晶体管和信号线的对称性，晶体管采用四象限交叉共质心匹配或者叉指结构。如果信号走线有交叠，只能是垂直交叠。信号线的长度，形状都要一致。图 4-10 是第四级二分频器的版图，数据输入管和锁存管采用了四象限交叉画法，时钟管采用了叉指结构。为保证信号的对称性，大量使用dummy管，因而牺牲了一点面积，但牺牲的面积是微不足道的。

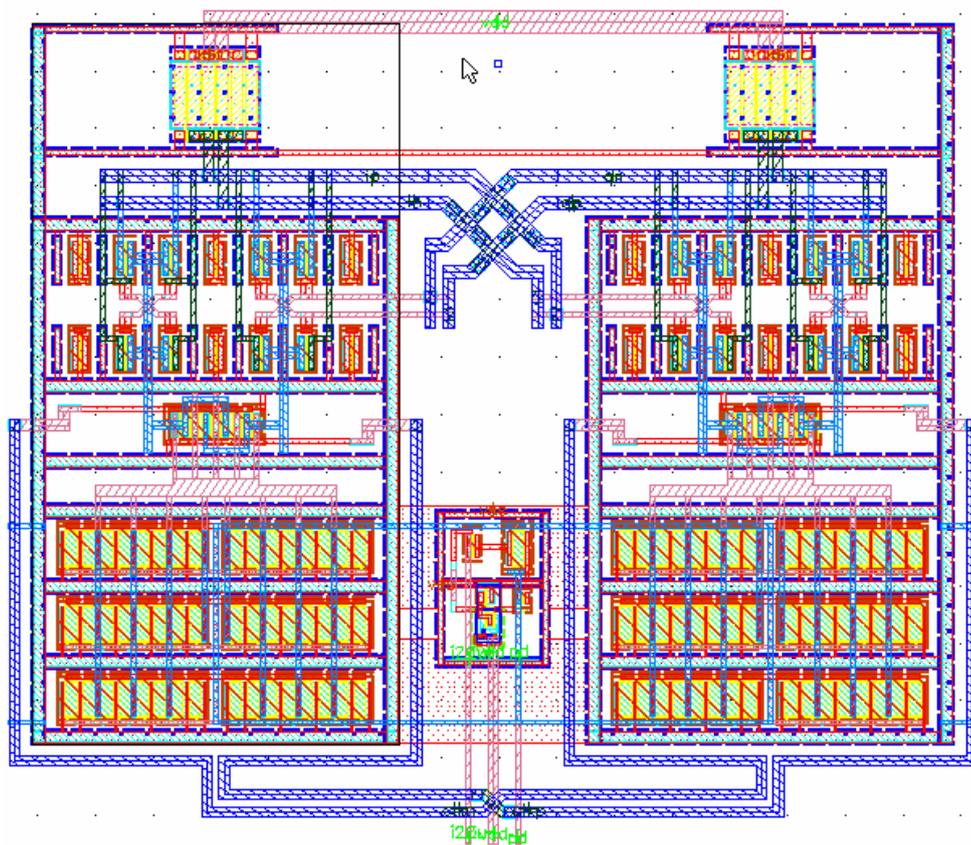


图 4-10 第四级分频器版图

第五章 测试结果

本论文设计的正交分频器在 SMIC 0.18 μm 工艺下进行流片验证，本章将给出测试结果并进行分析。

5.1 芯片实现和测试方案

正交分频器作为一个单独的模块独立流片，以便应用于实际的频率综合器之前对其性能有充分的验证。图 5-1 是正交分频器的芯片照片，包括 PAD 在内的总面积为 720 μm ×664 μm ，实际电路部分的总面积为 390 μm ×350 μm 。

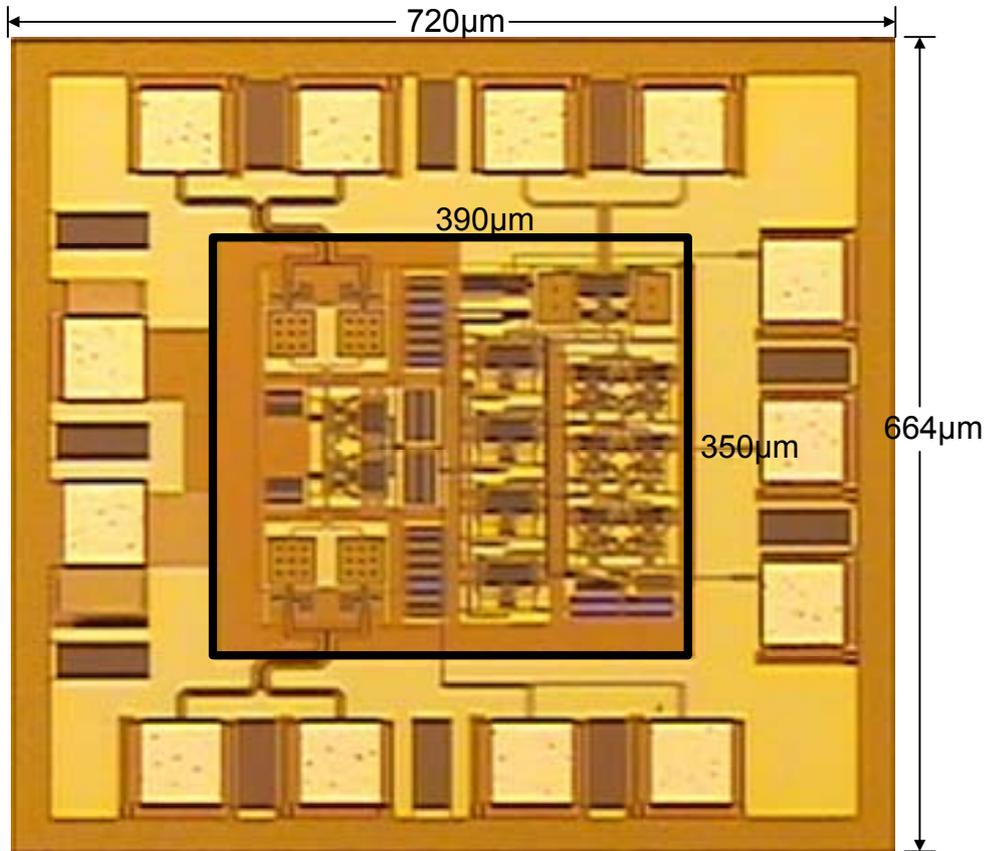


图 5-1 芯片照片

由于分频器需要差分输入信号，而信号源提供的是单端输出信号，因此采用 balun 实现单端到双端的转换，为分频器提供差分输入。输出的四路正交信号，先用 balun 将相应的两对差分信号分别转换为单端信号，再通过 SMA 头输出，这样既减少了 SMA 头的数量，又不影响正交性能的测试。输入信号的频率范围是 800M~2.2GHz，输出信号的频率范围大于 50~860MHz，由于找不到能够覆盖输入

或输出频率范围的 balun，因此设计了几个不同的 PCB 板，分别采用不同的 balun 组合来实现所需的频率范围。测试一共采用了三种 balun，分别为：TCN4-22，可以覆盖 1.2~2.2GHz 的频率范围；TC4-14G2，可以覆盖 200M~1.4GHz 的频率范围；ADT1-1WT，可以覆盖 0.4~800MHz 的频率范围。所采用的组合如下：

组合 1，输入：TCN4-22，输出：TC4-14G2；

组合 2，输入：TC4-14G2，输出：ADT1-1WT。

图 5-2是其中一种芯片测试PCB照片。

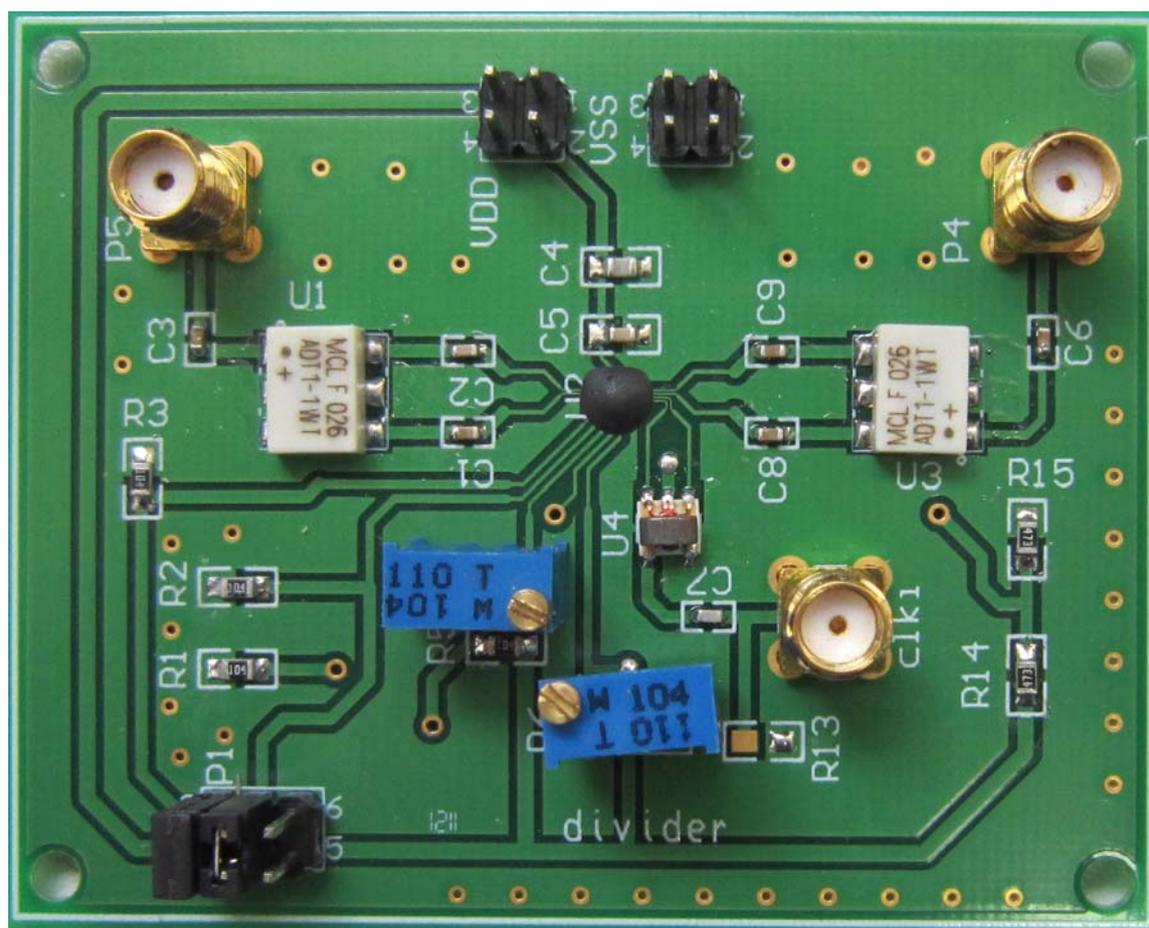


图 5-2 PCB 照片

5.2 芯片测试结果

5.2.1 相位噪声测试结果

相位噪声采用Agilent E5052B SSA信号分析仪进行测试。采用模拟信号发生器（E8257D PSG Analog Signal Generator）来产生输入信号，当输入频率为 1.5GHz，工作在 2 分频模式时，分频器输出相位噪声如图 5-3所示。可以看到，

输出频率为 750.000001GHz，正确实现了 2 分频功能。在 10kHz 频偏处相位噪声为 -126dBc/Hz，在 1MHz 频偏处为 -141dBc/Hz。分频器的实际相位噪声性能要好于这些数值，因为信号发生器提供给分频器的输入信号本身含有相位噪声，测得的相位噪声是输入信号和分频器相位噪声的叠加。如果分频器相位噪声性能高于输入信号相位噪声性能，则分频后的相位噪声性能与输入信号相位噪声性能相比将有所提高，理想情况下，每经过一次除二，输出相位噪声性能将提高 6dB[25]。如果输入信号的相位噪声性能比分频器差很多，则输出相位噪声将由输入信号的质量决定。图 5-4 是输入信号相位噪声测试结果，通过与图 5-3 的 2 分频测试结果相对比，可以看到，2 分频后的相位噪声，与输入信号相比，在 1kHz 频偏处提高了 5dB，在 40MHz 频偏处提高了 2dB，而在其它频偏处则有所降低，这说明，2 分频测试结果与实际情况较为接近。

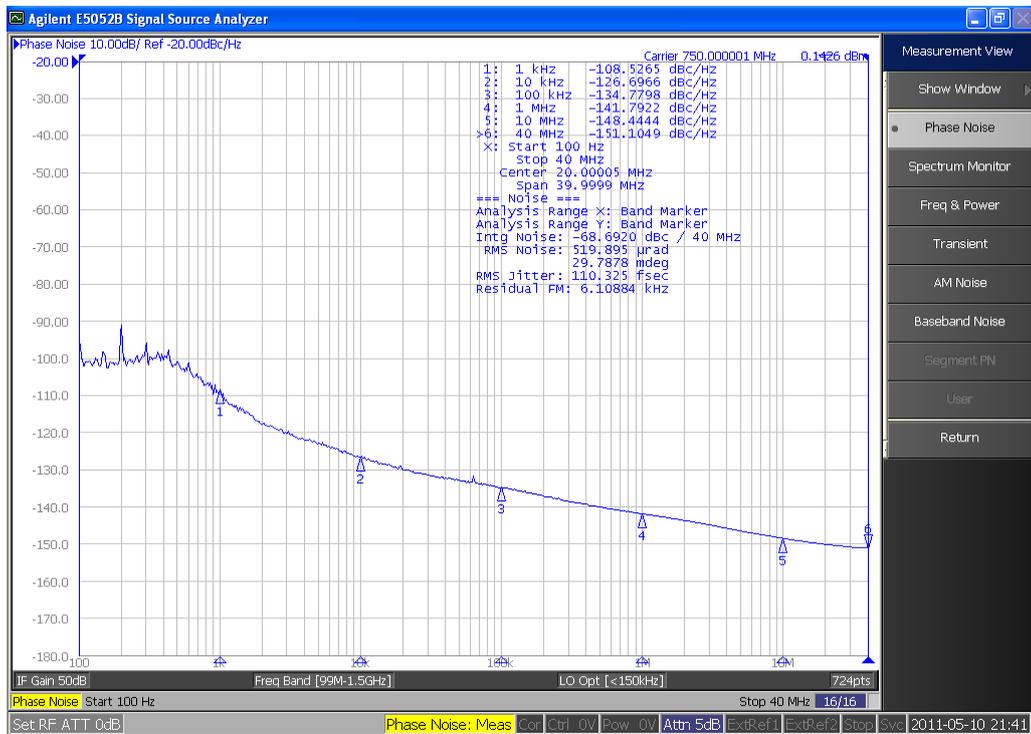


图 5-3 输入 1.5GHz 信号，2 分频时的输出相位噪声

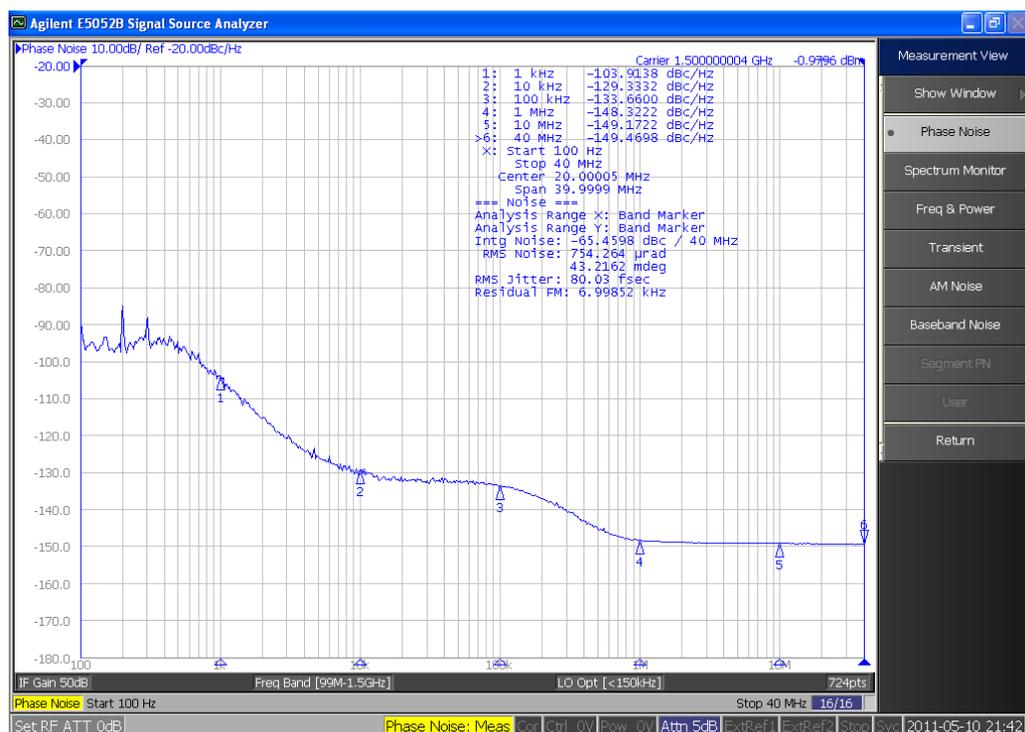


图 5-41.5G 输入信号相位噪声测试结果

表 5-1~表 5-3是输入频率分别为 2.2GHz, 1.5GHz和 800MHz时后仿和测试的相位噪声性能比较, 其中, 仿真结果都是在TT工艺角下得到。

表 5-1 输入 2.2GHz 信号时相位噪声的仿真和测试结果

频率(Hz)			分频比			
2.2G			2	4	8	16
相位噪声 (dBc/Hz)	@1kHz	后仿	-117.359	-121.44	-124.308	-126.03
		测试	-107.3679	-112.1509	-118.9149	-122.7612
	@10kHz	后仿	-125.784	-130.202	-133.644	-136.045
		测试	-124.8134	-129.7337	-132.1639	-135.9557
	@100kHz	后仿	-133.764	-138.376	-142.168	-145.12
		测试	-132.4658	-136.7728	-140.1645	-144.0337
	@1MHz	后仿	-140.811	-145.386	-149.081	-152.059

		测试	-140.6979	-144.7987	-147.1776	-149.8809
	@10MHz	后仿	-149.837	-152.475	-154.649	-156.151
		测试	-149.1922	-150.663	-150.4833	-153.0306
	@20MHz	后仿	-150.583	-153.793	-155.597	-156.683
		测试	-150.6373	-151.826	-151.4223	-153.842

表 5-2 输入 1.5GHz 信号时相位噪声的仿真和测试结果

频率(Hz)		分频比				
1.5G		2	4	8	16	
相位噪声 (dBc/Hz)	@1kHz	后仿	-120.247	-123.634	-125.705	-126.736
		测试	-108.5265	-113.675	-119.7028	-123.8345
	@10kHz	后仿	-128.874	-132.797	-135.564	-137.175
		测试	-126.6966	-131.5665	-135.1427	-137.4556
	@100kHz	后仿	-136.936	-141.197	-144.505	-146.729
		测试	-134.7798	-139.5257	-143.2392	-145.6062
	@1MHz	后仿	-143.973	-148.2	-151.556	-153.977
		测试	-141.7922	-145.9607	-147.7222	-149.6265
	@10MHz	后仿	-152.389	-154.578	-156.446	-157.688
		测试	-148.4444	-149.9919	-151.9194	-152.439
	@20MHz	后仿	-154.879	-156.661	-157.601	-158.323
		测试	-151.1049	-151.1880	-152.9585	-153.8847

表 5-3 输入 800MHz 信号时相位噪声的仿真和测试结果

频率(Hz)			分频比			
800M			2	4	8	16
相位噪声 (dBc/Hz)	@1kHz	后仿	-123.981	-125.914	-126.869	-127.116
		测试	-114.8592	-118.1531	-122.8107	-130.0601
	@10kHz	后仿	-133.228	-135.879	-137.408	-137.848
		测试	-132.9887	-138.1368	-142.9429	-145.3309
	@100kHz	后仿	-141.617	-144.905	-147.108	-147.834
		测试	-139.0520	-144.6337	-148.7539	-152.4015
	@1MHz	后仿	-148.31	-151.85	-154.444	-155.434
		测试	-145.9528	-150.1672	-152.3218	-155.0513
	@10MHz	后仿	-155.687	-157.41	-158.765	-159.666
		测试	-151.9760	-153.0428	-154.2186	-157.0430
	@20MHz	后仿	-156.756	-158.164	-159.136	-159.96
		测试	-152.7763	-153.4958	-154.6365	-157.1675

由表 5-1~表 5-3可以看出，各个模式下的仿真和测试结果基本一致，有些差别比较大的地方，一般是受到信号源自身相位噪声的限制。

因为正交分频器在实际应用中是接在频率综合器之后产生本振信号，为了验证实际的可行性，将分频器与实际的频率综合器级联进行了测试。

图 5-5是输出 2.2GHz信号时测试的频率综合器的相位噪声曲线。图 5-6是经过正交分频器二分频后的相位噪声测试结果。可以看到，在频偏 1MHz以内相位噪声性能提高了接近 6dB。将频率综合器的输出以及经过各级分频后的相位噪声测试结果用matlab整理在同一张图中，可以清晰的看到各级分频对相位噪声的提高效果，如图 5-7和图 5-8所示。可以看到，每经过一次除 2，相位噪声性能提高大约 6dB。

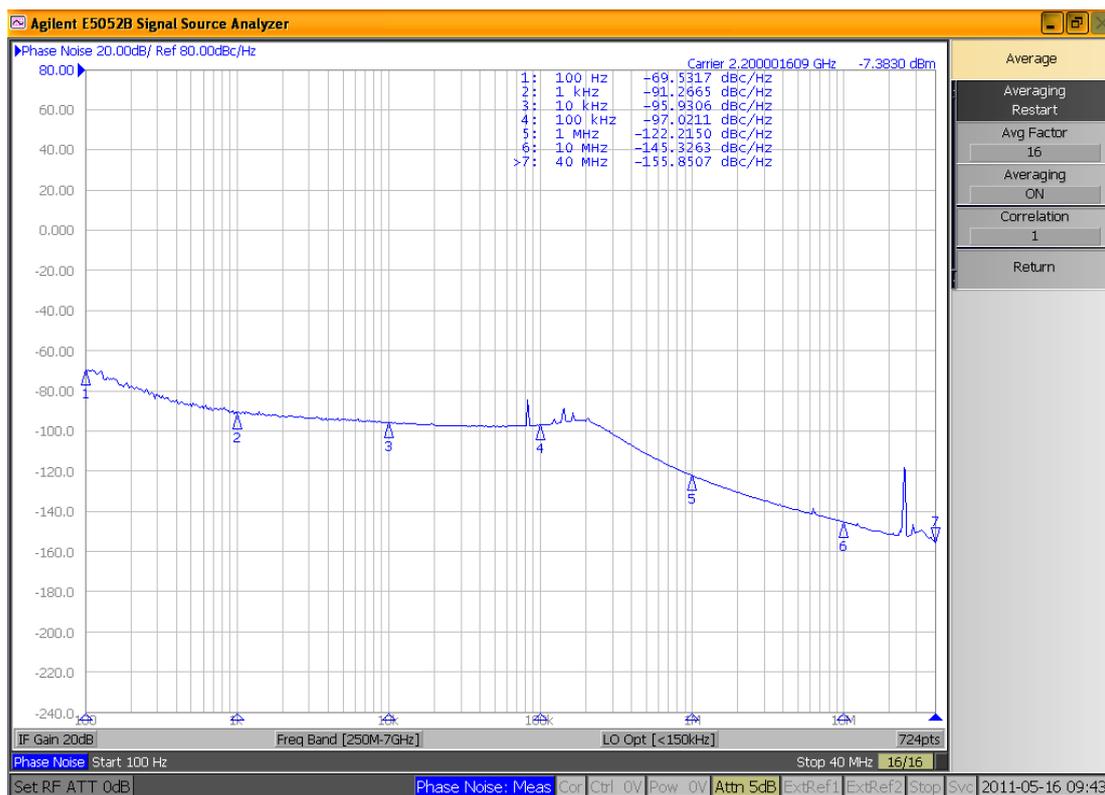


图 5-5 频率综合器输出 2.2GHz 信号的相位噪声测试结果

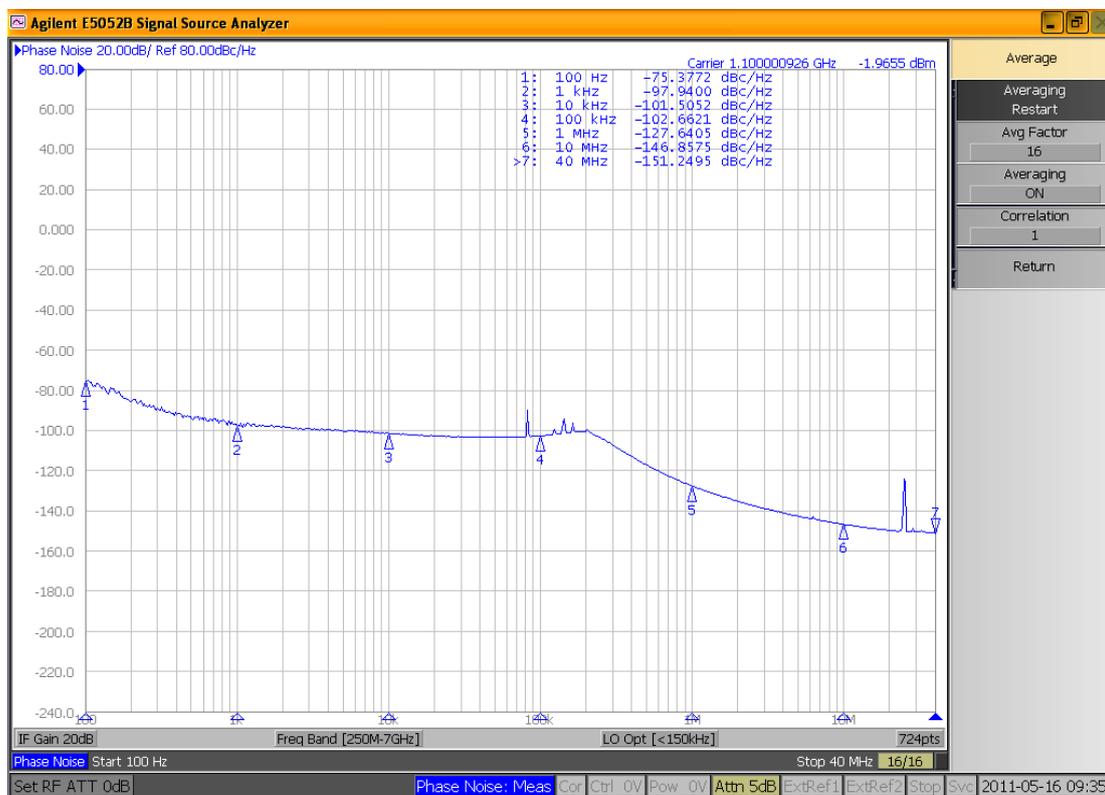


图 5-6 频率综合器输出 2.2GHz 信号 2 分频后的相位噪声测试结果

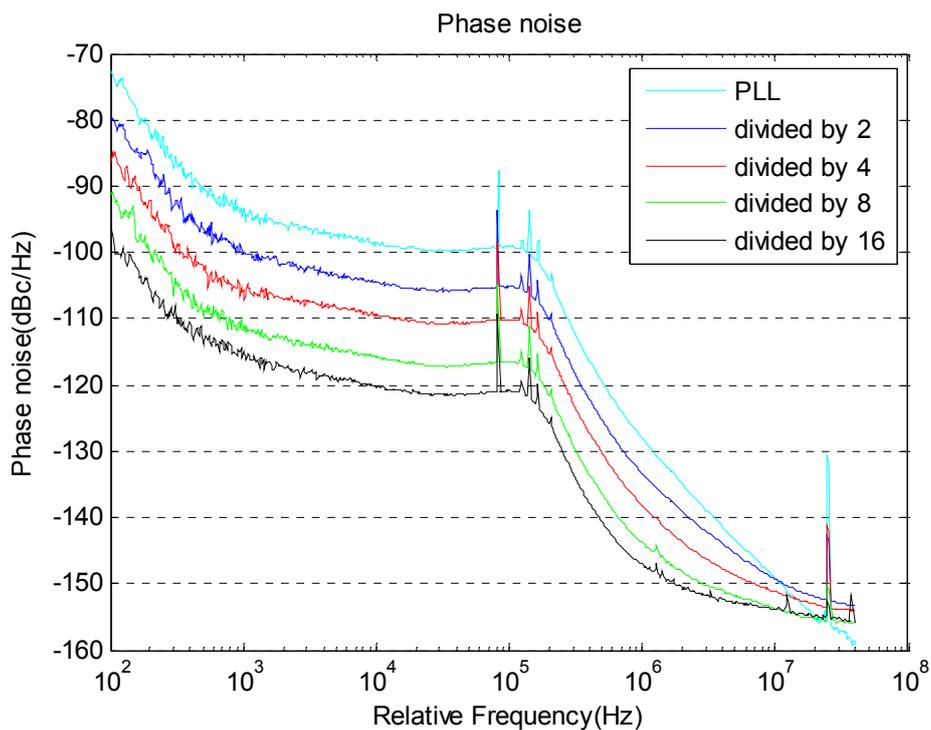


图 5-7 频综输出 1.5GHz 信号分频前后的相位噪声

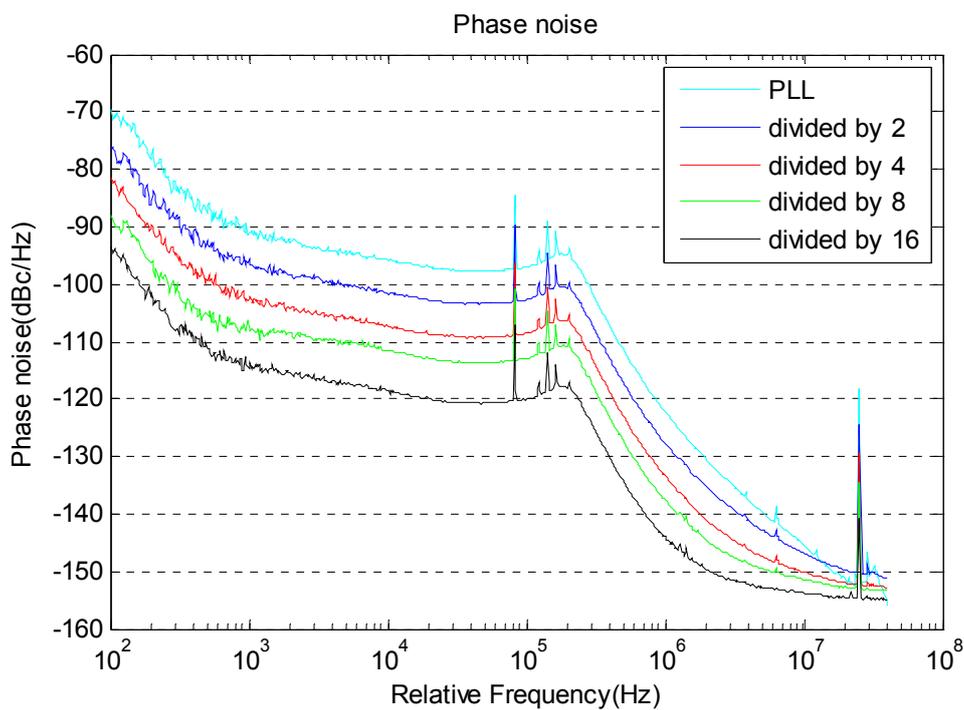


图 5-8 频综输出 2.2GHz 信号分频前后的相位噪声

5.2.2 正交相位精度测试

正交相位精度利用示波器进行测试。将分频器的IQ两路输出同时显示在示波器

上,可以直接测出两信号的相位关系。利用SMA转BNC可以将分频器输出和示波器输入用同轴线直接连接起来。图 5-9是输入频率 800MHz,进行 2 分频时的输出IQ信号时域波形。示波器可以直接测出相位差的最大值,最小值和平均值。由于示波器自身的校正,即使输入理想的信号,它的波形也是不停的抖动,因此平均值更加可靠。从图中可以看到,IQ信号相位差的平均值分别为 89.8 度,90.3 度,88.7 度,90.1 度,因此正交相位精度分别为: 0.1°, 0.3°, -1.3°, 0.1°。本论文在版图设计时,做了大量的工作保证正交信号的匹配性,在能工作的频率范围内,后仿的正交匹配误差均小于 0.1°。测试结果与后仿结果相比,恶化了很多,除了受示波器的精度影响外,还可能由以下几个原因:一是bonding时,信号的对称性被破坏;二是PCB走线不对称,两路信号的周围环境不相同;三是两条同轴线不是完全相同;四是输入输出Bulan存在相位失配,这是一个很重要的因素,从datasheet可以查到,ADT1-1WT引起的最大失配大于 2°。图 5-10~图 5-12分别给出了输入频率为 800MHz,其它分频模式下的正交相位精度测试结果。

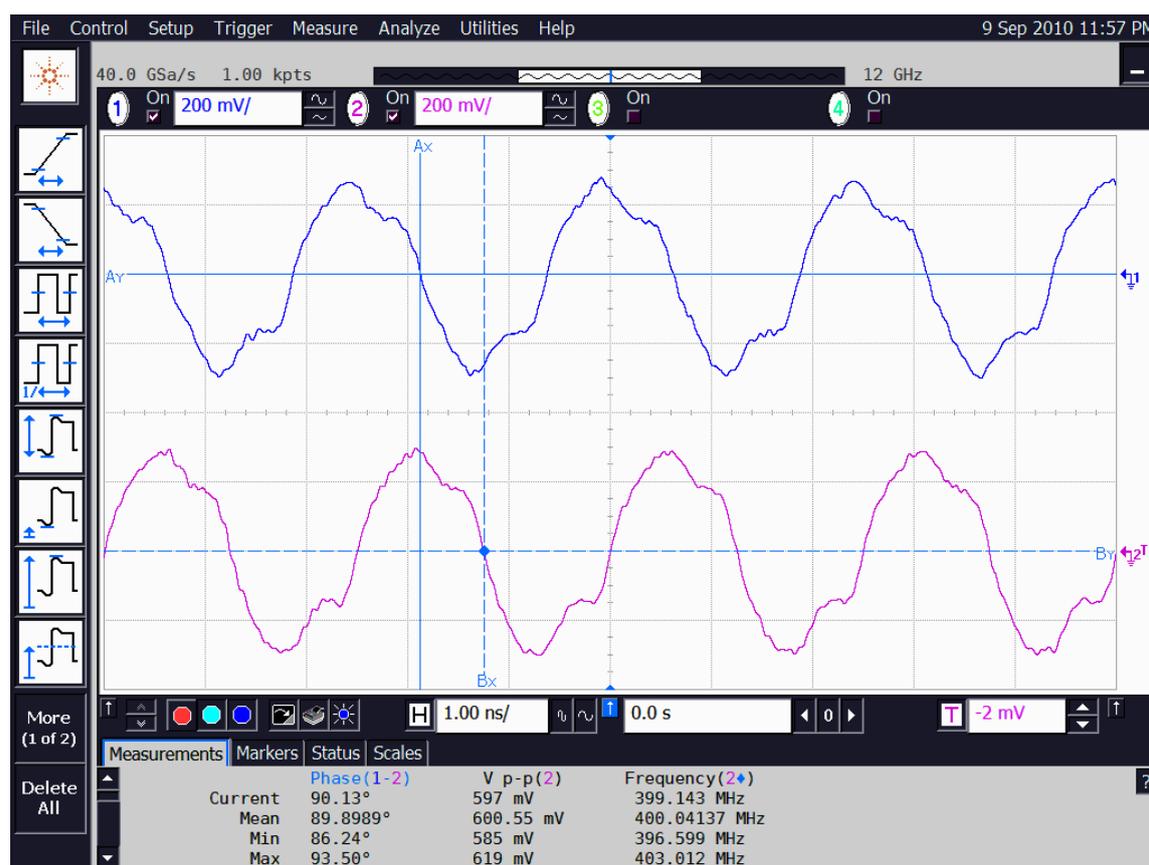


图 5-9 输入 800MHz,2 分频时的正交输出时域波形



图 5-10 输入 800MHz,4 分频时的正交输出时域波形



图 5-11 输入 800MHz,8 分频时的正交输出时域波形



图 5-12 输入 800MHz,16 分频时的正交输出时域波形

表 5-4给出了对不同频率的输入信号，在各个分频模式下的正交相位精度测试结果，并给出了后仿结果进行比较。

表 5-4 不同输入频率信号各分频模式下的正交相位精度

频率(Hz)		正交相位精度 (度)			
		2 分频	4 分频	8 分频	16 分频
2.2G	后仿	0.05	0.06	0.04	0.02
	测试	5.28	2.25	0.13	0.62
1.5G	后仿	0.03	0.04	0.02	0.01
	测试	1.14	2.87	0.85	0.12
800M	后仿	0.02	0.02	0.01	0.01
	测试	0.1	0.27	1.2	0.05

5.2.3 功耗估计

表 4-1给出了设计时为各模块电路分配的电流，由于电路中所有的模块包括测试电路都共用同一个电源，因此各模块的电流无法直接测试，只能想办法估计。测试时电路在 2、4、8、16 分频模式下消耗的电流分别为：10mA、11mA、12mA、12mA。2 分频模式和 4 分频模式的差别是第一级二分频器是否工作。所以通过这两个工作模式下所消耗的电流差别可以大概估计第一级二分频器的功耗。因此第一级二分频器的功耗大约为 1mA，而表 4-1给出的设计值是 1.12mA，它们之间的差别是因为在 2 分频时，输出缓冲器工作在较大的频率，因而具有较大的动态功耗，两种分频模式下的动态功耗差别引起了上述的差别，因此可以认为测试结果和仿真结果基本一致，表 4-1同时反映了电路的真实功耗，核心电路的最大电流为 6mA。因为采用的是有尾电流源的结构，说明尾电流源没有产生太大的失配。

5.2.4 摆幅测试

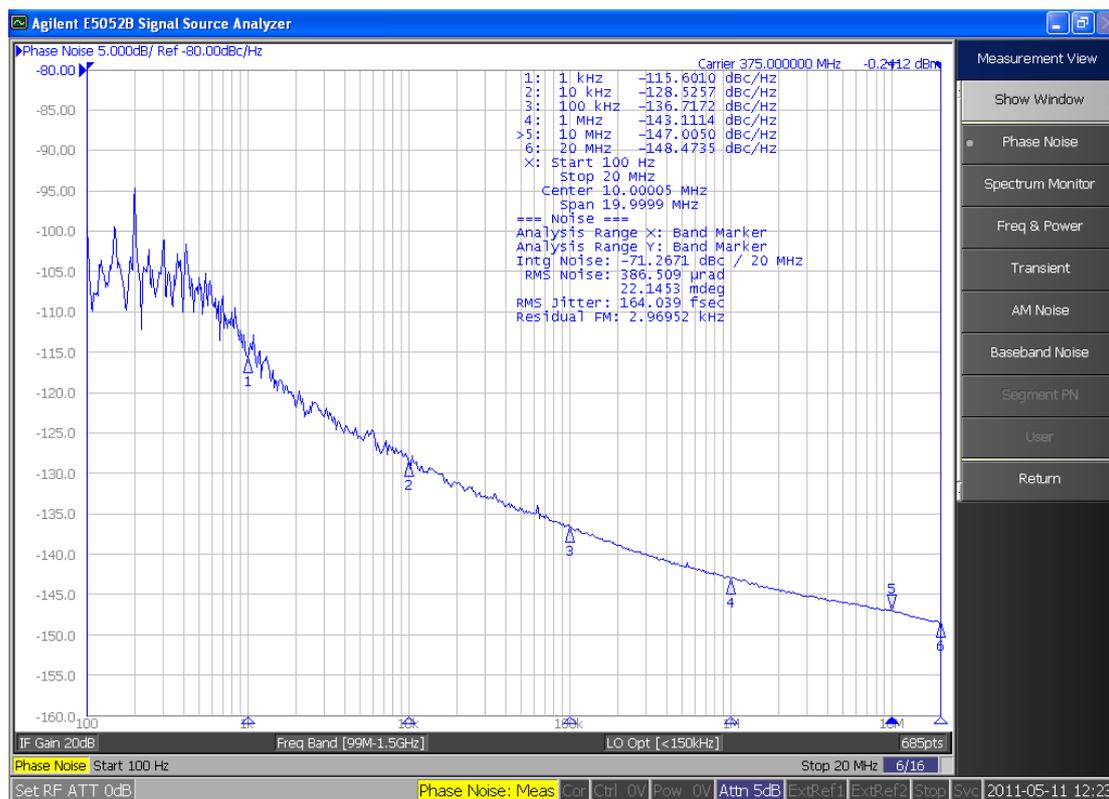


图 5-13 输入频率 1.5GHz，最小摆幅时 4 分频模式下相位噪声

前面提到，CML 电路的摆幅是一个很重要的设计参数，大的摆幅可能引起功耗的浪费，小的摆幅则不利于级联。通过改变分频器的偏置电流，可以观察分频器

的功能与输出摆幅的关系，也可以得到分频器的最小功耗。

测试表明，最小摆幅为 0.48V，此时包含测试电路在内的功耗为 8mA(16 分频模式)。图 5-13是最小摆幅时的相位噪声测试结果，输入频率为 1.5GHz，工作在 4 分频模式，可以看到，虽然可以正常工作，但相位噪声性能有所降低，因此，在要求低相位噪声的应用中，摆幅不能做的太小。

5.2.5 自激振荡频率测试

正交分频器共有四个二分频器，分别工作在不同的频率范围，为达到功耗的优化，自激振荡频率最好与最高工作频率相一致。自激频率的测试方法是，不给分频器提供输入信号，时钟输入端只加直流偏置，将分频器输出连接到信号分析仪测试其相位噪声，从载波频率可以计算出自激频率。由于工作时总是处于中间级，因此第二级和第三级分频器的自激频率无法测试。当分频器工作在 2 分频模式时，只有第四级二分频器有效，输出载波频率就是它的自激频率。当工作在其它分频模式时，第一级分频器始终处在分频器链的最前级，因此只有第一级分频器处于自激振荡状态，通过输出载波频率可以计算它的自激频率，比如工作在 4 分频模式时，自激振荡频率是输出载波频率的两倍。表 5-5给出了不同输出摆幅情况下，第一级和第四级二分频器的自激振荡频率。

表 5-5 不同偏置电流时各分频器的自激振荡频率

摆幅 (V_{p-p})	自激频率 (GHz)	
	第一级	第四级
0.48	1.18362	1.49312
0.56	1.18386	1.47987
0.64	1.19370	1.48774
0.72	1.18190	1.4774
0.8	1.18137	1.40157

从表 5-5可以看到，第一级二分频器的自激频率在 1.1~1.2GHz之间，与它的最高工作频率基本一致。第四级二分频器的自激频率在 1.4~1.5GHz之间，有点偏大，这是设计时为提高它的驱动能力所做的折中。

5.2.6 工作频率范围测试

由于采用了输入缓冲器，所以无法准确的测得分频器的灵敏度曲线，只能估计

分频器的工作频率范围。由于输入输出balun的衰减，测得的频率范围小于实际的频率范围。表 5-6是测试的工作频率范围，同时也给出了后仿结果进行对比。采用了输入缓冲器之后，理论上电路可以工作在任意低的频率，实际上在低频端只受耦合电容的限制，因此后仿结果没有给出最小工作频率。图 5-14是 2 分频模式下工作在最高工作频率的频谱。

表 5-6 工作频率范围

工作频率范围		分频比			
		2	4	8	16
最高工作频率 (GHz)	后仿	4.7	4.6	4.4	4.4
	测试	4.08	3.95	3.85	3.85
最低工作频率 (MHz)	后仿	-	-	-	-
	测试	160	100	100	160

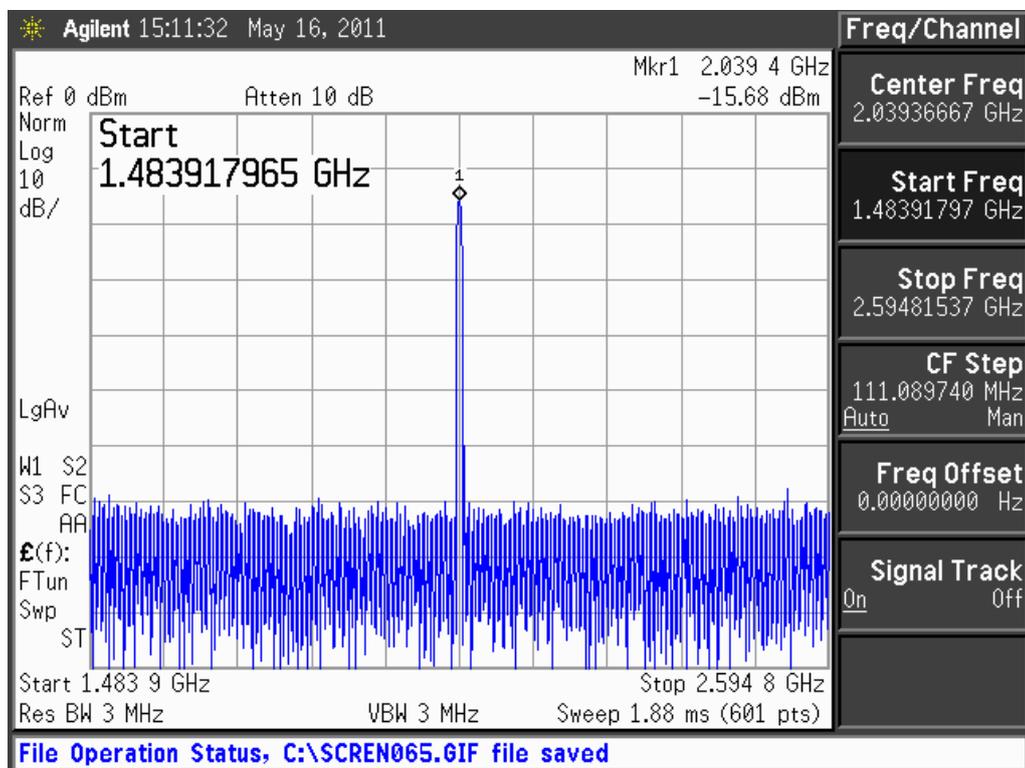


图 5-14 2 分频模式下最高工作频率的频谱

第六章 总结和展望

6.1 工作总结

分频器是频率综合器中最重要的模块之一，它关系着频率综合器能实现的最高速度。本论文从分频器在频率综合器中的应用出发，详细研究了分频器的各种结构，比较了它们性能的优劣。提出了异步 4/4.5 预分频器结构，具有较少的晶体管数目，可以节省面积和降低功耗。详细分析了多模可编程分频器的实现，提出了一种新型的 S 计数器结构，可以很好的与检测“2”结束状态的 P 计数器相配合，提高多模可编程分频器的速度。对于采用一次变频接收机架构的数字电视调谐器应用，对比参考文献的成果讨论了宽频率范围正交信号的实现方法。提出了一种新颖的分频器方案，能够实现所要求频率范围的正交信号，可以减少接收机中混频器的个数，从而减小芯片面积和降低功耗。正交分频器进行了流片验证，测试结果表明，性能指标满足设计要求，能够应用于数字电视接收机系统。

6.2 未来展望

在以上工作的基础上，未来可以展开以下工作：

- 1) 研究减小分频器功耗的技术，降低正交分频器的功耗。
- 2) 将正交分频器和提出的 S 计数器结构应用于实际的频率综合器，实现一个完整的系统，进行流片验证。

参考文献

- [1] I. Galton, "Delta-Sigma fractional-N phase locked loops" In B. Razavi. *Phase-Locking in High Performance Systems: From Devices to Architectures*. New York: Wiley IEEE Press, 2003: 23–33.
- [2] B. Miller and R. Conley, "A multiple modulator fractional divider," in *Proc. 44th Annu. Frequency Control Symp*, May. 1990, pp. 559–568.
- [3] B. Miller, B. Conley, "A multiple modulator fractional divider," *IEEE Trans. Instrum.Measur.*, vol. 40, no. 3, pp. 578–583, Jun. 1991.
- [4] T. A. Riley, M. Copeland, and T. Kwasniewski, "Delta-sigma modulation in fractional-N frequency synthesis," *IEEE Journal of Solid-State Circuits*, vol. 28, pp. 553–559, May. 1993.
- [5] 刘深渊,杨清渊,锁相环路.台湾: 沧海书局,2006.
- [6] Behzard Razavi, RF Microelectronics. Prentice-Hall, 1998.
- [7] 卢磊, "射频接收机中分数分频频率综合器的研究与设计", 复旦大学博士学位论文, 2009.
- [8] Y.-C. Yang, S.-A. Yu, T. Tang, et al, "A Quantization Noise Suppression Technique for $\Delta\Sigma$ Fractional-N Frequency Synthesizers," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 11, pp. 2500-2511, Nov. 2006.
- [9] L. Lu, Z. Gong, Y. Liao, H. Min, and Z. Tang, "A 975-to-1960 MHz, Fast-Locking Fractional-N Synthesizer with Adaptive Bandwidth Control and 4/4.5 Prescaler for Digital TV Tuners," in *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, Feb. 2009, pp. 396–397.
- [10] Supisa Lerstaveesin, Manoj Gupta, David Kang, et al, "A 48–860 MHz CMOS Low-IF Direct-Conversion DTV Tuner," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 9, pp. 2013-2024, Sept. 2008.
- [11] M. Gupta, S. Lerstaveesin, D. Kang, and B. Song, "A 48-to-860 MHz CMOS direct conversion TV tuner," in *IEEE ISSCC Dig. Tech. Papers*, 2007, pp. 206–207.
- [12] Anqiao Hu, "MULTI-MODULUS DIVIDER IN FRACTIONAL-N FREQUENCY SYNTHESIZER FOR DIRECT CONVERSION DVB-H RECEIVER," master thesis of The Ohio State University, 2007.
- [13] Srenik Mehta et al, "A 1.9GHz Single-Chip CMOS PHS Cellphone," in *Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, San Francisco, CA, Feb. 2006, pp. 484-485.
- [14] CHANG, H.H., and WU, J.C., "A 723-MHz 17.2-mW CMOS programmable counter", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1572–1575, Oct. 1998.
- [15] Cicero S. Vaucher, Igor Ferencic, Matthias Locher, Sebastian Sedvallson, Urs Voegeli, and Zhenhua Wang, "A family of low-power truly modular programmable dividers in standard 0.35- μm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, pp. 1039–1045, Jul. 2000.
- [16] Jan Craninckx and Michiel S.J.Steyaert, "A 1.75 GHz/3 V Dual-Modulus Divide-by-128/129 Prescaler in 0.7 μm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 7, pp. 890-897, Jul. 1996.
- [17] Y.Ji-ren, I.Karlsson, and C. Svensson, "A true single phase clock dynamic CMOS circuit technique," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 5, pp. 899-901, Oct. 1987.
- [18] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE J.Solid-State Circuits*, vol. 24, no. 2, pp. 62–70, Feb. 1989.
- [19] J. N. Soares et al, "A 1.6-GHz dual modulus prescaler using the extended true-single-phase-clock CMOS circuit technique (E-TSPC)," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 1, pp. 97–102, Jan. 1999.
- [20] Q. Huang and R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, pp. 456–465, Mar. 1996.

- [21] X. Yu, M. Do, W. Lim, K. Yeo, and J.-G. Ma, "Design and Optimization of the Extended True Single-Phase Clock-Based Prescaler," *IEEE Trans. Microw. Theory Tech*, vol. 54, no. 11, pp. 3828–3835, Nov. 2006.
- [22] Zhiming Deng, Ali M. Niknejad, "The Speed–Power Trade-Off in the Design of CMOS True-Single-Phase-Clock Dividers," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 11, pp. 2457–2465, Nov. 2010.
- [23] Jason Musicer and Jan Rabaey, "Mos current mode logic for low power, low noise cordic computation in mixed-signal environments," In *Proc. Int. Symp. Low Power Electronics and Design*, July 2000, pp. 102–107.
- [24] Hassan Hassan, Mohab Anis, and Mohammed Elmasry, "Mos current mode circuits: Analysis, design and variability," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 13, no. 8, pp. 885–898, Aug. 2005.
- [25] S. Levantino, L. Romanò, S. Pellerano, C. Samori, and A. L. Lacaita, "Phase noise in digital frequency dividers," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 5, pp. 775–784, May 2004.
- [26] 卢磊, 闵昊, 唐长文, "一种应用于分数分频频率合成器的脉冲吞计数器", 发明专利, 申请号: 200910050627.7
- [27] John Rogers, Calvin Plett, Foster Dai. *Integrated Circuit Design for High-Speed Frequency Synthesis*. Artech House, 2006: 153-155.
- [28] M. Vamshi Krishna, J. Xie, M. A. Do, et al, "A 1.8-V 3.6-mW 2.4-GHz Fully integrated CMOS Frequency Synthesizer for IEEE 802.15.4," in *IEEE VLSI_SoC Conf.* Sept. 2010, pp. 387-391.
- [29] 尹江伟, "应用于OFDM UWB系统的高速分频器的研究与设计", 复旦大学硕士学位论文, 2009.
- [30] 周建政, "DRM/DAB接收机射频前端芯片设计中的关键技术研究", 东南大学博士学位论文, 2009.
- [31] M. Dawkins, A. P. Burdett, and N. Cowley, "A single-chip tuner for DVB-T," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 8, pp. 1307–1317, Aug. 2003.
- [32] Ullas Singh, Michael Green, "Dynamics of High-Frequency CMOS Dividers," in *IEEE International Symposium on Circuits and Systems*, vol. 5, May. 2002, pp. 421-424.
- [33] B. Razavi. *Design of Analog CMOS Integrated Circuits*[M]. Xi'an Jiaotong University Press, 2003: 448-450.
- [34] 沈维伦, "单片集成CMOS 802.11b 分数分频频率综合器", 复旦大学硕士论文, 2006.

致谢

时光荏苒，转眼间到了在复旦的第三个年头，在求学历程即将结束之际，衷心感谢曾经帮助过我的老师、同学和朋友们。

感谢我的硕士导师唐长文副教授，您严谨的治学态度和执著的敬业精神，使我获益良多。

感谢曾晓洋老师和程旭老师提供流片机会。

感谢卢磊师兄，你在学术上深厚的造诣是我学习的楷模，感谢你给实验室留下的宝贵财富，你对我的帮助使我终身受益。

感谢廖友春、尹瑞、孟令部、赵薇等师兄师姐，感谢温晓柯、余永长、刘立明等几位同学，感谢你们对我生活中的帮助和学习上的建议；感谢黄圣专、王玉吉同学在画PCB板和芯片测试上对我的帮助；感谢王心、张艺武、万鑫、闫潇、顾竞人等师弟师妹，你们给实验室带来了朝气和活力。

特别感谢郑震湘和邱东两位室友，你们积极乐观的生活态度，教会我时刻以乐观坦诚的心态面对生活。

最真挚的感谢给予我的父母和姐姐，你们对我的关爱、理解与支持是我今生最大的财富，也是支撑我不断向前的最大动力。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名： 黄兆磊 日期： 2011.6

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名： 黄兆磊 导师签名： 唐长文 日期： 2011.6