

復旦大學

本科畢業論文

高速數模轉換器的設計

院 系：信息學院電子工程系
專 業：電子信息科學與技術
姓 名：趙怡
學 號：0121084
指導老師：唐長文 閔昊 陳光夢

目录

第一章 引言	1
1.1 研究的背景、方向和意义	1
1.2 主要工作	2
1.3 论文的组织结构	2
第二章 数模转换器简介	3
2.1 概述	3
2.2 DAC 工作原理	3
2.3 DAC 中的基本概念	3
2.4 DAC 中常用的编码形式	5
2.5 DAC 的各种拓扑结构	6
2.6 DAC 的电流型拓扑结构	7
第三章 10 位, 100 兆转换速率数模转换器的设计 ...	12
3.1 10 位, 100 兆转换速率数模转换器的结构	12
3.2 “6+2+2” 分割结构选择的原则	13
3.3 开关电路	14
3.4 电流源阵列	14
3.5 锁存器 (Latch)	17
3.6 数字译码电路	18
3.7 偏置电路	20
3.8 时钟缓冲器	25
3.9 输入寄存器	26
第四章 DAC 的设计和仿真	27
4.1 整体电路框架	27
4.2 数字部分 (译码电路和选通电路)	27
4.3 Latch 的仿真	28

4.4 整体仿真.....	30
4.5 DAC 的仿真性能.....	40
第五章 DAC 设计的分析讨论.....	41
5.1 与 DAC 动态性能相关的因素.....	41
5.2 动态性能的改善方法.....	42
第六章 DAC 芯片的版图设计.....	43
6.1 版图布局的考虑.....	43
6.2 版图的整体框架.....	45
6.3 具体的版图设计和优化方法.....	46
6.4 DAC 的整体版图.....	52
6.5 DAC 的后仿真.....	52
结束语.....	56
参考文献.....	57
致谢.....	59

摘要

随着SOC和混合信号集成电路的发展，对于芯片中数字部分与模拟部分接口电路的研究显得尤为重要。在数字和模拟领域的接口研究中，数模转换器和模数转换器的应用不仅仅局限于听觉通路——如麦克风和扩音器，视觉通路——如照相机和其他一些显示设备，而且在有线或无线通道数据传输中也有很重要的用途。典型的如数据信号依据某种机制被调制到载波上，和载波一起在有线或无线的通道中传输，接收器接收到信号再进行解调，可根据应用和可行性的不同在数字或模拟领域中解调，其应用之广泛可见一斑。

在高速数据转换电路中，速度、精度、功耗和芯片面积是四个关键的性能指标。它们之间并非独立的，而是存在相互联系、相互制约的辩证关系。任何设计都要根据具体的要求在这四个方面进行折衷。

本文主要介绍了10位，100兆采样速率的电流型数模转换器的设计和仿真。本文设计的数模转换器采用“6+2+2”的分割结构——高6位和中间2位采用相互独立的温度计译码，低2位采用二进制编码。通过锁存器产生同步的开关控制信号来控制核心转换电路的开关管，从而控制流经输出端负载电阻的电流总量，达到将输入的数字信号转换为输出模拟电压的目的。本文设计的数模转换器的特点是采用了分段编码的形式，使毛刺（glitch）误差减小，成功地将最大毛刺（glitch）抖动能量控制在 $0.436\text{pV}\cdot\text{s}$ 。另外，电流源采用共源共栅的结构提高了转换精度。

关键词——DAC；分割结构；温度计编码；二进制编码；电流源；开关管；锁存器；毛刺（glitch）

Abstract

With the development of SOC and mixed-signal circuits, the research on the interfaces between the digital and analog domains becomes more and more important. Within these interfaces, we find the analog-to-digital converter (ADC) and digital-to-analog converter(DAC). These data converters are not only used for conversion of audio via microphone or loudspeakers, video via camera or display, into information that the computer or digital signal processor (DSP) can handle. The data converters are also used for data transmission via a channel, where the channel is either wireline or wireless (radio). Typically, the data (signal) is modulated onto a carrier according to some scheme. The signal is then sent over the channel with the carrier. The receiver will demodulate and extract the data (signal). The modulation can be done in both the digital and analog domain dependent on application and feasibility.

In high-speed data conversion circuit, speed, accuracy, power dissipation and chip area are four key performance specifications. They are not independent; instead, they are interrelated and limit each other. There is always a trade-off among these four aspects.

This thesis mainly focuses on the design and simulation of the 10-bit 100MSample/s current-steering DAC. The DAC has a “6+2+2” segmented architecture: first, the six most significant bits (MSB’s) are thermometer decoded; second, the intermediate two bits are also thermometer decoded, but independently from the MSB’s; third, the two least significant bits (LSB’s) are binary weighted. Latch is used to synchronize the switching control signals, and then control the current through the load. The segmented architecture has an advantage of achieving a good glitch energy. The glitch energy is reduced to $0.436\text{pV}\cdot\text{s}$. Besides, the current source using cascoded PMOS transistors improves the resolution.

KEY WORDS — DAC; Segmented Architecture; Thermometer decoded; Binary decoded; Current Source; Switch; Latch; Glitch.

第一章 引言

今天，电子产品在人们的生活中扮演着举足轻重的角色。电视机、电脑、网络、无线通信设备等电子工具，给人们带来了丰富多彩的娱乐享受，而采用电子系统控制的新一代家电，如冰箱、空调、电饭锅、汽车等使我们的生活更加便利。这些现代电子设备多采用数字电路的方式来实现，但我们生活的自然界却是模拟的，对于我们——自然界中的人类来说，感知外界的方式也是模拟的。因此，这些电子系统需要把外部的模拟信号采集进来，并把它转换成数字信号，然后通过DSP或CPU等数字信号处理器，对其进行处理，最终得到的结果往往需要再变回到模拟形式，以便控制各种机电设备，或作为各种家电设备的输出，来满足人们视听的享受。这种把模拟数据采集进来并转换成数字数据，或把数字数据转换成模拟数据的功能是通过模数和数模转换器实现的。模数和数模转换器作为数字信号和模拟信号的接口如图1.1所示。

1.1 研究的背景、方向和意义

目前，可内嵌的高速、高精度、低功耗数据转换器成为模拟集成电路领域中的研究热点。其原因是，1、与模拟信号相比，数字信号具有便于存储、转移、保真度和可靠性高等优点，因此，在过去的20年，各国的研究机构对数字技术的发展非常重视，另外，随着CMOS工艺水平的长足进步和数字系统设计软件的日趋成熟，使数字系统无论是在处理能力还是处理速度上都取得了飞速的发展。相对而言，模拟和数模接口电路的设计在过去的几十年没有得到足够的重视，加之模拟设计软件也不够成熟，使模拟尤其是数模接口电路的发展落后于数字电路的发展，因此，在一些包括数模接口的电子系统，象数字视频系统和数字通信系统中，接口电路的性能（如速度、精度）成为限制整个系统性能的瓶颈；2、由于靠电池供电的便携式设备日益普及，也要求在达到高速、高精度的前提下，消耗尽可能小的功耗，以维持较长的待机时间；3、随着单片系统集成的快速发展，要求接口电路和数字系统集成在一块芯片上，这对降低成本、提高性能具有很

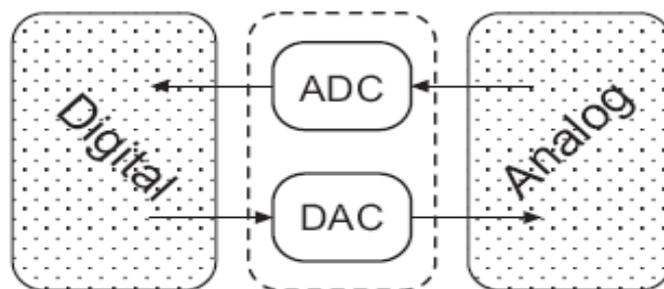


图1.1 模数和数模转换器作为数字和模拟信号的接口

重要的意义[2]。

从上面的介绍可以看到,目前发达国家对高速数据转换电路的研究开发已经达到了很高的水平,由于各种原因,我国在这方面的研发水平与国外相比还十分落后,这严重限制了我国在集成电路设计尤其是系统集成方面的发展。为了缩短与国外先进水平之间的差距,我们急需加强在这个领域的研究。本文以高速、高精度数模转换器的设计为研究方向,学习了高速数据转换电路的设计理论和设计方法,希望这些学习经验对自己以后的研究生活能够有一定的帮助。

1.2 主要工作

在本文工作期间,作者查阅了大量有关数据转换方面的资料,较系统地研究了各种数据转换器的结构和性能,并在唐长文老师的指导下,设计了一个10位,100兆采样速率的数模转换器。

为了使电路达到最优的性能,作者在设计仿真期间,又查阅了许多相关的资料,并与指导老师进行了一些讨论。

数模转换器的性能对版图的依赖性比较强,对于本文设计的10位,100兆采样速率的数模转换器的版图设计,作者参考了文献[1]和[5],具体的版图设计目前正在紧张的进行中。

1.3 论文的组织结构

本文主要介绍数模转换器的设计。论文的结构安排大致如下:

第二章简单介绍数模转换器的工作原理、一些基本概念和几种常用的拓扑结构;

第三章主要介绍本文设计所采用的结构和具体的实现方法;

第四章详细叙述10位,100兆采样速率电流型数模转换器的设计和仿真过程;

第五章主要是根据仿真结果进行分析和讨论;

第六章主要介绍芯片的版图设计。

第二章 数模转换器简介

2.1 概述

数模转换器(Digital-to-Analog Converter, 以下简称DAC)就是将数字信号转换成模拟信号的电路。数模转换器的模拟输出包括电压输出和电流输出。转换的过程有很多种实现方式, 分别适用于各种不同的场合。

在本章我们将阐述数模转换器的工作原理和基本概念, 然后再介绍实现数模转换器的各种拓扑结构, 并分析比较它们的特点。

2.2 DAC 工作原理

DAC的工作原理可以用图2.1所示的框图表示。其中各模块的功能介绍如下:

Digital Processing (数字信号处理模块):

主要对输入的数字信号进行预处理, 将信号转换为一种更容易被D/A Interface处理的信号形式;

D/A Interface (数/模接口模块):

这是DAC的核心电路, 经过这个模块后输出的就是模拟信号, 对于该模块将在后面详细介绍;

Reconstruction Filter (重建滤波器):

该滤波器主要是对上个模块得到的模拟信号进行处理, 得到需要的有用的模拟信号。

2.3 DAC 中的基本概念

理想的N位分辨率DAC如图2.2所示。Bin为N位数字输入数据, 假设采用二进制形

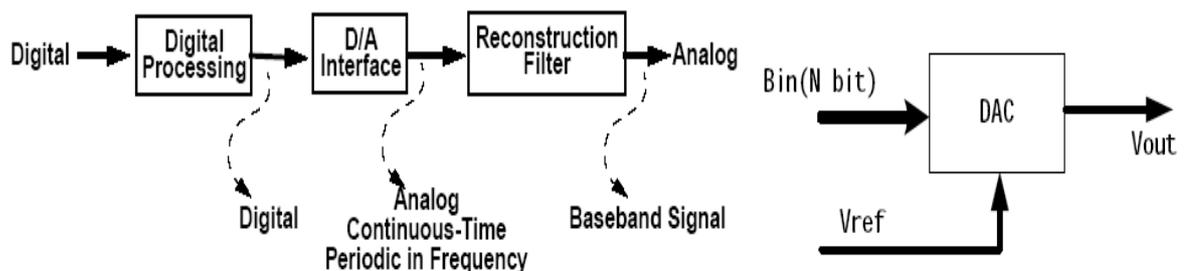


图2.1 DAC的工作原理框图

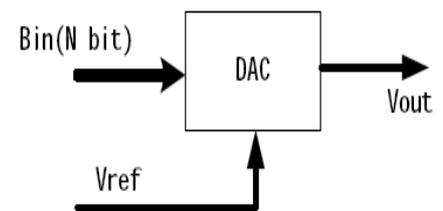


图2.2 理想的N位分辨率DAC

式，即：

$$Bin = b_0 2^0 + b_1 2^1 + \dots + b_{N-1} 2^{N-1}$$

$b_i (i = 0, 1, \dots, N-1)$ 为1或者0。我们定义 b_{N-1} 为最高位(MSB)，定义 b_0 为最低位(LSB)。对于一个给定的数字 Bin ，模拟电平输出为：

$$V_{out} = V_{ref} \cdot (b_0 2^0 + b_1 2^1 + \dots + b_{N-1} 2^{N-1}) = V_{ref} \cdot Bin$$

下面简要介绍DAC中通用的术语。

分辨率 DAC中的分辨率定义为在不同的输入数字码值下所有可能输出的模拟电平的个数，N位分辨率意味着DAC能产生 $2^N - 1$ 个不同的模拟电平，一般情况下它就指输入数字码的位数。

失调和增益误差 失调定义为当输入0码值时实际输出的模拟信号的值，增益误差定义为当扣除失调后理想的满量程输出的值和实际输出的值的差，如图2.3所示。

精度 DAC中的精度分为绝对精度和相对精度。绝对精度定义为理想输出和实际输出之间的差，包括各种失调和非线性误差在内。相对精度定义为最大积分非线性误差(下面将讲述这个概念)。精度表示为满量程的比例，用有效位数来表示。例如8-bit 精度表示DAC的误差小于DAC输出满量程的 $1/2^8$ 。注意精度这个概念和分辨率不相关。一个12-bit 分辨率的DAC可能精度只有10-bit；而一个10-bit分辨率的DAC可能有12-bit的精度。精度大于分辨率意味着DAC的传输响应能够被比较精确地控制。

积分线性误差(INL—Integral Nonlinearity) 当除去失调和增益误差后，积分线性误差就定义为实际输出传输特性曲线对理想传输特性曲线(一条直线)的偏离。如图2.4所示。

微分线性误差(DNL—Differential Nonlinearity) 在理想的DAC中，每次模拟输出变化最小为1LSB，微分线性误差定义为每次模拟输出变化最小时对1LSB的偏离(将增益误差和失调除外)。我们定义的DNL是对每个数字输入码值而言的，有时也有用最大的DNL来定义整个DAC的DNL。理想的DAC对于每个数字输入其微分线性误差均为0，而一个具有最大DNL为0.5LSB的DAC的每次最小变化输出在0.5LSB到1.5LSB之间。如图2.4所示。

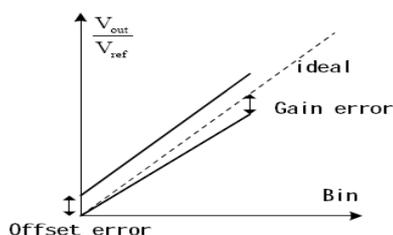


图2.3 DAC的失调和增益误差

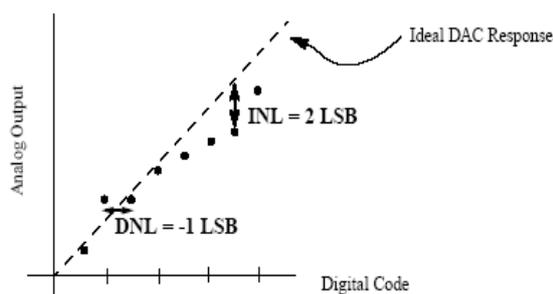


图2.4 DAC的积分和微分线性误差

抖动能量 (Glitch Impulse Area) 输入信号变化以后在输出端出现的抖动下的最大面积。

建立时间 (Settling Time) 在最终值的一个特定的误差范围之内，输出经历满幅转换所需要的时间。

单调性 一个单调的DAC指随着输入数字码值增加输出模拟电平一直增加DAC。如果最大的DNL控制在0.5LSB以内，那么DAC的单调性自然能得到保证。

伪动态范围 (SFDR) SFDR就是Spurious Free Dynamic Range，即无噪声和谐波的动态范围。噪声和谐波都称为伪信号 (Spurious)。

DAC系统中有两个重要的动态参数：**线性度和噪声性能**。一般来说，系统线性度的性能制约了系统内最大的有用信号，而系统的噪声性能制约着系统的最小有用信号，将二者结合起来，我们就得到了系统的动态范围。

2.4 DAC 中常用的编码形式

输入的数字信号可以转换成不同的编码形式，常用的有 Decimal, Binary, Thermometer和1-of-n,如表2.1所示。

表2.1. DAC常用的编码形式

Decimal	0	1	2	3
Binary	00	01	10	11
Thermometer	0	0	0	0
	0	0	0	1
	0	0	1	1
	0	1	1	1
1-of-n	0	0	0	0
	0	0	0	1
	0	0	1	0
	0	1	0	0

其中Binary 和Thermometer更为常用,且能用较简单的方法进行转换。

Binary编码是一种比较直观的编码方式。Binary编码的数模转换器实际上就是由输入的N位数字信号直接控制相对应的模拟量,然后相加输出。而Thermometer编码的数模转换器则是先将输入N位转换成 $2^N - 1$ 位数据,然后由这 $2^N - 1$ 位数字信号来控制模拟量到输出,使输出的模拟信号等量地线性增加。

由于Binary和Thermometer编码对glitch、面积等指标有不同的影响,综合考虑这几个指标后,现在对很多分辨率在8位以上的DAC来说,采用的都是分段编码,也就是说高几位采用Thermometer编码,低几位采用Binary编码。具体原因将在下面阐述。

2.5 DAC 的各种拓扑结构

电阻型:

结构如图2.5所示。图2.5所示的是一个R-2R阶梯网络型的转换器。其优点在于能实现很好的线性度,由于所有的电流源都是等值的,我们可以用特殊的附加技术使它们间误差较小,与电阻分压相比其结构简单得多。缺点是电阻总是非线性的,还包含着和信号有关的寄生电容,要做到完全匹配较难。同时速度受到输出缓冲器的限制,速度做不到很高。

电容型:

结构如图2.6所示。最高位的电容 C_N 是最低位电容 C_1 的 2^{N-1} 倍。优点是功耗较小,匹配精度比电阻高。主要的限制因素是电容的不匹配,开关的导通电阻,较大RC延迟以及放大器有限带宽对DAC速度的影响。电荷分配型DAC的一个主要缺点是CMOS工艺中的电容实现起来要占很大的芯片面积。最后由于CMOS工艺中的电容本质是非线性的,总的DAC的线性度将受到抑制。适用于中宽带高精度。

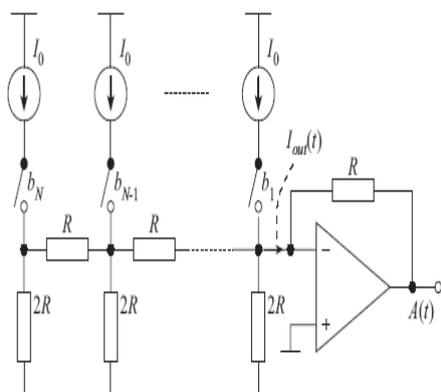


图2.5 电阻型DAC的结构图

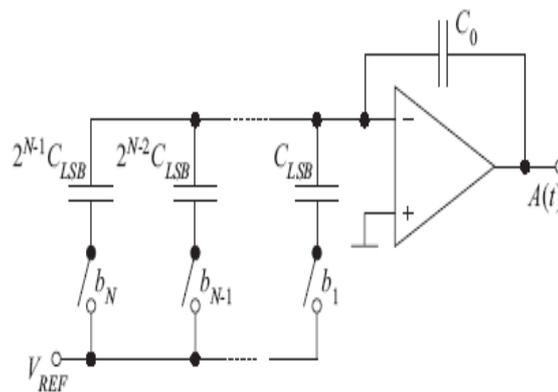


图2.6 电容型DAC的结构图

电流型:

结构如图2.7所示。其优点是当精度小于10位时能将面积做得很小，速度不受放大器带宽和较大RC延迟的限制，可达到很高的速度，由于所有的电流都直接流向输出端，所以能量的使用效率很高，且容易实现。缺点是对器件不匹配性的敏感和有限的电流源输出阻抗。适合高速宽带的要求。

输出时也可以不采用运算放大器，直接利用负载电阻将电流转换成电压输出，如图2.8所示。这种形式使得DAC的速率可以不受运放带宽的限制。

2.6 DAC 的电流型拓扑结构

上面简单的给出了电阻型、电容型和电流型DAC的拓扑结构，并简单的分析了它们的优缺点。考虑到本文的要求是设计一个高速的DAC，所以设计时采用的是电流型的结构。在此对电流型的结构进行较详细的介绍。

电流型的结构可以细分为电流分配型和电流驱动型。

电流分配型DAC通过将一个给定的参考电流源分配在几个晶体管中，然后再选中其中一些作为输出来实现转换。结构如图2.9所示。

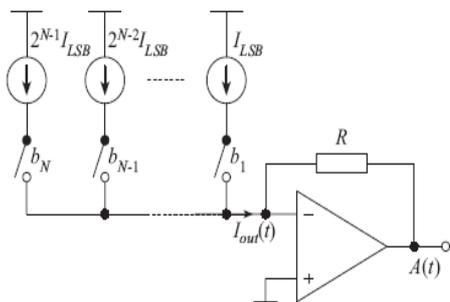


图2.7 电流型DAC的结构图

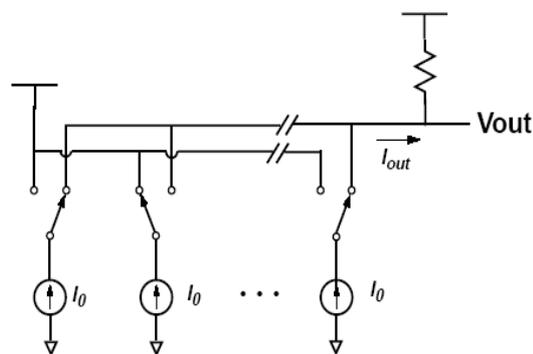


图2.8 输出直接利用负载电阻进行转换

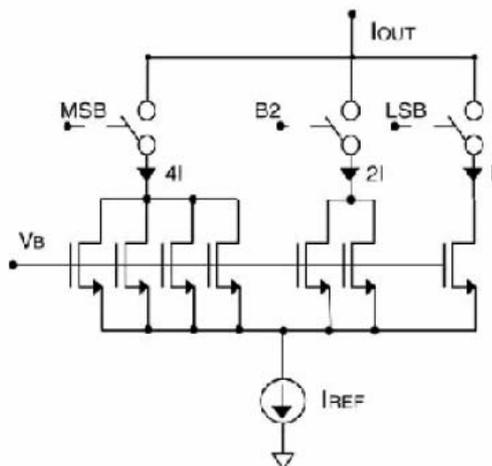


图2.9 电流分配型DAC的结构图

这种结构有两个主要的缺点。首先在 I_{REF} 和电源之间的电流分配晶体管的存在使输出电压的动态范围下降，这在低工作电压情况下实现起来会很困难。其次，由于 I_{REF} 是所有电流分配晶体管中流过的电流的总和，所以实现 I_{REF} 的管子的尺寸会很大。由于以上这些缺点，这种结构现在也较少地采用。

电流驱动型DAC是目前高速DAC中的主流结构。它与电流分配型DAC结构的区别在于前者是拷贝参考电流源得到输出而后者是分配参考电流源得到输出。电流驱动型DAC中最常用的有三种结构：二进制编码型DAC，温度计编码型DAC和分段编码型DAC。三种结构各有其优缺点。

这里以一个3位的DAC为例，给出其电流驱动型的三种结构：

- a. 二进制编码电流驱动型结构——如图2.10所示。
- b. 温度计编码电流驱动型结构——如图2.11所示。
- c. 分段编码的电流驱动型结构——如图2.12所示。

三种电流驱动型结构的比较：

下面本文将就这三种结构的优缺点进行探讨，比较的方面主要集中在两点：芯片面积和线性度。为了比较三种结构的线性度，我们首先介绍一个DAC中广泛引用的概念：毛刺（glitch）。

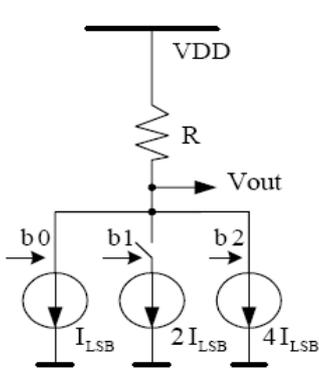


图2.10 二进制编码电流型DAC结构图

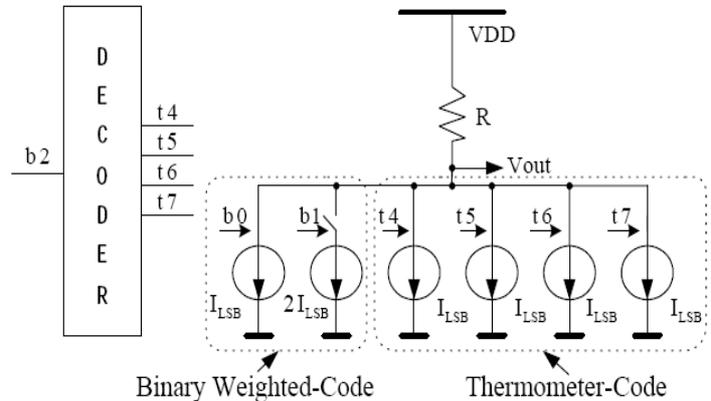


图2.12 分段编码电流型DAC结构图

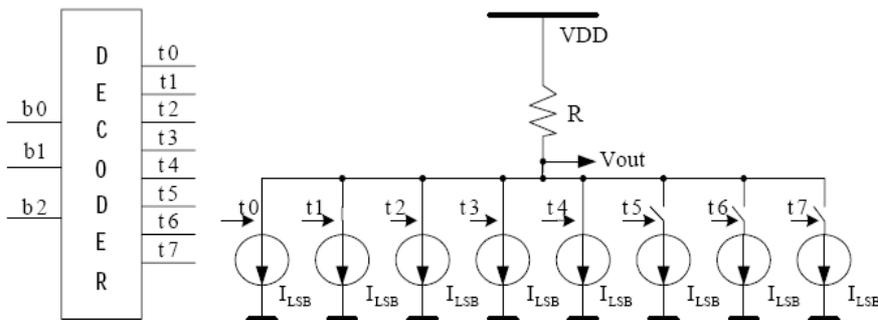


图2.11 温度计编码电流型DAC结构图

glitch是DAC高速工作时精度的主要制约因素，它是由于控制电流源的开关的工作延时不同而引起的，如图2.13所示，电流源 I_1 和 I_2 开关时刻的不同步，导致了输出出现短时波形变化(glitch)。

通常采用温度计编码会大大减小glitch。

在温度计编码型DAC中，所有的电流源都相同，这样总共需要 $2^N - 1$ 个电流源。当温度计编码输出每变化1LSB时，电流源阵列中就有一个电流源打开或者关断，故它的单调性是自然得到保证的。在数字码处在整个输入范围的中间变化时，电流源阵列中变化的电流源依然只有一个。而对于二进制编码DAC来说，情况就完全不一样了：当数字码在整个输入范围的中间变化时，MSB和其它位的变化方向相反(例如二进制011到100转换，对应十进制值3到4的转换)，这时输出变化的幅度最大，往往会超过1LSB，这样会带来很大的短时波形变化(glitch)，所以在单调性要求很高的场合，温度计编码的优越性远远大于二进制编码。

温度计编码DAC较二进制编码DAC的另一个优越性体现在对器件的匹配要求上。对温度计编码DAC而言，如果DAC的电流源单元不匹配程度在50%以内，则整个系统的DNL从理论上还是可以控制在0.5LSB以内的，而对于二进制编码DAC而言，DNL随输入码值而变化，在中间码值情况最坏。

温度计编码的第三个优越之处体现在glitch对整个DAC的线性度性能并无影响。每次转换发生时，总的glitch的大小与转换的开关个数成正比。当输出变化幅度较小时(例如1LSB)，glitch很小；当输出变化幅度较大时(例如4LSB)，glitch大一些。如图2.14所示。

然而由于转换的开关的个数与信号的变化幅度成正比，总的glitch的大小就正比于输出信号变化的幅度。所以对于温度计编码DAC而言，glitch与输出的模拟信号的线性度无关。

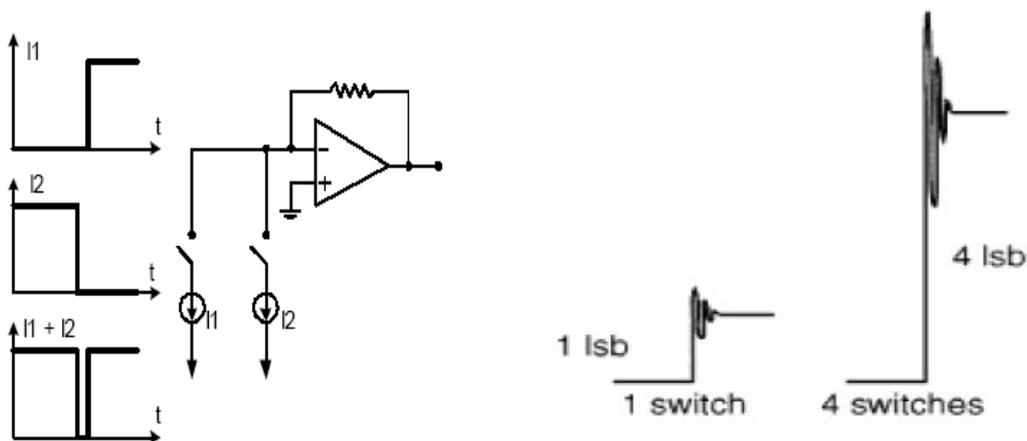


图2.13 开关工作延时不同引起glitch 图2.14 输出变化1LSB和4LSB时glitch的比较

下面本文对电流驱动型DAC的三种实现方式的芯片面积和精度的关系做一下分析，这里本文引用文献[3]的分析结果，如表2.2所示。从表中我们可以看出，对于两种拓扑结构INL均相同，而对于DNL则有区别，二进制编码DAC明显要差于温度编码DAC。我们还可以看出，两种结构达到同样的INL需要相同的芯片面积(为简单起见，我们仅计算模拟部分面积而忽略数字译码部分面积)；而为了达到相同的DNL，二进制编码DAC需要的模拟部分面积为温度计编码DAC的模拟部分面积的1024倍!!!。

关于DNL，对三种编码进行比较[7]：

设每个单一电流源的标准差是 $\sigma(I)$ ，台阶差是 $\sigma(\Delta I)$ ， $\sigma(\Delta I)$ 是对DNL的一个很好的近似。

● 二进制编码DAC

二进制编码DAC具有较大的glitch能量和较大的DNL。在这种结构中，最坏情形发生在半满量程码值输入时，此时MSB(相当于 2^{N-1} 个单位电流源)打开而其它的电流源(相当于 $2^{N-1}-1$ 个单位电流源)关断，于是输出变化的方差为：

$$\begin{aligned}\sigma^2(\Delta I) &= \sigma^2 \left[2^{N-1}I - (2^{N-1}-1)I \right] \\ &= 2^{N-1}\sigma^2(I) + (2^{N-1}-1)\sigma^2(I) \\ &= (2^N-1)\sigma^2(I)\end{aligned}$$

得到：
$$\sigma(\Delta I) = \sqrt{2^N-1}\sigma(I) = \sqrt{2^N-1} \frac{\sigma(I)}{I} (LSB)$$

上式就说明二进制编码结构最大的DNL误差与单一电流源标准差所成的比例关系。

● 温度计编码DAC

这种结构有较小的DNL误差和较小的动态开关误差，因为这种编码每次只有一位从0变化为1，采用类似的方法得到：

$$\sigma(\Delta I) = \frac{\sigma(I)}{I} (LSB)$$

上式看出温度计编码结构的DNL误差要明显小于二进制编码结构。

表2.2. 电流型DAC二进制和温度计编码的比较

要求	二进制编码	温度编码
INL	16σ	16σ
DNL	32σ	σ
面积 (INL=0.5LSB)	$256 * A_{unit}$	$256 * A_{unit}$
面积 (INL=1 LSB)	$64 * A_{unit}$	$64 * A_{unit}$
面积 (DNL=0.5 LSB)	$1024 * A_{unit}$	A_{unit}

● 分割结构——分段编码DAC

假定分段编码DAC中低B位采用二进制编码，高(N-B)位采用温度计编码，则仿照前面的讨论，可知：

$$\sigma(\Delta I) = \sqrt{2^{B+1} - 1} \frac{\sigma(I)}{I} (LSB)$$

从上面的分析中我们可以看出，对于DNL和glitch而言，温度计编码DAC性能最优，分段编码次之，二进制编码最差。实际设计中，除了考虑这两方面因素外还要考虑芯片面积这个因素，可结合设计的实际要求来选择结构。

综上所述，就一定输出动态范围和微分线性误差（DNL），并且忽略数字译码电路的面积时，温度计编码所需要的面积最小，这样从理论上来说，温度计编码就具有最小的芯片面积、微分线性误差（DNL）和毛刺（glitch）。实际上在分辨率很高时，数字译码部分的面积会很快超过模拟部分的面积，而成为芯片面积的决定因素。所以对于分辨率较高的情形，采用分段编码能兼顾芯片面积和精度这两方面的要求。这些也是本文设计考虑到的问题，是本文设计的10位，100兆转换速率的数模转换器选择分段编码结构的依据。

第三章 10 位,100 兆转换速率数模转换器的设计

本章在第二章分析的基础上, 综合考虑前面提到的各项指标, 设计完成了一个10位, 100兆转换速率, 分段编码的数模转换器 (DAC)。

3.1 10 位, 100 兆转换速率数模转换器的结构

在上章结束的时候, 我们分析得到对于分辨率较高的DAC, 采用分段编码结构能兼顾芯片面积和精度这两方面的因素。所以本文设计采用的就是分段编码的形式。

分割结构采用“6+2+2”的形式, 具体是高6位转换成温度计编码, 中间2位也采用温度计编码, 这两种温度计编码是相互独立的, 低2位采用的是二进制编码的形式。

图3.1为本文设计的DAC高6位的结构图, 它包括电流源阵列、Latch 阵列、译码电路(包括行译码电路和列译码电路)、选通电路、时钟缓冲器、输入寄存器, 另外DAC中还包括电流源的偏置电路(在图中未标明)等部分。对于低4位部分, 与此大致相同, 不过译码和电流源阵列要简单得多。

下面我们对每个模块进行分析和设计, 并给出仿真的结果。

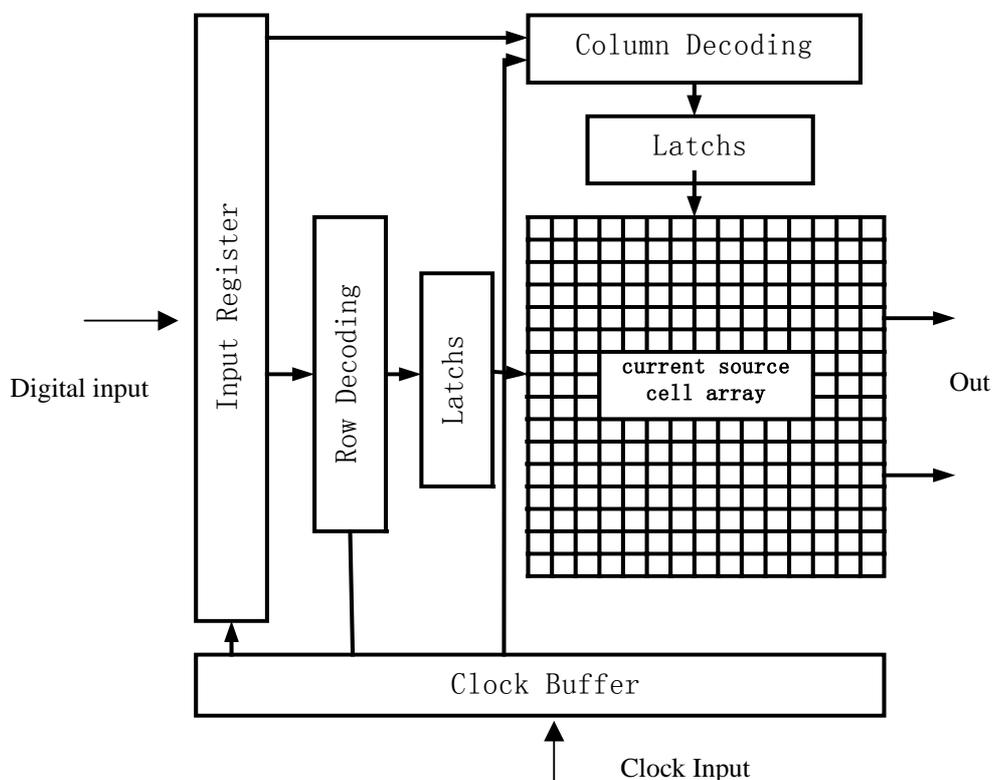


图3.1 10位, 100兆采样速率DAC的结构图

3.2 “6+2+2” 分割结构选择的原则

在上一章末, 已经给出了二进制编码, 温度计编码和分段编码的比较, 文献[2]中给出了三种编码的比较如图 3.2 所示。很明显, 分段编码兼具了温度计编码和二进制编码的优点, 所以本文设计采用的是分段编码。文献[3]中给出了分段编码的划分比例与 DAC 的性能 (DNL、INL、面积) 的关系图, 如图 3.3 所示。图中的粗实线表示模拟部分的面积与划分比例的关系, 水平位置的面积最小, 文献[3]中分析仿真得知 INL 仅与模拟部分的面积有关, 而划分比例越大, DNL 越小, 但是一般情况下, 系统对于 INL 的要求比 DNL 要松, 所以选择最优位置在水平线的末端, 划分比例约为 80%, 也就是“8+2”分割结构。文献[3]中还指出随着划分比例的增加, 总谐波失真 (THD) 和 glitch 的能量会减小, 如图 3.4 所示。

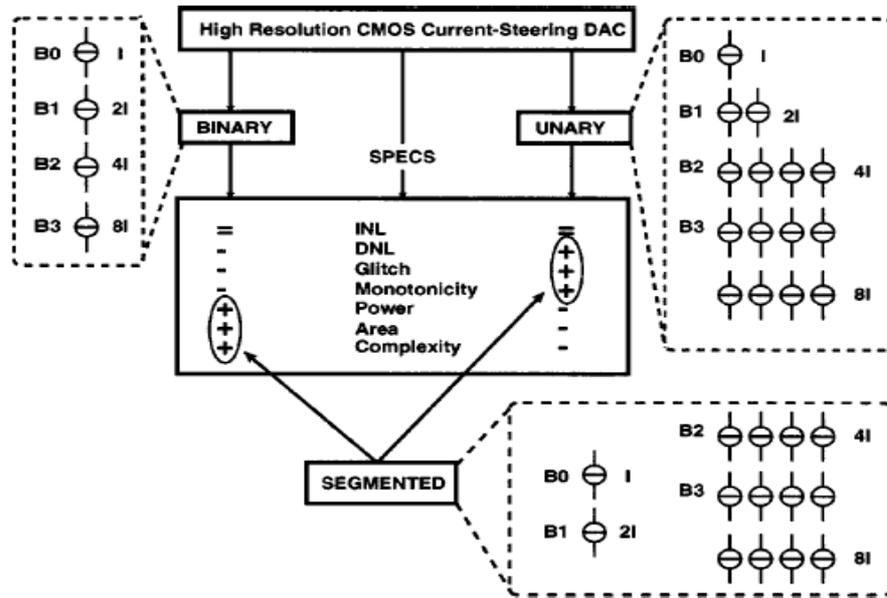


图 3.2 三种编码的比较

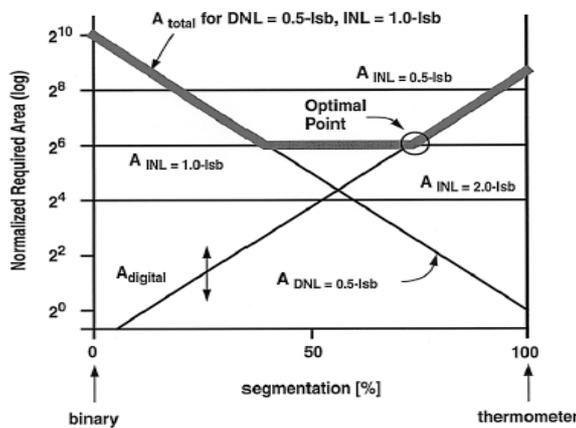


图 3.3 INL、DNL 和面积与划分比例的关系

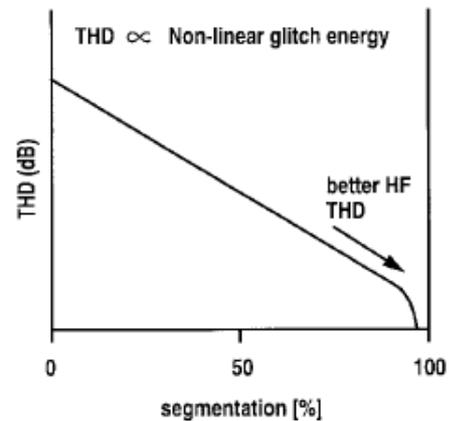


图 3.4 THD 和 glitch 能量与划分比例的关系

但是采用“8+2”结构时, 有 4 个行信号和 4 个列信号, 译码电路比较复杂, 占用芯片的面积增加, 而采用“6+2+2”结构, 高 8 位仍为温度计编码, 但是由于采用的是相互独立的温度计编码, 译码电路简单, 面积减小, 而且把高 6 位分为 4 个象限时, 每个象限中的 64 个单元只使用了 63 个, 这样多余的 4 个单元刚好给中间 2 位的温度计编码使用, 不需要增加额外的单元, 无需多余的硬件消耗。

3.3 开关电路

与电流源电路一样, 开关电路的设计也是多样化的。设计时主要考虑两个因素——导通电阻和时钟馈通 (clock feedthrough)。设计时, 应该尽可能地减小导通电阻和开关引入的时钟馈通。在调节时, 这两者之间存在一个折中 (tradeoff) 处理。

1) 导通电阻

导通电阻必须比较低, 这样才能降低开关管的电压降。所以在采用单个晶体管做开关管的时候, 管子的宽长比应该设置得比较大。

2) 时钟馈通

由于开关上的电容耦合作用, 时钟信号将会影响输出的模拟信号。时钟馈通会引起总谐波失真, 反映在电路的输出波形上同样是造成毛刺的存在。

尽可能减小开关引入的时钟馈通, 这主要通过在保证电流切换速度的前提下, 尽可能减小 W/L 来实现。因为这样可以有效地降低寄生电容, 从而起到降低时钟馈通的作用。但是必须注意开关管尺寸的减小又会引起导通电阻的上升, 导通电阻升高引起开关管压降升高, 影响 DAC 电流源的线性度。因此开关管的尺寸也不能取得太小, 要综合考虑两个因素。

本文设计采用的是 PMOS 开关管, 如图 3.5 所示。

3.4 电流源阵列

电流源阵列是由电流源单元按照一定的形式组成的阵列, 其基本单元是单个的电流源, 下面主要介绍电流源单元的设计。

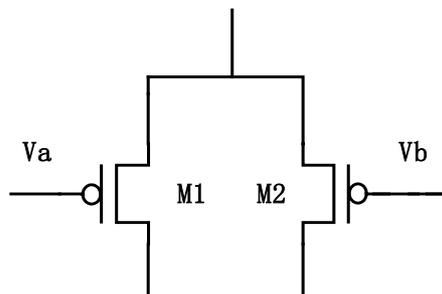


图 3.5 PMOS 开关管
高速数模转换器的设计

电流源单元的设计可以有很多种不同的形式，可以设计成NMOS的，也可以设计成PMOS的，可以是共源共栅结构（cascode）的，也可以是单个晶体管的。本文设计采用的是如图3.6所示的PMOS共源共栅结构的电流源。

采用这种形式的电流源主要是考虑了以下几点：

1) 由于PMOS的空穴迁移率比较低，所以采用PMOS电流源有较低的 $1/f$ 噪声；

2) 出于对输出阻抗的考虑，选取了共源共栅的电流源结构，这主要有以下三点原因；

a.SFDR性能

文献[8]中给出的SFDR与输出阻抗的关系如图3.7所示，从图上很明显可以看出随着输出阻抗的增加，SFDR特性越好；

b.文献[2]指出输出阻抗高可以得到较好的INL，这是因为 $INL = \frac{I_{unit} R_L^2 N^2}{4Z_{imp}}$ (Z_{imp} 是由开关管的漏端看进去的阻抗，它与电流源的输出阻抗有关系)；

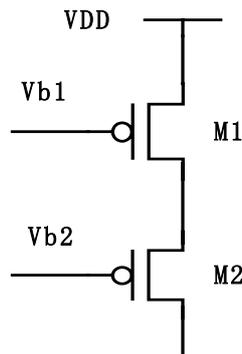


图3.6 PMOS电流源单元

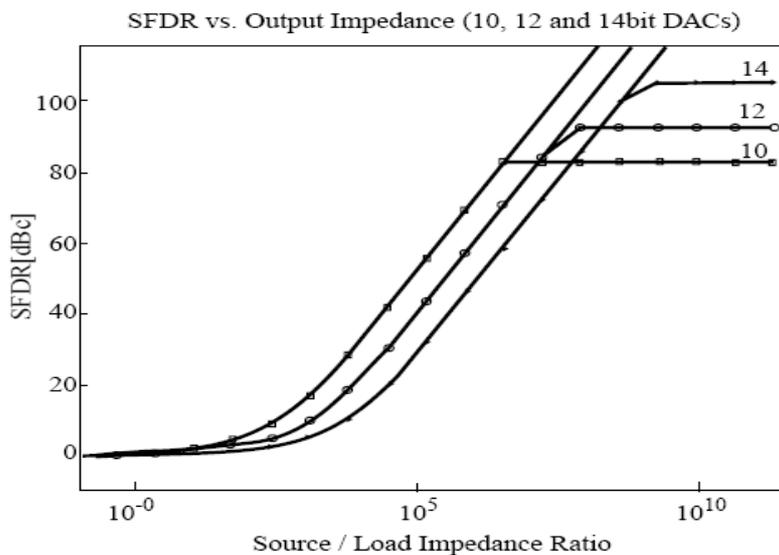


图3.7 SFDR与输出阻抗的关系

c.由a, b的分析知道，输出阻抗应该设计得比较高，这也就是我们采用共源共栅电流源结构的原因。如果采用单个PMOS构成的电流源，如图3.8所示，得到如图3.9所示的输出阻抗特性。很明显，尾电容（Ctail）降低了高频时候的输出阻抗。当采用共源共栅结构的电流源时，如图3.10所示，得到的输出阻抗的特性如图3.11所示。对比图3.9和图3.11，共源共栅的电流源不仅提高了低频时的输出阻抗，而且扩展了频率范围，也就是说在比较高的频率时，输出阻抗的值仍然足够高。

3) 共源共栅结构具有一定的隔离作用，图3.6中M2的存在使得M1的漏端电压变化减小，从而减小了沟道长度调制效应。

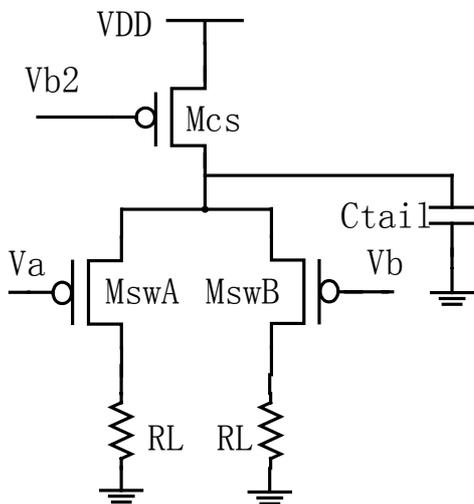


图3.8 单管电流源

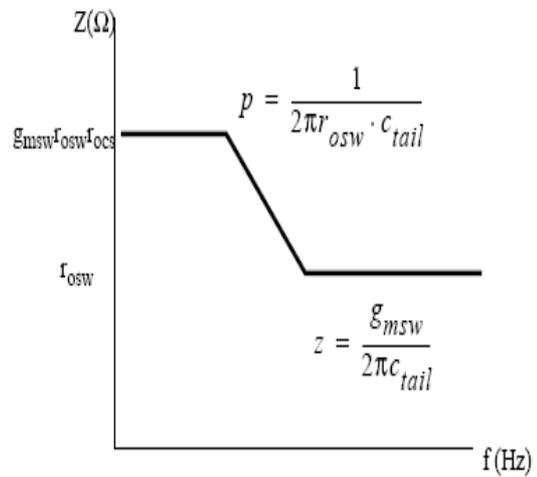


图3.9 图3.8对应的输出阻抗

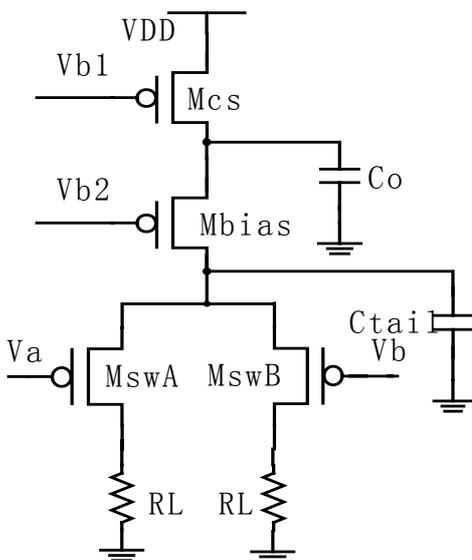


图3.10 Cascode电流源

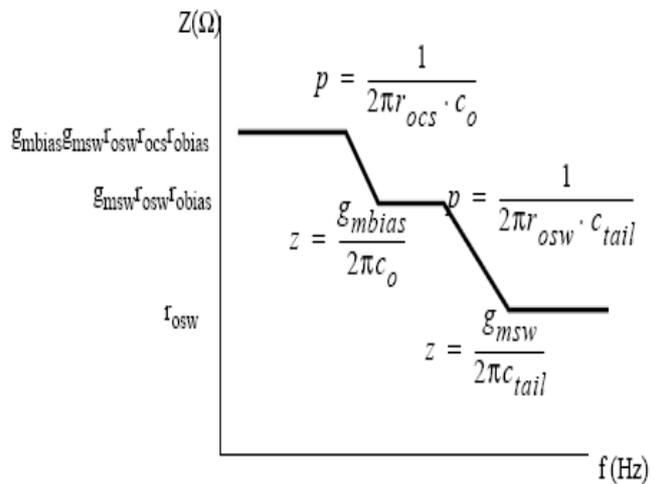


图3.11 图3.10对应的输出阻抗

3.5 锁存器 (Latch)

开关控制信号的不同步是导致glitch的主要原因。在输入信号频率较高时, 控制信号的不同步将大大制约整个系统的线性度, 从而使DAC的有效精度大大下降。为了得到较好的线性度, 要么将译码电路(包括版图设计)的延时差别设计得足够小, 要么考虑增加新的电路结构来实现同步, 而前者在实际设计中很难把握, 所以采用后者来实现, Latch就是为了实现同步增加的电路。

Latch具体的作用如下:

首先, 它自动解决输入信号的同步性问题。其次, 因为电流源晶体管漏端电压的变化主要发生在两个开关控制信号同时处在关断状态的时候, 而Latch使电流源开关的两个反相控制信号严格同步, 通过调节管子的尺寸可以控制Latch输出信号的交点, 避免两个开关管同时处于关断状态, 所以电流源晶体管漏端电压的变化带来的误差可以被控制得足够小。另外, 减小Latch输出信号的摆幅, 控制信号与输出信号之间的耦合效应带来的误差就可以控制到比较小的范围。

本文设计的Latch如图3.12所示[2]。这种Latch结构的特点如下:

- 1) 与常规的设计不同, 本文设计时, 增加了两个NMOS, 构成了并联的NMOS结构, 这可以保证在输入信号由低变到高时, 对输出节点进行瞬时的放电。同时, NMOS管形成了一个正反馈;

由前面的分析, 我们知道应该控制Latch输出信号的交点电平, 使电流源开关管不出现同时关断的状态, 在本文设计中采用的是PMOS开关管, 所以要将outn和outp的交

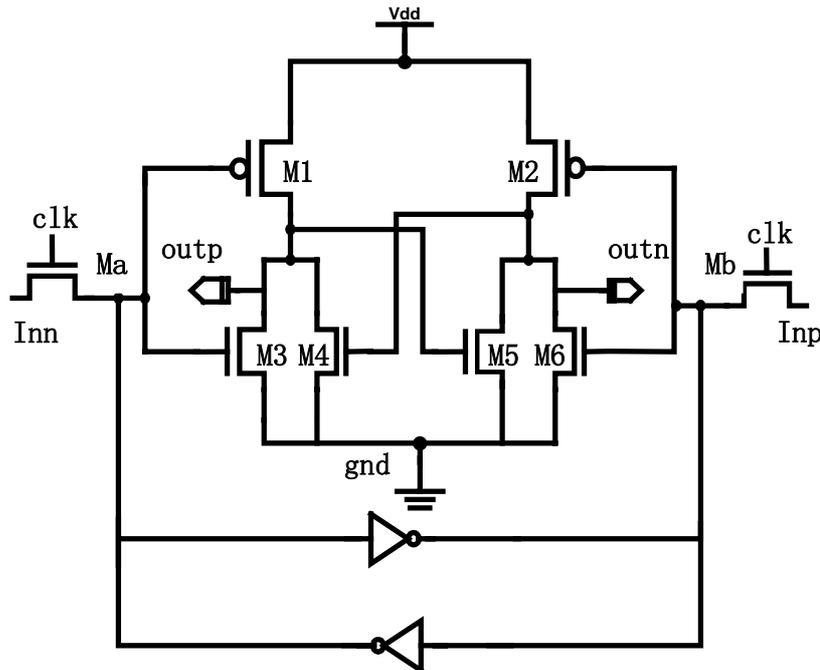


图3.12 Latch电路图结构

点电平控制得比较低才能保证电流源的开关管不出现同时关断的状态，outn和outp的输出信号应该如图3.13实线所示。

Latch采用图3.12所示的电路时，可以保证这一点，电路中的正反馈使得输出信号的下降时间小于上升时间，这样即可以把输出信号的交点电平控制得比较低，如图3.14所示。

- 2)这种电路结构使得充放电是同时进行的；
- 3)由两个反相器构成的反馈可以抑制输入的NMOS管引入的时钟馈通（CFT）和稳定同步的输入。

3.6 数字译码电路

数字译码部分包括将输入的二进制信号转换成温度计码的译码电路和电流源矩阵的选通电路。下面分别进行介绍。

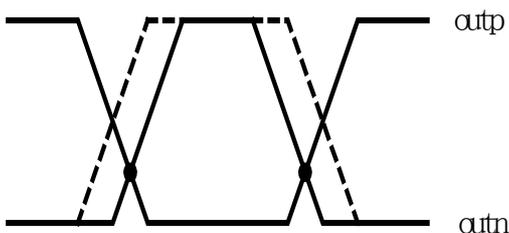
1) 译码电路

由前面的分析，我们知道本文设计的DAC的高6位和中间2位采用的都是温度计编码，所以必须将输入的二进制信号转换成温度计编码，也就需要我们设计一个译码电路。

直接将高6位译成温度计码，译码电路会比较复杂。这里将高6位分为行信号和列信号的形式，高3位作为列信号，低3位作为行信号，然后分别将行信号和列信号译成温度计码，这样译码电路简化成将3位二进制信号转换成温度计码的结构，设计起来比较简单。

译码电路的逻辑为：

$$\begin{aligned}
 D0 &= A + B + C; \\
 D1 &= A + B; \\
 D2 &= A + BC; \\
 D3 &= A; \\
 D4 &= AB + AC; \\
 D5 &= AB; \\
 D6 &= ABC
 \end{aligned}$$



3.13 设计要求Latch的输出信号

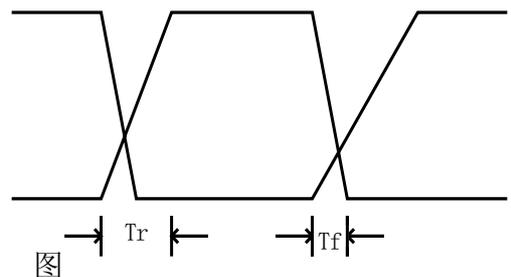


图3.14 本文设计Latch的输出波形

其中A, B, C在译列信号的时候代表D9, D8, D7, 在译行信号的时候代表D5, D5, D4。

对于中间2位, 将它们转换成温度计码的译码电路比较简单, 逻辑为:

$$D0 = A + B;$$

$$D1 = A;$$

$$D2 = AB$$

其中A, B代表D3, D2。

2) 选通电路

我们知道电流源排列成矩阵的形式, 根据输入信号的不同, 开启或关断对应的开关管, 使相应的电流源的电流流过负载电阻, 完成转换。输入信号经过译码之后, 要变换成对应开关管的控制信号, 这就是选通电路应具有的功能。

本文设计采用如图3.15所示的选通电路。

下面简要介绍一下设计的思想: 如果本列信号 COL_n 为1, 下列信号 COL_{n+1} 也为1, 则不管行信号 ROW_n 为0或者1, 本列的开关管就全部导通; 如果本列信号 COL_n 为1, 下列信号 COL_{n+1} 为0, 则由 ROW_n 信号决定哪些开关管导通; 如果本列信号 COL_n 已经为0, 则剩下的开关管全部关断。

其中, 有两种特殊情况, 一是第一列作为 COL_{n+1} 的时候, 二是最后一列作为 COL_n 的时候。对于第一列作为 COL_{n+1} 的时候, COL_n 信号一直为1, 这样可以保证在输入为全0的时候, 也就是 COL_{n+1} 为0的时候, 由 ROW_n 信号决定哪些开关管导通; 对于最后一列作为 COL_n 的时候, COL_{n+1} 信号一直为0, 这样可以保证由 ROW_n 信号决定哪些开关管导通。

3) 译码电路的驱动能力

对于数字电路必须考虑它的驱动能力, 如果驱动能力不足, 则在相互连接的时候会 导致输出出错, 此时必须增加数字电路的驱动能力, 在本文设计中采用增加buffer来提高驱动能力。

4) 数字电路的实现

译码电路和选通电路的逻辑主要是通过与门和或门来实现的。在设计的时候, 首先 必须将工艺库提供的标准门电路的网表文件转换成晶体管级的电路。在选择门电路的时

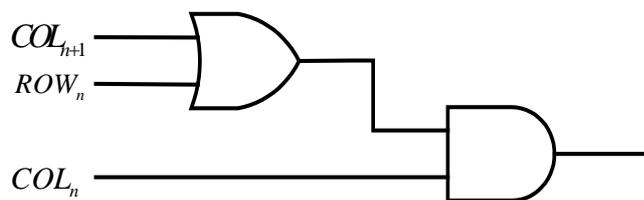


图3.15 选通电路的逻辑图

候必须考虑到它们的驱动能力, 寄生电容, 延迟等因素, 这些在工艺提供的文件包内都可查阅到。本文采用的与门和或门的结构如图3.16和图3.17所示。

3.7 偏置电路

1) 偏置电压的产生

在前面的电流源设计中需要两个偏置电压 V_{b1}, V_{b2} , 如图3.6所示, 也就是偏置电路所要产生的电压信号。本文采用的是宽摆幅 (Wide-Swing) 电流源偏置电路, 由于偏置的是PMOS, 所以采用图3.18所示的电路结构。其中, 管子的宽长比满足以下关系:

$$M1:W/L; \quad M2:W/n^2L, \quad M3:W/(n+1)^2L$$

本文设计时选取 $n=1$ 。利用该偏置电路去偏置图3.6给出的电流源, 如图3.19所示, 假设所有管子的漏电流都是相等的, 我们来计算 V_{out} 。

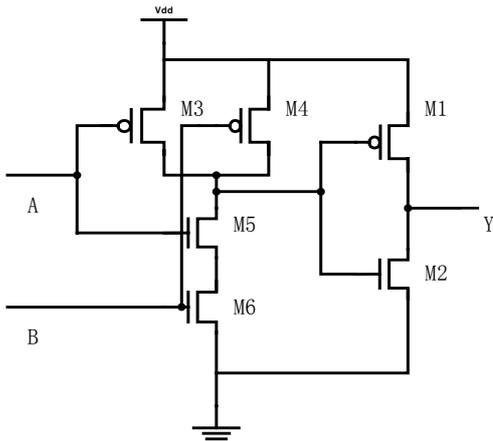


图3.16 与门的电路结构

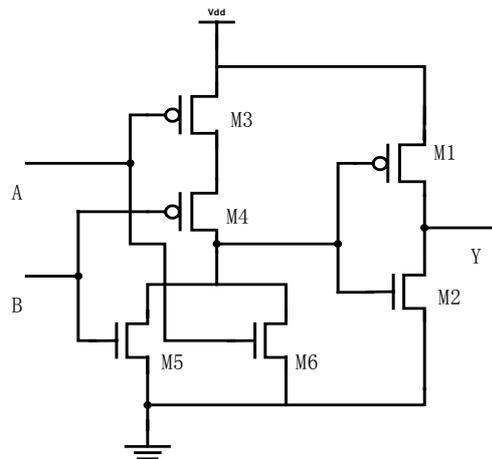


图3.17 或门的电路结构

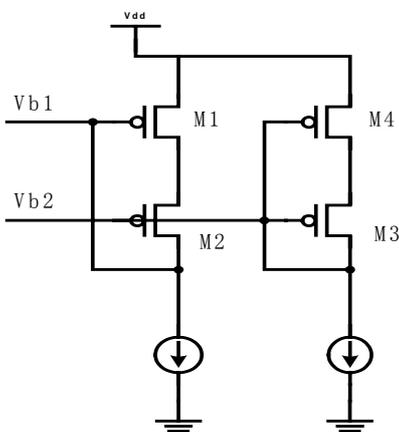


图3.18 电流源偏置电路

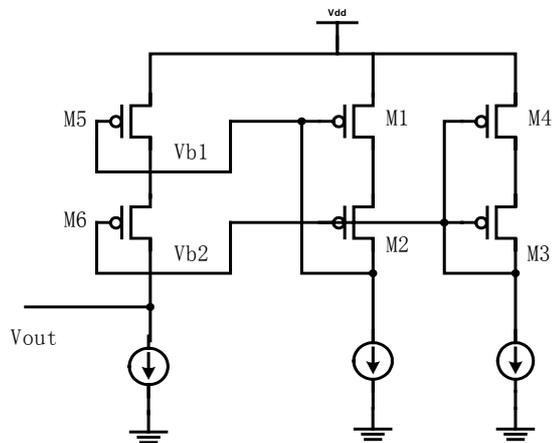


图3.19 偏置电路和电流源

$$V_{eff1} = V_{eff5} = \sqrt{\frac{2I_d}{\mu_p C_{ox} (W/L)}} = V_{eff}$$

$$(I_d = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{sg} - V_{th})^2 = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} V_{eff}^2)$$

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_5 = (n+1)^2 \left(\frac{W}{L}\right)_3 = n^2 \left(\frac{W}{L}\right)_6 = n^2 \left(\frac{W}{L}\right)_2$$

$$V_{eff6} = V_{eff2} = nV_{eff}$$

$$V_{g6} = V_{g3} = V_{g2} = V_{dd} - (n+1)V_{eff} - V_{th}$$

$$V_{sd1} = V_{sd5} = V_{dd} - (V_{sg6} + V_{g6}) = V_{dd} - (V_{g6} + nV_{eff} + V_{th}) = V_{eff}$$

$$V_{out} < V_{dd} - V_{eff5} - V_{eff6} = V_{dd} - (n+1)V_{eff}$$

在电路中设置了M4管，工作在线性区，主要是平衡M1管的 V_{dsat} 。如果直接将M3管的源端接到电源上，则它的源端与M2管的源端就有一个 V_{dsat} 的差值。

2) 偏置电流的产生

在利用图3.18产生偏置电压的时候，需要偏置电流源。我们利用带隙基准源（bandgap）和运放（opamp）来产生这路电流，具体如图3.20所示。偏置电流由 V_{ref} 和 RB 决定，即：

$$I_{ref} = \frac{V_{ref}}{RB}$$

可以通过调节 RB 的阻值大小得到不同的偏置电流。

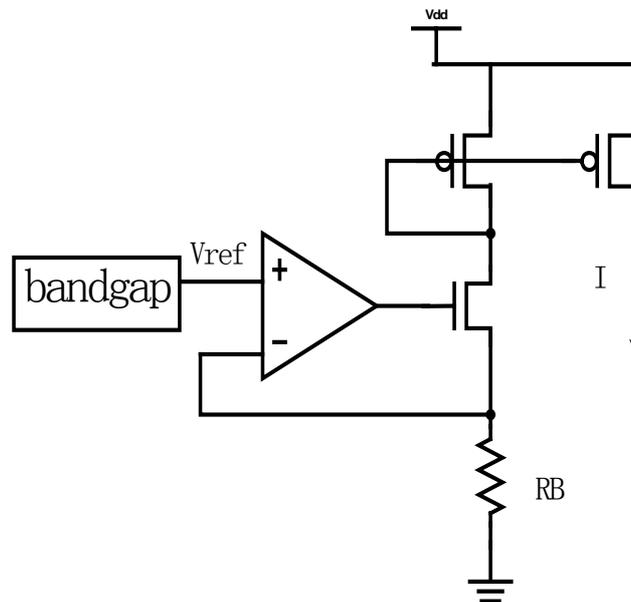


图3.20 偏置电流产生电路

3) 运放的设计

本文设计用到的运算放大器是广泛用于模拟ULSI中的一种两级运算放大器。它是包括一个差分输入级，一个驱动负载电容CL的共源放大级，和一个稳定跨导偏置电流电路的两级运算放大器，采用如图3.21所示的电路结构。这种运放的设计我在前面一个学期学习过，因为不是本文设计的核心部分，所以具体的设计过程在此不再介绍，请参见作者的文档[16]。

4) 带隙基准源的设计

基准的目的是建立一个与电源和工艺无关，具有确定温度特性的直流电压或电流。与温度关系很小的电压或电流基准被证实在很多模拟电路中是必不可少的。值得注意的是，因为大多数工艺参数是随着温度变化的，所以如果一个基准是与温度无关的，那么通常它也是与工艺无关的。

如果将两个具有相反温度系数的量以适当的权重相加，那么结果就会显示出零温度系数。在半导体工艺的各种不同器件参数中，双极晶体管的特性参数被证实具有最好的重复性，并且具有能提供正温度系数和负温度系数的、严格定义的量。

双极晶体管的基极-发射极电压，或者更一般的说，pn结二极管的正向电压，具有负温度系数。

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (4+m)V_T - E_g/q}{T} \quad (1)$$

具体的推导可以参阅文献[13]，可以看出它与 V_{BE} 本身的大小有关。

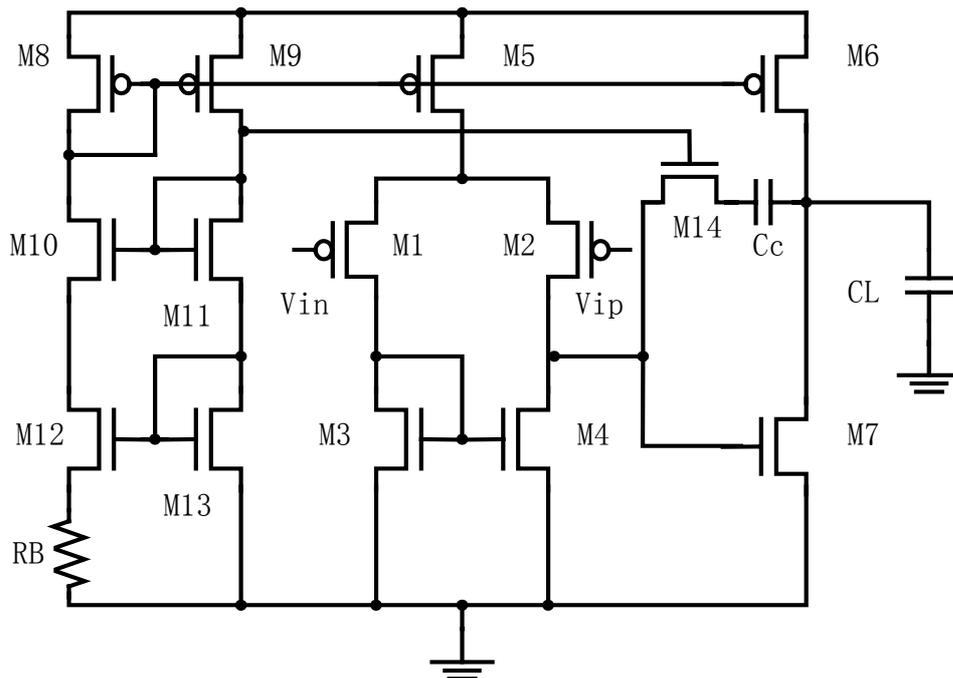


图3.21 两级运算放大器电路结构

如图3.22所示, 如果两个双极晶体管工作在不相等的电流密度下, 那么它们的基极-发射极电压的差值就与绝对温度成正比。这个温度系数与温度或集电极电流的特性无关。

$$\begin{aligned}\Delta v_{BE} &= V_{BE1} - V_{BE2} \\ &= V_T \ln \frac{nI}{I_{S1}} - V_T \ln \frac{I}{I_{S2}} \\ &= V_T \ln n\end{aligned}$$

V_{BE} 的差值就表现出正的温度系数:

$$\frac{\partial \Delta v_{BE}}{\partial T} = \frac{k}{q} \ln n$$

利用上面得到的正、负温度系数的电压, 我们现在可以设计一个令人满意的零温度系数的基准。经选择分析表明零温度系数的基准为 $V_{REF} \approx V_{BE} + 1.72V_T \approx 1.25V$

将输出电压写为:

$$V_{REF} = V_{BE} + V_T \ln n \quad (2)$$

因此得:

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + \frac{V_T}{T} \ln n$$

将此式置为零, 并考虑 (1) 式得到:

$$\frac{V_{BE} - (4+m)V_T - E_g / q}{T} = -\frac{V_T}{T} \ln n$$

由上式得到 $V_T \ln n$ 并代入 (2) 得到:

$$V_{REF} = \frac{E_g}{q} + (4+m)V_T$$

这样额定零温度系数的电压基准就由一些基本数字给出: 硅的带隙电压 $\frac{E_g}{q}$, 迁移

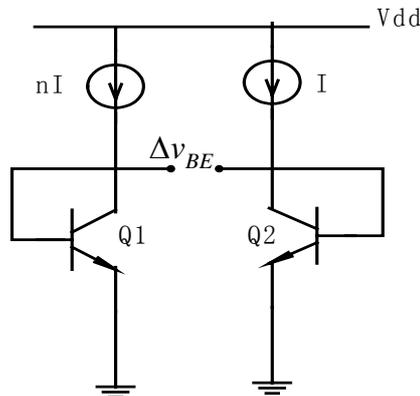


图3.22 PTAT电压产生电路

根据需要的时钟控制端的个数, 设计对应的时钟缓冲器。大致的框架如图3.25所示。

在每级的反相器之间同样可以插入buffer, 以增加驱动能力。设计了这样的clock buffer之后, 在版图布局布线的时候要充分考虑到这种结构的特点, 尽量做到clock信号到达每个端口的延迟是相等的, 也就是保证同步性。

3.9 输入寄存器

输入寄存器的作用是在时钟信号的控制下, 将输入的数字信号锁存下来, 在下一个时钟信号来临时, 锁存下一个输入信号。该功能可以通过D触发器来实现, 在本文设计采用的工艺TSMC025中, 提供了D触发器的网表文件, 可以直接提出来使用, 无需详细的设计。这里只给出D触发器的电路结构, 如图3.26所示。为了避免过多的绕线, 这里使用对连线标注名称的方法画图, 相同名称的线是连接在一起的。

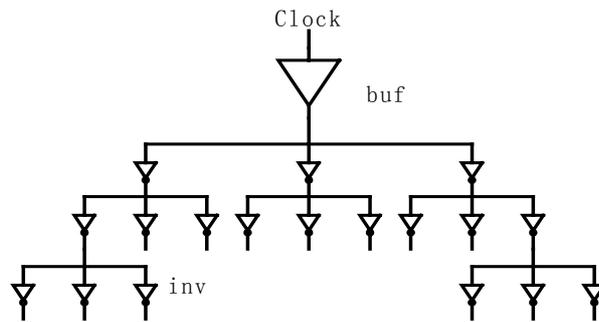


图3.25 clock buffer的框架图

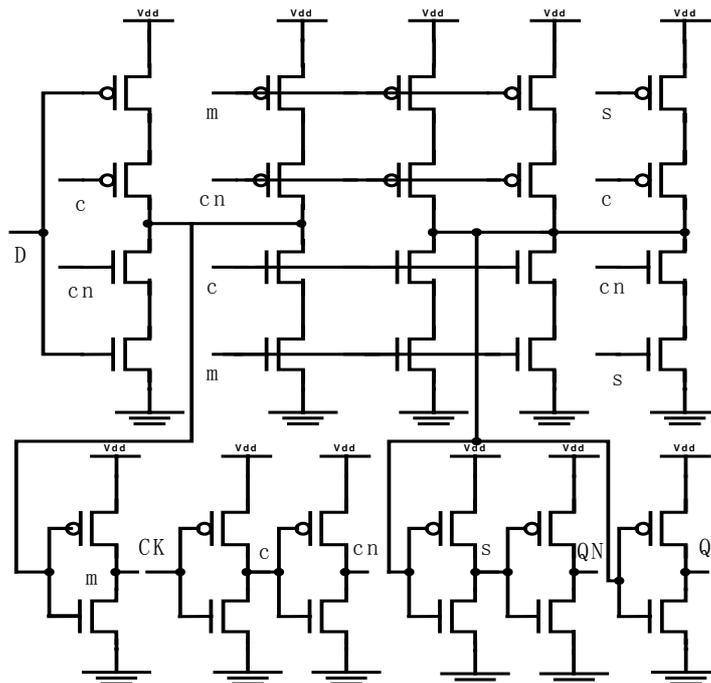


图3.26 D触发器的电路图

第四章 DAC 的设计和仿真

前面我们讨论了DAC中涉及到的各个单元的设计，在本章我们主要完成这些单元的仿真，确定管子具体的尺寸大小。并针对仿真时出现的问题进行具体的分析和解决，以对电路性能进行改善和优化。

4.1 整体电路框架

在第三章我们对DAC中涉及的单元进行了详细的说明，这里给出各个单元之间的连接关系，从而给出DAC整体电路的框架，如图4.1所示。

下面我们将对仿真时出现比较多问题的单元进行详细的介绍。

4.2 数字部分（译码电路和选通电路）

如前所述，对于数字电路必须考虑它的驱动能力，如果驱动能力不足，则在相互连接的时候会导致输出出错，此时必须增加数字电路的驱动能力，在本文设计中采用增加buffer来提高驱动能力。

仿真结果表明选通电路存在驱动能力不足的问题，而译码电路不存在这样的问题，这是因为译码电路的输出驱动的是一个与门或者或门，对驱动能力的要求不高，所以不会出现驱动能力不足的现象。而对于选通电路，它的其中一个输出连接的是Latch的输入端和一个反相器。如图4.2所示。

由于驱动能力不足的问题导致A点的输出不正确，这就需要增加A点的驱动能力，本文采取在A点连接一个buffer，用buffer的输出去连接Latch和反相器的方法，仿真结果显示输出正确。

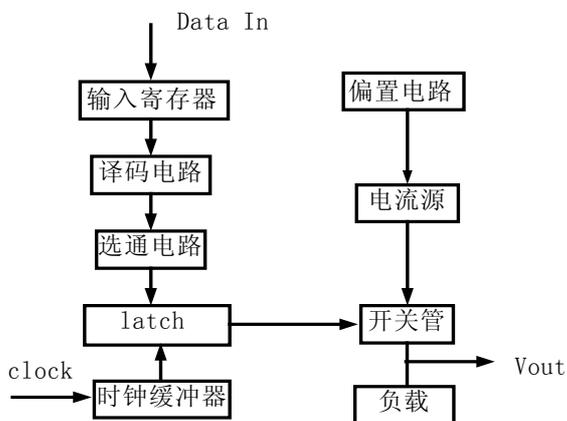


图4.1 DAC整体电路的框图

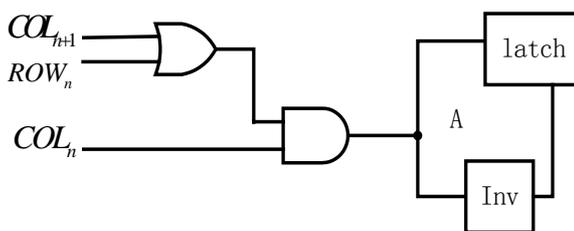


图4.2 选通电路的输出连接

4.3 Latch 的仿真

如前所述，Latch有着比较重要的作用，它的两个输出也就是开关管的两个控制信号的交点电平和同步性必须控制得比较好。在上一章，我们已经详细的叙述了所要求的控制信号的情况，在进行独立仿真的时候，Latch的输入信号采用的是理想的方波电压源给出的信号，仿真的结果比较理想，这里给出仿真结果如图4.3所示。

当Latch与译码电路和选通电路连起来仿真时，Latch的输入信号是选通电路的输出，此时仿真结果如图4.4所示。

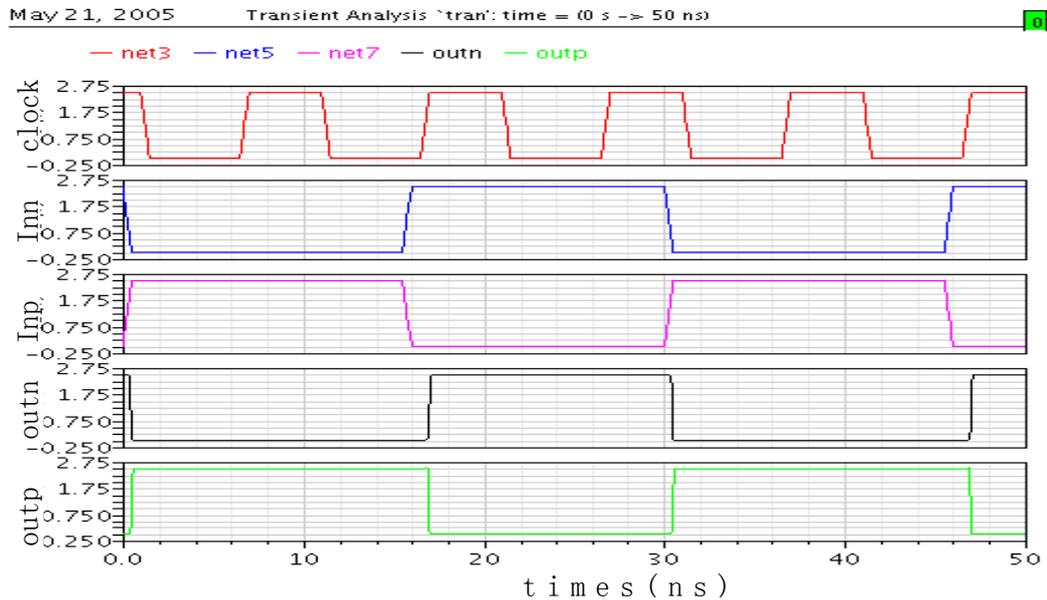


图4.3 单独仿真Latch得到的仿真结果

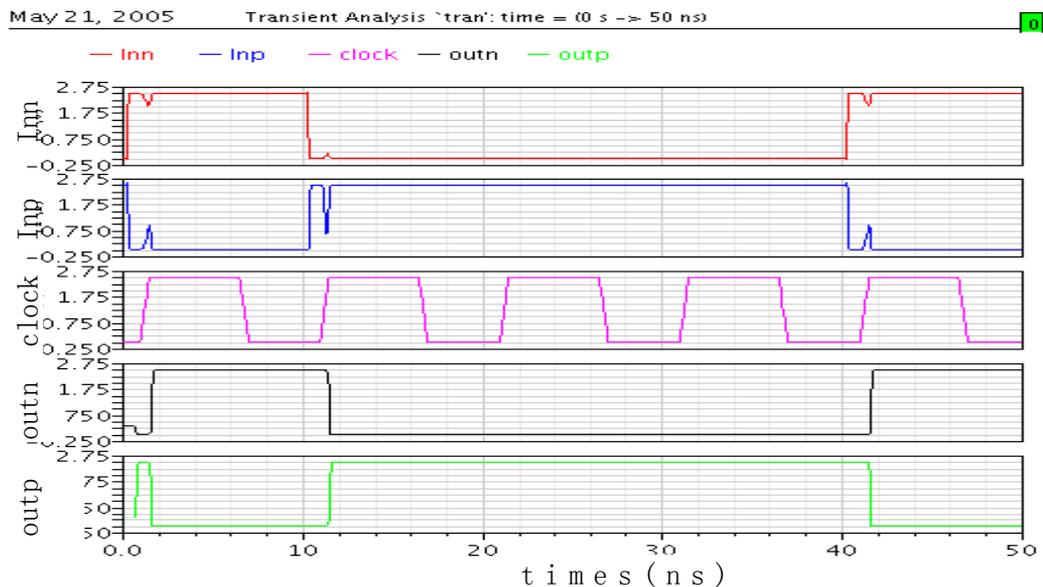


图4.4 Latch和数字部分连仿时得到的仿真结果

从图4.6看到，问题得到明显的改善。

4.4 整体仿真

对于独立的单元，仿真时出现的问题不是很多。在各个单元仿真无误的情况下，我们按照图4.1给出的整体框架将整个DAC的电路搭建起来，然后进行整体的仿真，并对整体性能进行优化。

1) 输入寄存器和Latch均采用上升沿有效时存在的问题

当输入寄存器和Latch均采用上升沿有效时，我们会发现输出的模拟信号glitch比较严重。分析表明这是因为当上升沿将输入数据锁入输入寄存器之后，clock的高电平使得Latch电路工作，此时，锁入的输入信号经过不同的译码电路和选通电路后，它们到达Latch输入端的时间不一致，而在这段时间内Latch电路始终是工作的，势必使得到达电流源开关的控制信号不同步，引起较大的glitch，如图4.7所示。

除了上面提到的不足之外，如果输入寄存器和Latch采用同沿触发，则对Latch的速度要求比较高，这是因为Latch是高电平有效的，也就是半个时钟周期内有效，当输入寄存器上升沿锁入数据后，经过一定的译码和选通时间，在剩下的时间内，Latch必须能够把选通信号锁住。所以说，采用同沿触发Latch工作的半个时钟周期有一部分时间用于译码和选通，这样减少了Latch工作的时间，对它的工作速度就提出了更高的要求。这个工作过程如图4.8所示。

图4.7所示的现象反映在输出上就是比较大的glitch。

解决方法：最初是通过不断地增加反相器，以使得每一路输入信号经过延时相等的译码电路和选通电路，但是事实证明这是一个比较繁琐和难以把握的方法，即使是仿

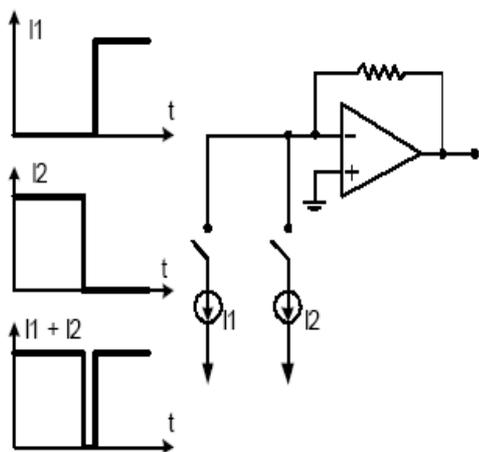


图4.7 开关管控制信号不同步引起glitch

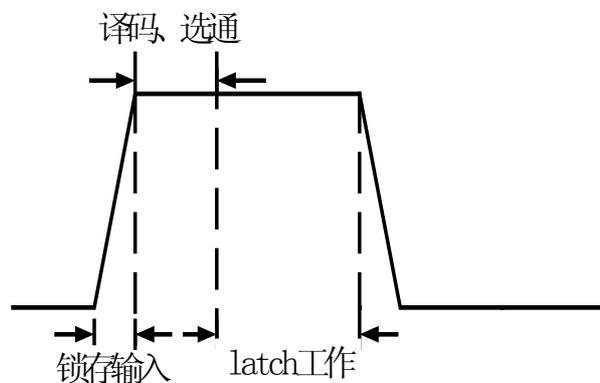


图4.8 输入寄存器和Latch同沿触发时的工作过程

真的时候调节到每一路的延时相等，在版图布局布线连接的时候，也不能保证每一路严格相等。所以这种解决方法不是很理想。

对于上面提到的采用同沿触发的工作方式对Latch的速度要求更高的问题，我们可以通过把clock信号延时一段时间后再接入Latch输入端的方法，来增加Latch的工作时间，但是这种方法仍然不能够解决引起glitch的问题，所以我们有必要考虑其它的解决方法。

最后采取的解决方法：输入寄存器采用下降沿有效的工作方式，Latch电路仍然采用上升沿高电平有效的工作方式。此时，时钟下降沿将输入数据锁入寄存器，等到下一个时钟上升沿来临的时候，高电平使得所有的Latch电路同时开始工作，在这个等待的半个时钟周期内，如果输入信号经过译码电路和选通电路后的信号已经到达Latch的输入端（也就是说，关键路径的延时小于半个时钟周期），它们就会在clock高电平有效时，同时经过Latch电路，保证控制信号的同步性。

仿真结果表明问题基本得到解决。

2) 开关管存在的误差

如前所述，设置开关管的尺寸时应该兼顾导通电阻和时钟馈通效应，本文设计选取最小沟道长度。

A. 开关管的导通电阻和寄生电容组成的RC网络的有限带宽引入的误差

开关管处于线性工作区：

$$I = K \frac{W}{L} \left[(V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right]$$

因为 V_{ds} 很小，忽略二次项，得：

$$R = \frac{V_{ds}}{I} = \frac{1}{K \frac{W}{L} (V_{gs} - V_{th})}$$

设电容为 C ，从而得到：

$$f_{-3db} = \frac{KW(V_{gs} - V_{th})}{2\pi LC}$$

所以我们设计时，采用最小的沟道长度，有益于增大 f_{-3db} 。

B. 电荷注入误差

在开关导通时，在导电沟道中存在一定量的电荷，其数量为 $C_{ox}(V_s - V_{in} - V_{th})$ ，在开关被关断时，沟道中的电荷被推向开关两边，从而造成电压误差 $\frac{\Delta Q}{C}$ 。实际上，通过源端和漏端流出的电荷的比值是一个比较复杂的函数，它由许多参数所决定，关于这些参数如何影响的研究还未得到任何可以预测电荷分配的经验，并且大多数的电路模拟软件对电荷注入效应的模拟也不是很精确的。以最坏情况估计，我们一般假设全部的沟道电荷注入到电容上。

C. 时钟馈通引起

当开关被关断时，控制信号通过栅漏电容被耦合到电容上，这个误差和输入信号的大小无关，和控制信号电压的摆幅有关。

3) glitch的问题

在本文设计中，glitch一直是一个比较难以改进的性能。除了在1)中提到的问题外，2)中提到的开关存在的误差问题同样是产生glitch的一个原因。这主要是因为开关的控制信号与输出信号之间的耦合效应。利用图4.9进行分析。

$$\text{DAC输出端电压的变化近似可表示为: } \Delta V \approx \frac{nC_{gd}}{C_L + C_{dot}} \Delta V_g$$

其中， C_{gd} 是单个开关管栅漏之间的寄生电容， C_L 是负载电容， C_{dot} 是开关管漏端总的寄生电容， ΔV_g 是开关管控制信号电压的摆幅， n 是同时转换的开关管的个数。当 n 比较大的时候，DAC的输出就会有比较大的glitch，又因为glitch是和输入信号的大小有关的，所以这又会引起输入信号的失真。

仿真时，我们令输入在“0”和“1”之间变化，得到的转换电压如图4.10所示。从

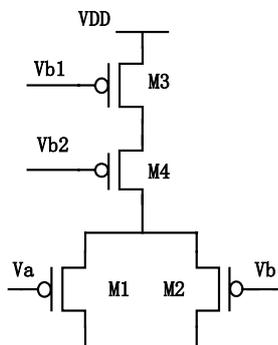


图4.9 电流源和开关管电路

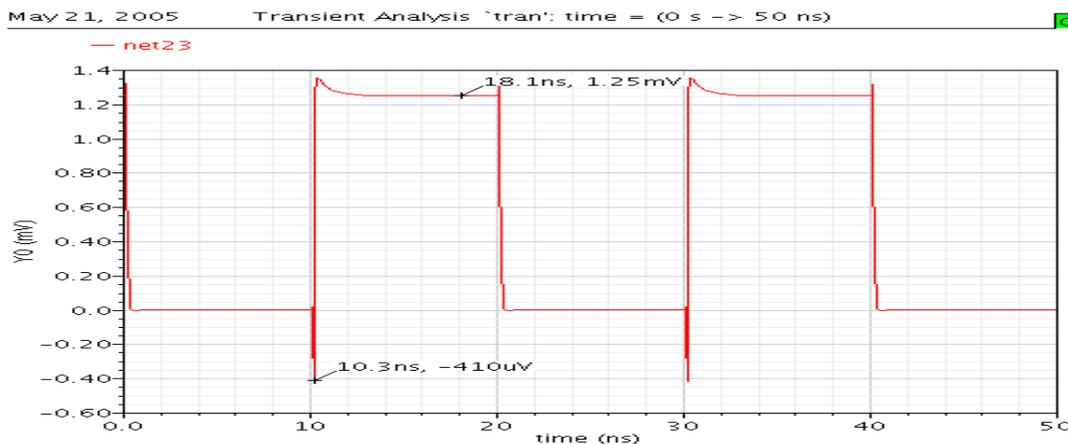


图4.10 输入从“0”变化到“1”时输出电压的波形

DAC 的设计和仿真

图上我们看到在从“0”变化到“1”的瞬间，电压向下冲，引起了所谓的glitch，这仅仅是输入变化“1”的时候glitch的情况。由于高6位采用的是温度计编码，当输入变化比较大的时候，DAC的输出就会有比较大的glitch，这里我们给出当输入从全“1”变化到全“0”时候的转换电压，如图4.11所示。

将图4.11在30ns附近的波形放大如图4.12所示。

从图4.12可以很明显地看出，glitch幅度比较大。幅度为59.7mV，持续时间为：0.2ns，抖动能量为：5.97pV·s。

我们可以采取一定的措施来改善这种情况。主要有以下几种方案：

- 1) 降低 ΔV_g ，也就是开关管控制电压的摆幅。开关管控制电压是由Latch的输出提供的，通过调节Latch的电源电压可以降低其输出的摆幅，本文设计的Latch使用的电源电压是2.5V，而电流源使用的电源电压是3.3V；

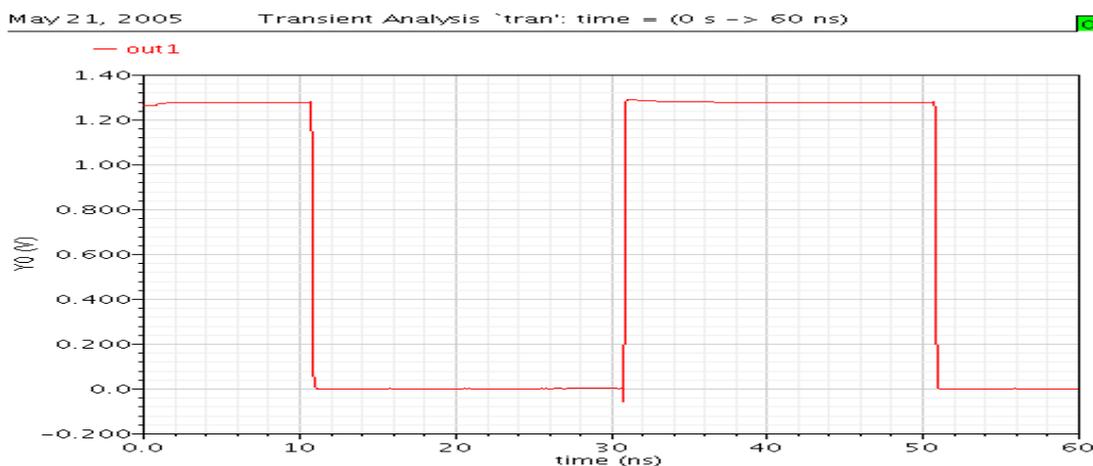


图4.11 输入从全“1”到全“0”变化时输出电压波形

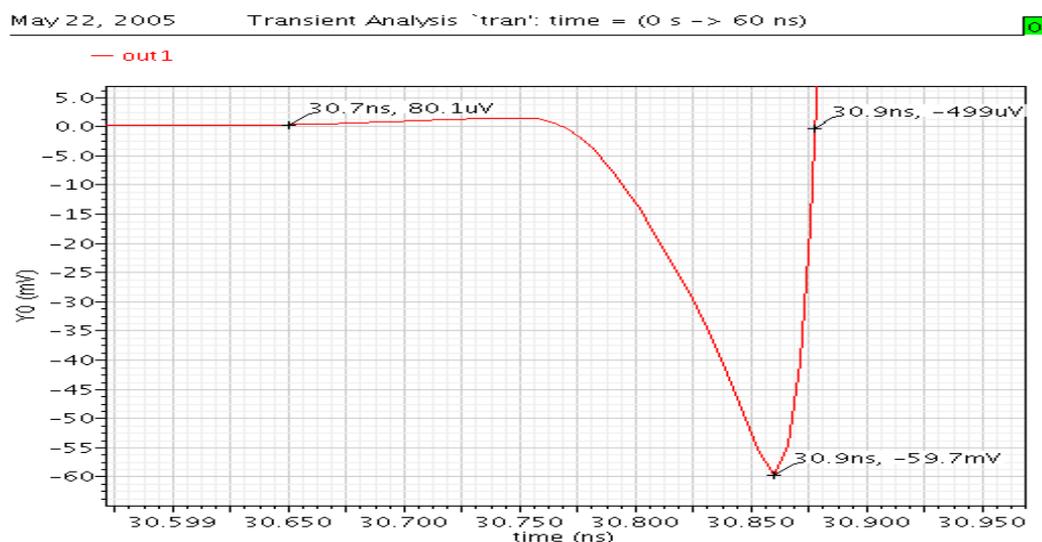


图4.12 图4.11局部放大后的波形

- 2) 文献[1]和[9]中提到, 可以通过使开关管工作在线性区, 同时并联一个由互补的控制信号控制的哑MOS管来补偿信号馈通的影响;
- 3) 通过在开关管的漏端连接两个相同尺寸的MOS管, 来隔离开关管的漏端和输出端[1], 如图4.13所示。

当控制信号由高到低变化时, 开关管形成沟道, 与它相连的管子开启, 由开关管的漏端到输出端的信号通路打开, 避免了它们之间的耦合, 当控制信号由低变到高时, 开始的瞬间存在一定的耦合, 但是当开关管迅速的关断后, 与它相连的管子的源端电压下降, 把该管关断, 也就隔离了开关管的漏端和输出端。

必须注意的是, 此时开关管工作在线性区, 当开关管开启时, 与它串联的管子也开启, 它们共同构成了一个工作在饱和区的管子, 该管的沟道长度是原来的两倍。这在调节管子尺寸的时候非常有用的。

本文设计就采用了这种改善方法。

在采取了上述的方法之后, 我们再次仿真得到比较理想的转换波形。

当输入从“0”变化到“1”, 得到的转换电压如图4.14所示。

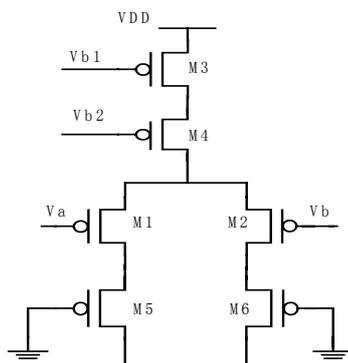


图4.13 开关管漏端连接MOS管形成的结构

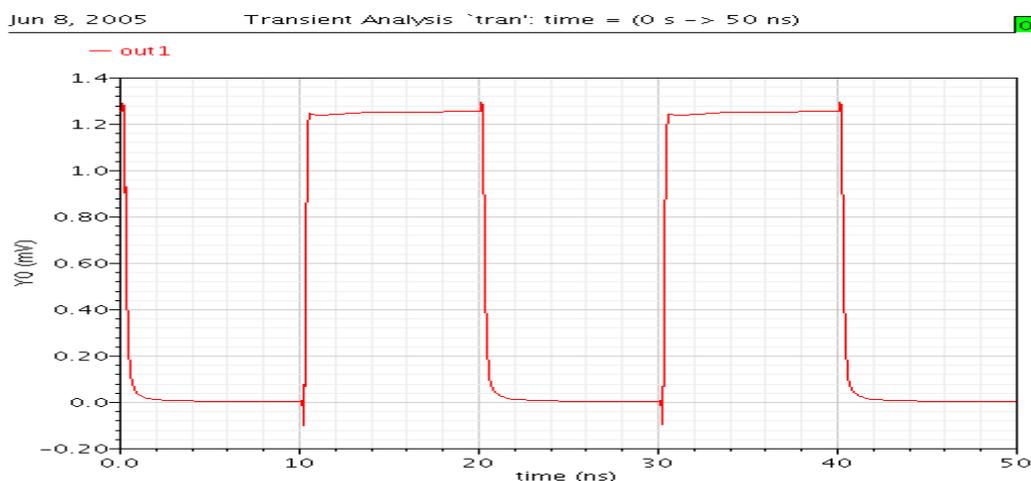


图4.14 输入变化1时输出电压的波形

当输入从全“1”变化到全“0”时候的转换电压如图4.15所示。

4) 输入从全“0”(1) 到全“1”(0) 的转换

本文设计的DAC采用的是差分输出，所以一输出端从全“0”到全“1”变化，另一输出端就从全“1”到全“0”变化。上面已经给出了从全“1”到全“0”变化时的转换波形，这里只给出从全“0”到全“1”变化时的转换波形，如图4.16所示。

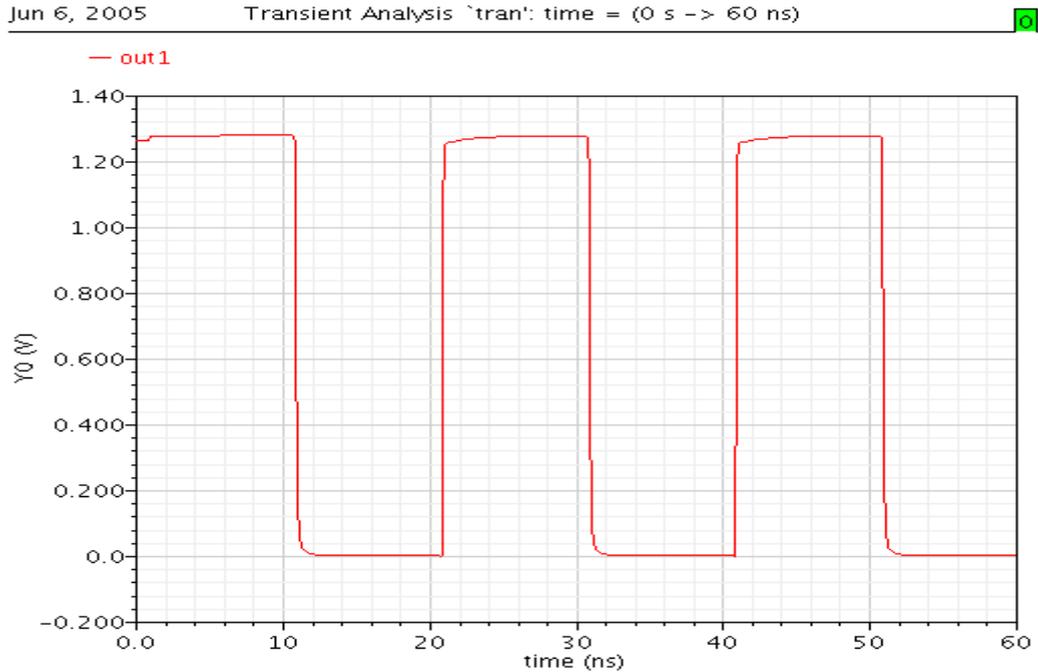


图4.15 输入从全“1”到全“0”变化时输出电压波形

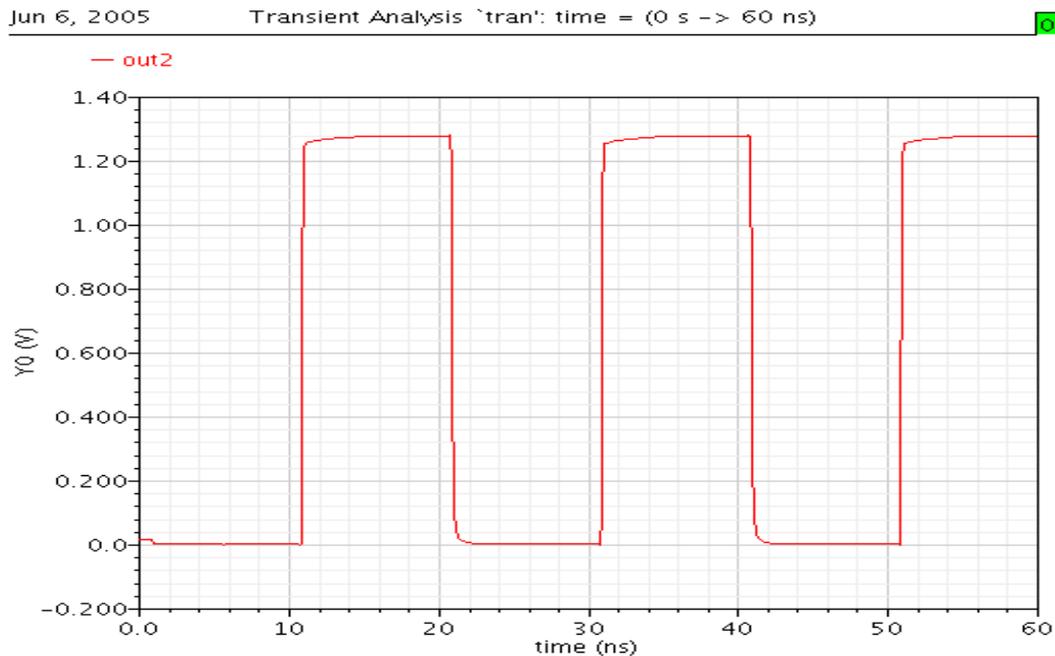


图4.16 输入从全“0”到全“1”变化时输出电压波形

这两种情况下glitch最大，在glitch出现的位置进行局部放大后得到如图4.17和4.18所示的波形。

图4.17， glitch的幅度为6.21mV，持续时间为0.2ns， glitch的能量约为0.436pV·s；

图4.18， glitch的幅度为1.5mV，持续时间为0.1ns， glitch的能量约为0.075pV·s。

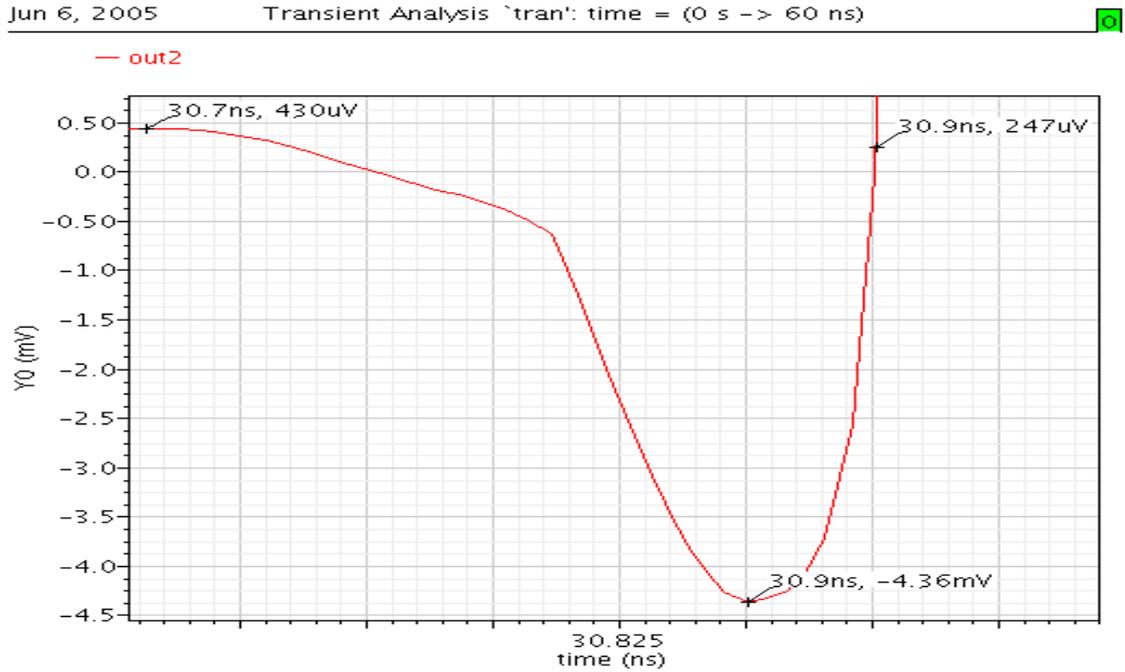


图4.17 图4.16局部放大后的波形

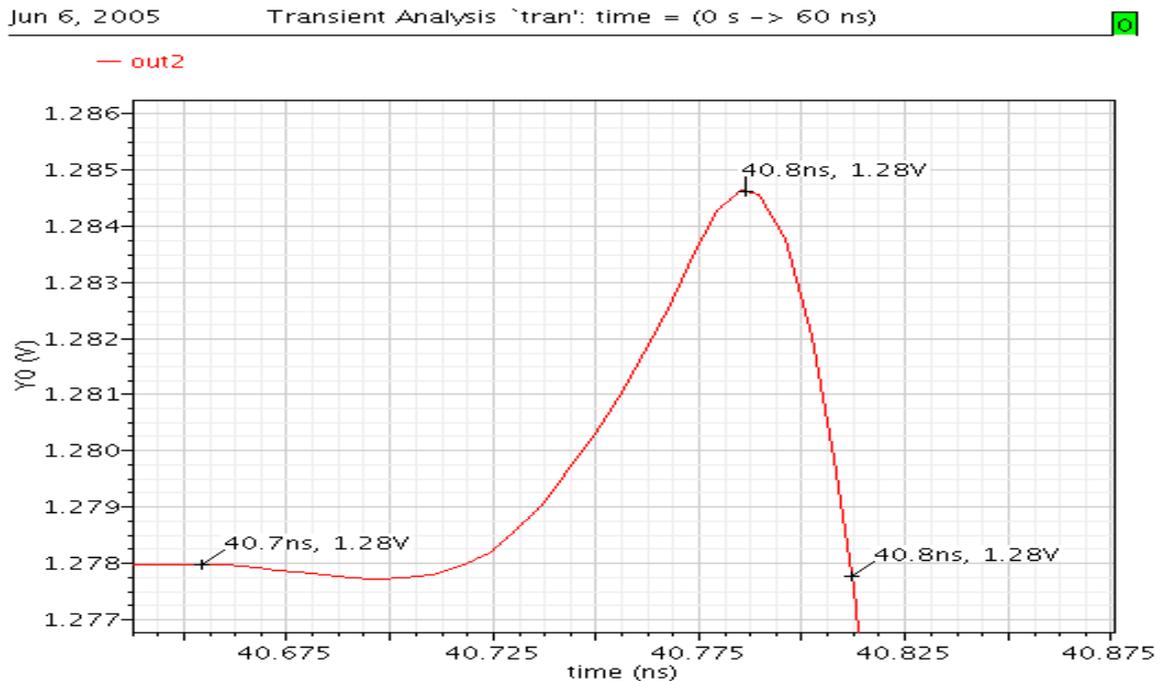


图4.18 图4.16局部放大后的波形

5) 输入从全“0”递增到全“1”，每次增加1

这种情况下，仿真采用逐级分频的方法来产生递增的输入信号。也就是依次将前一位的输入信号进行二分频，这种方法可以比较方便地产生递增的输入信号。设置好了输入信号，进行仿真，在两个差分输出端分别得到如图4.19和图4.20所示的结果。

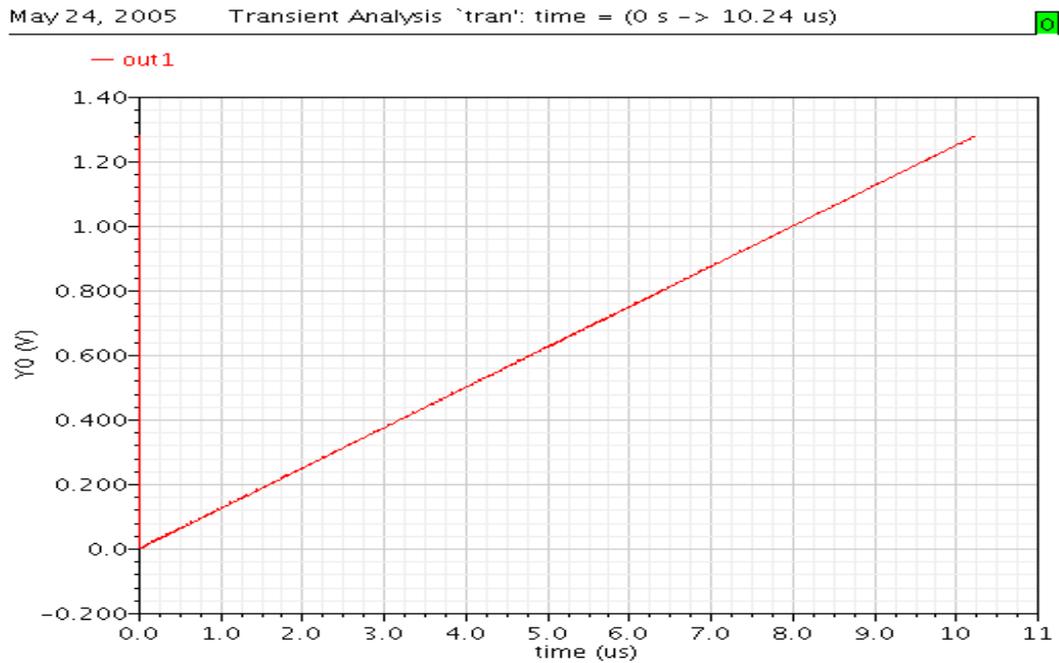


图4.19 输入递增1得到的输出电压波形

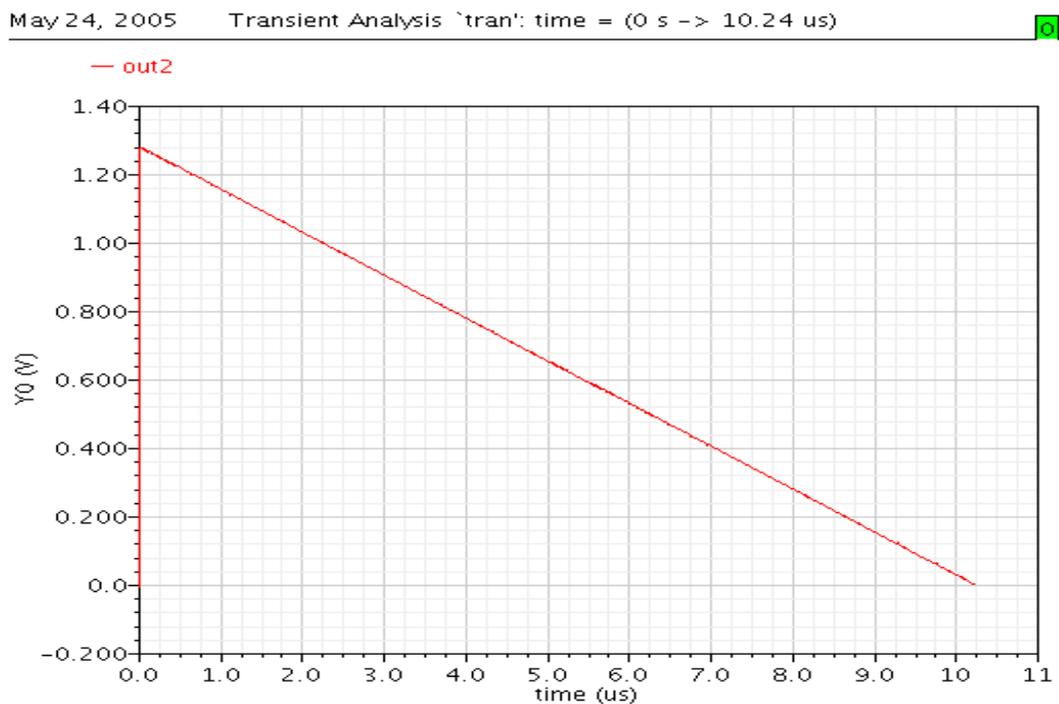


图4.20 输入递减1得到的输出电压波形

DAC 的设计和仿真

将图4.19和图4.20进行局部放大后得到的波形如图4.21和图4.22所示,从图上可以很明确看到输出呈现阶梯状,并且DAC的单调性得到了保证。

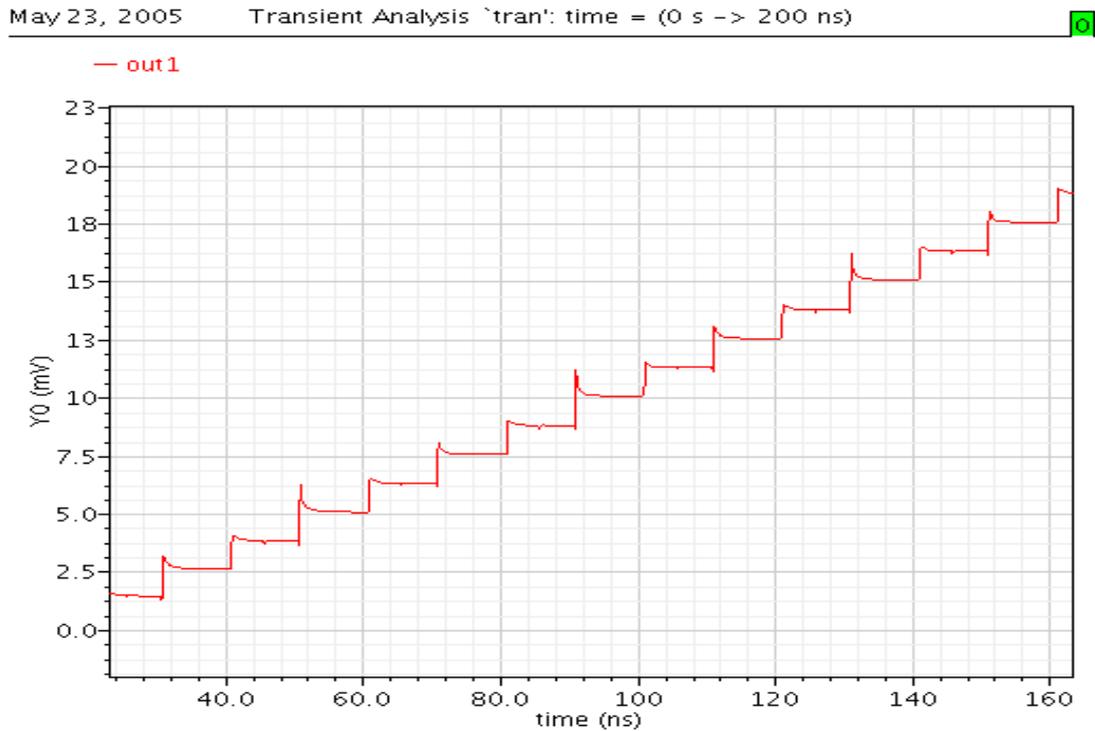


图4.21 图4.19局部放大后得到的输出波形

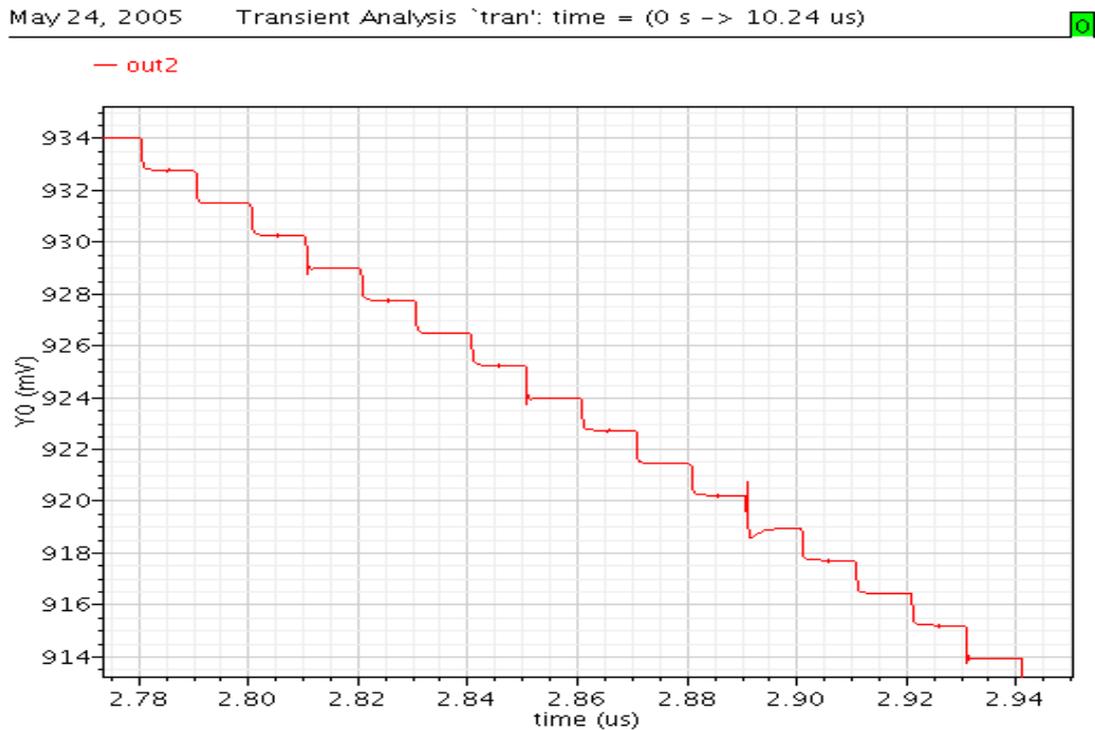


图4.22 图4.20局部放大后得到的输出波形

DAC 的设计和仿真

在两个输出端各增加一个10pF的电容，得到的输出波形如图4.23和4.24所示。图上可以看出由于电容滤波的作用，输出台阶变得平缓。

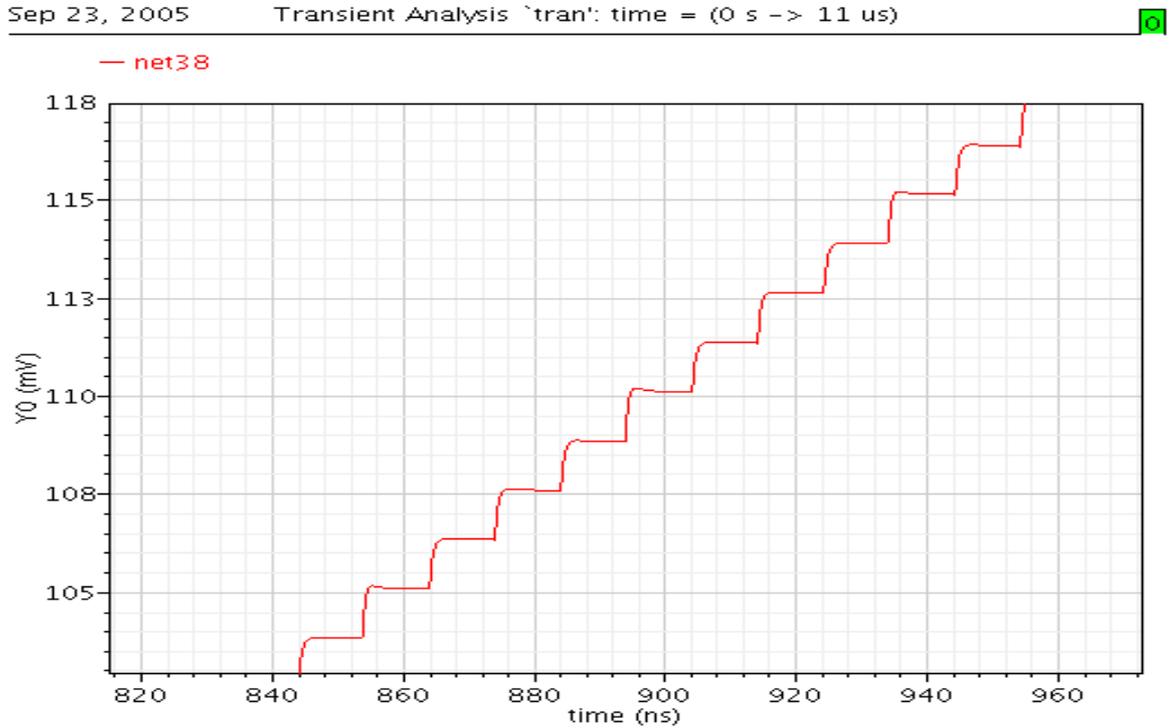


图4.23 增加负载电容后递增的输出波形

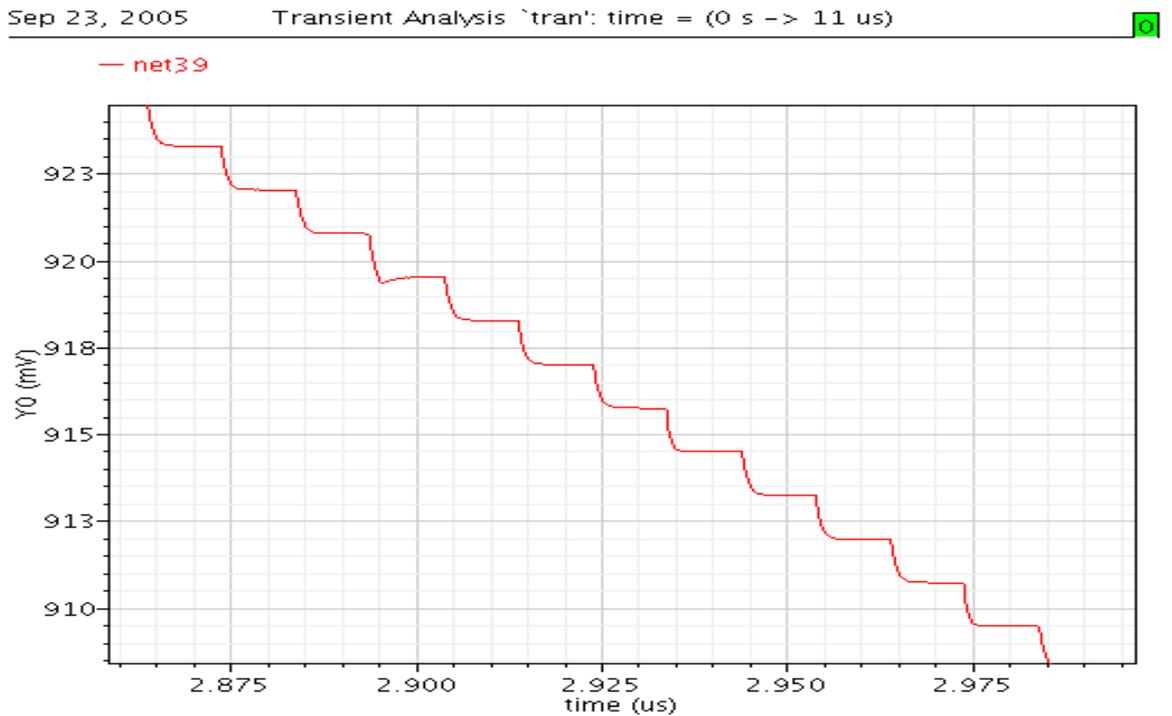


图4.24 增加负载电容后递减的输出波形

4.5 DAC 的仿真性能

表 4.1 仿真得到的 DAC 性能

工艺	TSMC 0.25um 1P5M	功耗	86.2mW
电源电压	数字 2.5V 模拟 3.3V	抖动能量	0.436pV·s
分辨率	10bit	采样速率	100MHz

第五章 DAC 设计的分析讨论

5.1 与 DAC 动态性能相关的因素

在前面一章仿真情况的介绍中，已经简要的提到了一些与DAC性能相关的因素和对应的优化方法，本章将对这些与DAC性能相关的因素进行总结。

众所周知，速度、精度、功耗和芯片面积是DAC设计中的四个限制条件。在我们设计的电流驱动型结构中，速度可以很容易达到几十兆甚至上百兆，因此主要的限制是线性度和动态范围。由于这种DAC是基于一个匹配的单位电流源阵列实现的，因此，电流源之间的匹配性能决定着它的线性度，而在现代CMOS工艺中，靠本征匹配实现的电流源很难达到10位以上的匹配精度；另外，在电流源开关切换的瞬间，由于时钟馈通、电荷注入或瞬时高阻态在输出波形中产生的毛刺以及在二进制电流源中，与输入数字信号相关的毛刺（glitch）都会使DAC的动态性能下降。因此，如何解决这些限制是设计电流驱动型DAC所面临的关键问题。

本文设计的DAC在精度得到保证的情况下，主要考虑的是DAC的动态性能。DAC的动态性能与很多因素都有关，这里简单的总结如下：

- 1.建立误差：当输出发生满幅变化（输入从全“0”变化到全“1”或者从全“1”变化到全“0”对应的输出变化）所需的时间大于DAC转换的时间周期时，输出会因转换时间不够而无法达到应有的电压，此时就造成建立误差；
- 2.输出的建立时间随着输入码的变化而变化；
- 3.信号歪斜：主要由于信号控制线的长度不同，导致控制开关的信号不同步，从而引起大的毛刺；
- 4.开关切换瞬间引起的沟道电荷注入；
- 5.电流源开关的非线性；
- 6.误匹配考虑：通常认为器件的误匹配只影响静态非线性，但是它在一定程度上也会引入动态非线性。例如，开关的误匹配会使注入电荷或电流建立时间产生动态非线性误差；
- 7.时钟馈通（CFT）：由于开关上的电容耦合作用，时钟信号将会影响输出的模拟信号。时钟馈通会引起总谐波失真。反映在电路的输出波形上同样是造成毛刺的存在；
- 8.输入数据变化时引起的毛刺（glitch）：在二进制译码的电路中尤其严重，因为当输入信号由0111111变为1000000时，所有的开关都要转换，但又不可能完全同步，因此有可能出现开关全部都处于关断的状态，使输出波形出现一个大的凹陷。glitch的功耗如果大于了固有误差的功耗，将对信噪比造成不良的影响。glitch的功耗可以直观的

看作是glitch所包围的面积。

引起glitch的原因有：二进制编码DAC各位的开关转换时间不匹配引起的凹陷；由于在负载输出和地之间的电压波动引起的电流源的沟道长度调变；和电流源相连的寄生电容的充放电；数字输入信号对电流源输出的反馈；开关切换瞬间由于同时处于关断态而可能产生的瞬时高阻态。之所以要避免开关管同时处于关断态，是因为如果开关管同时关断的话，电流源的输出节点就会迅速放电，从而使电流源关断。为了从这种情况恢复，电流源管必须从线性区再到饱和区，因此关断电流源管不仅降低了速度还增加了输出的毛刺。另一方面，同时打开开关管的话，对速度的影响不是很大，而且会使参考电流保持恒定，减少毛刺的产生。

5.2 动态性能的改善方法

上面指出，动态非线性主要由毛刺（glitch）等一些非线性因素引入，而且随着转换速率的升高，毛刺（glitch）在总输出能量中的比例也随之升高，这使动态性能进一步下降。因此对动态性能的改善要从消除这些非理想因素着手。

1. 高位的二进制输入码译成温度计码来控制单位电流源的切换可以从根本上消除因开关转换时间不匹配造成的glitch。本文设计就是采用了这种思路，但这种方法的代价比较高，芯片面积比较大；
2. 尽可能减小开关引入的时钟馈通，这主要通过调节开关管实现，在保证电流切换速度的前提下，尽可能减小W/L。这样可以有效地降低寄生电容，从而起到降低时钟馈通的作用。但开关管尺寸的减小又会引起导通电阻的上升，导通电阻太大则开关管的压降就比较大。因此开关管的尺寸也不能取得太小，要综合考虑以上因素；
3. 尽量保持电流源开关在版图上的对称性；
4. 通过延迟反馈电路或其他方式使输入码变成两相非交叠，并适当调节输入码的交点电压，本文设计中的Latch单元就是实现这个功能。

对于DAC性能的进一步改善和优化，还需要比较深入的研究，这将在以后的学习生活中继续积累经验，以达到比较理想的效果。

第六章 DAC 芯片的版图设计

6.1 版图布局的考虑

DAC是对版图设计依赖性比较强的电路，主要是因为DAC的线性度是由器件之间的匹配特性决定的。实际的传输线是存在电阻的，所以其上的压降会造成单位电流源单元压降的梯度误差，另一方面芯片内部热分布又会引起对称误差，在版图布局布线时，必须综合两方面误差对匹配性的影响。

采用“等级对称开关阵列”可以达到消除两种误差的目的，具体的误差消除和开关阵列如图6.1所示[5]。

当电流源阵列中的数目很多(例如256或者1024)时，所占的芯片面积较大，此时必须要考虑两维浓度误差带来的影响。通行的做法是将阵列划分成四个象限。当输出依次增加时，象限之间采用中心对称的开关次序，在每个象限内部又采用对称的开关次序(例如等级对称开关次序)。以一个4位采用温度计编码的DAC为例，采用如图6.2所示的开关次序。

这种开关的次序可以有效地消除两维梯度分布的浓度误差和两维对称分布的浓度误差。由于每次开关中四个象限同时均有一个电流源导通或者关断，所以不会造成水平

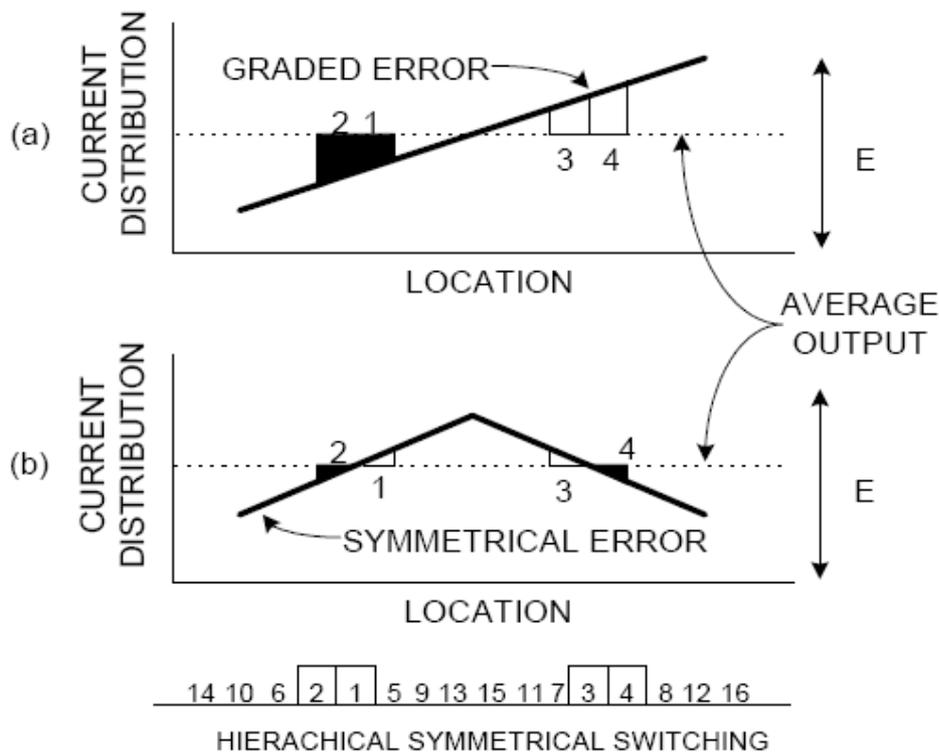


图6.1 “等级对称开关阵列”形式和误差消除原理

方向和垂直方向的梯度误差和对称误差的累积，从而大大降低了系统的INL误差。

本文设计的DAC的版图就采用的是上述的开关顺序。参考图6.2给出的四位温度计编码的DAC的开关顺序，本文设计的DAC的高六位也分为四个象限，每个象限内有64个单元（只使用了其中的63个），象限内的开关顺序如表6.1所示。

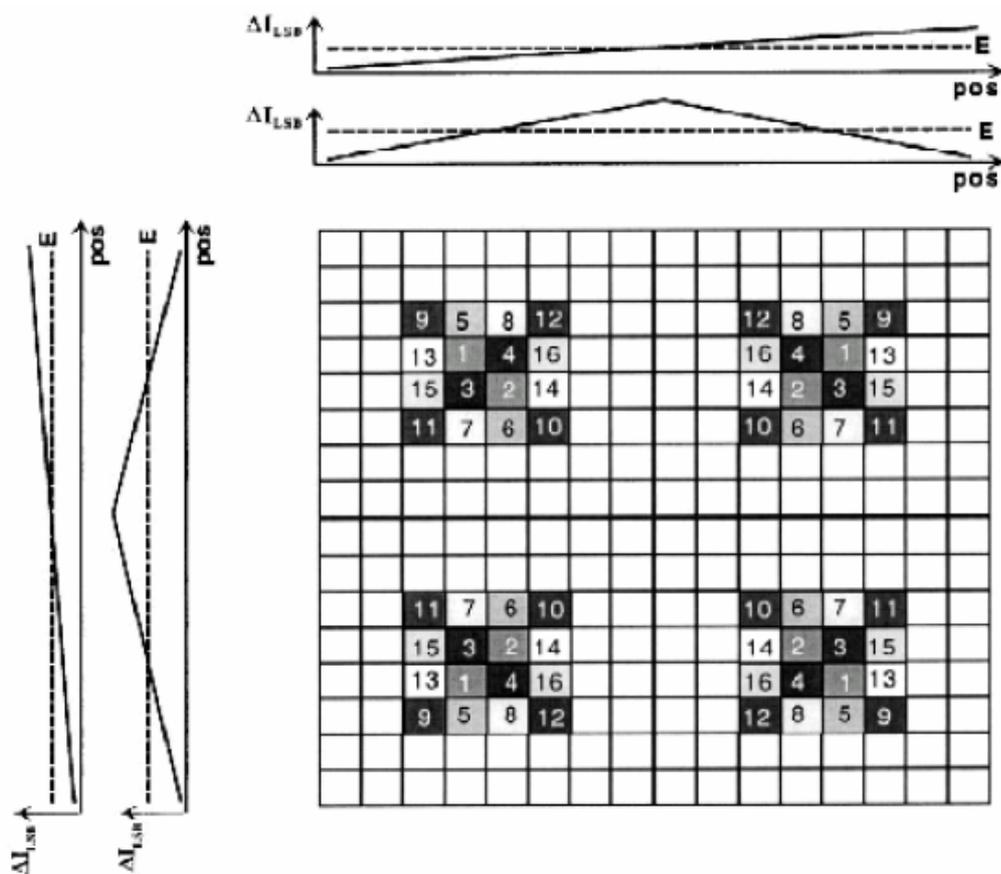


图6.2 四位温度计编码DAC的开关顺序

表6.1 本文设计的DAC高六位的开关顺序

37	53	57	61	64	60	56	40
41	17	29	33	36	32	20	44
45	21	9	5	8	12	24	48
49	25	13	1	4	16	28	52
51	27	15	3	2	14	26	50
47	23	11	7	6	10	22	46
43	19	31	35	34	30	18	42
39	55	59	63	62	58	54	38

此外，还考虑了其他方法来减小误差。版图设计中加大传输线的宽度以降低传输线电阻也是减小电压梯度误差的一个办法。同时为了避免电路边缘效应的影响，在版图周围需要布一圈的哑元管，显然这是以面积的增加为代价的。由模拟传输线和数字传输线上的干扰而引起的噪声也是需要注意的问题，版图设计时要将两者相互隔离，在DAC芯片中主要是防止开关驱动电路和开关之间的耦合噪声。此外通过衬底打孔和保护环的办法也能达到同样的目的。

6.2 版图的整体框架

在上面分析的基础上，得到本文设计的数模转换器版图的整体框架，如图6.3所示。高六位（D9——D4）分为四个象限，分别进行译码选通，每个象限内的64个单元只使用了63个，其余的1个刚好给中间两位（D3、D2）转换成温度计编码后使用，这样四个象限的256个单元使用了255个，有1个不使用（在图上已经标明），最低两位（D1、D0）采用二进制编码，与高几位是相互独立的。

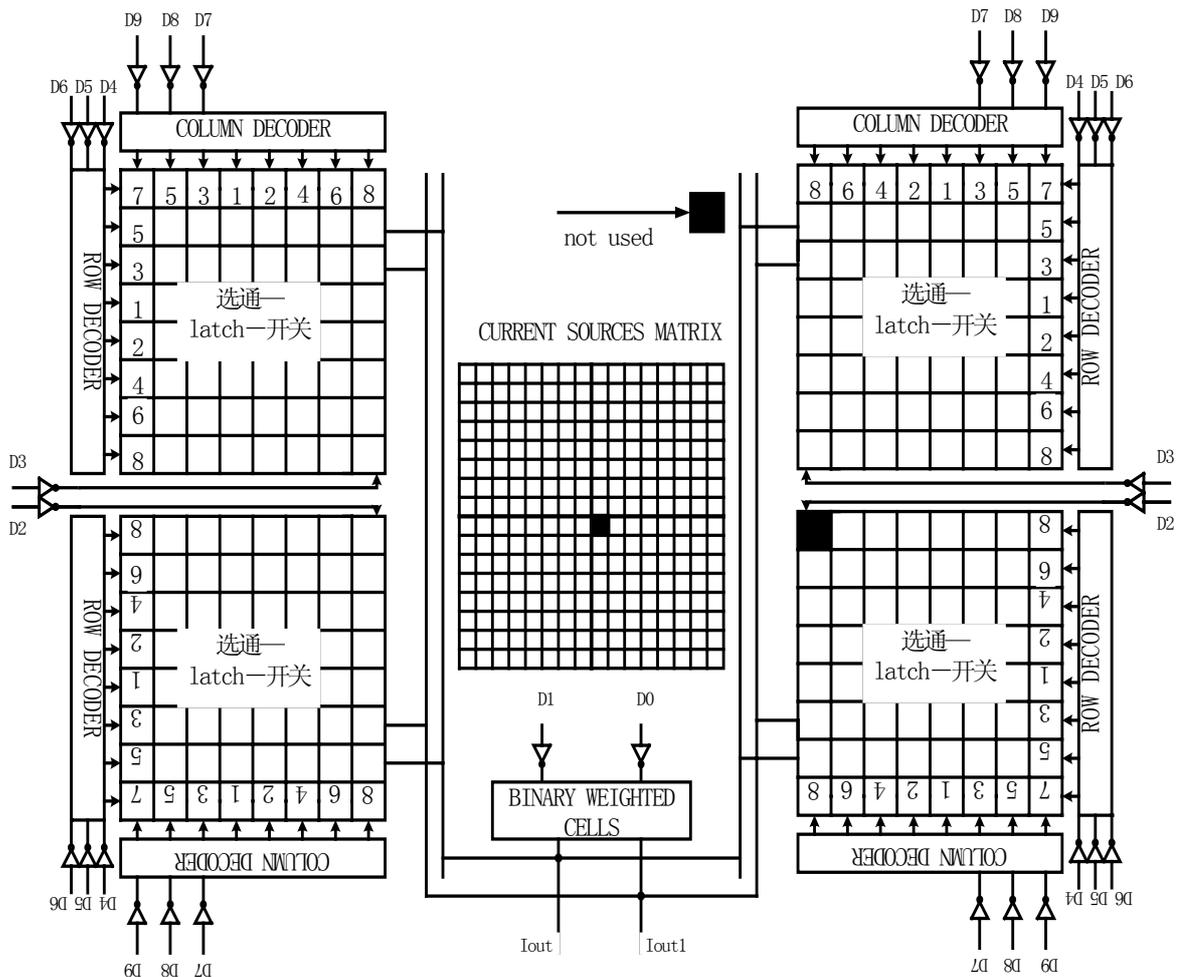


图6.3 版图设计的整体框图

6.3 具体的版图设计和优化方法

由于DAC是对版图设计依赖性比较强的电路，所以本文设计在版图部分花了比较大的时间和精力。通过后仿真的结果观察版图设计中存在的问题，然后再有针对性的寻找和解决问题，以达到电路前端设计具有的性能。下面将通过具体电路的版图设计对DAC电路的版图设计和优化进行一些总结。

1) 基本注意事项

这些是在任何电路的版图设计中都应该注意的，是版图设计的基本规则，具体的连线宽度、间隔等规则要遵守工艺库给出的设计规则。

- a. poly 层——能用金属互连的地方尽量用金属，不要用 poly。一般情况下，我们都会用金属连，不过对于并联的栅极而言，这一点要注意，最好是用 M1 互连，然后打上 contact；poly 线不能太窄，否则会有太大的表面电阻。另外，一个路径上的 poly 线长度要小于 50um，如果做不到，用金属线连接，在每 50um 处至少要打一个 contact。
- b. 金属连线——金属连线的宽度与流过它的电流大小成正比，这与金属连线的电流密度密切相关，这些参数在工艺库中均已给出；避免形成连线回路；不要频繁出现跳线，要综合考虑版图的布局布线，尽量安排好纵向和横向的金属层。
- c. 电源线、地线——电源线的结构：

M5/Via4/M4/Via3/M3/Via2/M2/Via1/M1/CO/OD/NW

在该结构中尽可能多得使用 contact 和 via；将电源线、地线分别安排在整个版图的上（下）部和下（上）部；电源线、地线一定要足够得宽，这样才可能承受住上电时比较大的瞬态电流，防止芯片上电烧毁；

- d. contact 和 vias——如果可能，使用尽可能多的 COs 和 Vias；上述规则在金属层切换的时候也要注意遵守；排放要有规则。

2) 层次化

由前面给出的版图的整体结构可以看出，DAC 版图设计的可重复性很高。可重复性将给版图设计带来很大的方便，极大地减小了工作量和出错率。但是如果层次化的结构选择不合理时，又会给版图的修改带来很大的麻烦。

本文设计的 DAC 版图选择的是等比例扩大的层次，也就是说首先完成一个基本单元（选通电路、Latch 和开关）的版图，然后将四个单元拼成一个更大的单元（含四个基本单元），再将四个该单元拼成一个更大的单元（含 16 个基本单元），最后将四个这样的单元拼在一起，完成一个象限的版图。

必须注意的是，由于每个象限中的 64 个单元只使用了 63 个，剩下的一个单元的位置是留给中间两位信号使用的，这样便引起了一个问题。当等比例扩大的时候，第

64 个单元的位置被占据了，这给以后的版图设计带来了很大的麻烦。在本文的版图设计中，我们采用了如图 6.4 的处理方法。

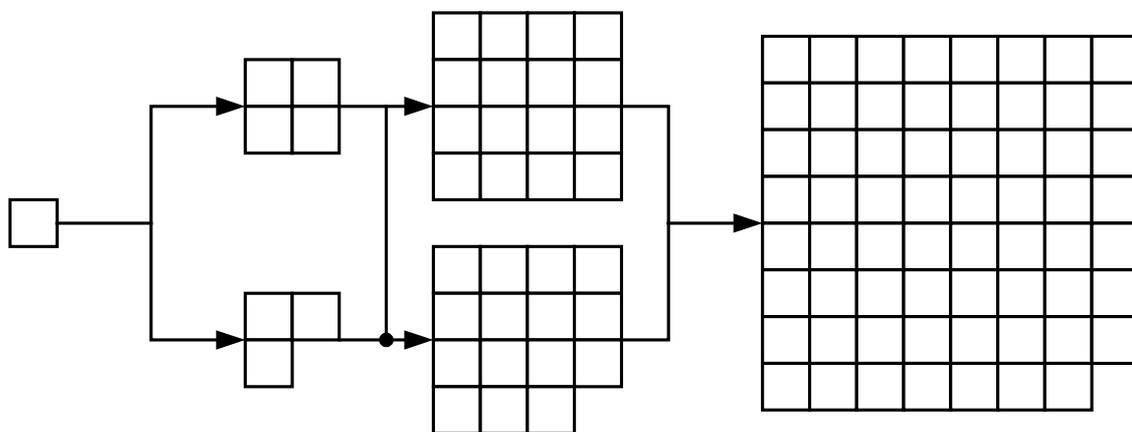


图 6.4 本文设计采用的层次化结构

这种方法虽然解决了前面提到的问题，但是也增加了复杂性，我们必须额外建立一个单元以把第 64 个单元的位置空余出来，这在版图设计中是我们应该尽量避免的，我们必须设法找到一个最为简便的方法来完成我们的任务。这里提出一种比较简单易于修改的方法，我们首先完成一个基本单元（选通电路、Latch 和开关）的版图，然后将 63 个这样的基本单元拼成一个象限的版图，此时第 64 个单元的位置自然而然空余出来，无需额外的考虑，同时这种方法也降低了层次化的层数，在绘制与版图相对应的电路图时也比较得容易，具体如图 6.5 所示。

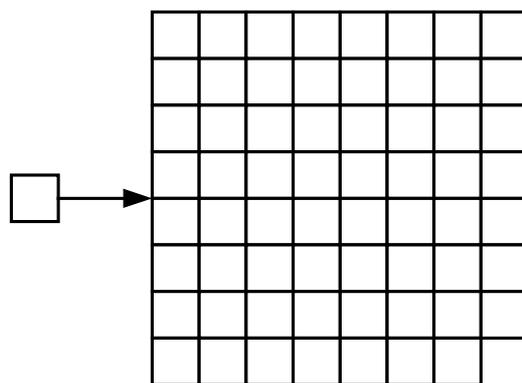


图 6.5 优化的层次化结构

3) 对称性

版图设计对于对称性的要求比较高，它可以简化布局布线。对于比较大面积的版图，我们首先要尽量保证整个版图相对于中心有个中心对称，相对于坐标轴能有个轴对称，在版图内部，我们也要尽量做到中心对称和轴对称，这对电路的性能有很大益处，合理地设计版图的对称性可以消除一些具有对称性的工艺误差等等。

对于差分电路，对称性显得尤为重要，例如运放电路的两个输入对管，它的对称性

设计与运放的整体性能有很大关系，直接影响运放的性能。所以在版图设计的时候，我们至少要采用叉指的设计方法来保证对称性，当然更为复杂的对称性设计对于性能有更大的帮助。

对于本文设计的 DAC 版图，观察图 6.3 版图设计的整体框图，我们看到版图整体呈现比较明显的轴对称和中心对称，由前面对于层次化的分析可以知道，在版图内部也可以很容易做到具有中心对称和轴对称。此外由于本文设计的 DAC 的输出是差分的，所以对于两个输出的设计更加要求对称性，本文设计的输出采用的是轴对称的形式，这是由于基本单元的水平 and 垂直折叠产生的。另外也可以考虑合理地调整两个输出的位置，使得它们周围的环境也呈现对称性，但是这给布线增加了复杂度，也不便于使用重复性，所以本文设计没有采取这种方法。DAC 版图中对于对称性要求比较高的另一个电路是锁存器 (latch) 电路，它在电路结构上首先就具有对称性，电路参数上也具有对称性，由于我们严格控制锁存器两个输出信号的交点电平值，所以在版图设计的时候要保持相应的对称性以便更好地控制输出信号，得到我们预期的结果。

本次 DAC 的版图设计在对称性上给予了极大的重视。

4) 数字区域和模拟区域之间的隔离

由于串扰和衬底噪声的存在，首先要将数字地和模拟地分开，然后将数字区域和模拟区域保持足够的距离，如果有可能的话用 guard ring 保护；对于敏感的模拟信号进行屏蔽，防止收到周围信号的干扰；对于一些变化频繁的数字信号，要防止它与模拟信号之间的干扰，这些在布局布线的时候必须注意。

本文设计的 DAC，其中译码、选通、锁存器电路是数字电路，电流源、开关管电路属于模拟电路，必须将两者隔离，避免相互干扰。电流源矩阵独立于选通—锁存器—开关管矩阵之外，所以只需要将两者保持一定的距离 (50um 左右)，如果面积允许可以用 guard ring 保护起来。需要注意的是锁存器与开关管连接时候的版图设计，锁存器由时钟信号控制同步，输入输出都是选通电路给出的数字信号，而锁存器的输出又要与开关管相连接，也就是数字和模拟的接口，同时开关管的输出又是两个比较重要的信号——DAC 差分输出，本文设计的 DAC 最小的台阶只有 1.25mV，如果这里处理得不是很好，很可能由于数字信号的干扰，使得输出存在比较大的毛刺，甚至出现转换错误。这一点在后仿真的时候可以明显看出，经过几次调整，采用了以下几种方法来减小由于耦合造成的干扰：

- a. 数字电路多采用低层金属（一铝、二铝）互联，模拟电路多采用高层金属（四铝、五铝）互联，这样可以使中间层金属（三铝）进行隔离，铺一层中间层金属，然后将其接地，也就是说用地平面隔离数字电路和模拟电路；
- b. 将模拟电路（开关管）用 guard ring 保护起来；

- c. 将输出信号独立于开关管和锁存器电路之外，不与任何电路相交，这是以牺牲面积为代价的，但是可以尽可能减小耦合；
- d. 在所有的输出端并联的时候，将与其他电路相交的位置打断，寻找其他的连接路径。

经过上述处理后得到的基本单元的版图如图 6.6 所示。

5) 时钟信号的版图布局

本文设计的 DAC 是采用时钟信号控制同步的，在时钟的下降沿将数据锁入，上升沿来到高电平进行数据转换。如果同步做得不好，在输出将会出现毛刺，甚至出现转换错误，所以我们必须对时钟信号的布局进行考虑，保证到达每个开关管的控制信号的同步性。本文设计采用的是“时钟树”的形式，在版图上采用的是“辐射”的结构，具体如图 6.7 所示。

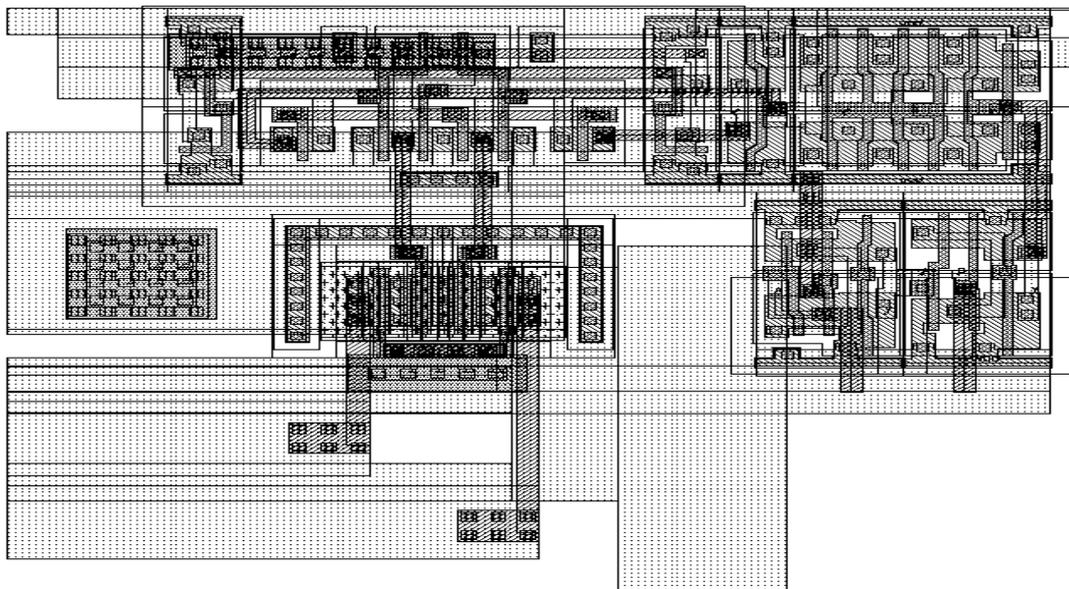


图 6.6 DAC 基本单元的版图

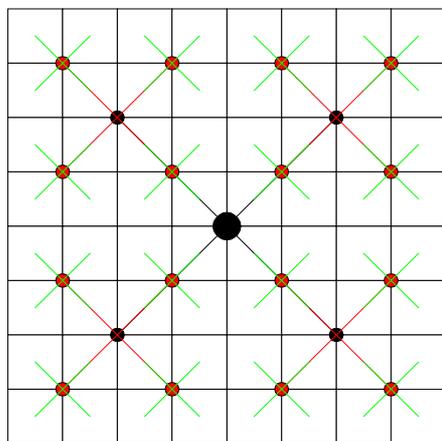


图 6.7 DAC 时钟信号的版图“辐射”结构

6) 延时处理

由 5) 所述, 本文设计的 DAC 是采用时钟信号控制同步的。为了保证转换的正确性, 在时钟信号到来之前, 选通信号必须已经到达锁存器的输入端且已经稳定, 但是由于各个信号通过不同的选通路径, 延时不相等, 由于本文设计的是高速的 DAC, 设计时保证不会出现在时钟信号到达的时候, 某些路的选通信号还没有准备好的情况, 但是可能出现的情况是某些路选通信号迅速稳定, 选通路径延时小于时钟结构的延时, 使得时钟高电平采到下一个选通信号, 导致转换错误, 具体如图 6.8 所示。

对于这种情况通用的解决方法有以下几种:

- a. 增加 buffer 增加延时;
- b. 添加电容使得数字信号的沿变缓, 从而增加延时;
- c. 利用专门的延时单元增加延时

本文设计采用的是第三种方法, 这种方法的效果比较明显, 而且比较方便, 一般的工艺库中都提供了这种延时单元。本文设计采用 TSMC025 工艺库提供的延时单元即可实现。

7) 偏置的处理

观察电路设计部分的图 3.6, 发现电流源单元需要两个偏压, 电路设计确实是提供这两个偏压的。但是版图设计的时候必须考虑一个问题——连线的压降。如果我们使用与电路相一致的方法进行版图实现, 由于电流源矩阵面积比较大, 必然需要比较长的连线将偏置电压接到每个电流源, 这时由于连线上的压降必然使得各个电流源的偏置电压存在相对比较大的差异, 进而使得各个电流源的电流值不一致。这是我们应该尽量避免的。为了避免这种情况, 我们采用电流偏置的形式, 然后再转换成电压偏置, 也就是说

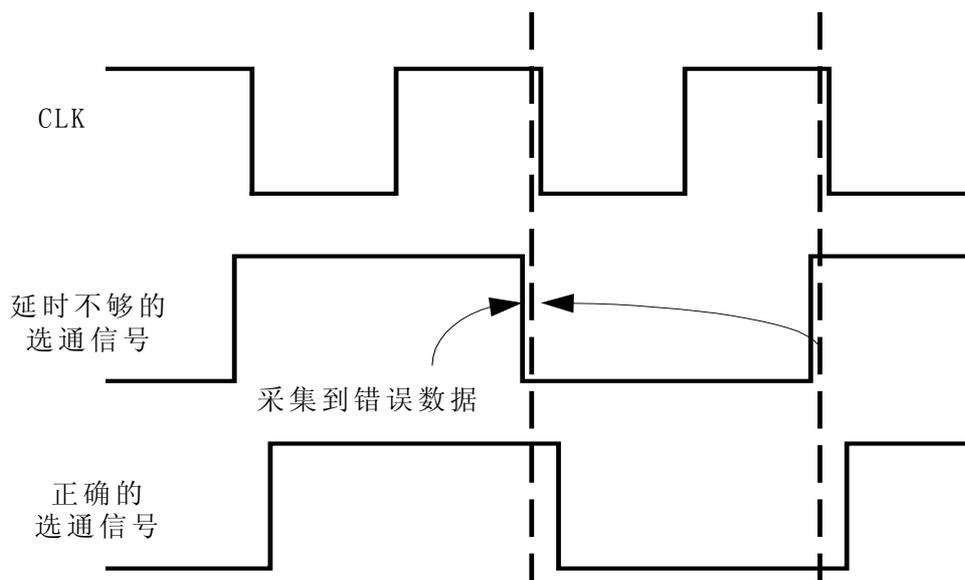


图 6.8 延时不够引起的时钟采集错误

设计一个“global biasing”产生偏置电流，然后设计一个“local biasing”将偏置电流转换成偏置电压，放置在要偏置的电流源附近。本次设计采用四个“local biasing”分别放置在四个象限附近。具体的形式如图 6.9 和图 6.10 所示。

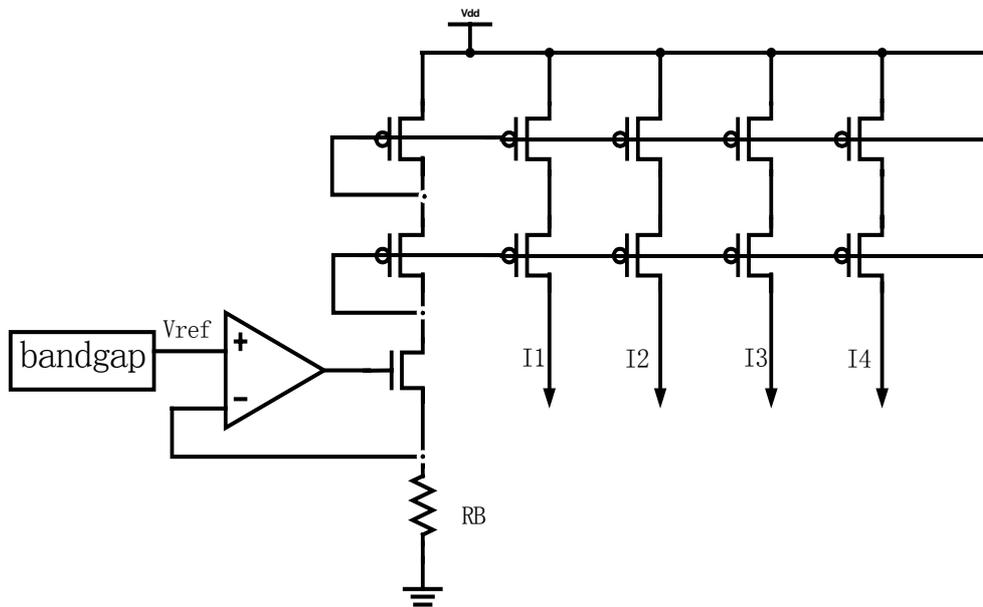


图 6.9 “global biasing”的电路结构

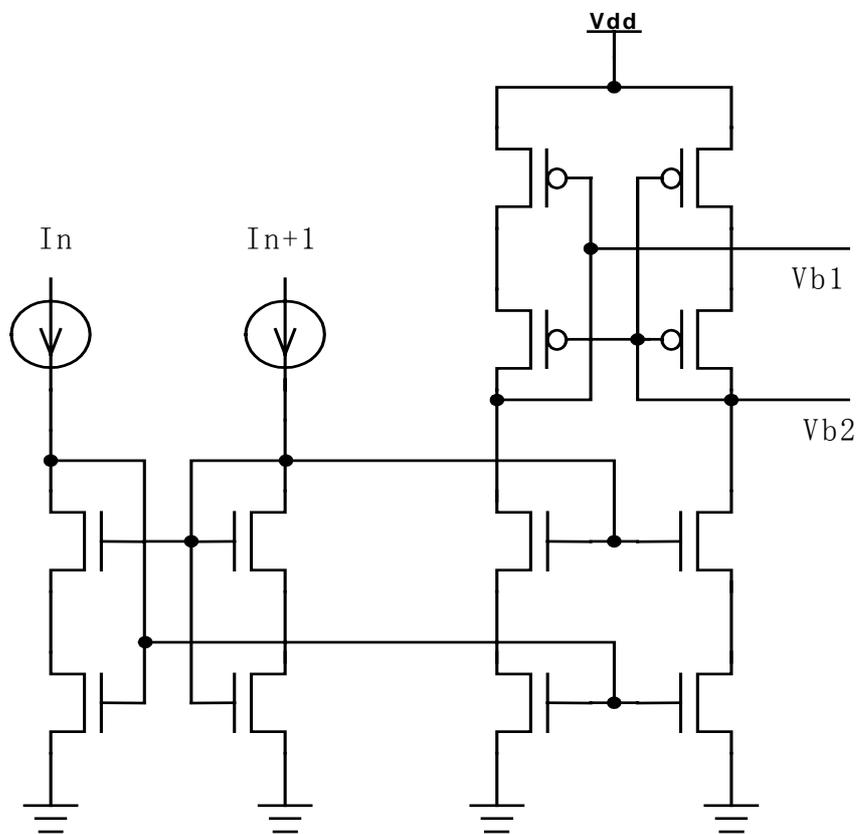


图 6.10 “local biasing”的电路结构

6.4 DAC 的整体版图

经过 6.3 部分的讨论和综合考虑之后,得到 DAC 的整体版图(包括 PAD)如图 6.11 所示。

6.5 DAC 的后仿真

在 drc 和 lvs 检查都已经通过的情况下,我们利用 Calibre 进行后仿真,得到的结果在某种程度上将反映芯片的实际测试结果。我们可以根据后仿真的结果来调整修改版图设计,以提高流片的成功率。

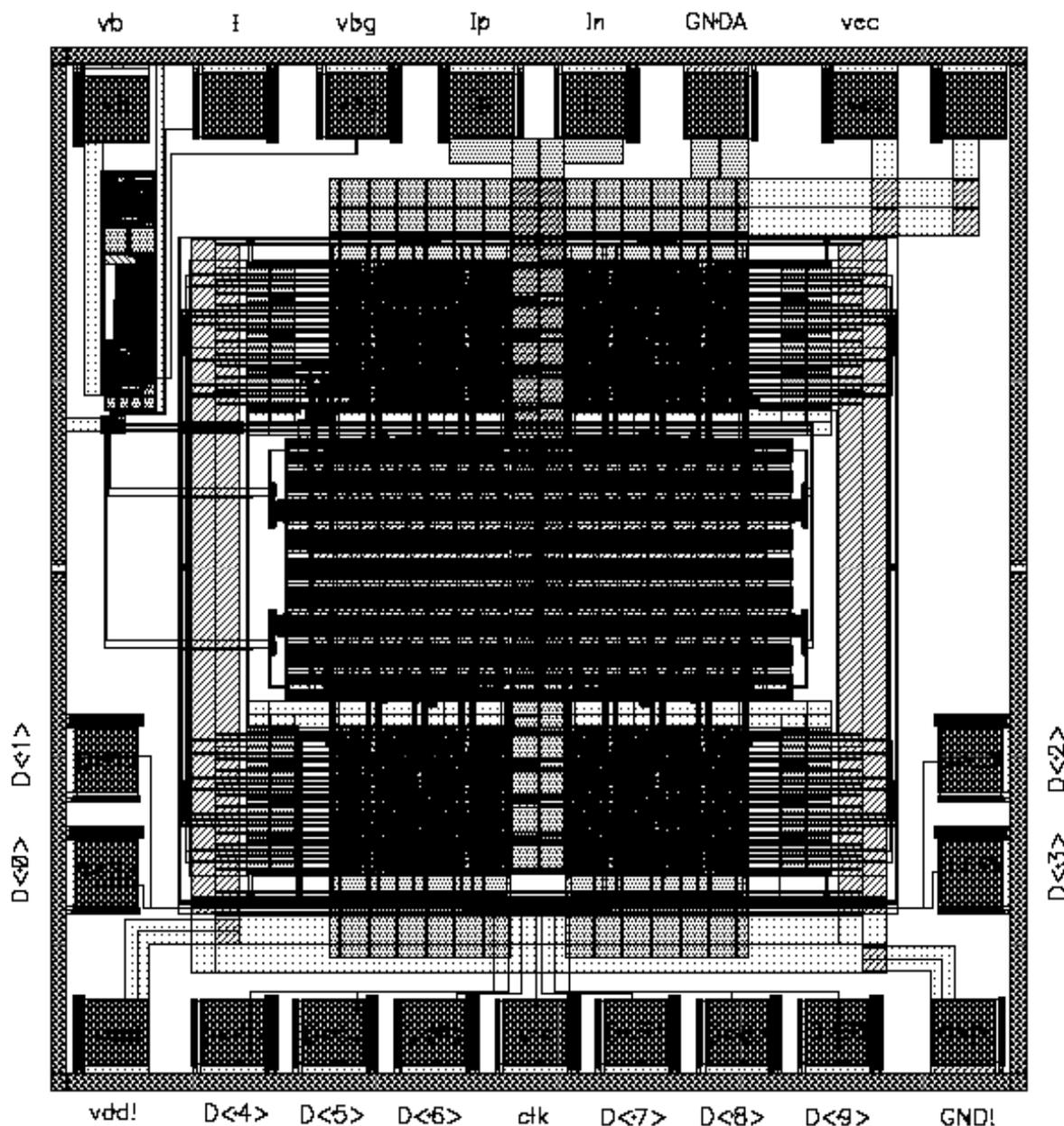


图 6.11 DAC 的整体版图

采用电路级前仿真的“test_bench”进行后仿真。瞬态仿真得到差分输出的结果如图 6.12 和图 6.13 所示。

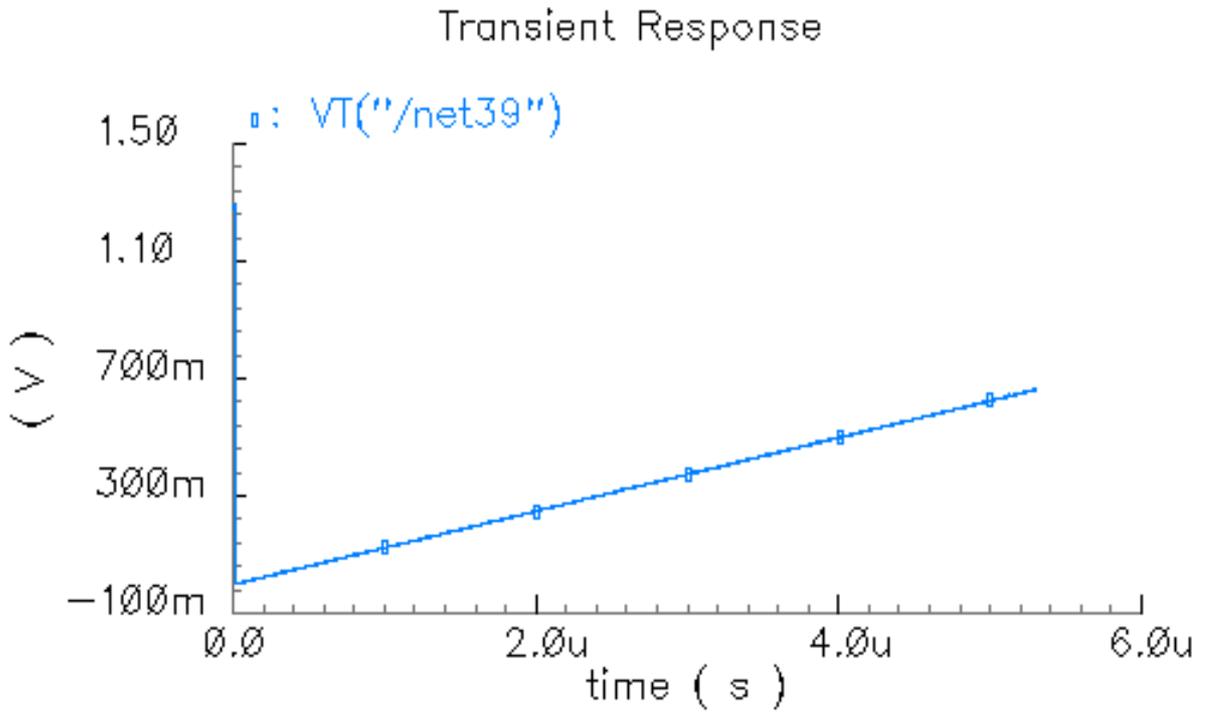


图 6.12 后仿真得到输入递增“1”时输出的结果

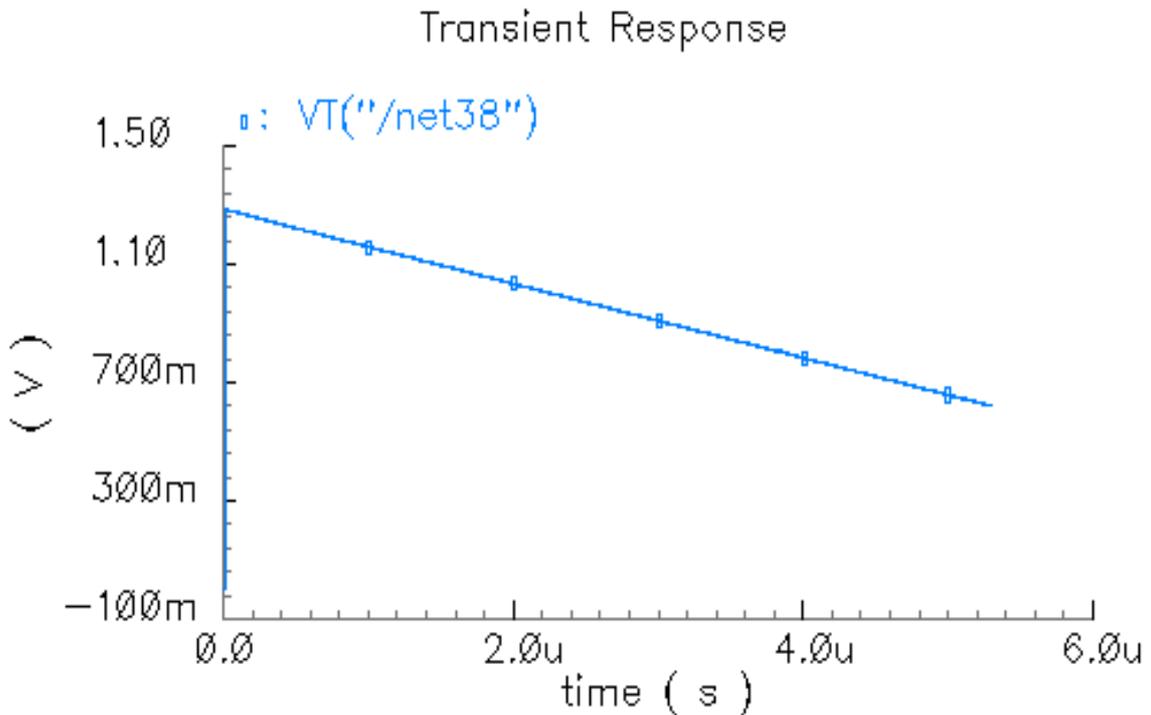


图 6.13 后仿真得到输入递减“1”时输出的结果

将图 6.12 和图 6.13 进行局部放大后得到图 6.14 和图 6.15。

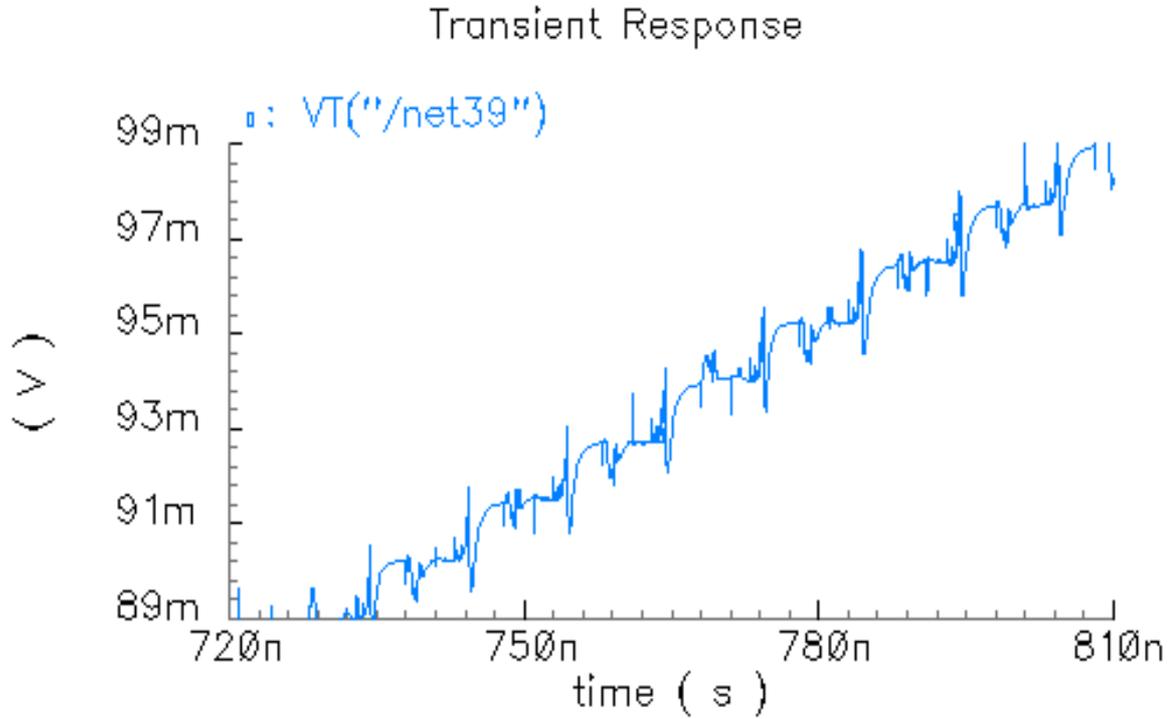


图 6.14 将图 6.12 局部放大后得到的输出波形

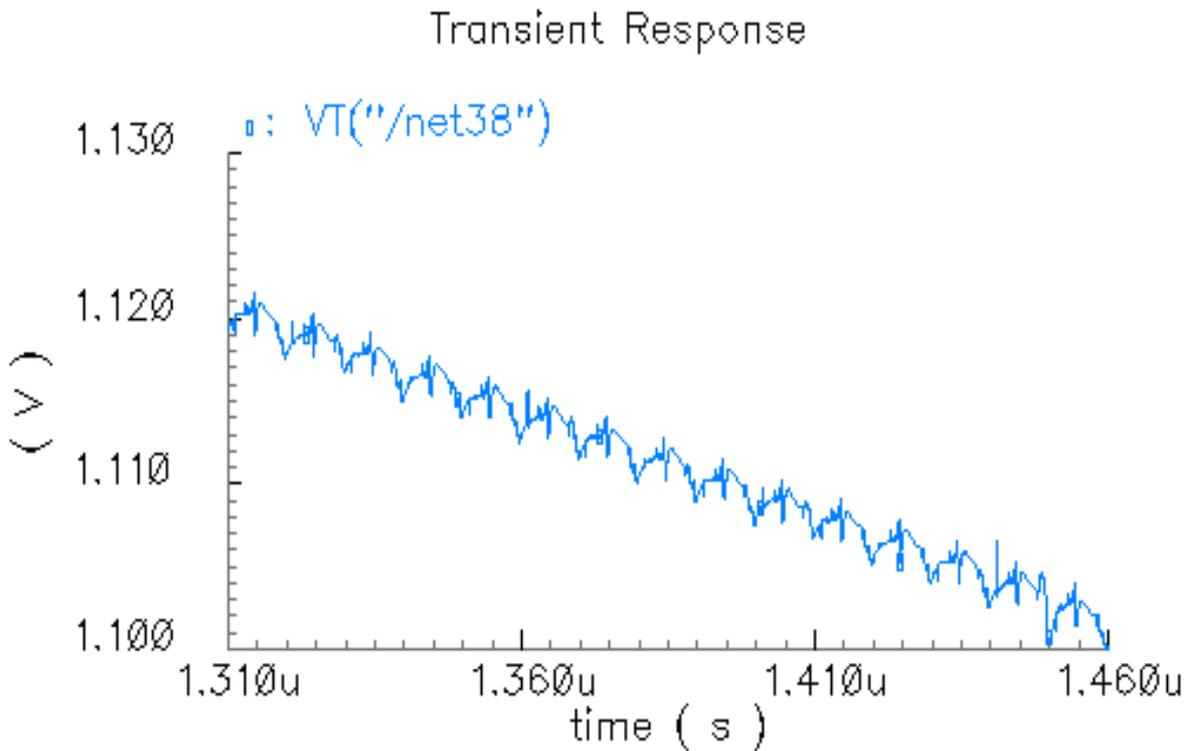


图 6.15 将图 6.13 局部放大后得到的输出波形

从图 6.12, 图 6.14 和图 6.13, 图 6.15 可以看出 DAC 的转换特性得到实现, 但是转换的每个台阶不是很理想, 这主要是由于数字信号和模拟信号之间的耦合引起的, 其中包括了时钟信号的馈通和控制信号的耦合, 这需要在版图设计时进一步避免。

观察图 6.14 和图 6.15 可以看出, 输入递减“1”的输出波形不如输入递增“1”的输出波形, 这主要与两个输出信号的位置不对称有关。因为版图是基本单元的水平、垂直折叠得到的, 这样造成输出的位置相对于周围的电路不变。观察版图会发现波形比较不理想的那个输出与时钟、数字电路的距离比较接近, 这导致它受到数字信号的干扰比相对比较远的输出端大, 使得波形比较差。这些问题都是在版图布局布线的时候应该进一步考虑的, 减小版图上面的耦合影响始终是一个关键问题, 这有待以后继续优化。

结束语

本文所讨论的电流驱动型DAC具有结构简单，性能稳定，转换速度快等特点。仿真结果表明，电路可以实现数模转换功能。在性能上，通过优化编码等方法，成功的将毛刺抖动能量控制在 $0.436\text{pV}\cdot\text{s}$ 。因此电路的仿真结果完全符合设计指标。

毕业设计终于在经历了三个月的奋战之后接近了尾声，心里既有一种如释重负的感觉又有些许失落，或许身处其中时，除了刚接到项目时的踌躇满志和结果在很多次反复调试之后如预想般呈现在我眼前时的兴奋之外，更多的还是一次次尝试都失败无法突破的迷茫与焦躁，但现在回首看看，我想说，毕设的日子不仅是人生一份宝贵的财富，也具有里程碑意义，我将永远难忘。

这次研究学习是我走进模电设计的引路者，懂得在模电设计中不能随心所欲改变参量而该从原理出发，耐心细致反复调试，这种动一辄而触全身，寻找权衡点的玄机与奥妙也给我带来了很大的兴趣与快乐。当然，还有很多深入艰巨的工作等待着我，“革命尚未成功，同志仍需努力”，与其说是结束，我更愿意把他说成是一个真正的新生活的开始。

也许是因为毕设的意义非凡，也许是因为第一次写论文，所以就格外珍惜。想把它作为自己二十多年生活的一份精心的礼物，献给所有关心过我的亲人，老师，同学和朋友们，希望能使大家满意。

参考文献

- [1] Jose Bastos, Member, IEEE, Augusto M. Marques, Student Member, IEEE, Michel S.J. Steyaert, Senior Member, IEEE, and Willy Sansen, Fellow, IEEE, "A 12-Bit Intrinsic Accuracy High-Speed CMOS DAC" *IEEE Journal of Solid-State Circuits*, vol.33, No.12, December 1998.
- [2] Anne Van den Bosch, Student Member, IEEE, etc., "A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter" *IEEE Journal of Solid-State Circuit*, vol.36, No.3, March 2001.
- [3] Chi-Hung Lin and Klaas Bult, "A 10-b, 500-MSample/s CMOS DAC in 0.6 mm^2 " *IEEE Journal of Solid-State Circuit*, vol.33, No.12, December 1998.
- [4] G. Van der Plas et al., "A 14-bit Intrinsic Accuracy Q^2 Random Walk CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1708-1718, December 1999.
- [5] Yasuyuki Nakamura, Takahiro Miki, Atsushi Maeda, Harufusa Kondoh, and Nobuharu Yazawa, "A 10-b 70-MS/s CMOS D/A Converter" *IEEE Journal of Solid-State Circuits*, vol.26, No.4, April 1991.
- [6] J Jacob Wikner, "Studies On CMOS Digital-to-Analog Converters" Linköping Studies in Science and Technology Dissertation No. 667.
- [7] A. Van den Bosch et al, "Modeling and realization of high accuracy, high speed current-steering CMOS D/A converters", *IEEE measurement* 28 (2000) 123-138.
- [8] J. Jacob Wikner and Nianxiong Tan, "Modeling of CMOS Digital-to-Analog Converters for Telecommunication" *IEEE Transactions on Circuits and Systems II*, Vol. 46 No. 5, pp.489-499, May 1999.
- [9] H. Schouwenaars, D. Groeneveld, and H. Termeer, "A low-power stereo 16-bit CMOS D/A converter for digital audio," *IEEE J. Solid-State Circuits*, vol. 23, no. 6, pp. 1290-1297, Dec. 1988.
- [10] 朱臻, "数据采集与转换的研究", 博士论文.
- [11] 叶俊, "用于千兆以太网中的D/A转换器和线缆驱动器", 硕士论文.
- [12] 邵滨, 李丹, 王方林, 洪志良, "用于蓝牙芯片的Nyquist电流驱动型7位20MHz采样率CMOS DAC".
- [13] 毕查德·拉扎维, "模拟CMOS集成电路设计", 西安交通大学出版社.
- [14] 李强, 韩益峰, 谢文录, 闵昊, "一种超低功耗能隙源设计及其电源噪声抑制分析", *半导体学报*, Vol.25, No.11, Nov., 2004.

参考文献

- [15] 徐阳, 闵昊, “一种高速电流型CMOS数模转换器设计”, 半导体学报, Vol.21, No.6, June, 2000.
- [16] 赵怡, “两级运算放大器的设计和几何优化”.

致谢

首先感谢我的导师闵昊教授，是他引领我选择了正确的方向，鼓励我走进模电神奇的世界。他在本领域的建树令我钦佩，他的博学多才，机智敏锐，思考分析问题的方法，对新事物的把握以及对信念的坚持与追求都对我今后的发展有很大的触动和启发。

其次，我要感谢我的师兄也是我的主要指导老师唐长文老师。在这次毕业设计期间，他给予我悉心的点拨，引导我选择正确的方法分析和解决问题，鼓励我不断创新。他严谨的治学态度，诲人不倦的精神，真诚求实的为人，令我在学识和做人方面都受益良多。

再次，我要感谢电子工程系的陈光梦老师，由于我的毕业设计是在微电子系完成的，这给他带来了不少工作上的麻烦。他作为我在电子工程系的指导老师，对我的毕业设计完成情况给予了极大的关注，对我的毕业论文进行了详细的审核，在此衷心地感谢他。

然后，感谢我的师兄何捷、韩益峰、李强，师姐闫娜，他（她）们认真谨慎的作风，耐心负责的风范，在许多方面对我这次的项目都有很大的帮助。他（她）们热心的帮助，以及整个实验室良好的学习和讨论氛围为我创造了一个相当好的学习研究环境，使我的工作得以顺利的进行。

最后，感谢我的父母和家人，是你们二十多年的关爱和养育，才有了我的今天。

在此，向所有给予我支持鼓励和帮助的老师同学和朋友们致以我最诚挚的谢意。