学校代码: 10246 学 号: 11210720122

復四大學

硕士学位论文

CMOS 带隙基准源研究

院	系:	信息科学与工程学院
专	业:	集成电路工程
姓	名:	刘玉琰
指导	教师:	唐长文
完 成	日期:	2013 年 5 月 16 日

图目	录			··· III
表目	录			V
摘	要…	•••••		VII
Abs	strac	t		IX
第一	·章	概述…		1
	1.1	课题背	行景	···· 1
	1.2	论文主	至要工作	2
	1.3	论文组	1织结构	4
第二	章	带隙基	と 准源原理	5
	2.1	前言…		5
	2.2	带隙基	\$ 准电压源原理	5
		2.2.1	概述	5
		2.2.2	负温度系数电压	6
		2.2.3	正温度系数电压	7
		2.2.4	带隙基准电压源	8
		2.2.5	典型电路分析	·· 10
	2.3	带隙基	¥淮电流源原理	·· 11
第三	章	带隙基	准电压源电路实现	15
	3.1	前言…		·· 15
	3.2	电路结	青构分析	·· 16
		3.2.1	启动电路分析	·· 18
		3.2.2	误差放大器分析	·· 19
		3.2.3	带隙基准电压源核心电路分析	·· 20
		3.2.4	数字修正及 RC 滤波分析	·· 21
	3.3	电路性	E能分析 ······	·· 22
		3.3.1	误差分析	·· 23
		3.3.2	温度系数分析	·· 24
		3.3.3	噪声分析	·· 26
		3.3.4	电源抑制比分析	·· 27
	3.4	仿真结	5果	·· 29
		3.4.1	直流特性	·· 29
		3.4.2	交流特性	·· 32
		3.4.3	噪声特性	33

目 录

	3.4.4 电源抑制比特性	· 35
	3.4.5 瞬态特性	· 37
	3.4.6 数字修正特性	· 39
3.5	总结	· 39
第四章	电压-电流转换电路实现	• 41
4.1	前言	· 41
4.2	电路结构及性能分析	· 41
4.3	仿真结果	· 43
4.4	总结	· 44
第五章	温度传感电路实现	• 45
5.1	前言	· 45
5.2	电路结构及性能分析	· 45
5.3	仿真结果	· 46
5.4	总结	· 47
第六章	版图设计及后仿真	• 49
6.1	版图设计的基本考虑	· 49
6.2	带隙基准电压源电路版图实现	· 50
	6.2.1 带隙基准电压源的版图设计	· 50
	6.2.2 后仿真	· 50
6.3	电压-电流转换电路版图实现	· 52
	6.3.1 电压-电流转换电路的版图设计	· 52
	6.3.2 后仿真	· 53
6.4	温度传感器电路版图实现	· 54
	6.4.1 温度传感器电路的版图设计	· 54
	6.4.2 后仿真	· 54
第七章	总结与展望	- 57
7.1	总结	· 57
7.2	展望	· 57
致谢		- 59
参考文献61		

图目录

图 1–1	带隙基准源系统结构	2
图 1–2	带隙基准电压源重要参数及性能图示	3
图 2–1	理想电流和电压的伏安特性曲线	5
图 2–2	负温度系数电压	6
图 2–3	PTAT 电压产生电路	7
图 2–4	发射极面积不同的 PTAT 电压产生电路 ····································	8
图 2–5	带隙基准的一般原理	9
图 2–6	带隙基准正负温度曲线加权	9
图 2–7	带隙基准源输出电压随温度变化曲线	10
图 2–8	一个传统的带隙基准电压源电路	10
图 2–9	PTAT 电流的生成	12
图 2–10	采用简单放大器生成 PTAT 电流	12
图 2–11	与温度无关的电压的生成	12
图 2–12	电压-电流转换电路原理图	13
图 3–1	带隙基准电压源电路原理图	17
图 3–2	启动电路的电路结构	18
图 3–3	误差放大器的电路结构	19
图 3–4	带隙基准电压源核心电路的电路结构	20
图 3–5	数字铺助控制电路的电路结构	21
图 3–6	RC 滤波器的频率特性	22
图 3–7	带隙基准电压源电路中误差源的分类	22
图 3–8	引起带隙基准电压源电路误差的因素	24
图 3–9	温度系数曲线	24
图 3–10	带隙基准电压源的等效噪声电路	26
图 3–11	使用并联反馈调节输出电压的电路结构	28
图 3–12	直观的 PSRR 分析模型	28
图 3–13	直观的 PSRR 分析模型	29
图 3–13	电源电压变化对温度曲线的影响	29
图 3–14	工艺角的变化对温度曲线的影响	30
图 3–15	电源电压变化对环路增益的影响	32
图 3–16	电源电压变化对环路相位裕度的影响	32
图 3–17	工艺角的变化对环路增益的影响	33
图 3–18	工艺角的变化对环路相位裕度的影响	33

图 3–19	电源电压变化对噪声的影响	34
图 3–20	工艺角的变化对噪声的影响	34
图 3–21	无 RC 滤波时电源电压变化对 PSR 的影响	35
图 3–22	有 RC 滤波时电源电压变化对 PSR 的影响	35
图 3–23	VDD为 2.1V 有 RC 滤波时工艺角的变化对 PSR 特性的影响	36
图 3–24	V _{DD} 为 3.3V 有 RC 滤波时工艺角的变化对 PSR 特性的影响	36
图 3–25	电源电压为 3.3V 时的瞬态特性	37
图 3–26	电源电压变化对瞬态特性的影响	37
图 3–27	VDD为2.1V时工艺角的变化对瞬态特性的影响	38
图 3–28	VDD为3.3V时工艺角的变化对瞬态特性的影响	38
图 3–29	带隙基准电压源的建立时间	38
图 3–30	数字修正电路正对温度曲线的影响	39
图 4–1	电流镜结构示意图	41
图 4–2	电压-电流转换电路	42
图 4–3	电阻阵列电路	42
图 4–4	环路交流特性	43
图 4–5	PSRR 特性	43
图 4–6	工艺角的变化对输出电流的影响	44
图 5–1	温度传感电路	45
图 5–2	环路交流特性	46
图 5–3	PSRR 特性	46
图 5–4	与温度一一对应的输出电压	47
图 5–5	输出电压曲线的斜率	47
图 6–1	带隙基准电压源电路的版图	50
图 6–2	带隙基准电压源的前后仿温度曲线对比	51
图 6–3	带隙基准电压源的前后仿噪声对比	51
图 64	带隙基准电压源的前后仿电源抑制比对比	52
图 6–5	电压-电流转换电路的版图	52
图 66	电压-电流转换电路的前后仿输出电流对比	53
图 6–7	电压-电流转换电路的前后仿电源抑制比对比	53
图 6–8	温度传感器电路的版图	54
图 6–9	温度传感器电路的前后仿输出电压对比	54
图 6–10	温度传感器电路的前后仿输出电压斜率对比	55
图 6–11	温度传感器电路的前后仿电源抑制比对比	55

表目录

表 3–1	电源电压变化对温度系数和输出参考电压的影响	30
表 3–2	电源电压和工艺角的变化对温度系数和输出参考电压的影响	… 31
表 3–3	电源电压变化对静态功耗的影响	31
表 3–4	电源电压和工艺角的变化对静态功耗的影响	31
表 3–5	电源电压和工艺角的变化对环路交流特性的影响	33
表 3–6	电源电压和工艺角的变化对噪声特性的影响	34
表 3–7	电源电压和工艺角的变化对 PSR 特性的影响	36
表 3–8	数字修正电路对输出参考电压的影响	39
表 3–9	带隙基准电压源的性能总结	… 40
表 4–1	电压-电流转换电路的性能总结	44
表 5–1	温度传感电路的性能总结	47

摘 要

随着半导体工艺水平不断提高,集成电路设计技术不断提高,整个半导体行 业迅速发展,应用领域也不断的延伸。与此同时,对各个模块电路的性能要求也 越来越高。基准源为其他电路模块提供稳定精确地电压/电流,其性能影响系统 电路的整体性能。

本文设计的带隙基准电压源对电源电压、工艺和温度的变化不敏感,具有高电源电压抑制和低噪声的特点。电路中使用数字控制的PNP晶体管阵列对输出参考电压进行修正,使输出参考电压更加稳定和精确。从仿真结果来看,其温度系数小于4 ppm/℃, *V*_{DD}为3.3 V时直流的电源抑制比为88.9 dB, *V*_{DD}为2.1 V时直流的电源抑制比为88.9 dB, *V*_{DD}为2.1 V时直流的电源抑制比为65 dB。从100 Hz到100 kHz范围的积分噪声为16.8 µV_{ms}。

本文设计的电压-电流转换电路由运放、电阻和电流镜构成,将带隙基准电 压产生的输出参考电压转换成稳定的输出电流。电路采用数字可控的电阻,以便 调节电阻得到准确的输出电流。

本文设计的温度传感电路由运放和温度传感核心电路构成。从仿真结果来 看,电路稳定正常工作且实现了输出电压与温度成正比线性关系。

最后本文分别设计了带隙基准电压源电路、电压-电流转换电路和温度传感器电路的版图,并且通过Cadence对各部分电路进行后仿真。从后仿真结果来看,对于带隙基准电压源电路,温度系数小于4 ppm/℃, V_{DD}为3.3 V时直流的电源抑制比为88.9 dB, V_{DD}为2.1 V时直流的电源抑制比为65 dB。从100 Hz到100 kHz 范围的积分噪声为16.8 µV_{ms}。

本文采用台积电的0.18-µm CMOS工艺库模型进行仿真。2.1V电源电压下, 功耗为309mW, 3.3V电源电压下, 功耗为509mW。

关键词:带隙基准电压、电压-电路转换、温度传感、低温度系数、高电源电压 抑制、低噪声、软修正

中图分类号: TN432

Abstract

In recent years, as the level of semiconductor process and the technology of integrated circuit design have improved continuously, the IC industry has been growing rapidly and the application continues to be widely. But at the same time, the performance requirements must be higher. The reference supplies stable and accurate voltage/current for other circuit parts and its performance affects the entire system circuit.

In this paper, the bandgap voltage reference is insensitive with the variations of power-supply, process, and temperature, with a high power supply rejection and low noise. There is a digital control circuit to modify the number of the PNP transistor arrays, as a soft-trimming to make the voltage reference more stable and accurate. The simulation results are given, the temperature coefficient is less than 4 ppm/°C. When V_{DD} is 3.3 V the *PSRR* is 88.9 dB at DC, it is 65 dB at 2.1 V at DC. The integrated noise from 100 Hz to 100 kHz is 16.8 μ V_{rms}.

In this paper, the voltage-current conversion circuit used to convert the reference voltage into a stable and accurate output current covers the Op Amp, controllable resistances and current mirror.

In this paper, the temperature sensor circuit constitute by the Op Amp and the temperature sensor core circuit. It is used to compare the output voltage with the temperature.

Finally, this paper gives the layout design of the three circuits respectively. The post-simulation results of each part are given, the temperature coefficient is less than 4 ppm/°C. When V_{DD} is 3.3 V the *PSRR* is 88.9 dB at DC, it is 65

dB at 2.1 V at DC. The integrated noise from 100 Hz to 100 kHz is 16.8 μ V_{rms}. The simulation of this paper is based on the TSMC 0.18- μ m CMOS process.

The power consumption is 340mW at 2.1 V and 540mW at 3.3 V.

Keywords: Bandgap Voltage Reference, Voltage-Current Conversion, Low Temperature Coefficient, Temperature Sensor, High PSRR, Low Noise, Soft-trimming

Classification Code: TN432

第一章 概述

1.1 课题背景

随着集成电路技术的不断发展,高精度、高速度、超大规模的数字电路设计和制造变得越来越容易,一些过去由模拟电路实现的功能模块也渐渐的由数字电路模块替代。但是,这并不意味着模拟电路将会消失。相反,随着数字电路技术的迅猛发展及设计系统级芯片SOC(System on Chip)技术的流行,模拟电路的重要性进一步体现[1]。

在模拟集成电路中,广泛地用到一种重要基本单元电路——基准源,这种基 准是直流量,包括基准电压源和基准电流源。基准源既可以用作电源电压,也可 以为其他电路模块提供精确的参考电压或电流。而且,其性能的好坏直接影响到 整体电路的性能的好坏。例如,差分对的偏置电流必须根据基准产生,因为它会 影响到电路的电压增益和噪声。在模数转换器(ADC)这样的系统中,也需要基准 来确定其输入或输出的全程范围[1]。

由于基准随温度的变化和噪声等因素会严重的影响电路中其他模块以及整 个系统的性能。因此,对外部环境如工艺、电源电压和温度等变化不敏感,即基 准源的稳定性是设计中的主要指标。如果基准源的稳定性不好,那么,系统性能 也很难达到设计要求。

1964年,Hilbiber和Widlar等人提出带隙基准的思想[2][3]。从那时刻开始到如今,带隙基准就一直是研究热点。因此,国内外对带隙基准源做了大量的研究,其研究的进展主要集中在低温度系数[4][5][6][7]、高电源抑制比[8][9][10][11]以及低电压[12][13][14][15]这几个方面。

目前,随着广播电视数字化的不断推进,数字电视将拥有一个十分广阔的发展前景。而数字电视调谐器作为数字电视接收机的前置部件,在数字电视技术中占有着非常重要的地位。由于数字电视调谐器芯片内部的VCO,混频器,锁相环等模块都需要一个与温度、电源电压及工艺的关系小且稳定性良好的偏置电流,因此,该芯片需要集成一个有多路输出的基准电流源,为芯片的各个模块提供一个稳定的偏置电流。

本课题主要针对标准CMOS工艺实现了带隙基准源模块的设计,其模块包括 带隙基准电压源电路,电压-电流转换电路以及温度传感器电路。首先,对于带 隙基准电压源电路,在保证精度、温漂等各项指标的前提下,对其电源抑制比进 行了优化设计,其输出参考电压为系统其它模块提供稳定性能良好的电压偏置。 其次,对于电压-电流转换电路,它把带隙基准电压源产生的输出参考电压转换 成稳定的输出电流,为其它模块提供稳定性良好的电流偏置。最后,对于温度传 感器电路,它把输出参考电压转换成一个与温度成正比例关系的温度传感电压,

1

实现电压和温度的一一对应。再将其输出的温度传感电压连接到输出端口 (PAD),通过测试结果就能确切地知道系统处于什么样的温度环境。

本文设计的带隙基准源模块是数字电视调谐器芯片中的一个重要模块,为芯片中其它电路模块提供稳定的电压和电流偏置。

1.2 论文主要工作

本论文的目标是设计一个适用于数字电视调谐器系统芯片的带隙基源模块。 此带隙基准源模块的主要电路模块包括带隙基准电压源电路、电压-电流转换电 路、温度传感器电路、LDO 电路和 buffer 电路等,各个部分电路的相互关系如 图 1-1 所示。



图 1-1 带隙基准源系统结构

如上图 1-1 所示,它表示了带隙基准源在电源电压分别为 3.3V 和 1.8V 两种 情况下,均能够正常的产生基准电压和基准电流。当电源电压为 3.3V 时,带隙 基准电压源 BG33 得到稳定的输出参考电压,经过 LDO 电路的升压及稳压得到 1.8V 的 V_{DD},为其它电路模块提供稳定的 1.8V 电源电压。此时,带隙基准电压 源 BG18 得到稳定的输出参考电压。当电源电压为 1.8V 时,带隙基准电压源 BG18 直接得到稳定的输出参考电压。一般为了减小负载对输出参考电压的影 响,在其输出后面增加一个 buffer 电路,使负载和输出参考电压隔离,使得输出 参考电压几乎不受负载的影响,使其稳定性更佳。

此外,电压-电流转换电路把稳定的输出参考电压转换为稳定的输出参考电 流,为其它电流模块提供偏置电流。温度传感器电路的电压输出表征了与温度的 一一对应关系,通过其测量结果我们可以明确芯片的温度环境。

带隙基准电压源包括 3.3V 电源电压和 1.8V 电源电压 2 个电压源电路,由于其结构、功能和指标均相似,本论文只详细讨论了 3.3V 电源电压的带隙基准

2

电压源的设计过程和性能指标,而 1.8V 电源电压的带隙基准电压源可以得到相似的类推,就不在论文中做详细的介绍。

此外,本论文的主要工作是对带隙基准源的研究,其他相关电路如 buffer 和 LDO 均不在文中做讨论;对于温度传感器电路,我们只对其结构和功能做些 初步的了解,也不会在文中做详细的讨论。

本论文设计的电路模块为带隙基准电压源电路、电压-电流转换电路和温度 传感器电路。要求性能指标输出电压值,输出电流值,温度稳定性,功耗,噪声, *PSRR*等均满足设计要求。其中,如下图 1-2 所示为带隙基准电压源的重要参数 和性能图示。



图 1-2 带隙基准电压源重要参数及性能图示

最后,本论文主要的工作如下所示:

- 1) 课题调研,查阅资料、书籍和文献,了解带隙基准源的结构和原理;
- 2) 根据数字电视调谐器的系统要求,定义带隙基准源的各项性能指标;
- 3) 根据带隙基准源的各项指标,确定系统结构及各部分电路;
- 4) 对电路的各个模块进行仿真和优化,完成带隙基准源的设计;
- 5) 分析带隙基准源各个电路的主要性能和工艺偏差;
- 6) 带隙基准源的版图设计及验证,后仿真并验证比较各个模块的性能指标;
- 7) 调试, 整理, 分析并撰写论文。

1.3 论文组织结构

本论文分为七章深入的讨论和研究了带隙基准源电路系统的设计。详细的论 文组织结构安排如下:

第一章为概述。主要介绍课题背景、论文主要工作和论文组织结构。

第二章主要介绍了带隙基准源的基本结构和原理。详细的阐述了带隙基准电 压源的正、负温度系数电压加权叠加以及带隙基准电流源的实现方法。

第三章主要介绍了带隙基准电压源的结构、性能分析和仿真结果。其中,首 先介绍了带隙基准电压源的主要性能指标并给出了指标的定义;然后阐述了整个 带隙基准电压源电路的电路结构和设计过程;最后分析了带隙基准电压源的性能 并进行了仿真验证和总结。

第四章和第五章分别介绍了带隙基准电流源电路和温度传感器电路的结构、 简单分析及仿真结果。首先,两章分别简单分析了电路的结构及性能;然后,论 文给出了电路相应的仿真结果;最后,分别对电路进行了总结。

第六章主要介绍了整个带隙基准源电路的各个模块的版图设计及后仿验证, 最后给出了一些关于版图设计技巧的总结。

第七章在本文的最后,对整个带隙基准源的设计进行了总结和展望。

第二章 带隙基准源原理

2.1 前言

模拟电路广泛地包含电压基准和电流基准。这种基准是直流量,它与电源和 工艺参数的关系很小,但与温度的关系是确定的。尽管在一次通过(first-pass)模 拟设计中常常被忽视,但是毫无疑问直流电压和电流基准的性能直接影响整个电 路的所有性能。



图 2-1 理想电流和电压的伏安特性曲线

理想的基准电压或电流是与电源和温度变化无关的。图 2-1 所示为理想基准 电压和电流的大信号伏安特性。这些特性与理想电压源和电流源是相同的。当电 压和电流的值比在一般的源中所要求的更精确和更稳定时,这些源就冠以"基准" 的名称。典型的基准与连接到它的负载有关。一般总可以用缓冲放大器隔离基准 与负载,保持基准的高性能[16]。

2.2 带隙基准电压源原理

2.2.1 概述

理想情况下,电压基准提供一个已知幅度但不随温度变化的稳定直流电压。 我们有很多方法可以用于实现这种理想中的电压基准。它们包括:

- 1. 利用齐纳二极管稳压到一个已知电压值
- 2. 利用增强型和耗尽型晶体管阈值电压的差值
- 3. 利用 PTAT 电路的正温度系数抵消 pn 结的负温度系数

第一种方法早已不在流行,因为对于当下的集成电路能耗来说齐纳二极管的 击穿电压实在太大了。而当耗尽型晶体管不可用时,第二种方法也就不可用,这 种情况常常发生。此外,尽管用耗尽型晶体管能够得到非常稳定的基准,但是由 于增强型和耗尽型晶体管阈值电压对工艺灵敏度的不同,这个基准的实际值是非 常难以精准确定的。由于这些原因,前两种方法我们在这里就不予讨论了。最后 一种方法,不管是双极型技术还是 CMOS 技术,都是一种主流方法,也是我们 的主要讨论对象。而基于最后这种方法的电压基准通常被称为"带隙基准"[17]。

由第三种方法可以将两个具有相反温度系数的量以适当的权重相加,得到与 温度关系很小的电压或电流基准,这种基准也被证实在许多模拟电路中是必不可 少的。值得注意的是,因为大多数工艺参数是随着温度变化的,所以如果一个基 准是与温度无关的,那么通常它也是与工艺无关的。

现在我们先识别具有正温度系数和负温度系数的两种电压。在半导体工艺的 各种不同器件参数中,双极晶体管的特性参数被证实具有最好的的重复性,并且 具有能提供正温度系数和负温度系数的、严格定义的量。尽管 MOS 器件的许多 参数已被考虑用于基准产生[18][19],但是双极电路还是形成这类电路的核心。

2.2.2 负温度系数电压

双极型晶体管的基极-发射极电压,或者更一般的说, pn 结二极管的正向电压,具有负温度系数。我们首先根据容易得到的量推出温度系数的表达式。



图 2--2 负温度系数电压

对于恒定电流驱动,该二极管受温度影响非常大,约为-2 mV/°C,我们想把 该值将到 1/1000 以下。为了实现这一目标,需要一个明确表示温度关系的电流 表达式。对于一个双极器件,它的电流-电压表达式可用指数形式精确地给出:

$$I_{\rm C} = I_{\rm S} \exp \frac{V_{\rm BE}}{kT/q}$$
(2.1)

或者用绝对零度是二极管电压给出:

$$I_{\rm C} = {\rm C}T^{\eta} \exp(\frac{V_{\rm BE} - V_{\rm g0}}{{\rm k}T/{\rm q}}) \tag{2.2}$$

对于式(2.1),其中 V_T=kT/q,饱和电流 *I*_s 正比于 μ kTn_i²,其中 μ 为少数载流 子的迁移率,*n*_i为硅的本征载流子浓度。这些参数与温度的关系可以表示为 μ ∝ $\mu_0 T^m$,其中 m≈-3/2,并且 $n_i^2 \propto T^3 \exp[-E_g/(kT)]$,其中 E_g ≈1.12eV,为硅的带隙 能量。所以

$$I_{\rm S} = bT^{4+m} \exp\frac{-E_g}{kT}$$
(2.3)

其中 b 是一个比例系数。写出 V_{BE}=V_TIn(*I_c/I_S*),我们现在就可以计算基极-发射极 电压的温度系数了。在 V_{BE} 对 T 取导数时,我们一定知道 *I_c* 也是温度的函数。 为了简化分析,我们暂时假设 *I_c* 保持不变。这样

$$\frac{\partial V_{\rm BE}}{\partial T} = \frac{\partial V_{\rm T}}{\partial T} \ln \frac{I_{\rm C}}{I_{\rm S}} - \frac{V_{\rm T}}{\partial I_{\rm S}} \ln \frac{\partial I_{\rm S}}{T}$$
(2.4)

由式(2.3)我们有

$$\frac{\partial I_{\rm S}}{\partial T} = b(4+m)T^{3+m}\exp\frac{-E_g}{kT} + bT^{4+m}(\exp\frac{-E_g}{kT})(\frac{E_g}{kT^2})$$
(2.5)

所以

$$\frac{V_{\rm T}}{I_{\rm S}}\frac{\partial I_{\rm S}}{\partial T} = (4+m)\frac{V_{\rm T}}{T} + \frac{E_{\rm g}}{kT^2}V_{\rm T}$$
(2.6)

由式(2.4)和式(2.6),我们可以得到

$$\frac{\partial V_{\rm BE}}{\partial T} = \frac{V_{\rm T}}{T} \ln \frac{I_{\rm C}}{I_{\rm S}} - (4+m) \frac{V_{\rm T}}{T} - \frac{E_g}{kT^2} V_{\rm T}$$
(2.7)

$$=\frac{V_{\rm BE}-(4+m)V_{\rm T}-E_g/q}{T}$$
(2.8)

等式(2.8)给出了温度 7 下基极-发射极电压的温度系数,从中可以看到,它与 V_{BE} 本身的大小有关。当 V_{BE}≈750 mV, 7=300 K 时, ∂ V_{BE}/∂ 7≈-1.5 mV/K[1]。

由式(2.8)可以看出,分子中后两项之和比基极-发射极电压要大,所以其值 是一个与温度和基极-发射极电压相关的负值,表示基极-发射极电压的温度系数 曲线是一条斜率为负的非线性曲线。

2.2.3 正温度系数电压

在 1964 年人们就认识到,如果两个双极晶体管工作在不相等的电流密度下,那么他们的基极-发射极电压的差值就与绝对温度成正比。例如,图 2-3 所示,如果两个同样地晶体管(*I*s1=*I*s2)偏置的集电极分别为 *nI*₀ 和 *I*₀ 并忽略它们的基极电流。



图 2-3 PTAT 电压产生电路

那么,基极-发射极电压的差值为:

$$\Delta V_{\rm BE} = V_{\rm BE1} - V_{\rm BE2} \tag{2.9}$$

将式(2.1)变形代入上式(2.9)得:

$$\Delta V_{\rm BE} = V_{\rm T} \ln \frac{n I_0}{I_{\rm S1}} - V_{\rm T} \ln \frac{I_0}{I_{\rm S2}}$$
(2.10)

$$=V_{\rm T}\ln n \tag{2.11}$$

这样, VBE 的差值就表现出正温度系数:

$$\frac{\partial \Delta V_{\text{BE}}}{\partial T} = \frac{k}{q} \ln n \tag{2.12}$$

可以看出,这个温度系数与温度或集电极电流的特性无关[1]。



图 2-4 发射极面积不同的 PTAT 电压产生电路

在图 2-4 中,我们认识到,如果两个晶体管的发射极面积不同,他们的基极-发射极电压的差值也与绝对温度成正比。忽略基极电流,我们可以得到:

$$\Delta V_{\rm BE} = V_{\rm BE1} - V_{\rm BE2} \tag{2.13}$$

$$= V_{\rm T} \ln \frac{nl_0}{l_{\rm S1}} - V_{\rm T} \ln \frac{l_0}{ml_{\rm S2}}$$
(2.14)

$$=V_{\rm T}\ln nm \tag{2.15}$$

因此,温度系数等于(k/q)ln(nm),是一个和温度无关的常数,很好的说明了 基极-发射极电压差值与温度成正比例线性关系。

2.2.4 带隙基准电压源

由下图 2-5 给出的带隙基准的一般原理图,我们可以看到,带隙基准电压源 的输出参考电压有两部分不同温度特性的电压组成:一部分电压与温度正相关, 另一部分电压与温度负相关。当两部分电压以适当的权重相加,则结果就会为零 温度系数。

由下图2-5可知,负温度系数电压是由室温下温度系数为-2.2mV/°C的pn结 二极管产生电压V_{BE}。正温度系数电压是产生的一个热电压V_T(=k*T/q*),其与绝对 温度(PTAT)成正比,室温下的温度系数为+0.085 mV/°C。如果热电压V_T乘以常 量K加上电压V_{BE},则输出电压为:

$$V_{\text{REF}} = V_{\text{BE}} + KV_{\text{T}} \tag{2.16}$$

将式(2.16)对温度求导,用 V_{BE} 和 V_T 的温度系数求出理论上不依赖与温度的 K 值。为了达到所希望的性能,更详细地分析 V_{BE} 与温度的关系是必需的。因为

VBE与电源几乎无关(如自举基准),所以带隙基准与电源电压几乎无关[20]。



图 2-5 带隙基准的一般原理

如下图 2-6 所示, V_{REF}标示的是带隙基准电压对温度的函数曲线, V_{PTAT}标示的是正温度系数电压对温度的函数曲线, V_{CTAT}标示的是负温度系数电压对温度的函数曲线。该图更加直观的表达了带隙基准源的一般原理。理想情况下,得到的曲线是一条与温度轴平行的曲线,但是实际上,曲线的"曲率"是有限的,也就是带隙电压的温度系数 TC 在某一温度下为零,在其他温度下为正值或者负值。在这里曲率的变化是由于基极-发射极电压、集电极电流和失调电压随温度改变共同引起的。



图 2-6 带隙基准正负温度曲线加权

下图 2-7 是在不同温度下典型的带隙基准电压源电路的温度系数曲线图。综合图 2-5,图 2-6 和图 2-7,我们可以得出这样的结论,输出参考电压是加权的热电压和基极-发射极电压的和。因为基极-发射极电压的温度系数并不是常数,

所以增益 K 可以通过在某一温度下使输出的温度系数为零而得到。换而言之, 热电压发生器是为了抵消基极-发射极电压对温度的线性的变化关系。抵消后, 图 2-7 中的输出电压由随温度非线性变化的基极-发射极电压产生。因此,我们 通常会用带隙基准源电路来弥补这种非线性,这种用来弥补带隙基准源输出参考 电压与温度非线性关系的方法被称作曲率补偿[20]。



图 2-7 带隙基准源输出电压随温度变化曲线

2.2.5 典型电路分析

图 2-8 所示为传统的 n 阱工艺 CMOS 带隙基准。另外,理想运算放大器的 输入失调电压(Vos)已经包含在电路中。假设晶体管 Q1 和 Q2 分别有发射区-基 区面积 A 和 nA,同时假设 Vos 为零。由于运算放大器迫使下属关系成立:

(2.17)



那么 R₁上的电压为:

$$V_{\text{R1}} = V_{\text{BE1}} - V_{\text{BE2}} = V_{\text{T}} \ln(n \frac{I_1}{I_2})$$
 (2.18)

若所有 PMOS 管均相同,则:

$$I_3 = I_1 = I_2 = \frac{V_{\text{R1}}}{R_1}$$
(2.19)

因此,图 2-8 的基准电压写成:

$$V_{\text{REF}} = V_{\text{BE3}} + I_3 R_2 = V_{\text{BE3}} + V_{\text{R3}}(\frac{R_2}{R_1})$$
 (2.20)

将式(2.17)和式(2.18)代入式(2.19),并将结果代入式(2.20)得:

$$V_{\text{REF}} = V_{\text{BE1}} + (\frac{R_2}{R_1}) \ln(n) V_{\text{T}}$$
 (2.21)

比较式(2.16)和式(2.21), 定义常数 K 为:

$$K = \left(\frac{R_2}{R_1}\right) \ln(n) \tag{2.22}$$

于是常数 K 以电阻的比值和发射区-基区面积之比定义,这个结果与电阻的温度 系数无关。

如果输入失调电压不是零,那么可以证明,式(2.21)变为:

$$V_{\text{REF}} = V_{\text{BE3}} + (\frac{R_2}{R_1})[\ln(n)V_{\text{T}} + V_{\text{OS}}]$$
(2.23)

显然,运算放大器的输入失调电压应该很小而且与温度无关才不会使 V_{REF} 的性能恶化。

2.3 带隙基准电流源原理

在电路设计过程中,为了使电路工作在所期望的状态,就必须要对其进行直流偏置。对于局部偏置一般使用电压偏置,而对于长距离的全局偏置一般使用电流偏置。用于偏置的参考电流一般由2种方式产生,一种是由带隙基准核心电路 单独产生的 PTAT 电流,一种是由参考电压转换得到的偏置电流。

(1) PTAT 电流的产生[1]

在带隙电路的分析中,我们注意到双极型晶体管的偏置电流实际上是与温度 成正比(PTAT)的。PTAT 电流在许多应用中是很有效的,它可以通过图 2-9 所示 电路产生。它也可以用另外一种方法产生,我们可以将与电源无关的偏置电路和 双极型晶体管结合,得到图 2-10 的电路。

为了简单起见,假设 M1~M2 和 M3~M4 均未相同的对管,我们注意到:要使 *I*_{D1}=*I*_{D2},电路必须保证 *V*_X=*V*_Y。所以,*I*_{D1}=*I*_{D2}=(*V*_TIn*n*)/*R*₁,结果,使 *I*_{D5}产生同样地特性。在实际应用中,由于晶体管之间的不匹配,以及更重要的是由于*R*₁的温度系数,*I*_{D5}的变化会偏离理想的等式。





图 2-11 与温度无关的电压的生成 图 2-10 的电路也可以很容易地改为产生带隙基准电压的电路。如图 2-11 所

示,其思想是将 PTAT 电压 ID5 R2 加到基极-发射极电压上。因此输出电压等于

$$V_{\text{REF}} = V_{\text{BE3}} + \frac{R_2}{R_1} V_{\text{T}} \ln n$$
 (2.24)

这里假设所有的 PMOS 管都是相同的。注意,只要保证式(2.37)中两项和是 零温度系数, V_{BE3}的值以及因此对 Q₃的尺寸选择,都是可以有几分任意性。实 际上, PMOS 器件的失配会给输出电压 V_{REF} 带来误差[1]。

(2) 电压-电流转换偏置电流的产生

带隙基准电流源实际上并不存在,它是由带隙基准电压源和一到两个电阻的 组合得到。因此,为了从带隙基准电压中得到电流基准,需要一个电阻。但是, 这也导致电流的大多数不可靠因素都来源于电阻,而且电阻的温度系数也是一个 重要的原因。



图 2-12 电压-电流转换电路原理图

如图 2-12 所示,把电压转化成电流最精确的方法就是使用运放。带隙基准电压源产生的参考输出电压 V_{REF},通过运放 A、晶体管 M1 和电阻 *R* 构成的反 馈网络转换成 *I*_{REF},最后通过由管 M1 和管 M2 组成的电流镜镜像输出为 *I*_{OUT}。

反馈网络将运放的输入端口电压调整为相等。相当于将基准电压加在电阻上,使得输出电流和电阻上流过的电流精确地保持一致,而主要的误差是由运放工作点的失调产生。电流基准的温度系数取决于带隙基准的温度系数和电阻的温度系数,可以用其中的一个来补偿另一个,取决于实际应用。系统稳定后,管M1的电流和电阻R的电流相等,电路生成的参考电流为:

$$I_{\text{REF}} = \frac{V_{\text{REF}}}{R} \tag{2.25}$$

第三章 带隙基准电压源电路实现

3.1 前言

带隙基准电压源主要为系统提供稳定的直流参考电压,其精度和稳定性直接 影响和决定系统的整体性能。其主要特性是其输出参考电压不随温度的变化而改 变,与温度无关。

低压低功耗,采用标准 CMOS 工艺,不使用片外电容,节省成本是带隙基 准电压源发展的趋势。设计要求其在噪声、工艺、温度和外接电源等变化因素影 响时,仍具有精度高、温度系数小、线性调整率小、电源抑制比高和噪声低等特 性。

带隙基准电压源主要性能指标有精度、温度系数、线性调整率、电源抑制比、 直流功耗和噪声等。详细的定义和介绍如下所示:

1. 精度

对于带隙基准电压源来说,精度是最为重要的性能指标,用于衡量一个电压 基准源输出电压的精确度。其定义为基准电压源的输出电压与标准值的误差,通 常,这个误差量用百分数表示。

2. 温度系数(Temperature coefficient, TC)

温度的变化将导致输出电压的变化,温度系数就是用来表征环境温度变化引起输出电压的变化量,一般用 ppm/°C 来表示(1ppm=10⁻⁶)。它是带隙基准源最重要的性能指标之一,定义式为:

$$TC = \frac{V_{\text{REFmax}} - V_{\text{REFmin}}}{\frac{V_{\text{REFmax}} + V_{\text{REFmin}}}{2}} \cdot \frac{1}{T_{\text{high}} - T_{\text{low}}}$$
(3.1)

3. 线性调整率(line regulator)

线性调整率也叫电源调整率,定义为在规定的输入电源电压变化范围内,输入电源电压的变化引起的输出基准电压的变化,一般用 µV/V 来表示。线性调整率越小,带隙基准输出电压越稳定。表达式为:

$$LNR = \frac{\Delta V_{\text{REF}}}{\Delta V_{\text{DD}}} |_{\text{DC}}$$
(3.2)

4. 电源抑制比(Power Supply Rejection Ratio, PSRR)

电源抑制比是 AC 小信号下的线性调整率,即电源的瞬时小信号比那话导致 输出电压的变化,电源抑制比表征了电路对这种变化的抑制能力,单位一般用分 贝(dB)来表示。

对于运放等有输入信号的模块来说,电源抑制比 **PSRR** 定义为输入到输出的交流电压增益与电源到输出的交流电压增益的比值。表达式为:

$$PSRR = \frac{A_{\rm V}}{A_{\rm dd}}$$
(3.3)

对于带隙基准源这种没有输入信号的模块而言,电源电压为带隙基准源模块的输入,故此,电源抑制 *PSR* 定义为输出电压的交流小信号变化与电源电压交流小信号的变化的比值,且与频率无关。表达式为:

$$PSR = \frac{\Delta V_{\text{ref}}}{\Delta V_{\text{dd}}}|_{\text{f}}$$
(3.4)

5. 噪声

噪声是带隙基准电压源性能的重要指标,输出电压中噪声通常包括宽带热噪 声和窄带 1/f 噪声。低噪声是模拟电路设计中必须考虑的一个性能指标。

6. 功耗

静态功耗是衡量电路性能的一个重要指标,尤其是在便携式电子应用中,低功耗一直是工程师们的重点研究对象。因此,带隙基准源作为集成电路中一个重要的基本模块,低功耗是带隙基准电压源的一个重要的研究方向[15]。

7. 建立时间

建立时间也叫启动时间,是指电压基准源从电路电源上电到电路输出电压达 到正常工作电压值所需要的时间。该参数对于采用电池供电的便携式电子产品来 说是非常重要的,因为这类产品为了节省电能,常采用短时的供电方式。

综上所示,可以发现带隙基准电压源的各个性能指标之间存在相互影响,在 设计时需要综合考虑各种因素,对各项指标进行折中设计。

3.2 电路结构分析

基准电压源的技术已经非常成熟,也有很多不同的设计方法,但是最常见、 最广泛应用还是带隙基准源技术。采用带隙基准源技术可以相对容易的得到与温 度无关的输出参考电压。

由于电视数字化的不断推进,设计一个性能好的调谐器就显得尤为重要,带隙基准源电路作为调谐器电路中的一个重要模块,我们有必要认真确定此次带隙 基准源的设计目标:

1).采用 TSMC 0.18-µm CMOS 工艺;

2).电源电压变化范围: 1.8V~3.3V;

3).温度变化范围: -55°C~100°C;

4).温度系数(TC): <10ppm/°C;

5).输出电压变化范围: <5mV;

6).电源抑制比(PSRR): >75dB;

7).100Hz 到 100kHz 的积分噪声: <18µV_{rms};

8).低功耗及短的建立时间。



图 3-1 带隙基准电压源电路原理图

图 3-1 是完整的带隙基准电压源的电路原理图,其核心电路主要由 MOS 管 MP11~MP16, Poly 电阻 *R*₁和 *R*₂, PNP 晶体管 Q1、Q2 和 Q3 组成。由于电路 中存在三个"简并点",因此,开启电路主要由 MOS 管 MPS1、MNS1~MNS4 组成,使得节点 1、2 和 3 能同时被启动。电流镜偏置的设计采用了 cascode 结 构,不仅可以改善电流镜的匹配性,还可以提高电路的电源抑制比特性。电路还 采用了补偿电容 *C*₁来改善环路的稳定性以及由 *R*₃和 *C*₂组成的 RC 滤波电路来 滤除高频噪声的影响。

3.2.1 启动电路分析

启动电路主要由 MOS 管 MPS1、MNS1~MNS4 组成,电路结构如图 3-2 所示。



图 3-2 启动电路的电路结构

若无启动电路,带隙基准电压源电路存在三个"简并点",将无法正常工作。 例如,对于节点1,若MP3管的栅为高电压时,MP3管将处于截止状态,因此, 晶体管均无电流通过,此时误差放大器将处于不工作的稳定状态,电路无法启动, 将无限期地保持关断。反之,若MP3管的栅为低电压时,MP3管导通,有电流 流过晶体管 MP1和 MP2,误差放大器启动,进入稳定的工作状态。同理对于节 点2和节点3,我们可以得到相似的结论。因此,为了防止上电后电路进入"简 并"状态,必须增加启动电路,使电路在电源上电时驱使电路摆脱简并偏置点而 进入正常的稳定状态。

结合图 3-1 和图 3-2 分析启动电路可知,上电瞬间 MP3 管的栅极为高电压, MNS1 管栅极接地,故 MNS1 管截止,其漏端电压接近 V_{DD},即 MNS2~MNS4 管栅极接高电压,MNS2~MNS4 管均导通,因此,将 MP3 管、MP9 管和 MP10 管的栅极电压拉低,使所有晶体管导通且有电流流过。当 MP3 管、MP9 管和 MP10 管导通后,有电流流过 MN5 管和 MN6 管,MNS1 管的栅极电压被拉高, MNS1 管导通,电流增大,MNS2~MNS4 管的栅极电压减小。当 MNS2~MNS4 管的栅极电压小于开启条件时, MNS2~MNS4 管均关断, 电路进入正常的稳定工作状态。

当上电完成后,电路正常稳定的工作,由于 MPS1 管是倒比管,阻值非常 大,因此流过的静态电流非常小;当 MNS2~MNS4 管都关断后,启动电路也就 关闭了。因此,启动后,启动电路不会影响带隙基准电压源电路的正常工作。

3.2.2 误差放大器分析

误差放大器主要由 MOS 管 MP1~MP4 和管 MN1~MN2 组成,电路结构如 图 3-3 所示。



图 3-3 误差放大器的电路结构

运放是带隙基准电压源的重要组成部分,运放的性能也直接影响带隙基准的 性能,运放对带隙基准电压源的影响主要有2个方面,包括运放失调和运放增益 对带隙基准电压源的影响。

(1) 运放的失调对带隙基准电压源的影响

运放的失调是由于工艺偏差而引起的参数失配,如电流源负载的失配、差分 输入对的失配等等,表现为运放在输入信号为零时,输出不为零。那么,要使输 出电压为零,则输入有一定的电压,我们一般称这个电压为输入失调电压。

运放的输入失调会使得 V_{neta}≠V_{netb},从而在计算 V_{BE2}-V_{BE1}=*IR*₁中引入误差。 假设运放的输入失调电压为 V_{OS},则此时的输出电压为:

$$V_{\text{REF}} = V_{\text{BE3}} + \frac{R_2}{R_1} (V_{\text{T}} \ln n + V_{\text{OS}})$$
(3.5)

从上式可以看出,运放的输入失调电压 Vos 在在带隙基准电压源的输出中直接引入了误差,同时输入失调电压 Vos 也与温度相关,它的引入也必然导致输出参考电压温度系数的变化。

为了减小运放的失调电压对输出参考电压的影响,我们通常会采取一定的措

施,主要有以下三种方法:

- 1. 在运放电路中采用大尺寸器件并通过版图设计使电路匹配以减小失调;
- 通过改变管 Q1 和管 Q2 集电极电流的比值 *m*,增大式(3.5)中 V_TIn*n* 的 值,使得 V_TIn*mn>>V*_{OS}以至于失调电压 V_{OS}可以忽略不计;
- 3. 在三极管所在支路采用 2 个 pn 解串联的形式,使得 V_{BE2}-V_{BE1} 增大一倍, 从而减小失调电压 V_{OS} 的影响。

(2) 运放的增益对带隙基准电压源的影响

运放的增益是电路负反馈效果的关键因素。在前面的分析中,我们是建立在 理想运放有无穷大增益的基础上的,然而,在实际中,运放的有限增益是一个对 基准电压影响的主要因素。要减小这种影响,设计的运放就必须要有足够大的增 益。同时,必须注意,运放的输出直接关系到核心电路电流镜的偏置电压,因此, 运放的输出必须在一个合理地电压范围内,以确保整个电路能够正常工作。

3.2.3 带隙基准电压源核心电路分析

带隙基准电压源电路的核心电路结构如图 3-4 所示,主要由 MOS 管 MP11~MP18、BJT 管 Q1~Q3、电阻 *R*₁、*R*₂、*R*₃和电容 *C*₂组成。其中,调节 管 Q1 的数字修正方法及由电阻 *R*₃和电容 *C*₂组成的 RC 滤波将在本章下一小节 做详细的讨论。



图 3-4 带隙基准电压源核心电路的电路结构

如图 3-4 所示,使用数字铺助控制 Q1 包含的 PNP 管的个数,PNP 管的数 目分别为 Q1 管 *M* 个,Q2 管 1 个和 Q3 管 1 个。由 3.2.2 节的分析,使用高增 益的运算放大器实现节点 neta 和节点 netb 的电压相等,即 *V*_{neta}=*V*_{netb}。设置分 别含有管 Q1、管 Q2 和管 Q3 的三路电流相等,均为 *I*。由上述分析及条件可知:

$$V_{\text{neta}} = V_{\text{netb}} \tag{3.6}$$

$$V_{\text{neta}} = V_{\text{EB1}} + IR_1 \tag{3.7}$$

$$V_{\text{netb}} = V_{\text{FB2}} \tag{3.8}$$

$$V_{\text{REF}} = V_{\text{EB2}} + IR_2 \tag{3.9}$$

其中 VEB1 和 VEB2 分别为:

$$V_{\rm EB1} = V_{\rm T} \ln(\frac{I_{\rm I}}{I_{\rm S}}) = V_{\rm T} \ln(\frac{I}{MI_{\rm S}})$$
(3.10)

$$V_{\text{EB2}} = V_{\text{T}} \ln(\frac{I_2}{I_s}) = V_{\text{T}} \ln(\frac{I}{I_s})$$
(3.11)

综上所述,带隙基准电压源的输出参考电压为:

$$V_{\text{REF}} = V_{\text{EB2}} + \frac{R_2}{R_1} \ln(M) V_{\text{T}}$$
 (3.12)

由式(3.12)所示,改变电阻 R₂和 R₁的比值,或者改变管 Q1 的个数 M 值, 均可以改变带隙基准电压源的输出参考电压,实现对输出参考电压的调整。

3.2.4 数字修正及 RC 滤波分析

数字铺助控制电路的电路结构如图 3-5 所示,主要由 3-8 译码器和 PNP 管 阵列及控制 PNP 管导通的反相器电路组成。

如图 3-5 所示,电路通过数字信号控制由一个 PMOS 管和一个 NMOS 管组 成的反相器开关,来改变 PNP 管 Q1 的个数 *M* 值。

数字信号 A、B 和 C 来自内部数字单元。三个数字信号通过 3-8 译码器产生 七个控制信号 S1~S7,来控制 *M* 值。电路中 *M* 值的变化范围是 122~178,平



图 3-5 数字铺助控制电路的电路结构

均步长为 8。使用 8 作为 PNP 管的步长可以实现带隙基准电压源输出参考电压 以 5~6mV 左右的步长进行调整。所以,带隙基准电压源的输出参考电压的变化 范围为-16mV~+21mV。

如图 3-5 所示,可控 PNP 管的基本单元是由一个 PMOS 管和一个 NMOS 管组成的反相器开关和若干 PNP 晶体管组成。当数字开关 S 为高电平时, NMOS

管导通,PMOS管截止,晶体管的基极电位被拉低至 V_{SS},晶体管导通,电路增大 M 值控制输出参考电压增大;当数字开关 S 为低电平时, NMOS 管截止, PMOS 管导通,晶体管的基极电位被拉高至 V_{DD},晶体管截止,电路减少 M 值控制输出参考电压减小。这样就实现了对带隙基准电压源的数字修正。



图 3-6 RC 滤波器的频率特性

本论文在实现带隙基准电压源时在输出端加了一个一阶 RC 低通滤波器。 RC 低通滤波器的作用是滤除高频噪声,以减小噪声对下一级电路的影响;另外, 增加 RC 低通滤波器对提高带隙基准电压源的 *PSRR* 的高频特性也起到积极的 影响。其结构和频率特性如图 3-6 所示。

RC 低通滤波器的频率特性为:

$$\frac{V_{\rm in}}{V_{\rm out}} = \frac{1}{1 + j \,\omega RC} \tag{3.13}$$

如(3.14)式所示,增大电阻 R 值或者电容 C 值会使特征频率向低频移动,但 是这样的话会增加版图的面积。此外,如果电阻 R 值,它贡献的噪声也更多。

3.3 电路性能分析

带隙基准电压源主要为系统提供稳定的直流参考电压和参考电流,其精度和 稳定性直接影响和决定系统的整体性能。



图 3-7 带隙基准电压源电路中误差源的分类

3.3.1 误差分析

带隙基准电压源主要为系统提供稳定的直流参考电压,其精度和稳定性直接 影响和决定系统的整体性能。噪声和失配是限制模拟电路精度的主要原因,而随 着工艺的不断进步,沟道长度不断减小,器件尺寸不断减小,失配对电路的影响 就越来越大。因此,带隙基准电压源中的误差主要来自于器件的工艺误差,即 MOS 管的失配、电阻的失配和变化、PNP 管的失配和基极-射极电压的变化。 如图 3-7 所示为带隙基准电压源电路中误差源的分类。

(1) MOS 管的失配[21]

电流镜中 MOS 管的失配会对带隙基准电压源电路的精度产生比较大的影响。MOS 管的失配主要来自于 MOS 管的宽长比以及阈值电压的失调,两者都属于工艺误差。

实验表明,阈值电压的失调量与栅氧化层厚度和衬底掺杂浓度成正比,与 MOS 管的面积成反比。MOS 管的另外一个失配是尺寸失配。这个参数的失配通 常来自于光刻过程以及掩膜板的工艺误差。通常,我们将宽长比的失配与迁移率 及栅氧厚度等工艺参数整合成一个工艺参数 K 的失配,与阈值失配类似,K 值失 配大小也与 MOS 管的面积成反比。

由此也可以看出,电流镜匹配的精确度与电流镜的面积是一对折中的关系。 (2) PNP 管的失配和基极-射极电压的变化[22]

PNP 管的失配,主要体现在匹配的三极管的饱和电流密度 Js 的差异。

三极管基极-射极电压 V_{BE} 的变化,主要体现在匹配的三极管的饱和电流密度 J_s 的绝对误差。

由于三极管基极-射极电压 V_{BE} 的失配直接影响到带隙基准电压,使得我们 在选择工艺时选择 CMOS 工艺,因为标准的 CMOS 工艺中垂直 PNP 管具有更 大的基区宽度,从而使饱和电流密度 J_S更加稳定而具有更小的失配。

(3) 电阻的失配和变化[1][23]

在集成电路工艺中,电阻可以通过很多种方式来实现,电阻主体可以通过不同的工艺层来实现。通常,按照不同的制作方式电阻可以分为:阱电阻、P⁺/N⁺ 电阻、Poly 电阻、金属电阻。一般而言非硅化的 Poly 电阻具有较高的精确度。

和 MOS 管一样,由于工艺偏差的影响,电阻的实际值与设计值之间存在着 误差。在设计过程中,电阻的失配误差是指设计值相同的电阻器件之间实际值之 间的偏差,而电阻的变化是指设计值与实际值之间的绝对偏差。一般而言,电阻 的绝对误差会远远大于电阻的匹配误差,达到 10%~30%。

如图 3-8 所示,是在实际电路中引起带隙基准电压源电路误差的主要因素。 图 3-8 中充分表述了在图 3-7 中所有工艺误差因素,而这些工艺误差因素的变化 都将影响最终的输出参考电压。

23



图 3-8 引起带隙基准电压源电路误差的因素

如图 3-8 所示, MP11~MP16 管构成共源共栅结构的电流镜, 如果电流镜失 配, 将影响各支路的电流, 进而影响公式(3.12)中的自然对数项, 与设计值不同。 电阻的失配和变化会改变 *R*₂ 和 *R*₁ 的比值, 同样会使得式(3.12)的结果发生变化。 PNP 管的失配和基极-射极电压的变化, 也会影响公式(3.12)中的自然对数项, 使得带隙基准输出参考电压出现误差。其中失配可以在版图绘制时使用匹配技术 减小。单个元件参数的变化, 尺寸不精确可以通过修正来减小。

3.3.2 温度系数分析

温度系数是带隙基准电压源的重要性能指标,表征带隙基准电压源的输出参考电压受温度影响的大小。温度系数可以绘制电压-温度曲线,如下图3-9所示。



图 3-9 温度系数曲线

由图3-9所示,我们可以看到,理想的温度曲线中输出参考电压是不随温度
的变化而变化的。而实际电路的温度曲线,在不使用高阶曲率补偿技术时,通常 为抛物线形状,其开口可以向上,也可以向下。

由于工艺的偏差,实际得到的温度曲线会与设计值有一定的误差,所以我们 需要在设计时考虑对其进行修正。下面我们进一步分析哪些重要因素影响着带隙 基准的温度曲线变化及修正因素。

首先,将式(3.12)的左右两边分别对温度求导,得到:

$$\frac{\mathrm{d}V_{\mathrm{REF}}}{\mathrm{d}T} = \frac{\mathrm{d}V_{\mathrm{EB2}}}{\mathrm{d}T} + \frac{R_2}{R_1}\ln(M)\frac{\mathrm{d}V_{\mathrm{T}}}{\mathrm{d}T} = \frac{\mathrm{d}V_{\mathrm{EB2}}}{\mathrm{d}T} + \frac{R_2}{R_1}\frac{\mathrm{k}}{\mathrm{q}}\ln(M)$$
(3.14)

当式(3.14)等于零时,理论上此温度处带隙基准电压源的无难度系数为零, 其输出参考电压将不随温度的变化而变化。

$$\frac{dV_{EB2}}{dT} + \frac{R_2}{R_1} \frac{k}{q} \ln(M) = 0$$
 (3.15)

将式(2.8)代入式(3.15),可以得到:

$$\frac{V_{EB2} - (4+m)V_{T} - E_{g}/q}{T_{pk}} + \frac{R_{2}}{R_{1}}\frac{k}{q}\ln(M) = 0$$
(3.16)

其中,对应温度曲线中电压极值点的温度为 Tpk, 化简式(3.15)得:

$$T_{\rm pk} = \frac{E_g}{k[\ln(\frac{1}{I_s}) + \frac{R_2}{R_1}\ln(M) - (4+m)]}$$
(3.17)

其中, Eq是硅的带隙能量, k为开尔文常数, Is是双极型晶体管的反向饱和电流。

在设计带隙基准电压源的温度曲线时,一般将输出参考电压对应的温度值设置在温度变化范围的中间,这样使得输出参考电压随温度的变化最小。式(3.18) 清楚地反映了温度 *T*_{pk}与偏置电流 *L* 电阻 *R*₂ 和 *R*₁ 的比值以及 PNP 晶体管的个数 *M* 的关系。

由此可以看出,理论上我们有 3 种方式来对温度曲线进行修正。首先,对于 偏置电流 1,我们可以得到其表达式 $I = \frac{\Delta V_{EB}}{R_1}$,可以看出,它不仅受到工艺偏差 等因素的影响,也和电阻的大小成反比,较难得到一个可控且精确的值。

其次,虽然增加 R₂和 R₁的比值可以改善电路的温度特性,但是我们在本章 3.3.3 小节的噪声分析中可以看到,电阻 R₂和 R₁的比值较小时,电路的噪声性 能更加优异。

最后,当其他值都不变时, PNP 晶体管个数 *M* 的变化,可以改变电路的温度特性,而且,晶体管的个数确定且可控,更可以用数字信号的简单方式实现控制。因此,我们选择调整晶体管个数 *M* 值,对带隙基准电压源的温度曲线进行修正。

3.3.3 噪声分析

在低噪声的应用中,带隙基准电压源的噪声通常是一个很重要的贡献者。许 多电路,例如数模转换器电路、压控振荡器电路、锁相环等等都需要低噪声参考 电压和电流。



图 3-10 带隙基准电压源的等效噪声电路

图3-10是带隙基准电压源的等效噪声电路,噪声包括:误差运算放大器的输入等效噪声;电阻噪声;MOS管噪声。晶体管Q1和Q2的射极阻抗为1/g_{m1}和1/g_{m2},各部分噪声等效到输出的推导公式如下所示。

其中,在计算过程中,由于晶体管选用一致,所以我们认为所有晶体管的基极-发射极电压均相等,这样处理对噪声的估算影响不大,而且简化了分析过程。

1) 误差运算放大器的输入等效噪声

设运算放大器等效到输出的噪声为 $dv_{n,EA}^2$,我们可以得到:

$$\boldsymbol{v}_{\mathsf{EA}} = \boldsymbol{v}_{\mathsf{Y},\mathsf{EA}} - \boldsymbol{v}_{\mathsf{X},\mathsf{EA}} \tag{3.18}$$

$$V_{X,EA} = i_{EA}(1/g_{m1})$$
 (3.19)

$$v_{\rm Y,EA} = \dot{l}_{\rm EA}(R_1 + 1/g_{m2})$$
 (3.20)

$$v_{n,EA} = v_{X,EA} + i_{EA}R_2$$
 (3.21)

综上可得:

$$v_{n,EA} = \frac{R_2 + 1/g_{m1}}{R_1 + 1/g_{m2} - 1/g_{m1}} v_{EA}$$
(3.22)

2) 电阻噪声

a) 电阻 R1 等效到输出的噪声

设电阻 R_1 等效到输出的噪声为 $dv_{n,R1}^2$,我们可以得到:

$$i_{\rm R1} = \frac{V_{\rm R1}}{1/g_{\rm M2}A_{\rm EA} + R_1 + 1/g_{\rm m2}}$$
(3.23)

$$v_{\rm X,R1} = i_{\rm EA}(1/g_{\rm m1})$$
 (3.24)

$$V_{n,R1} = V_{X,EA} + i_{R1}R_2$$
(3.25)

综上可得:

$$v_{n,EA} = \frac{R_2 + 1/g_{m1}}{1/g_{M2}A_{EA} + R_1 + 1/g_{m2}} v_{R1}$$
(3.26)

b) 电阻 R₂等效到输出的噪声

设电阻 R_2 等效到输出的噪声为 $dv_{n,R2}^2$,等于其电压噪声 dv_{R2}^2 。

3) 总的输出噪声

PNP晶体管的射极阻抗相对于电阻的阻值可以忽略不计,则总输出噪声为:

$$d\overline{v_{\text{REF}}^{2}} = \left(\frac{R_{2} + 1/g_{m1}}{R_{1} + 1/g_{m2} - 1/g_{m1}}\right)^{2} d\overline{v_{\text{EA}}^{2}} + \left(\frac{R_{2} + 1/g_{m1}}{1/g_{\text{M2}}A_{\text{EA}} + R_{1} + 1/g_{m2}}\right)^{2} d\overline{v_{\text{R1}}^{2}} + d\overline{v_{\text{R2}}^{2}} (3.27)$$

$$\approx \left(\frac{R_{2}}{R_{1}}\right)^{2} (d\overline{v_{\text{EA}}^{2}} + d\overline{v_{\text{R1}}^{2}}) + d\overline{v_{\text{R2}}^{2}} \tag{3.28}$$

从式(3.28)可知, $(R_2/R_1)^2$ 为 $(\overline{dv_{EA}^2} + \overline{dv_{R1}^2})$ 的系数,若能减小这个比值,则可以减小输出噪声。由式(3.12)求导,理论上此处带隙基准电压源温度系数为零,可得:

$$\frac{R_2}{R_1} = \frac{1}{k/q} \frac{\partial V_{\text{BE1}}}{\partial T} \frac{1}{\ln(M)}$$
(3.29)

增大 PNP 晶体管的个数 *M* 值,可以减小电阻 *R*₂/*R*₁ 的比值。所以我们在考虑通过改变 *M* 值来调节带隙基准源的温度曲线时,在合理地范围内尽可能的增大 *M* 值,不仅可以达到调节温度曲线的作用,还能够减少噪声的影响。另外,如图 2-4 所示, M1 管和 M2 管的两路偏置电流比值 m,式(2.12)的分母中 *M* 的 值乘以 m,使得电阻 *R*₂/*R*₁ 的比值减小,也有利于减小带隙基准电压的等效输出 噪声。

3.3.4 电源抑制比分析

在以前,参考电压源电源波动的影响都是通过在带隙基准电路的输入和输出 端添加大量的外部旁路电容来抑制[24][25][26][27]。但是随着系统集成度的不断 增加,外部器件不仅直接影响成本,同时可能导致电路产生更多的噪声被耦合到 电源线上。因此,提高电路电源抑制比(PSRR)性能是至关重要的。

很多模拟电路,包括运算放大器[16][20],线性稳压器[28][29][30][31],带隙 基准[32][33][34]等等,都采用并联反馈的形式调节它的输出电压。如图 3-11 所 示,这些电路的输出都可以简化为由误差放大器、MOS 管和一个适当的电阻组 成的电路。



图 3-11 使用并联反馈调节输出电压的电路结构

如图 3-11 所示,已经证明,这些闭环系统的电源抑制比与反馈回路的开环参数有着密切的关系[16][28][33][35][36][37][38]。虽然在[16][33][35][36][37]中的 推导表达式给我们提供了一种良好的 PSRR 性能评估方式,但是它们没有给出 开环相应如何影响电源抑制比的更直观的理解。在下图 3-12 中,给出了一个更 直观的 PSRR 分析模型图。虽然这个模型对于任何采用并联反馈调节输出电压 的电路都是有效的,但是在本文中,我们讨论的是论带隙基准电压源电路。



图 3-12 直观的 PSRR 分析模型

如图 3-12 所示, PSRR 的传递函数可以看作是电阻分压的效果。其中,该模型的电阻由 MOS 管的电阻 r_{ds}和开环输出到地的电阻 z_o与并联反馈回路电阻 Z_{o-ref}。

通过图 3-11 和图 3-12 可以得到:

$$z_{0} = (z_{C0} + R_{ESR}) || R_{0}$$
(3.30)

$$Z_{0-\text{ref}} = \frac{Z_0 || r_{\text{ds}}}{A_0 \beta}$$
(3.31)

因此, PSRR 为:

28

$$PSRR = \frac{z_0 || z_{0-ref}}{r_{ds} + z_0 || z_{0-ref}}$$
(3.32)

如图 3-13 所示,我们可以更直观的看到图 3-12 的模型在不同的频率时是如何影响到 PSRR 性能的。

. .



图 3-13 直观的 PSRR 性能图

3.4 仿真结果

本文使用台积电的 0.18-µm CMOS 工艺库模型进行仿真,电路仿真的条件 除了特殊说明意外均采用典型条件:管 Q1 的晶体管数目初始 M 值为 122,数字 控制的 M 值依次递增 8 左右,室温为 27°C。仿真结果分为:直流特性、交流特 性、噪声特性、PSRR 特性、瞬态特性和数字修正特性。

3.4.1 直流特性

在图 3-14 中,电源电压以 0.1V 的步长从 2.1V 变化到 3.3V。从图中的各条 温度曲线,可以看出在不同的电压下,温度曲线的形状和大小都几乎不变,在



图 3-14 电源电压变化对温度曲线的影响

27°C 时输出参考电压均为 1.253V,温度系数 TC 约为 3.8ppm/°C。电源电压的 变化对温度曲线的影响较小,说明本文中带隙基准电压源电路的温度曲线随电 压、温度和工艺的变化非常小,实现设计要求。

表 3-1 通过具体的仿真数据给出了电源电压的变化对温度系数的影响。从表 中可以看出,在电源电压变化时,温度系数和输出参考电压值得变化均不大,很 好的反映了温度系数对温度、电压和工艺非常好的稳定性。

V _{DD}	(V)	2.1	2.2	2.3	2.4	
VREF	(V)	1.2529	1.2529	1.2529	1.2529	
TC	(ppm/°C)	3.8082	3.7831	3.7919	3.6761	
	-				-	-
$V_{\rm DD}$	(V)	2.5	2.6	2.7	2.8	
VREF	(V)	1.2529	1.2529	1.2529	1.2529	
TC	(ppm/°C)	3.7768	3.769	3.7802	3.8091	
V _{DD}	(V)	2.9	3	3.1	3.2	3.3
VREF	(V)	1.2529	1.2528	1.2528	1.2528	1.2528
TC	(ppm/°C)	3.8362	3.8623	3.888	3.92	3.9453

表 3-1 电源电压变化对温度系数和输出参考电压的影响

图 3-15 显示了工艺角的变化对温度曲线的影响。从图中可以明显的看到, 在 slow-worst 和 fast-best 两种工艺角下对输出参考电压的大小影响较大,其他 的集中工艺角情况影响很小。此外,我们可以看出,工艺角的变化对温度曲线的 形状几乎没有影响。



图 3-15 工艺角的变化对温度曲线的影响

表 3-2 给出了在 2.1V 和 3.3V 两种不同电源电压下工艺角的变化对温度系数 及输出参考电压的影响。从表中我们也可以看到,电源电压的变化几乎对温度系

数和输出参考电压没有影响。而工艺角的变化受到的影响与上图 3-12 所表述的一致。

corner		sf	fast_best	typ	fs	slow_worst
V _{DD}	(V)	2.1	2.1	2.1	2.1	2.1
Vref	(V)	1.253	1.245	1.253	1.253	1.264
TC	(ppm/°C)	3.938	3.072	3.808	3.76	9.119
		sf	fast_best	typ	fs	slow_worst
V _{DD}	(V)	3.3	3.3	3.3	3.3	3.3
VREF	(V)	1.253	1.245	1.253	1.253	1.263

表 3-2 电源电压和工艺角的变化对温度系数和输出参考电压的影响

静态功耗仿真的结果如表 3-3 和表 3-4 所示。仿真条件选择了电源电压 V_{DD} 在 2.1V 和 3.3V 之间所有的电压进行。表 3-3 显示了电源变化对静态功耗的影响, 从数据可以看出电源的变化直接影响静态功耗, 电流大小变化不大, 功耗变化是 由电源电压变化引起的。表 3-4 显示了工艺角的变化对静态功耗的影响, 从数据 可以看出工艺角的变化对静态功耗影响不大, 基本无影响。

V _{DD}	(V)	2.1	2.2	2.3	2.4	
1	(µA)	160.48	160.79	161.14	161.36	
POWER	(µW)	337.01	353.74	370.62	387.26	
V _{DD}	(V)	2.5	2.6	2.7	2.8	
1	(µA)	161.62	161.9	162.13	162.39	
POWER	(µW)	404.06	420.95	437.74	454.68	
V _{DD}	(V)	2.9	3	3.1	3.2	3.3
1	(µA)	162.64	162.89	163.2	163.4	163.68
POWER	(µW)	471.65	488.67	505.92	522.89	540.13

表 3-3 电源电压变化对静态功耗的影响

表 3-4 电源电压和工艺角的变化对静态功耗的影响

corner		sf	fast_best	typ	fs	slow_worst
V _{DD}	(V)	2.1	2.1	2.1	2.1	2.1
1	(µA)	159.48	155.14	159.38	159.43	162.95
POWER	(µW)	334.9	325.8	334.7	334.8	342.2
		sf	fast_best	typ	fs	slow_worst
V _{DD}	(V)	3.3	3.3	3.3	3.3	3.3
1	(µA)	162.88	160.55	162.61	163.79	165.7
POWER	(µW)	537.5	529.8	536.6	540.5	546.8

3.4.2 交流特性

图 3-16 和图 3-17 显示了电源变化对环路交流特性的影响,可以看出电源电压的变化对环路增益及相位裕度的影响都很小,所有变化曲线几乎重合,并且环路始终处于稳定状态。环路增益大约为 60dB,相位欲度大约为 50deg。



图 3-16 电源电压变化对环路增益的影响



图 3-17 电源电压变化对环路相位裕度的影响

图 3-18、图 3-19 分别显示了工艺角的变化对环路交流特性的影响。从图中可以看出,不同工艺角对环路增益和相位裕度的影响均不大,所有变化曲线几乎 重合。充分说明了电路具有良好的稳定性,也反映了其环路交流特性与电源电压 及工艺角的变化均无关。

表 3-5 用数据表述了电源电压变化和工艺角的变化对环路交流特性的影响。 从数据数值也可以很好的看出不管电源电压变化还是工艺角的变化,电路的环路 增益和相位裕度几乎不变。

32





图 3-18 工艺角的变化对环路增益的影响

图 3-19 工艺角的变化对环路相位裕度的影响

freg (Hz)

corner		sf	fast_best	typ	fs	slow_worst
V _{DD}	(V)	2.1	2.1	2.1	2.1	2.1
GBW	(MHz)	1.557	1.803	1.589	1.618	1.399
Gain	(dB)	56.64	58.14	59.23	59.71	57.96
PM	(deg)	50.61	48.54	49.39	48.28	50.69
		sf	fast_best	typ	fs	slow_worst
V _{DD}	(V)	3.3	3.3	3.3	3.3	3.3
GBW	(MHz)	1.591	1.882	1.62	1.674	1.428
Gain	(dB)	57.96	58.92	61.03	61.3	60.14
PM	(deg)	50.24	47.56	49.07	47.56	50.34

表 3-5 电源电压和工艺角的变化对环路交流特性的影响

3.4.3 噪声特性

图 **3-20** 显示了电源变化对噪声特性的影响,可以看出电源电压的变化对噪声特性的影响较小,在不同的电源电压下,噪声特性的曲线形状和大小都几乎不



变。从 100Hz 到 100kHz 的积分噪声大小约为 17µV_{rms}.



表 3-6 电源电压和工艺角的变化对噪声特性的影响

图 3-21 工艺角的变化对噪声的影响

corner		sf	fast_best	typ	fs	slow_worst		
$V_{\rm DD}$	(V)	2.1	2.1	2.1	2.1	2.1		
Noise	(µVrms)	16.88	14.88	16.84	16.81	18.74		
integrated noise from 100Hz to 100kHz								
corner		sf	fast_best	typ	fs	slow_worst		
$V_{\rm DD}$	(V)	3.3	3.3	3.3	3.3	3.3		
Noise	(µVrms)	16.81	14.8	16.77	16.73	18.64		
integrated noise from 100Hz to 100kHz								

图 3-21 显示了工艺角的变化对噪声特性的影响。从图中我们可以看出,不同工艺角的变化对噪声几乎没有影响。表 3-6 用积分噪声的数值表述了电源电压

变化和工艺角的变化对噪声特性的影响。从数据可以看出,电源电压的变化对噪声的影响不大,但是在不同工艺角,尤其是在 slow-worst 和 fast-best 两种工艺角下,对噪声特性的影响还是比较大的。

3.4.4 电源抑制比特性

图 3-22 显示了没有 RC 滤波电路时电源变化对 PSRR 特性的影响。图 3-23 显示了有 RC 滤波电路时电源变化对 PSRR 特性的影响。从图中可以看出,在低频时,电源电压的变化对 PSRR 特性的影响较大,而在高频时,电源电压的变化对 PSRR 特性几乎没有影响。在输出电压端添加 RC 滤波电路后,在低频时,有无 RC 滤波电路对 PSRR 特性几乎无影响,而在高频时,RC 滤波电路优化了电路的 PSRR 特性。其中, PSRR 的值大约为-85dB。



图 3-22 无 RC 滤波时电源电压变化对 PSRR 的影响



图 3-23 有 RC 滤波时电源电压变化对 PSRR 的影响 图 3-24 和图 3-25 分别显示了 2.1V 和 3.3V 电源电压下工艺角的变化对

PSRR特性的影响。可以看出在不同的电源电压下,低频时相同工艺角对 **PSRR**特性的影响都较大,到高频时影响不是很大。在相同的电源电压下,低频时不同工艺角的变化对 **PSRR**特性的影响较大,而在高频时,对其几乎没有影响。



图 3-24 VDD 为 2.1V 有 RC 滤波时工艺角的变化对 PSRR 特性的影响





表 3-7 通过数值表述了电源电压的变化和工艺角的变化对 PSRR 特性的影响。通过数值我们可以看到,电源电压的变化对 PSRR 特性有影响,但是相差不大。同样的,工艺角的变化对 PSRR 特性的影响也很小。

corner		sf	fast_best	typ	fs	slow_worst
V _{DD}	(V)	2.1	2.1	2.1	2.1	2.1
PSR	(dB)	-81.36	-80.62	-85.54	-82.4	-80.86
corner		sf	fast_best	typ	fs	slow_worst
V _{DD}	(V)	3.3	3.3	3.3	3.3	3.3
PSR	(dB)	-77.4	-82.6	-76.31	-77.43	-74.45

表 3-7 电源电压和工艺角的变化对 PSR 特性的影响

3.4.5 瞬态特性

图 3-26 是在 3.3V 电源电压的情况下,输出参考电压的瞬态特性。其中线 VDD 表示电源电压;线 PD 高电平时表示 Power-down 的开启,低电平表示 Power-down 的断开;线 VREF 为瞬态的输出参考电压。从图中可以看出,在上 电时,电路能够迅速地启动达到稳定工作状态,且其受一定范围内电源电压的影 响较小。





图 3-27 显示了电源变化对瞬态特性的影响,可以看出在上电时,电源电压的变化对输出参考电压的启动和建立时间有影响,但是影响不大。而直到下一次上电之前,电源电压的变化对输出参考电压的稳定性几乎没有影响。



图 3-27 电源电压变化对瞬态特性的影响

图 3-28 和图 3-29 分别显示了 2.1V 和 3.3V 电源电压下工艺角的变化对瞬态特性的影响。可以看出在不同的电源电压下,相同工艺角对瞬态特性的影响都不是很大,但在相同的电源电压下,不同工艺角的变化对瞬态特性的影响较大。



图 3-28 VDD 为 2.1V 时工艺角的变化对瞬态特性的影响





图 3-29 VDD 为 3.3V 时工艺角的变化对瞬态特性的影响

图 3-30 带隙基准电压源的建立时间

图 3-30 给出了带隙基准电压源在恒定电源电压且无负载的情况下电路的建 立时间。通过上图可以看出,电路能够迅速地启动并稳定工作。在不同的电源电 压下其建立时间均<4us。

3.4.6 数字修正特性

由于当电源电压、温度或者工艺偏差等等外界条件发生变化时,输出参考电压都会受到影响。而数字修正电路就是通过改变晶体管的数量,来修正这些因素给输出参考电压带来的偏差。表 3-8 所示为数字修正电路的参量及对输出参考电压的影响,从表中可以看出,输出参考电压的变化范围是-16mV~+21mV,步长约 5mV。图 3-31 给出了数字修正电路对温度曲线影响的图例。总体而言,通过数字修正来调整输出参考电压,得到我们所期望的电压值。

			Vdd	VDD=2.1V		VDD=3.3V		
Α	В	С	PNP比例	ΔM	$V_{REF}(V)$	$\Delta V_{REF}(mV)$	$V_{REF}(V)$	$\Delta V_{REF}(mV)$
0	0	0	1-122	0	1.237	-16	1.237	-16
0	0	1	1-129	7	1.242	-11	1.242	-11
0	1	0	1-136	7	1.247	-6	1.247	-6
0	1	1	1-144	8	1.253	0	1.253	0
1	0	0	1-152	8	1.258	5	1.258	5
1	0	1	1-160	8	1.263	10	1.263	10
1	1	0	1-169	9	1.268	15	1.268	15
1	1	1	1-178	9	1.274	21	1.274	21

表 3-8 数字修正电路对输出参考电压的影响



图 3-31 数字修正电路正对温度曲线的影响

3.5 总结

本章主要叙述了数字可控的带隙基准电压源的结构、性能及仿真结果。表 3-9 给出了该电路的仿真性能总结。从仿真结果可以看出,电路的环路交流特性 稳定,电源电压和工艺角的变化都对其影响很小。*PSRR* 特性虽然受到电源电压和工艺角变化的影响很大,但是其性能完全满足设计要求。电源电压对噪声特性的影响不大。工艺角的变化对瞬态特性,尤其是在瞬态上电时对启动时间的建立有一定的影响,但是电路能够正常迅速地启动,且电路启动后正常工作。通过控制 PNP 管的数目来修正输出参考电压的值,输出参考电压的修正值范围是-16mV~+21mV。

POWER	<540uW
TC	<10ppm/°C
GBW	<1.62Mhz
PM	~60deg
PSR at 3.3V	78dB
PSR at 2.1V	95dB
integrated noise from 100Hz to 100kHz	~16.8Vrms
Start Time	<4us

表 3-9 带隙基准电压源的性能总结

第四章 电压-电流转换电路实现

4.1 前言

在第二章第三小节我们已经介绍了2种偏置电流的产生。

在此章节,我们在产生参考电压之后,采用电压-电流转换电路将其转换成 参考电流,经过电流镜单元功绩给其他模块电路,作为偏置电流。

电流镜对转换成的参考电流进行复制,使输出电流与参考电流相同或者成整数倍数。其他模块再使用电流镜生成多路、与期望值相应的电流。电流镜电路的结构图如图 4-1 所示。



图 4-1 电流镜结构示意图

忽略沟道长度调制效应, M1 管和 Mn 管的电流分别为:

$$I_{\rm DS1} = I_{\rm REF} = \frac{1}{2} \mu_{\rm n} C_{\rm ox} \left(\frac{W}{L}\right)_{\rm 1} (V_{\rm GS1} - V_{\rm T})^2$$
(4.1)

$$I_{\rm DSn} = I_{\rm Bn} = \frac{1}{2} \mu_{\rm n} C_{\rm ox} (\frac{W}{L})_{\rm n} (V_{\rm GSn} - V_{\rm T})^2$$
(4.2)

所有 MOS 管的善缘电压相等,整理得:

$$I_{\rm Bn} = \frac{(W_{\rm L})_{\rm n}}{(W_{\rm L})_{\rm 1}} I_{\rm REF}$$
(4.3)

由式(4.3)可知,表达式只与 MOS 管的宽长比有关,与工艺和温度等参数无 关,说明电流镜可以精确地复制参考电流而不受其他外界因素的影响。

4.2 电路结构及性能分析

本文选用带隙基准电压经过转换得到带隙基准电流,电路图如下图 4-2 所示。电路主要由偏置电路、基准电流转换电路和电流镜电路组成。其中,偏置电流 *I*_{bias}由带隙基准电压源电路提供。

偏置电路由管 MN4~MN5 和管 MP5~MP6 组成。其中,管 MN4~MN5 构成 电流镜,把带隙基准电压源产生的偏置电流复制到管 MP5~MP6,使其产生偏置 电压为运放和电流镜偏置。MP5 管工作在线性区。



图 4-2 电压-电流转换电路

管 MN1~MN3 和管 MP1~MP4 组成运算放大器, 与管 MP7、管 MP8 以及 可控电阻 *R* 组成基本的基准电流转换电路。其中,由带隙基准电压源得到的输 出参考电压 *V*_{bg} 从运放的反向输入端输入,利用运放做负反馈,使得运放的同相 输入端的电压与输出参考电压 *V*_{bg} 相等。

由于工艺偏差,电阻 R 的绝对值误差较大,而且,电阻本身也具有一定的 温度系数,造成带隙基准电流的误差,所以,本文在设计电路是采用了可调节的 数字控制电阻阵列,这样可以通过调节其电阻的阻值得到精确的偏置电流。其结 构如下图 4-3 所示。



如图 4-3 所示, 通过数字信号 rtune<5:0>这六个控制信号, 分别连通六个反

相器和 MOS 管。例如对于 rtune<5>路信号,若其为高电平,则 MOS 管 MN5 的栅极为低电平,处于截止区,此时电阻值增加了一个 *R*₁的值;若信号为低电 平, MOS 管的栅极为高电平, MOS 导通,此时在电阻 *R*₁两端相当于跨接了一根导线,此时电阻值不会增加 *R*₁的值。其它信号路以此类推,从而通过对数字 信号的控制,调节电阻的大小,从而达到调节输出参考电流的目的。

最后,电流输出端的电流镜采用了 cascode 结构,使电路的输出阻抗增加, 以此来减小负载对偏置电流的影响,使得输出的带隙基准电流更加精确。另外, 跨接运放输入输出之间的电容 C₁做为补偿,用以稳定电路的环路特性。

4.3 仿真结果

本文使用台积电的 0.18-µm CMOS 工艺库模型进行仿真,电路仿真的条件 除了特殊说明意外均采用典型条件:运放输入接的参考电压 V_{bq}为 1.253V,偏







图 4-5 PSRR 特性

置电流 *I*_{bias} 为 10uA, 电阻为 6 位数字可控电阻阵列。在实际电路当中,运放接入的参考电压 *V*_{bg} 会受到工艺、电压、温度等因数的影响,从而直接影响输出参考电流。采用可控电阻可以通过微调电阻的阻值,来消除参考电压受到的影响,从而得到稳定的输出参考电流。

图 4-4 和 4-5 分别给出了电压-电流转换电路的环路交流特性和 PSRR 特性。 从环路特性可以看出,电路能够稳定的正常工作,满足设计要求。另外,电路的 PSRR 特性非常好,其值为 128dB。充分说明了电路受到电源电压及工艺角变 化的影响会很小。



图 4-6 工艺角的变化对输出电流的影响

图 4-6 给出了工艺角的变化对输出电流的影响。通过图中标示可以看出,在 slow-worst 和 fast-best 两种工艺角下,输出电流受到较大的影响,输出电流变 化的值超过 1uA。由此可见,电路在受到这种外界因素影响的情况下,电阻调节 的重要性。

4.4 总结

本章主要叙述了电压-电流转换电路的结构及仿真结果。表 4-1 显示了该电路的仿真性能总结。从仿真结果可以看出,电路交流环路特性稳定, PSRR 性能完全满足设计要求。

Iref	10.11uA
POWER	3.84mW
GBW	42.7Mhz
PM	51.59deg
LoopGain	64.87dB
PSRR	127.8dB

表 4-1 电压-电流转换电路的性能总结

第五章 温度传感电路实现

5.1 前言

信号处理是模拟电子电路最主要的功能之一。

集成运放的运用表现在它能构成各种运算电路。在运算电路中,以输入电压 作为自变量,以输出电压作为函数;当输入电压变化时,输出电压也将那一定的 数学规律进行变化,即输出电压反应输入电压的某种运算结果。

通常,在分析运算电路是均假设集成运放为理想运放,因而其中两个输入端 的净输入电压和净输入电流均为零,即具有"虚短路"和"虚断路"两个特性, 这是分析运算电路输出电压和输入电压运算关系的基本出发点。

5.2 电路结构及性能分析

本文选用的温度传感电路,电路图如下图 5-1 所示。电路主要由一个 buffer 电路和一个温度传感核心电路组成。其中,偏置电流 *I*_{bias}和 PTAT 电流 *I*_{ptat}均由 带隙基准电压源电路提供。

管 MN3~MN4 组成的电流镜把偏置电流复制给 buffer 电路,管 MP1~MP2、管 MN1~MN2 和管 MN4 组成一个典型的五管运算放大器。其中,由带隙基准电压源得到的输出参考电压 V_{bg} 从运放的反向输入端输入,利用运放做负反馈,使得运放的同相输入端的电压与输出参考电压 V_{bg} 相等。另外,跨接运放输入输出之间的电阻 *R*₀ 和电容 *C*₀ 构成 RC 米勒补偿,用以稳定电路的环路特性。

温度传感核心电路是一个集成运放和电阻组成的运算电路。



$$V_{\text{temp}} = (1 + \frac{R_4}{R_3}) I_{\text{ptat}} R_5 - \frac{R_4}{R_3} \frac{R_1 || R_2}{R_1} V_{\text{bg}}$$
(4.4)

图 5-1 温度传感电路

5.3 仿真结果

本文使用台积电的 0.18-µm CMOS 工艺库模型进行仿真,电路仿真的条件 除了特殊说明意外均采用典型条件:运放输入接的参考电压 V_{bg}为 1.253V,偏置电流 *I*_{bias}为 10uA,运算电路同相输入端 *I*_{ptat}是在室温时为 10uA 的与温度成正比的电流。仿真结果分为:交流特性、*PSRR* 特性和输出参考电压及其斜率。







图 5-3 PSRR 特性

图 5-2 和 5-3 分别给出了温度传感器电路的环路交流特性和 PSRR 特性。 从环路特性可以看出,电路能够稳定的正常工作,满足设计要求。另外,电路的 PSRR 特性非常好,其值为 128dB。充分说明了电路受到电源电压及工艺角的 变化影响会很小。

图 5-4 给出了温度传感器电路的输出电压与温度的一一对应的关系图。图 5-5 给出的是图 5-4 所示曲线的斜率。从图 5-5 可知,其斜率基本不变,保持在 4.9m 左右,说明图 5-4 中输出电压基本语温度成正比线性关系,能够实现我们

46



图 5--5 输出电压曲线的斜率

5.4总结

本章主要叙述了温度传感电路的结构及仿真结果。表 5-1 显示了该电路的仿 真性能总结。从仿真结果可以看出,电路的环路交流特性稳定。PSRR 性能完全 满足设计要求。

Vtemp at 27deg	781.4mV
Ktemp	4.925m
GBW	10.4Mhz
PM	58.55deg
LoopGain	35.9dB
PSRR	128.7dB

表 5-1 温度传感电路的性能	能总	结
-----------------	----	---

第六章 版图设计及后仿真

6.1版图设计的基本考虑

集成电路的版图设计也和集成电路的电路设计一样至关重要,版图的设计实际上是对电路的布局布线,位置和层次都需要特别的讲究。如果版图设计的误差较大,即使电路前仿真性能非常好,最终的电路性能也可能达不到预定的性能指标,甚至导致电路功能的失效。

在模拟设计中,无论是 CMOS 还是双极型电路,主要目标不是芯片的尺寸, 而是优化电路的性能、匹配程度、速度和各种功能方面的问题。例如,不显尺寸 是否满足模拟电路电流消耗的要求?寄生效应是否太高?匹配技术是否恰当? [39]

带隙基准源模块作为一种对性能要求较高的模拟电路,其对版图要求也相对 比较高,在版图设计时需要考虑非常多的因素,就此,本小节将先讨论一些主要 的版图设计因素。

1) 匹配性设计

模拟集成电路通常通过匹配性设计来获得他们大部分的精度和性能。但是有 很多因素会干扰这种匹配性,例如尺寸大小、掺杂浓度、氧化层厚度、工艺偏差 等等因素。版图设计就是尽可能的想办法来优化这些因素的影响,从而实现匹配 实现精确地性能。关于匹配性设计一般有如下几条规则[39]:

1. 把匹配器件相互靠近放置;

- 2. 使器件保持同一方向;
- 3. 选择一个中间值作为你的根部件;
- 4. 采用指状交叉方式;
- 5. 用虚设器件包围起来;
- 6. 四方交叉你的成对器件;
- 7. 匹配你布线上的寄生参数;
- 8. 使每一样东西都对称;
- 9. 使差分布线一致;
- 10.使器件宽度一致;
- 11.采用尺寸较大的器件;
- 12.注意邻近的器件。

纯粹的匹配时非常简单的,以上所有这些规则也都是从实际出发得到的。

2) 寄生参数

集成电路是由工艺层构成的。一些金属层在另一些金属层之上走线。一些晶体管挨着其他晶体管。晶体管都建立在衬底中。每当你想这样引入两种不同的材

料,就会产生额外的电容。这些电容就是寄生电容。

一个集成电路通过导线、注入以及各种各样的材料来传输电流。无论你想让 电流流到哪里,你都要经过传输材料的电阻。因此,你总会有不希望的寄生电阻 存在。而不管是寄生电容,还是寄生电阻,你都无法摆脱它[39]。

寄生电阻和寄生电容都将影响电路的性能。一般而言,此类寄生电阻和寄生 电容分别与导体的宽长比和面积成正比。因此,那些对保证电路性能起关键作用 的连线应当尽可能的短,以减少寄生效应的影响。此外,MOS 管可以采用折叠 式结构使得两个 MOS 管的栅极共用一个源级或漏极,以减少寄生效应的影响。

6.2 带隙基准电压源电路版图实现

6.2.1 带隙基准电压源的版图设计

图 6-1 给出了带隙基准电压源的版图设计。其面积为 168x260um²,主要包括 3 个部分。如图所示, PNP Array 部分是 PNP 晶体管阵列, Capacitance 部分是电容区, Bandgap Core 部分为带隙基准电压源的核心电路、运放、电流镜及电阻等模块。



图 6-1 带隙基准电压源电路的版图

6.2.2 后仿真

图 6-2 给出了带隙基准电压源温度系数的前仿真和后仿真的对比图。其中红 色上方的线为后仿真的温度曲线,蓝色下方的线为前仿真的温度曲线。从图中可 以看出,后仿与前仿的曲线形状是一致的,大小相差 2mV,在误差范围内。

50



图 6-2 带隙基准电压源的前后仿温度曲线对比

图 6-3 给出了带隙基准电压源噪声特性的前仿真和后仿真的对比图。其中红 色上方的线为后仿真的噪声特性,蓝色下方的线为前仿真的噪声特性。从图中可 以看出,低频时,后仿与前仿的噪声曲线是一致的,即 1/f 噪声在前后仿时变化 不大;而在高频时,后仿情况比前仿情况先进入白噪声区且后仿热噪声更大。也 由此可见,版图的寄生电容使得噪声转折点提前,使得噪声变差。



图 6-3 带隙基准电压源的前后仿噪声对比

图 6-4 给出了带隙基准电压源电源抑制比特性的前仿真和后仿真的对比图。 其中红色往上的线为后仿真的电源抑制比特性,蓝色往下的线为前仿真的电源抑 制比特性。从图中可以看出,低频时,电源抑制比保持良好,但是,后仿表明 RC 滤波性能提前,到高频时无 RC 滤波特性。

由图 6-3 和图 6-4 说明后仿时 RC 滤波的特性由于受到寄生电容和寄生电阻 的影响,对整体电路的噪声和 *PSRR* 特性所起到的作用有限,甚至带来了更多 相反的结果,针对这点可以进一步的做优化设计。





6.3 电压-电流转换电路版图实现

6.3.1 电压-电流转换电路的版图设计

图 6-5 给出了带隙基准电压源的版图设计。其面积为 80x85um²,主要包括 2 个部分。如图所示,Voltage-Current Core 部分是电路的主体电路如运放及电 流镜等部分,Resistance 部分是可调节的电阻阵列。



图 6-5 电压-电流转换电路的版图

6.3.2 后仿真

图 6-6 给出了电压-电流转换电路的输出电流的前仿真和后仿真的对比图。 从图中可以看出,后仿与前仿的曲线形状几乎重合,前后仿输出电流大小不变, 不受外界因素的影响。



图 6-6 电压-电流转换电路的前后仿输出电流对比

图 6-7 给出了带隙基准电压源温度系数的前仿真和后仿真的对比图。其中红 色上方的线为后仿真的电源抑制比特性,蓝色下方的线为前仿真的电源抑制比特 性。从图中可以看出,高频时,电源抑制比几乎重合,没有变化。但是低频时, 后仿真结果电源抑制比明显下降了 20dB,但是仍然有 100dB 的电源抑制比,不 影响电路的稳定正常工作。

从图 6-7 中所示,虽然能保证电路的正常工作,但是后仿真 PSRR 特性的 异常也是值得关注的一个问题。对于低频段 PSRR 偏小可能是受到运放增益的 影响;而对于在中频段时的突变也是一个有待改善的地方。



图 6-7 电压-电流转换电路的前后仿电源抑制比对比

6.4 温度传感器电路版图实现

6.4.1 温度传感器电路的版图设计

图 6-8 给出了温度传感器电路的版图设计。其面积为 75x100um²,主要包括 3 个部分。如图所示,Amplifier 部分是运放及偏置电路,Operation Amplifier 部分是用于运算的运放,Resistance 部分为温度传感器电路的电阻部分。



图 6-8 温度传感器电路的版图

6.4.2 后仿真



图 6-9 温度传感器电路的前后仿输出电压对比

图 6-9 给出了温度传感器电路输出电压的前仿真和后仿真的对比图。从图中 可以看出,后仿与前仿的曲线几乎完全重合,输出电压没有受到前后仿的偏差。

图 6-10 给出了温度传感器电路输出电压斜率的前仿真和后仿真的对比图。 其中红色上方的线为后仿真的输出电压斜率,蓝色下方的线为前仿真的输出电压 斜率。从图中可以看出,后仿与前仿的曲线形状是一致的,几乎重合,均值都为 4.9m 左右,与图 6-9 一起说明温度传感器的输出电压稳定,不受外界因素影响。



图 6-10 温度传感器电路的前后仿输出电压斜率对比

图 6-11 给出了温度传感器电路电源抑制比的前仿真和后仿真的对比图。其中红色上方的线为后仿真的电源抑制比,蓝色下方的线为前仿真的电源抑制比。 从图中可以看出,后仿与前仿的曲线相差较大。在高频时,电源抑制比的曲线几 乎重合;但是在低频时,后仿真的电源抑制比只有 80dB,而前仿真的电源抑制 比为 128dB。



图 6-11 温度传感器电路的前后仿电源抑制比对比

从图 6-11 中,我们看到,虽然电路 PSRR 特性的值对整体电路的稳定性影响不大,但是前后仿这么大的差异性,也表明版图中的寄生电容和电阻对电路的

运放如增益以及输出端的 RC 滤波电路有着非常大的影响。这也是一个有待继续 探讨与解决的问题。

第七章 总结与展望

7.1 总结

本文设计实现了带隙基准源系统,其中包括带隙基准电压源电路、电压-电 流转换电路和温度传感器电路。

设计带隙基准电压源电路时,采用了传统的双极型晶体管结构,在此基础上 对温度系数、噪声、PSRR等性能进行了优化和改善;同时,增加了数字可控的 修正电路,用以修正输出参考电压的误差。电压-电流转换电路中产生的电流流 经数字可控的电阻阵列,可以更好的减小工艺角偏差。温度传感器电路的运算电 路使得我们知道每一个温度所对应的电压关系。这些都是在设计过程中应该全面 考虑的因素和性能。同时,针对工艺角偏差,我们在仿真和调试过程中尽可能多 的进行各种情况的验证,使得设计的电路性能更加稳定和优良。

从仿真结果来看,带隙基准电压源电路具有噪声低、电源抑制比高、温度系数小等特点。电压-电流转换电路输出的偏置电流稳定、误差小。温度传感器电路准确的反应温度和电压之间的关系。

绘制版图过程中,使用了一些匹配技术来减小电路的失配,来提高电路的性能。基于后仿真和前仿真的比较,性能基本一致,达到预定目标。

7.2 展望

首先,虽然本论文实现的带隙基准电压源具有较低的温度系数,但是此次设 计只才用了一阶补偿技术,如果使用高阶补偿技术实现稳定、温度系数小的电路, 可以更客观准确的对一阶补偿和多阶补偿进行充分的比较,明确补偿技术的影响 因素和差异。

其次,本论文在设计时噪声虽然达到了指标,但是相对较大,还有很大的优 化空间,比如增大晶体管的数目,减小电阻的比值等等方式来进一步减小噪声。

最后,本论文对 **PSRR** 性能做了很多理论的分析和结论,与仿真结果取得 了很好的验证;但是前后仿的较大差异性,说明对 **PSRR** 性能还有更多的设计 和优化空间。

致谢

本论文的研究工作自始至终都受到了导师唐长文副教授的悉心指导。在研究 生的二年时间里,不管是在学习上,生活上或者是思想上,唐长文老师都给与了 我非常大的帮助和关心,是我在学习、生活以及科学研究的道路上深受感动和鼓 舞。在此论文完成之时,谨向我的导师唐长文表示衷心的感谢和崇高的敬意!

感谢闵昊老师、王俊宇老师和谈希老师在实验室期间对我的指导和关系,是 我受益匪浅。无论是在生活还是在学术这几位老师都值得我由衷的感谢和敬佩。

短短的两年研究生生涯匆匆的过去,让我感动和感谢的使我们项目组的每个 成员。大师兄王心在专业上和学习方法以及生活态度上都对我有着重大的影响, 非常非常感谢他的无私!感谢我们同一届毕业的同学褚博、黄求振、刘杰,和他 们在一起工作、学习的这段时间成为了我人生中的一段美好回忆。感谢室友程涛 同学,一起生活,一起学习,一起进步。另外还要感谢师弟易海东、冯皓在项目 上一起分担和学习。我们项目组就像一个大家庭,感谢所有给予我帮助的人!

感谢父母、妹妹、弟弟对我求学的支持和鼓励。

最后,在此对这两年来帮助过我的每一位老师、同学和朋友致以最诚挚的谢 意和最美好的祝福!

刘玉琰

二零一三年四月于复旦大学
参考文献

- [1]. B. Razavi, Design of Analog CMOS Integrated Circuits, 1st ed. McGraw-Hill, 2000.
- [2]. Widlar R J. New developments in IC voltage regulators. IEEE Journal of Solid-State Circuits, 1971, 6(1): 2-7
- [3]. Hilbiber D F. A New Semiconductor Voltage Standard. In: Proceedings of International Solid-State Circuits Conference. New York: Winner, 1964. 32-33.
- [4]. Ka Nang Leung, Philip K. T. Mok, and Chi Yat Leung,"A 2-V 23-uA 5.3ppm/°C 4th-order Curvature Compensated CMOS Bandgap Reference," Proceeding of the IEEE Custom Integrated Circuits Conference, 2002,12-15 May 2002, pp. 457-460(2002).
- [5]. Ka Nang Leung, Philip K. T. Mok, and Chi Yat Leung,"A 2-V 23-uA 5.3ppm/°C Curvature Compensated CMOS Bandgap Voltage Reference," Proceeding of the IEEE J. Solid-State Circuits, Vol. 38, No. 3, pp. 561-564(2003).
- [6]. Rajarshi Paul, and Amit Patra, "A Temperature Compensated Bandgap Voltage Reference for High Precision Applications," Proceeding of the IEEE INDICON 2004. First 20-22 Dec. 2004 pp. 553-556(2004).
- [7]. Jianghua Chen, Xuewen Ni, and Bangxian Mo, "A Curvature Compensated CMOS Bandgap Voltage Reference for High Precision Applications," 7th International Conference on ASIC, Oct. 2007.
- [8]. S. K. Hoon, J. Chen and F. Maloberti, "An Improved Bandgap Reference with High Power Supply Rejection", Proc. IEEE Int. Symp. Ciurcuits and Systems (ISCAS), vol. 5, pp. 833-836, May 2002.
- [9]. V. Gupta, "An Accurate, Trimless, High PSRR, Low-voltage, CMOS Bandgap Reference IC", PhD thesis, Georgia Institute of Technology, August 2007
- [10]. H. Zhang, P. K. Chan, Tan M. T. Tan, "A high PSR voltage reference for DC-to-DC converter applications", Proc. IEEE Int. Symp. Ciurcuits and Systems (ISCAS), pp. 816-819, May 2009.
- [11]. H. Zhang, P. K. Chan, and M.T. Tan, "A high PSR voltage reference for DC-to-DC converter applications," Proc. IEEE Int. Symp. Circuits and Systems (ISCAS), pp. 816-819, May 2009.
- [12]. P. Malcovati, F. Maloberti, "Curvature-Compensated BiCMOS Bandgap with 1-V Supply Voltage," IEEE Journal of Solid-State Curcuits, vol.36, No.7, pl076-1081, July 2001.
- [13]. K. N. Leung, P. K. T. Mok, "A Sub 1-V 15-ppm/°C CMOS Bandgap Voltage Reference without Requiring Low Threshold Voltage Device," IEEE Journal of Solid-State Circuits, vol.37, p.526-530, Apr. 2002.
- [14]. G. De Vita and G. lannaccone, "A sub-1-V, 10 ppm/°C, nanopower voltage reference generator," IEEE J. Solid-State Circuits, vol. 42, no. 7, pp. 1536-1542, July 2007.
- [15]. T. Hirose, K. Ueno, N. Kuroki and M. Numa, "A CMOS Bandgap and Sub-Bandgap Voltage Reference Circuits for Nanowatt Power LSIs," IEEE Asian Solid-State Circuits Conference, Nov, 8-10, 2010, Beijing, China.
- [16]. P. E. Allen and D. R. Holberg, CMOS Analog Circuits Design, 2nd ed. OXFORD UNIVERSITY PRESS, 2002.
- [17]. D. A. Johns and K. Martin, Analog Integrated Circuit Design, 1st. New York: Wiley,

1997.

- [18]. Chang P J, Rofougaran A, Abidi A A. A CMOS channel-select filter for a direct-conversion wireless receiver[J]. Solid-State Circuits, IEEE Journal of, 1997, 32(5): 722-729.
- [19]. Thomas L. The biquad: Part I-Some practical design considerations[J]. Circuit Theory, IEEE Transactions on, 1971, 18(3): 350-357.
- [20]. P. R. Gray et al, Analysis and Design of Analogy Integrated Circuits, Wiley, 2003.
- [21]. K. R. Lakshmikumar, R. A. Hadaway, M. A. Copeland, "Characterisation and Modeling of Mismatch in MOS Transistors for Precision Analog Design," IEEE Journal of Solid-State Circuits, 1986, 21(12):1057-1066.
- [22]. Willy M Sansan, Analog Design Essential. Springer, 2006.
- [23]. S. L. Lin and C. A. Salama, "A Vbe(T) Model with Application to Bandgap Reference Design," IEEE Journal of Solid-State Circuits, 1985, 20(6):1283-1285.
- [24]. ADR420 datasheet, Analog Devices, "Ultraprecision, low noise, 2.048 V/2.500 V/3.00 V/5.00 V XFET ® voltage references," [Online] Available: http://www.analog.com/UploadedFiles/Data_Sheets/164129577ADR420_1_3_5_g.p df (Data accessed: Apr.2007).
- [25]. REF2912 datasheet, Texas Instruments, "100ppm/°C, 50uA in SOT23-3 CMOS voltage references," [Online] Available:
 - http://focus.ti.com/lit/ds/symlink/ref2912.pdf (Data accessed: Apr.2007).
- [26]. REF3020 datasheet, Texas Instruments, "50ppm/°C max, 50uA in SOT23-3 CMOS voltage references," [Online] Available:

http://focus.ti.com/lit/ds/symlink/ref3020.pdf (Data accessed: Apr.2007).

[27]. LM4120 datasheet, National Semiconductor, "Precision micropower low dropout voltage references," [Online] Available:

http://www.national.com/lit/ds/LM/ LM4120.pdf (Data accessed: Apr.2007).

- [28]. C. Lee, K. McClellan, and J. Choma Jr., "A supply-noise-insensitive CMOS PLL with a voltage regulator using dc-dc capacitive converter," IEEE J. of Solid-State Circuits, vol. 36, pp. 1453-1463, Oct. 2001.
- [29]. Dallas Semiconductor/Maxim, Appl. Note 898, "Selecting LDO linear regulators for cellphone designs." [Online] Available: http://www.maximic.com/appnotes.cfm/appnote_number/898 (Date accessed: Apr. 2007).
- [30]. J. M. Ingino and V.R. von Kaenel, "A 4-GHz clock system for a high-performance system-on-a-chip design," IEEE Jour. of Solid-State Circuits, vol. 36, pp. 16931698, Nov. 2001.
- [31]. K. Manetakis, "CMOS micro-power output stage for integrated voltage references," IEE Electronics Letters, vol. 40, pp. 917-918, 22 July 2004.
- [32]. G. A. Rincón-Mora, Voltage References From Diodes to Precision High-Order Bandgap Circuits, IEEE Press, John Wiley & Sons, Inc., 2002, ISBN: 0471143367.
- [33]. G. Giustolisi and G. Palumbo, "A detailed analysis of power-supply noise attenuation in bandgap voltage references," IEEE Trans. Circuits Sys.- I, vol. 50, pp. 185-197, Feb. 2003.
- [34]. D. Spady and V. Ivanov, "A CMOS bandgap voltage reference with absolute value and temperature drift trims," in Proc. IEEE Intl. Symp. Circuits Systems, Kobe, Japan, May 2005, pp. 3853-3856.

- [35]. M. S. J. Steyaert and W. M. C. Sansen, "Power supply rejection ratio in operational transconductance amplifiers," IEEE Trans. Circuits Sys., vol. 37, pp. 1077-1084, Sept. 1990.
- [36]. E. Säckinger, J. Goette, and W. Guggenbűl, "A general relationship between amplifier parameters, and its application to PSRR improvement," IEEE Trans. Circuits Sys., vol. 38, pp. 1173-1181, Oct. 1991.
- [37]. D.B. Ribner and M. A. Copeland, "Design techniques for cascoded CMOS op amps with improved PSRR and common-mode input range," IEEE J. of Solid-State Circuits, vol. 6, pp. 919-925, Dec. 1984.
- [38]. V. Gupta and G. A. Rincón-Mora, "Analysis and design of monolithic, high PSR, linear regulators for SoC applications," in Proc. IEEE SOC Conf., Santa Clara, CA, Sept. 2004, pp. 311-315.
- [39]. C. Saint and J. Saint, IC Mask Design: Essential Layout techniques, McGraw-Hill, 2002.

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除 了特别加以标注和致谢的地方外,不包含其他人或其它机构已经发表或撰写过的 研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明 并表示了谢意。

作者签名:_____ 日期:_____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定,即:学校有权保留 送交论文的复印件,允许论文被查阅和借阅;学校可以公布论文的全部或部分内 容,可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此 规定。

作者签名: ______ 导师签名: _____ 日期: _____