

学校代码: 10246

学 号: 072021055

復旦大學

硕 士 学 位 论 文

低相位噪声的数控晶体振荡器设计

院 系: 微电子学系

专 业: 微电子学与固体电子学

姓 名: 赵薇

指 导 教 师: 唐长文 副教授

完 成 日 期: 2010 年 5 月 20 日

目录

摘要	III
Abstract	V
第一章 概述	1
1.1 研究目的	1
1.2 研究内容及贡献	2
1.3 论文组织结构	3
参考文献	3
第二章 晶体振荡器概述	5
2.1 晶体特性	5
2.1.1 压电特性	5
2.1.2 电学等效模型	6
2.2 晶体振荡器分析方法和结构	8
2.2.1 晶体振荡器分析方法	8
2.2.2 CMOS 晶体振荡器结构	10
2.3 晶体振荡器指标	12
2.3.1 功耗	12
2.3.2 频率稳定度	14
2.3.3 其他	15
2.4 本章小结	15
参考文献	16
第三章 Santos 结构晶体振荡器分析	17
3.1 核心电路	17
3.2 线性分析	18
3.2.1 起振时间及时间常数	18
3.2.2 临界跨导和牵引系数	19
3.2.3 小信号电压幅度	23
3.3 非线性分析	24
3.3.1 大信号模型	24
3.3.2 大信号电压幅度	27
3.4 相位噪声分析	29
3.5 设计流程	31
参考文献	31
第四章 Santos 结构晶体振荡器电路设计	33

4.1 设计考虑	33
4.2 自动幅度控制电路设计	35
4.2.1 晶振核心电路设计	35
4.2.2 电流源	37
4.2.3 峰值检测和比较器电路	39
4.2.4 自动幅度控制	40
4.3 自动频率控制	43
4.3.1 数控开关电容阵列	44
4.3.2 电容阵列的单元设计	46
4.3.3 一阶 delta-sigma 调制器	50
4.4 晶振输出缓冲级设计	51
参考文献	53
第五章 芯片实现及测试	55
5.1 芯片实现	55
5.2 芯片测试结果	56
参考文献	61
第六章 总结与展望	63
6.1 总结	63
6.2 展望	63
参考文献	63
致谢	65

摘要

近年来,无线通信技术高速发展,对低成本、高精度、低噪声和集成化晶体振荡器的需求迅猛增长。全集成的片上数控晶体振荡器(Digitally Controlled Crystal Oscillator, 以下简称 DCXO),借助射频基站发送的频率校正信号而产生的自动频率控制(Automatic Frequency Control, 以下简称 AFC)信号直接控制电容阵列,克服频率随温度 and 时间的漂移,同时满足系统对频率精度的要求。因此,DCXO 以其易集成和低成本具有替代昂贵的压控式温度补偿晶振(Voltage Controlled Temperature Compensated Crystal Oscillator, 以下简称 VCTCXO)的巨大市场潜力。

本文针对 DCXO 的设计关键,从晶振的基本理论着手,分析了系统性能指标,对构建 DCXO 系统的关键电路展开了详细的研究与设计。

首先,介绍国内外研究现状,提出了数控晶体振荡器相比传统的 TCXO/VCTCXO 所具有的优势,以及实现 DCXO 的设计难点。

为实现设计目标,概述了几种晶体振荡器的结构,分析各自的优缺点。在研究中,探讨了晶体谐振器的等效电路及衡量晶振性能的各项指标,分析了电路的理想与非理想特性。

在此基础上,设计了基于 Santos 结构的晶振电路,给出了电路在起振阶段的小信号分析和大信号稳态分析。对大信号情况下,振荡幅度,晶体参数,偏置电流和器件尺寸之间的关系给出了量化的模型。电路引入了自动幅度控制来平衡相位噪声和功耗。数控电容阵列的设计采用 14 位的分段译码电容阵列,加入了一阶 delta-sigma 调制器来获得高精度的频率调谐。

最后,给出电路的流片测试结果。测试结果表明:DCXO 芯片面积 0.5 mm×0.8 mm,功耗为 1.8 mW。DCXO 振荡在 25 MHz 时,在频偏为 1 kHz 和 10 kHz 处的相位噪声分别为-139 dBc/Hz 和-151 dBc/Hz。频率可调范围约为 35 ppm,频率调谐精度 0.04 ppm。在温度-40 °C~+80 °C内,频率变化±7 ppm。

关键词: 数控晶体振荡器, 温度补偿式晶体振荡器, 相位噪声, 自动幅度控制, delta-sigma 调制器, 电源推动

中图分类号: TN432

本论文工作受到国家自然科学基金资助(项目编号: 60876019)

Abstract

With the development of wireless communication, a low cost, high frequency accuracy, low phase noise, fully integrated crystal oscillator meets great market. A fully integrated DCXO is able to adjust its frequency by digitally switching its capacitor bank. The base station keeps broadcasting the frequency control burst (FCB) on the frequency control channel. The handheld terminal then uses this FCB to generate the frequency error signal to control the DCXO. For this reason, DCXO is valuable to substitute the high-cost TCXO/VCTCXO.

The XO in home market is booming for a long time. For this purpose, a lot of work about theoretic research and circuit implement are carried out.

Firstly, this work gives a quick preview on the XO research field on abroad and points out the advantage of the DCXO compared to the traditional TCXO/VCTCXO, with an eye on the difficulties of the DCXO design. Then based on the DVB Tuner application, phase noise specification has been analyzed.

Secondly, an overview of several types of crystal oscillator is provided. A Santos topology is presented here for its good phase noise. Basic crystal oscillation theory is analyzed and all the ideal and non-ideal features are discussed.

And then, a 14-bit DCXO based on Santos topology is presented. Small and large signal analyses are given. A deterministic methodology is introduced through the large signal model.

Finally, the layout considerations and measurement results are given. The chip area is 0.4mm^2 in a $0.18\text{-}\mu\text{m}$ CMOS process, consumes 1mA current under 1.8V supply voltage. The measured phase noise results are -139 dBc/Hz at 1 kHz and -151 dBc/Hz at 10 kHz frequency offset, respectively. The DCXO achieves 35 ppm tuning range and $\sim 0.04\text{ ppm}$ frequency step. The frequency variation is $\pm 7\text{ ppm}$ across the temperature range from -40°C to 80°C .

Key words: DCXO, TCXO, phase noise, automatic amplitude control, delta-sigma modulation, supply pushing

第一章 概述

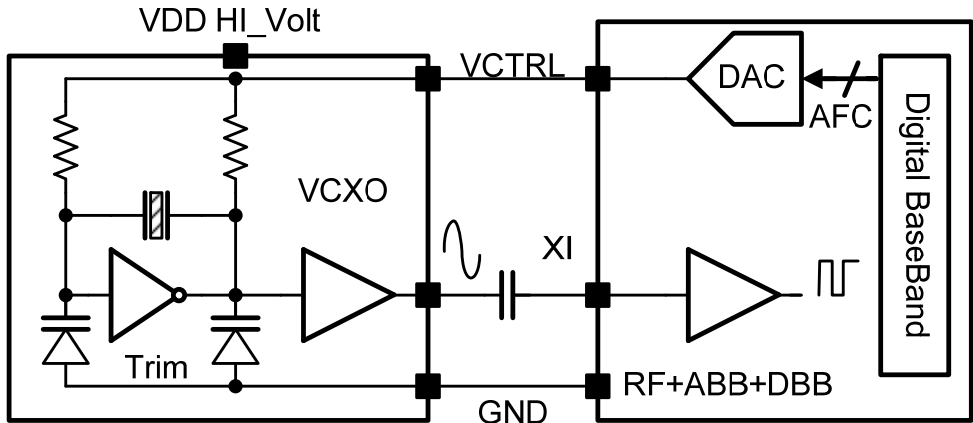
1.1 研究目的

石英晶体振荡器以其杰出的频率稳定性能被广泛应用于各种领域，包括电脑和电器时钟脉冲源，在射频通讯中，广播电视和计算机网络等的标准信号源，全球定位系统，蓝牙和无线局域网等现代化通信系统的高性能基准频率源等等。晶振在现代通信中的地位举足轻重，其性能直接影响到整个电子系统的指标优劣。

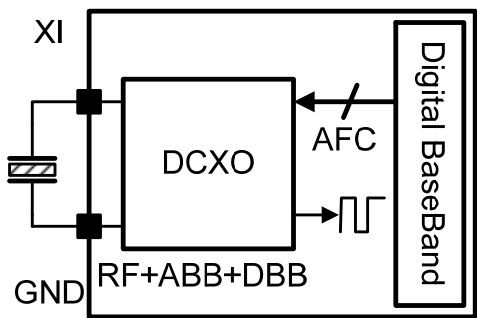
随着移动通信、导航和无线局域网等现代通讯系统对扩频调频等原理的利用，现在的频谱资源越发紧张，射频电路对基准频率准确性的要求越来越高。普通晶振(XO)由于存在频率随温度漂移和老化等现象，无法适应系统对频率长期稳定性的要求，为此出现了对频偏进行校正的温度补偿晶振(TCXO)。随着通信技术的发展，众多现代通讯协议都具有频率校正信道(FCCH, Frequency Control Channel)，基站通过此信道以一个极高精度的频率参考源不断发送FCB(Frequency Control Burst)，终端设备检测此信号产生自动频率控制信号(AFC, Automatic Frequency Control)，对本地晶振频率进行校准，这就要求晶振必须具备实时调谐功能，由此在TCXO基础上产生了压控式温度补偿晶振(VCTCXO)。AFC信号施加在模拟变容器件上，实现频率的精细调节。VCTCXO以其优良的长期和短期频率稳定性在射频系统中得到广泛使用。

与此同时，芯片利润的下降使芯片成本受到关注。图 1-1(a)给出了VCXO(VCTCXO)在手持设备中的典型应用。随着CMOS工艺向45-nm发展，片上系统(System on Chip)也在不断推进，在CMOS工艺上能够集成数字基带，模拟基带甚至射频电路，如图 1-1(b)所示。为了降低成本，实现更高集成度的射频收发系统，一个更经济且更直接的方法是将VCTCXO功能集成到射频芯片中，除晶体外的所有器件整合到片内，模拟变容管由数字电容阵列取代以方便AFC的直接调频。这就是数控晶体振荡器(DCXO)迅速成为研究热点的原因之一[1][2][3]。

基于CMOS工艺的DCXO设计的难点主要在于：1)低相位噪声，尤其是低频偏下的相位噪声。在频率综合器中，参考时钟晶振的噪声传输特性是低通的，因此频综低频偏处的相位噪声主要来自晶振。CMOS工艺由于其拙劣的 $1/f$ 噪声性能使得低噪声设计变得较为困难。2)高频率精度。现代通信协议，如GSM标准要求接收和发送的频率误差不超过0.1 ppm，用数字电容阵列取代模拟变容管后如何保证频率变化的高精度是另一个值得研究的难点。



(a) 典型 VCXO 应用



(b) DCXO 应用

图 1-1 (a) 典型 VCXO 应用 (b) DCXO 应用

本文围绕上述问题，从晶振设计原理到电路实现，详细论述数控晶体振荡器设计。

1.2 研究内容及贡献

本论文着重研究了射频收发机中频率参考源—数控晶体振荡器电路，主要内容包括晶振的基本理论及实现方式；然后以 Santos 结构晶振为例，指出了相位噪声的设计考虑；接着在此基础上分析并实现了数控晶振电路的设计，并经过流片和测试得到了验证。本文的主要贡献包括：

- 1) 建立了 Santos 结构晶振的大信号分析模型，详细推导振荡幅度，指出了偏置电流，振幅和驱动管跨导之间的关系。在此基础上给出了晶振设计的具体流程。
- 2) 采用数字算法实现的自动幅度控制电路稳定相位噪声性能并优化了功耗。
- 3) 为实现高精度的频率调谐精度，采用 $\Delta\Sigma$ 调制器技术实现更高精度的有效电容。
- 4) 在 SMIC 0.18- μm CMOS 工艺下，设计并实现了一款低相位噪声，高精度

的数控晶体振荡器。

1.3 论文组织结构

本文针对晶体振荡器在无线通信领域的应用，首先介绍了晶体和晶振的背景知识，给出晶振的常用分析方法和结构；然后以 Santos 晶振为例，分析了电路的小信号模型和大信号模型，并给出了相位噪声的设计考虑。最后给出了芯片的测试结果及展望。具体组织结构如下：

第二章介绍了晶体和晶振的相关理论知识，包括衡量晶振性能的指标，如长期和短期频率稳定性和功耗等。给出了晶振分析常用的负阻分析法和三种晶振结构，分析了各自的优劣。

第三章以 Santos 晶振为例，分析了电路起振阶段的小信号模型和起振条件，对大信号下的振荡幅度进行了推导，指出了偏置电流、振幅和驱动管尺寸之间的关系，确定了晶振的设计流程。

第四章给出了一个低噪声、高精度数控晶体振荡器的设计实例，设计了自动幅度控制电路和采用 $\Delta\Sigma$ 调制器技术的电容阵列。

第五章给出了芯片的电路实现、版图设计及测试结果，并对测试结果做了分析。

第六章对本文做出了总结，并对今后工作做了展望。

参考文献

- [1] J. Lin, "A Low-Phase-Noise 0.004-ppm/Step DCXO With Guaranteed Monotonicity in the 90-nm CMOS process," *IEEE J. Solid-State Circuits*, pp. 2726-2734, Dec. 2005.
- [2] Qiuting Huang, Philipp Basedau, "Design Considerations for High-Frequency Crystal Oscillators Digitally Trimmable to Sub-ppm Accuracy", *IEEE J. Solid-State Circuits*, Vol. 5, No. 4, Dec. 1997.
- [3] Vishnu Balan, Tzuwang Pan, "A Crystal Oscillator With Automatic Amplitude Control And Digitally Controlled Pulling Range Of ± 100 ppm", *IEEE Circuits and Systems, ISCAS 2002*, Vol. 5, May 2002.

第二章 晶体振荡器概述

作为频率参考源，晶体振荡器的频率稳定度影响着整个系统的性能。本章从晶体的物理特性出发，简述了晶振原理，并考察了常用的几种晶振结构，分析了优劣[1][2][3]。最后指出几种影响频率稳定度的要素，总结了 DCXO 的工作原理。

2.1 晶体特性

晶体的切割方式，封装的极板，振荡电路的设计，环境温度，辐射，外界加速度，冲击，老化等都会对晶体谐振特性造成影响。其中有的影响频率的长期稳定度，有的影响短期稳定度，对频率精度和稳定性的扰动各不相同，应根据应用需求进行针对性的研究。在射频通讯系统中，对晶振的短期频率稳定度一相位噪声要求苛刻，同时集成晶振对功耗也较为敏感。本文重点对 CMOS 工艺下的晶振电路设计问题探讨，对涉及高性能晶振产品所需要做的考量不在本篇论述范围内，深入解决需要涉及较多的晶体知识。尽管如此，仍有必要介绍一些晶体的相关特性。

2.1.1 压电特性

石英晶体属于机械谐振腔，它的谐振依赖于外部施加的激励。由于晶体谐振器有着极高的品质因素(Q 值)，频率稳定度和极低的功耗，被广泛应用于频率控制和时钟电路。压电特性是指在晶体两端施加机械的压缩或拉伸的力，晶体两端会产生电压信号；同样的，如果在晶体两端施加电压信号，晶体会发生形变，形变方向取决于电压极性，如图 2-1 所示。

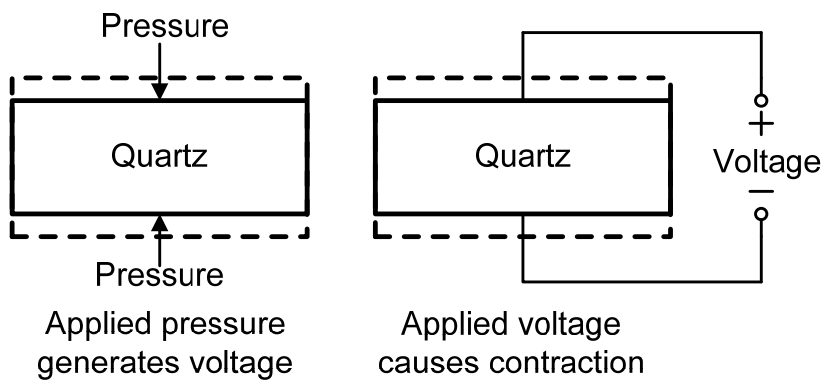


图 2-1 晶体的压电特性

这种能量转化在某一频率处获得最大效率，该频率即为谐振频率。每个晶

片都有自己的固有谐振频率，其值同晶片的尺寸密切相关，晶片越薄，固有振动频率越高，直到受晶片机械强度限制不能再薄为止。因此基频工作在 100 MHz 以上的石英晶体较少见，目前高频晶振多采用泛音谐振，即工作频率为基频的整数倍。由于晶体晶格的方向性和物理特性相关，按不同晶格方向切割晶体会产生不同的物理特性，如温度频率特性。以石英晶体为例，就有 AT/DT/BT/SC 等多种切法，最常见的有 AT/SC 切割。每片晶体通常存在多种谐振模式，分别对应于等效电路中的一组串联 RLC 谐振电路。为避免晶体工作在不需要的振荡模式上，设计电路时需要仔细考量。

2.1.2 电学等效模型

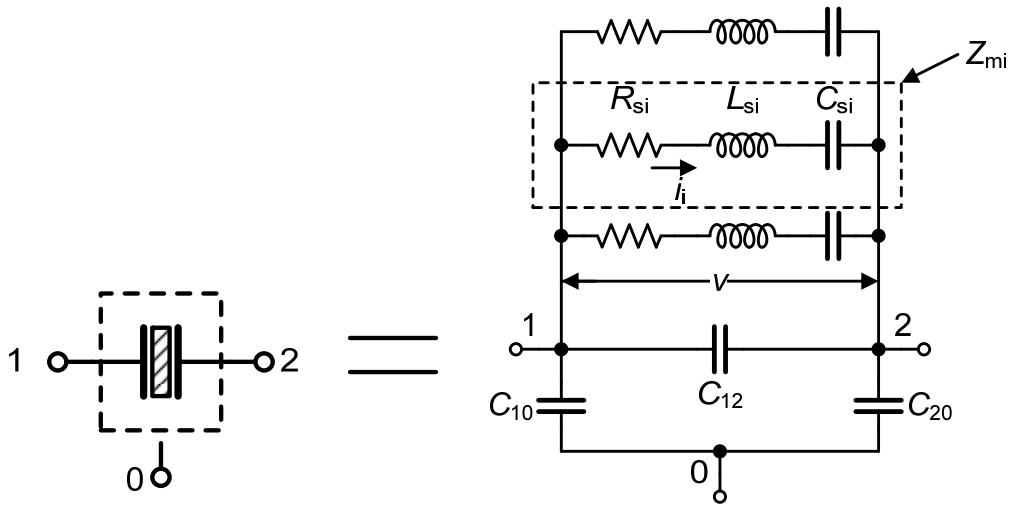


图 2-2 晶体的电学等效模型

晶体的每一个可能的振动模式都可以等效为一个 RLC 的串联支路，支路阻抗为 Z_{mi} 。图 2-2 是晶体的电学等效模型。流过支路的电流 i_i 同振荡幅度相关。在电极 1 和 2 之间的电容是由于封装引入的，其值远大于电容 C_i 值，可以表示为

$$C_0 = C_{12} + \frac{C_{10}C_{20}}{C_{10}C_{20}} \quad (2.1)$$

每一种谐振模式的振荡频率为

$$\omega_{mi} = \frac{1}{\sqrt{L_{si}C_{si}}} \quad (2.2)$$

品质因素为

$$Q_i = \frac{1}{\omega_{mi}C_{si}R_{si}} \gg 1 \quad (2.3)$$

当在谐振模式 i 发生振动时,其他串联 RLC 支路可以忽略。由于晶体的高 Q 值,即使晶体两端的电压存在很强的失真,流过支路的电流 i_i 仍是很好的正弦信号。从图 2-2 中可以看到,晶体存在两个振荡频率,分别是它的串联谐振频率 f_s 和并联谐振频率 f_p 。

$$f_s = \frac{1}{2\pi\sqrt{L_{si}C_{si}}} \quad (2.4)$$

$$f_p = \frac{1}{2\pi\sqrt{L_{si}\frac{C_{si}C_0}{C_{si}+C_0}}} \quad (2.5)$$

晶体的机械振动频率也即本振频率为 f_s ,它只同晶体本身的参数有关,同供电波动及其他外部影响相对无关。我们希望电路的工作频率越接近本振频率越好,因为并联谐振频率 f_p 同外部引入的电容相关,是一个不可控制的量。

谐振器的串联阻抗为

$$Z_{mi}(\omega) = R_{si} + j\omega L_{si} + \frac{1}{j\omega C_{si}} = R_{si} + \frac{1}{j\omega C_{si}}\left(\frac{\omega_{mi}^2 - \omega^2}{\omega_{mi}^2}\right) \quad (2.6)$$

把振荡器的“牵引”定义为相对于 ω_{mi} 的相对频率偏移,即 $p=(\omega-\omega_{mi})/\omega_{mi}$ 。由于谐振时的频率 ω 非常接近 ω_{mi} ,故 $p \ll 1$,将牵引系数 p 公式代入式(2.6)得到,

$$Z_{mi}(\omega) \approx R_{si} + j\frac{2p}{\omega C_{si}} \quad (2.7)$$

25 MHz 晶体的参数值如表 2-1 所示。根据图 2-2 的等效模型和式(2.6)的阻抗表达式,可以得到晶体阻抗随频率的变化曲线,如图 2-3 所示。

表 2-1 25 MHz 晶体参数

R_s	L_s	C_s	C_0
40 Ω MAX	13.0 mH $\pm$ 25%	2.8 fF $\pm$ 20%	0.9 pF $\pm$ 20%

当频率由低到高变化时,晶体大致可以看作一个电容,其阻抗随频率的升高而降低。但是在谐振频率附近,情况发生变化。在谐振频率处,晶体呈现 90 度的相移特性,因此可以把晶体看作一个感性元件,当我们的外接电路呈容性时,发生振荡。这种振荡器的电路图如图 2-4 所示,将一个(非线性)电路连接到谐振器上,这个电路的作用是提供一个负阻,能量以谐振器的谐振频率(或者很接近谐振频率)在电路和谐振器之间无损地来回传递,从而维持这个频率的振荡。该电路的阻抗分离模型见图 2-5。

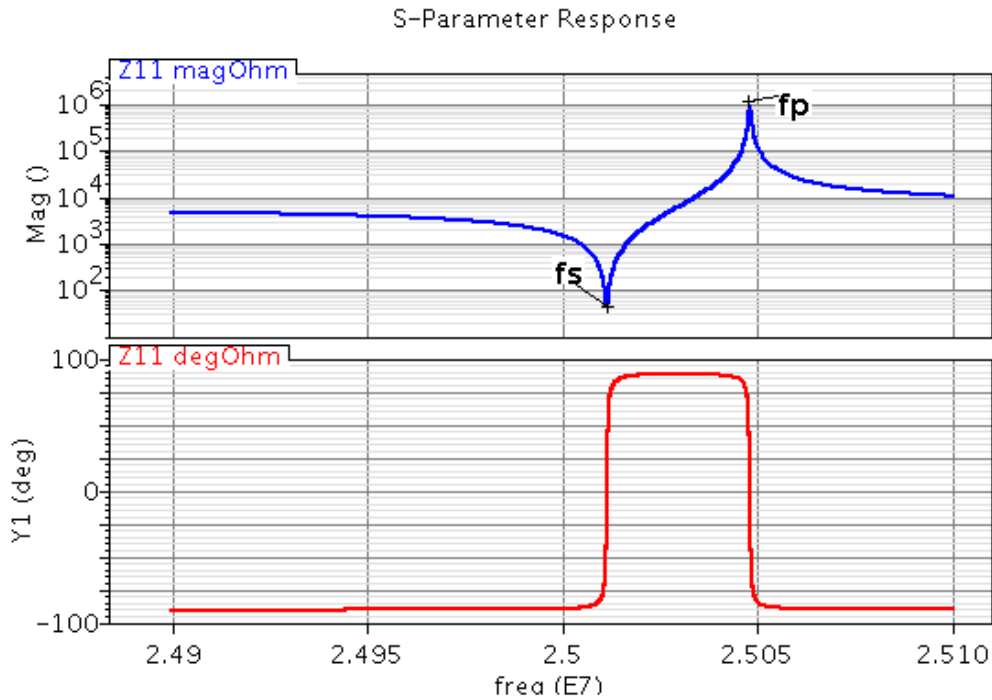


图 2-3 谐振处的晶体阻抗的频率响应曲线

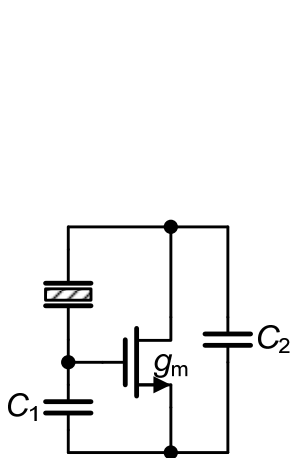


图 2-4 三端口振荡器

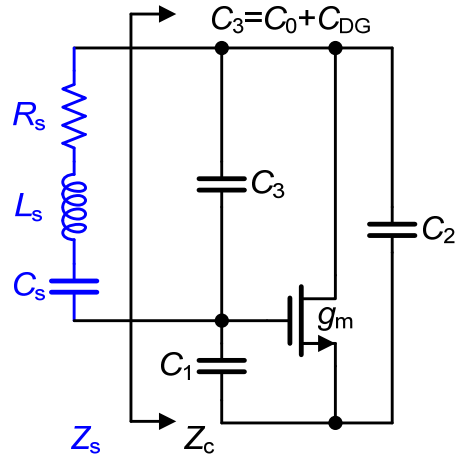


图 2-5 三端口振荡器阻抗分离模型

2.2 晶体振荡器分析方法和结构

2.2.1 晶体振荡器分析方法

关于振荡器理论有著名的巴克豪森准则。它描述了基于反馈网络的振荡器起振条件。除了基于反馈网络的传递函数分析法，另一种分析方法称为阻抗分离法。前者是传统的分析方法，而后者对分析由有源和无源两部分构成的系统非常方便和直接。

a) 传递函数分析法

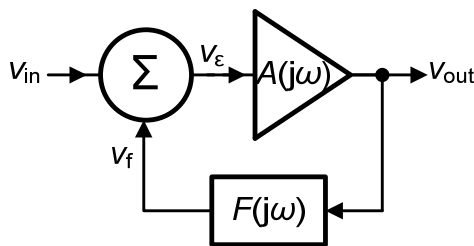


图 2-6 振荡器的正反馈模型

传递函数分析法是分析反馈网络的经典方法。如图 2-6 所示，要想电路振荡，在输入 v_{in} 为零的情况下，误差反馈信号 v_{ε} 经过环路 $A(j\omega)F(j\omega)$ 后的信号 v_f 必须维持原信号的大小。放大网络为非线性有源网络，反馈网络为线性无源网络，具有选频特性。输入输出满足：

$$v_{out} = A(j\omega)v_{\varepsilon} \quad (2.8)$$

$$v_f = F(j\omega)v_{out} = F(j\omega)A(j\omega)v_{\varepsilon} \quad (2.9)$$

$$\frac{v_f}{v_{\varepsilon}} = A(j\omega)F(j\omega) \quad (2.10)$$

据此，该系统起振的巴克豪森必要条件为：

$$\begin{aligned} \left| \frac{v_f}{v_{\varepsilon}} \right| &= |A(j\omega)| |F(j\omega)| \geq 1 \\ \left\{ \frac{v_f}{v_{\varepsilon}} \right\} &= \phi_A + \phi_F = 0^\circ \end{aligned} \quad (2.11)$$

振荡电路在内部噪声干扰下启动，输出振幅逐渐增大，最后在电路非线性作用下，环路增益降为 1 维持振荡。即，如果反馈网络 $F(j\omega)$ 起衰减信号的作用，那么 $A(j\omega)$ 必然要放大信号；如果放大器 $A(j\omega)$ 呈容性，那么反馈网络 $F(j\omega)$ 必然呈感性。目前，放大器都呈容性特征，那意味着需要一个感性的反馈网络来构建起振荡系统。

b) 阻抗分离法

将放大器 $A(j\omega)$ 用电路阻抗 Z_{cir} 代替，反馈网络用谐振器的阻抗 Z_{res} 代替，得到图 2-7。由于振荡发生于系统内部，不从外部获取电流，即系统的输入导纳为零：

$$Y_{res} + Y_{cir} = 0 \quad (2.12)$$

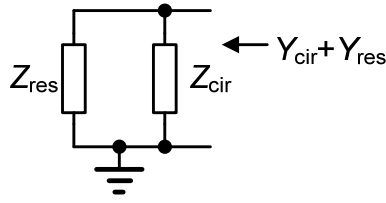


图 2-7 振荡器的负阻模型

$$\frac{1}{Z_{\text{res}}} + \frac{1}{Z_{\text{cir}}} = 0 \quad (2.13)$$

$$\frac{Z_{\text{res}} + Z_{\text{cir}}}{Z_{\text{res}} Z_{\text{cir}}} = 0 \quad (2.14)$$

进一步推导有

$$\text{Re}(Z_{\text{res}} + Z_{\text{cir}}) = 0 \quad (2.15)$$

$$\text{Im}(Z_{\text{res}} + Z_{\text{cir}}) = 0 \quad (2.16)$$

式(2.15)和(2.16)给出了谐振时的条件，谐振器的阻抗和电路阻抗之和为零。传递函数分析法从幅度和相位角度描述振荡条件，阻抗分离法则从实虚部角度描述了振荡条件。

针对不同的振荡电路，两种分析方法各有特点。基于反馈网络的传递函数分析利用其相位平衡条件可以计算振荡频率，阻抗分离的分析方法可以快速得到满足系统振荡的最小增益。

2.2.2 CMOS 晶体振荡器结构

晶体振荡器可以分为并联谐振和串联谐振两大类。串联谐振利用晶体在串联谐振处的电抗为零，呈现短路特性，使电路满足振荡条件。并联谐振利用晶体在并联谐振时呈现的感性特征，将其视作电感，从而和外部的电容构成电容三点式振荡器。由于该等效电感具有极高的 Q 值，因此能获得频率纯净的振荡信号。大部分晶体振荡器都采用电容三点式并联谐振以利用晶体的高 Q 值感抗。

CMOS 工艺下的单管有源器件足以提供有效的增益使晶振起振。事实上，根据器件偏置的不同，交流接地点的不同，单管晶体振荡电路形成了如图 2-8 所示的三种结构，分别称为 Pierce，Colpitts 和 Santos 结构。

Pierce 结构中电容一端接地，频率调谐可以同时施加于 C_1 和 C_2 两个电容阵列上，电路的实现相对简单。Pierce 结构通常用一对偏置于饱和区的 MOS 管反相器实现，由于反相器的 AB 类工作特性，电流正比于振荡幅度，因此会

有很强的非线性特性，影响振荡器的频率稳定度并浪费功耗。该电路的另一个问题是需要两个管脚外接晶体，不利于低成本实现。栅端接地的 Colpitts 结构需要两组相同的偏置电流，电路不易实现。Santos 结构的振荡器只需要一个封装引脚，对大规模的系统而言，节约引脚也节约了封装成本，对低成本实现是极具吸引力的结构。如果把晶体谐振器看作图 2-6 中的感性网络 $F(j\omega)$ ，电路部分视作容性放大器，那么 Pierce 结构中的 MOS 管是共源放大器，Colpitts 结构中的 MOS 管为共栅放大器，Santos 结构中为共漏放大器(也称源极跟随器)。

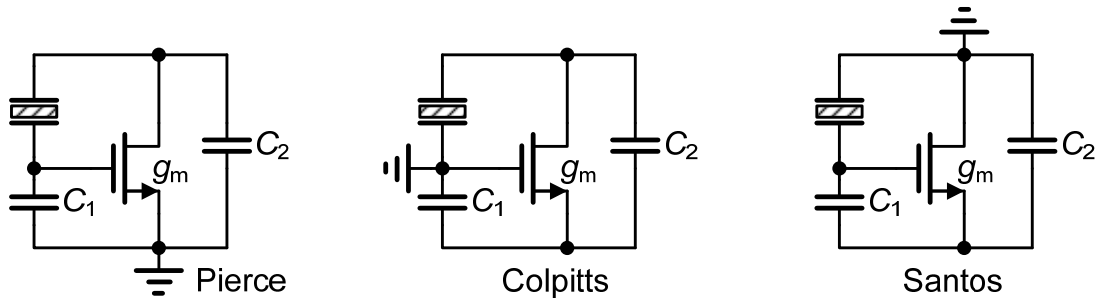
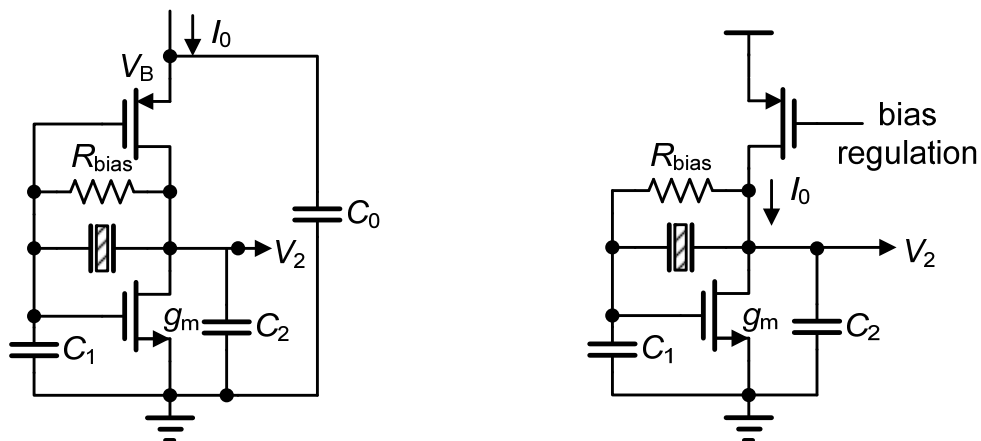


图 2-8 三端口晶体振荡电路结构



(a) CMOS 反相器构成的 Pierce 结构 (b) 固定偏置的 Pierce 结构晶体振荡器

图 2-9 Pierce 结构晶体振荡器

下面给出几种结构带偏置电路的形式，可以进一步分析各结构的优劣。图 2-9(a)是一个带电流控制的 Pierce 振荡器，在固定电流偏置下，该结构可以提供两倍于单管的跨导。由于节点 V_B 并不是理想的交流地，因此以跨导为变量的电路阻抗在复平面上也不是理想的圆轨迹，振荡幅度 V_2 会随 V_B 的变化而变化，对频率稳定度、功耗和相位噪声都是不利的。图 2-9(b)是 Pierce 结构的另一种偏置方式。该结构需要足够大的偏置电流来克服晶体 Q 值和工艺、电源和温度(Process, Voltage and Temperature, PVT)的波动，以提供任何情况下都能可靠工作的跨导值。这个方法在一定程度上造成了功耗的浪费，也可能引起晶

体被过驱动而加速老化。由此，一个偏置电流随幅度可变的幅度调节电路可以解决上述问题。针对以上分析，可以得到结论：**Pierce** 结构仅仅适用于性能要求不高的系统中，这也是为何数字系统中该结构获得广泛使用的原因。

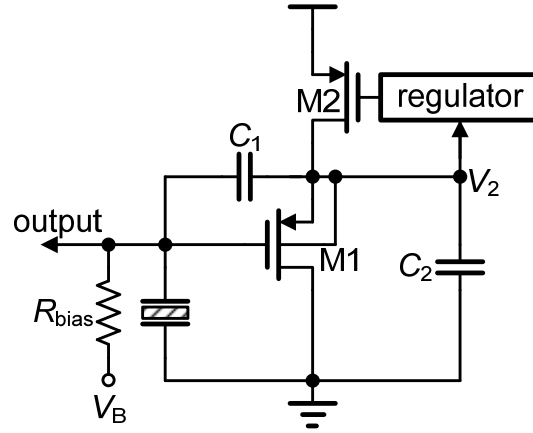


图 2-10 Santos 结构晶体振荡器

Santos 结构因其容易偏置而得到广泛应用。**M1** 管提供能量以维持振荡，它由电阻 R_{bias} 和电流源 **M2** 管偏置。因为它只需要一个管脚来外接晶体，在低成本实现方面有着巨大优势。此外，振荡的输出幅度是 **Pierce** 结构的两倍，有效提高了相位噪声性能。因此在对相位噪声性能苛刻的射频通讯系统中，**Santos** 结构晶体振荡器是不二的选择。但是，该结构为了克服体效应，**M1** 管需要 **N** 阱工艺，而且 **M1** 管的栅端电容会引起频率稳定度的下降。本文采用 **Santos** 结构来设计晶振，接地电容 C_2 采用开关控制来调节频率，**N** 阱隔离增强了电路的抗干扰能力。

2.3 晶体振荡器指标

晶体振荡器的性能指标主要包括功耗，频率稳定度，频率精度，相位噪声，振荡幅度，输出电平和起振时间等。

2.3.1 功耗

晶振的功耗分两部分，一部分由晶体的机械振动能量损耗构成，另一部分来自有源电路的功耗。图 2-11 是晶振阻抗分离法分析晶体的能量损耗。 i 是流过晶体的电流， i_1 是流过电容 C_1 的电流， v_1 是振荡端的电压信号。这里都取信号的复数均方根值。根据基尔霍夫电流定律，

$$i = i_1 \frac{1/\omega C_3}{Z_{mi} + 1/\omega C_3} \quad (2.17)$$

谐振器阻抗：

$$Z_{mi} = R_i + j \frac{2p}{\omega C_i} \quad (2.18)$$

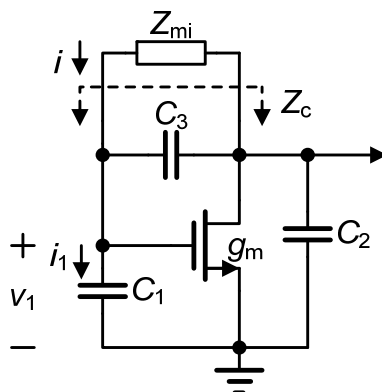


图 2-11 晶体机械能量损耗分析

于是,

$$i = i_1 \frac{-j/\omega C_3}{R_i + j2p/\omega C_i - j/\omega C_3} \quad (2.19)$$

假设: $2p \gg \omega C_i R_i = 1/Q$,

$$\begin{aligned} p &= \frac{\omega - \omega_{mi}}{\omega_{mi}} \\ &\approx \frac{C_i}{2(C_3 + C_1 C_2 / (C_1 + C_2))} \ll \frac{C_i}{2C_3} \end{aligned} \quad (2.20)$$

$$i \cong i_1 \left(1 + \frac{C_3}{C_s}\right) \quad (2.21)$$

其中 $C_s = C_1 C_2 / (C_1 + C_2)$, 于是流过晶体的电流

$$i \cong j\omega C_i V_1 \left(1 + \frac{C_3}{C_s}\right) \quad (2.22)$$

晶体的机械振荡能量为:

$$E_m \cong \frac{|i|^2}{\omega^2 C_i} = \frac{C_1^2 |V_1|^2}{C_i} \left(1 + \frac{C_3}{C_s}\right)^2 \quad (2.23)$$

这一指标非常重要, 晶体参数通常会给出最大驱动功率(Maximum drive level), 若实际产品超过了该值, 则称晶体被过驱动。过大的驱动功率会加速晶体老化, 影响谐振频率的长期稳定性, 严重时会发生晶体损坏和晶振停振。从式(2.23)可以看到, 晶体能量损耗随负载电容和振荡幅度的平方关系增加, 因此为了得到较高的频率稳定度而增加负载电容的话, 功耗的急速增加是必须要

考虑的，为此必须选择能承受驱动功率更强的晶体。

2.3.2 频率稳定度

石英晶体振荡器的频率会随环境因素而变化。随着时间的推移，晶体发生老化，频率产生漂移。该变化具有一定的确定性，现在的晶体频率漂移通常可以控制在 10 ppm/10 years 内。该指标也被称为晶振的长期频率稳定度。短期频率稳定度通常指由噪声引起的频率波动。除了时间引起的频率变化，温度，振动和辐射等都会影响频率，甚至同一晶振在下一次启动时的频率也会和上一次的频率发生偏差。

对于短期频率稳定度，通常有两种表示方法：时间域的抖动时间(Jittering Time)和频率域的相位噪声(Phase Noise)。关于相位噪声理论有诸多文献，在此不做赘述。这里着重指出晶体振荡器中的噪声贡献。在低频偏处的相位噪声主要来自于谐振器，高频偏处的噪声贡献来自于振荡电路。谐振的有载 Q 值影响振荡电路的噪声贡献。另外，振荡电路的非线性，如电容—电压的非线性变化，过大的驱动功率和不稳定的振幅都会使电路噪声上变为相位噪声。

理想振荡器的输出频谱是脉冲信号，但实际振荡器却远非理想，图 2-12 表明了可能的实际振荡波形。振荡信号在峰值的抖动表明了振幅不稳定性，在过零点的波动表明了相位的不稳定性。由于振荡电路的限幅特性，幅度噪声变得不再重要，但相位的抖动引起的相位噪声对以晶振为精确频率参考的通讯系统影响重大，参考源的频率稳定性决定了系统性能甚至决定了系统是否能正常工作。

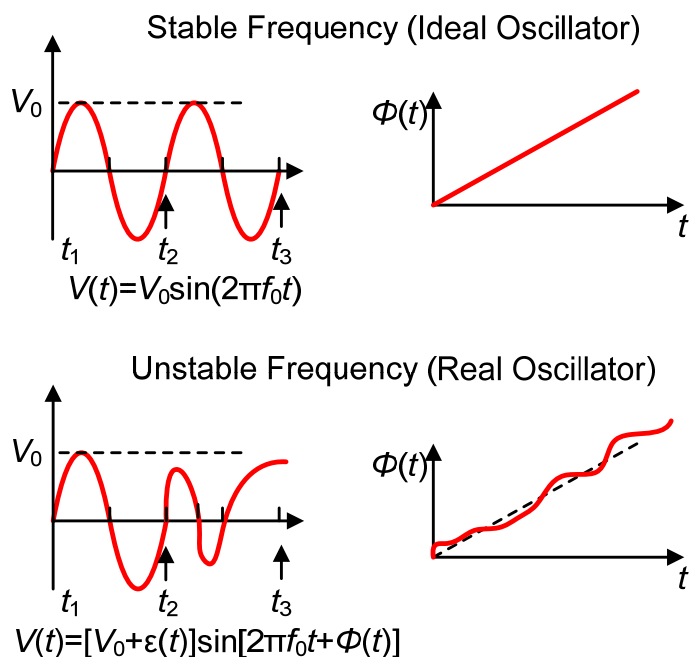


图 2-12 理想和实际振荡波形示意图

图 2-13 给出了频率综合器的相位噪声对发射机性能的影响。频综低频偏处的相位噪声会降低被调制信号的信噪比，而高频偏处的相位噪声会干扰其他信号通道。在一个典型的频率综合器中，参考时钟即晶振是产生低频偏相位噪声的主要噪声源，因此设计一个低相位噪声的参考时钟尤为关键。

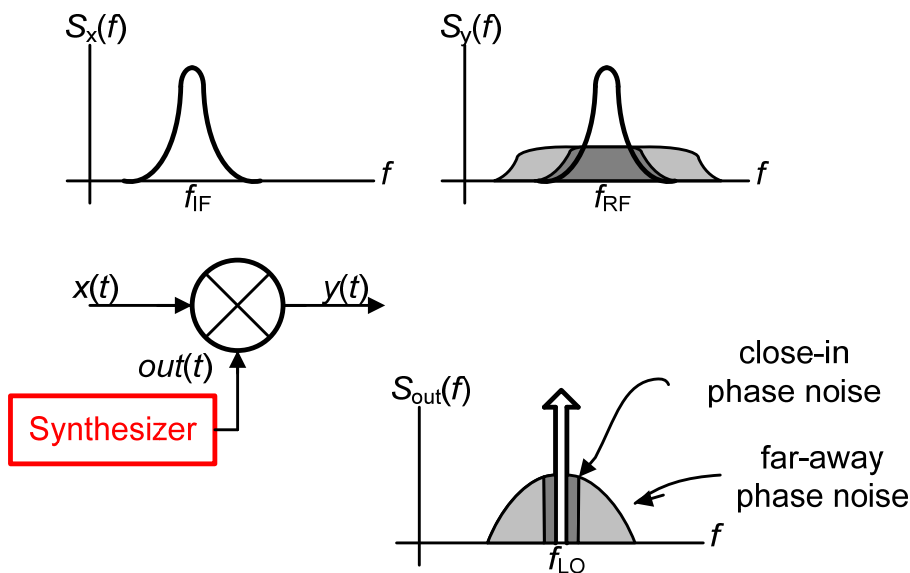


图 2-13 频率综合器噪声对发射机的性能影响示意图

2.3.3 其他

温度是影响石英晶体频率的另一个重要因素。如前所述，温度特性跟晶体的切割密切相关。虽然良好的切割角度可以使频率波动小于 20 ppm，但在一些对频率稳定度苛刻的系统中，如 WCDMA/WLAN 系统等，必须采用温度补偿技术满足晶振在不同的环境温度下的工作情况。TCXO/OCXO 就是两种采用温度补偿的晶体振荡器。

其他影响频率稳定的因素有供电电压和负载的变化。两者都会影响振荡电路从而改变谐振器的驱动功率和负载阻抗。负载阻抗的变化会改变振荡环路中信号的相位从而对频率产生一定的牵引。可以采用低噪声的供电电压来减弱电源推动效应(Supply Pulling)，在输出增加缓冲器来隔离负载阻抗。

2.4 本章小结

本章介绍了晶体和晶体振荡器的基本背景知识，包括晶体特性和其电学等效模型。给出了晶体振荡器分析的两种常用方法，指出了阻抗分离法在分析晶振电路中的优势。之后分析了电容三点式晶体振荡器结构，分析了三种结构的利弊并给出了实际电路的偏置。指出 Santos 结构在低成本，低相位噪声方面的优势。最后，介绍了衡量晶振性能的各项指标，包括驱动功率，温度频率稳

定度，短期频率稳定度(相位噪声)等。对相位噪声的论述解释了 AFC 信号的产生过程，也解释了 DCXO 能精细调频的工作原理。

参考文献

- [1] John R. Vig. “Quartz Crystal Resonator and Oscillator for Frequency Control and Timing Applications”. A tutorial. June. 2003.
- [2] Willy M.C. Sansen, “Analog Design Essentials”, KuLeuven. p677-710.
- [3] E. Vittoz. “Low-Power High-Precision Crystal Oscillators” notes in CSEM. 2001.

第三章 Santos 结构晶体振荡器分析

本章从设计的角度出发，定量分析晶体振荡器中约束关系，为器件尺寸的选择，晶振性能的优化明确方向。

首先从Santos结构晶振的小信号等效模型出发，用阻抗分离法对电路起振阶段的小信号过程做了详细讨论，给出了起振时间、临界跨导和频率牵引系数的表达式，并指出各参数间的约束关系[1][2]。在稳定振荡时，建立了电路的大信号模型，分析推导了振荡幅度、偏置电流和器件尺寸之间的关系[3]。最后，在周期稳态小信号的基础上，分析电路的噪声，为相位噪声优化给出建议。

3.1 核心电路

图 3-1(a)为 Santos 结构晶体振荡器的核心电路。M1 管作为放大管提供负阻以维持振荡，电阻 R_B 和电流源为 M1 管提供合适的偏置电压和偏置电流。它的小信号等效模型如图 3-1(b)所示。电流源输出阻抗通常忽略，电容 C_3 是晶体封装电容 C_0 和 M1 管漏栅寄生电容 C_{DG} 并联所得。 R_B 作为偏置电阻，直接并联在晶体两端，会降低晶体的 Q 值。因此， R_B 的取值应较大。

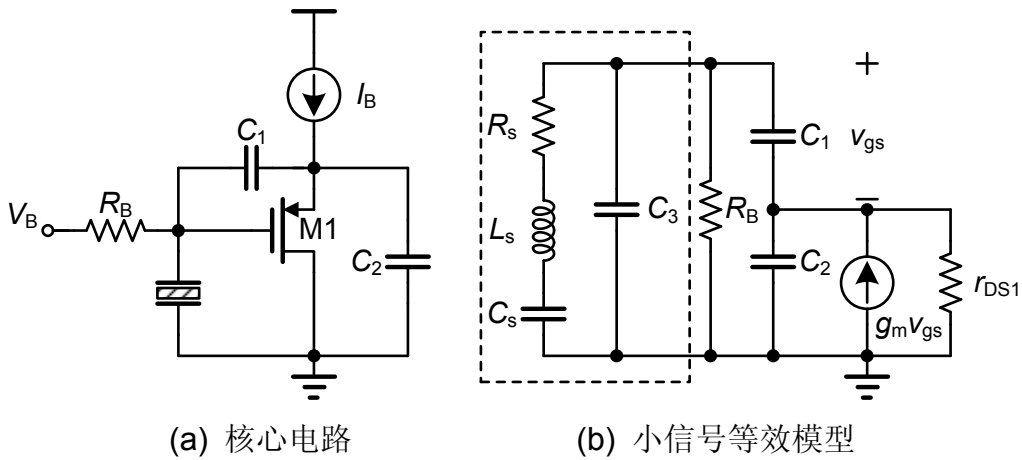


图 3-1 Santos 结构晶体振荡器

推导电路的传输函数略微复杂，文献[4]给出了环路增益的推导公式并据此推得电路的振荡频率和临界跨导值。这里为了便于分析，我们采用阻抗分离的方法来考察电路。

图 3-2 给出了阻抗分离后的示意图。用阻抗 Z_1 ， Z_2 和 Z_3 来表示电路中的电容容抗，有

$$Z_c = Z_3 // (Z_1 + Z_2 + g_m Z_1 Z_2) \quad (3.1)$$

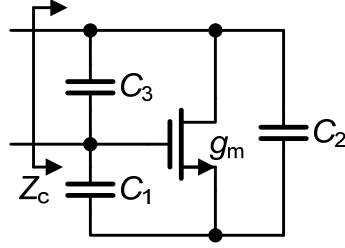
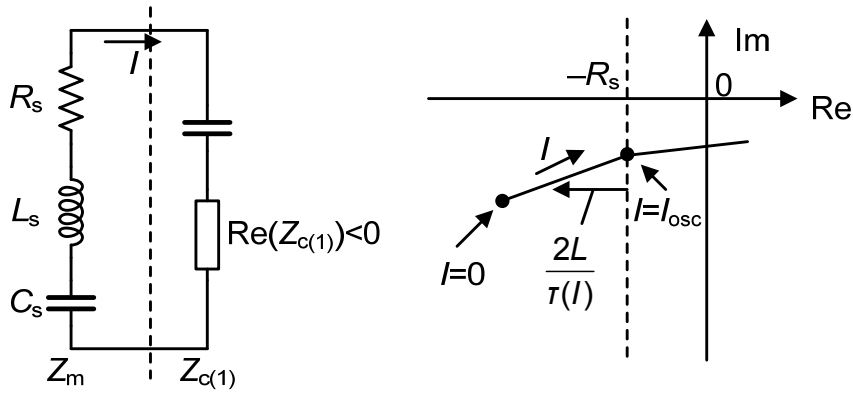


图 3-2 阻抗分离分析

3.2 线性分析

3.2.1 起振时间及时数常数

振荡电路在一开始，电路内部噪声经过环路被放大和滤波，信号逐渐增强，最后由于电路的非线性环路增益下降为 1，电路形成稳定振荡。在电路起振时，幅度非常小，可以用线性模型来分析电路的起振时间。这一过程见图 3-3。

图 3-3 晶体振荡器等效电路和阻抗 Z_c 随电流幅度 I 的变化曲线

我们认为振荡是以指数形式建立起来的，那么可以假设图 3-3 中的电流为

$$I = I_0 e^{t/\tau(I)} \quad (3.2)$$

其中 I_0 为最初振荡时的电流幅度， $\tau(I)$ 为时间常数，且

$$\tau(I) = \frac{2L}{\text{Re}(Z_{c(1)}) + R} \quad (3.3)$$

对式(3.2)求微分，有

$$\frac{dt}{dI} = \frac{\tau(I)}{I} \quad (3.4)$$

由此，可以得到建立时间 T_{ab} ：

$$T_{ab} = \int_{I_a}^{I_b} \frac{\tau(I)}{I} dI \quad (3.5)$$

解析式 $\tau(l)/l$ 不太容易得到，我们用图解法来估算 T_{ab} ，如图 3-4 所示，得到 T_{ab} 的近似表达式：

$$T_{ab} = \tau_0 \ln(l_b/l_a) \quad (3.6)$$

起振时间通常需要 $(5 \sim 15)\tau$ 的时间。

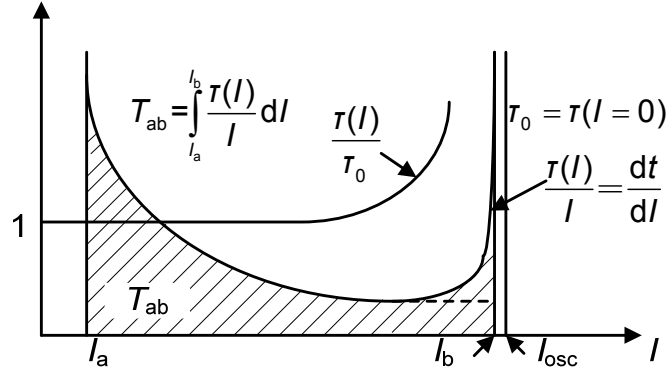


图 3-4 起振时间的示意图

3.2.2 临界跨导和牵引系数

上一节用负阻分析给出了阻抗 Z_c 在复平面上的示意图，这节将详细推导电路在线性条件下的起振条件，临界跨导和牵引系数，并指出各参数之间的约束关系。为了简化分析，从无损线性模型出发，最后考虑实际电路的损耗对各参数的影响。

将式(3.1)中的阻抗用容抗替换，得到，

$$Z_c = \frac{1}{sC_3} \frac{g_m + s(C_1 + C_2)}{g_m + s(C_1 + C_2 + \frac{C_1 C_2}{C_3})} \quad (3.7)$$

化简得

$$Z_c = \frac{1}{sC_3} + \frac{-C_1 C_2 / C_3^2}{g_m + s(C_1 + C_2 + \frac{C_1 C_2}{C_3})} \quad (3.8)$$

以跨导 g_m 为变量时，阻抗 Z_c 在复平面上如图 3-5 所示。跨导 g_m 值为零和无穷大时，阻抗分别为 $-1/\omega(C_3 + C_1 C_2 / (C_1 + C_2))$ 和 $-1/\omega C_3$ 。在跨导为零时，电路阻抗可以视作电容 C_3 并联电容 C_1 和 C_2 的串联值。在跨导趋于无穷大时，电路阻抗为电容 C_3 。跨导 g_m 值从零增加到无穷大时，电路阻抗 Z_c 在复平面上从虚轴上一点沿半圆走向另一点。圆的直径 ϕ 同电容 C_3 值密切相关。系统稳定振荡时落在 A 点，此时电路阻抗的实部为 $-R_s$ ，同晶体串联电阻 R_s 相抵消，电路

阻抗的虚部反应了牵引系数 p 的大小。A 点的虚部值同跨导 g_m 值为零时的虚部值相近，意味着维持电路振荡所需的跨导值非常小。

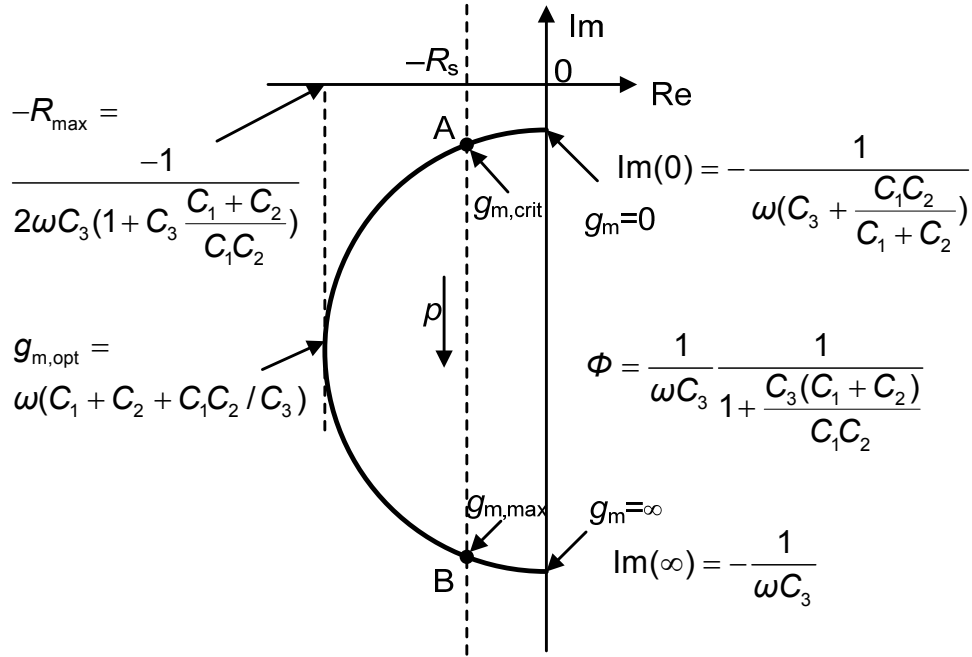


图 3-5 阻抗 Z_c 与跨导 g_m 的双线性函数关系

从图 3-5 中可以看到

- 1) A, B 两点是振荡的临界条件，但 B 点不满足相位稳定条件，不足以维持振荡，A 点的临界跨导表示为 $g_{m,\text{crit}}$ 。
- 2) $g_{m,\text{opt}}$ 对应于电路所能提供的最小负阻，也是起振所需的最小起振时间。如果 $g_{m,\text{opt}} < g_{m,\text{crit}}$ ，电路不会起振。
- 3) 牵引系数 p 对应于圆的半径。为了尽量减少 p ，增加 C_1 和 C_2 值是有帮助的，但会增加功耗。

如果这个电路要克服谐振器中的损耗，则阻抗实部绝对值必须远大于 R_s 。通过对阻抗实部施加这个条件来计算 $g_{m,\text{crit}}$ 和 p 的近似值。如果半径很大，则 Z_c 的虚数部分和 $g_m = 0$ 时的值相比几乎相同，所以有

$$\frac{2p}{\omega C_s} \approx \frac{-1}{\omega(C_3 + \frac{C_1 C_2}{C_1 + C_2})} \quad (3.9)$$

$$p \approx \frac{C_s}{2(C_3 + \frac{C_1 C_2}{C_1 + C_2})} \quad (3.10)$$

令 $\text{Re}(Z_c) = -R_s$ ，有

$$g_{m,crit} \approx \frac{R_s \omega^2 (C_1 C_2 + C_1 C_3 + C_2 C_3)^2}{C_1 C_2} \quad (3.11)$$

因为品质因素 $Q=1/R_s \omega C_s$ ，于是有

$$g_{m,crit} \approx \frac{\omega}{Q C_s} \frac{(C_1 C_2 + C_1 C_3 + C_2 C_3)^2}{C_1 C_2} = \frac{\omega C_s}{Q p^2} \frac{(C_1 + C_2)^2}{4 C_1 C_2} \quad (3.12)$$

临界跨导随振荡频率线性增加，但随 p^2 减小。通常取电容 $C_1=C_2$ ，有临界跨导最小值 $g_{m,crit,min}$ 。为了将频率牵引系数 p 减小为原来的 $1/k$ ，要求跨导 g_m 值增加为原来的 k^2 倍。因此提高频率稳定度是以牺牲功耗为代价的。

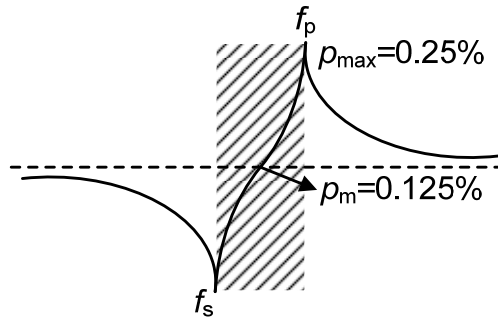


图 3-6 晶体的频率牵引系数

回顾晶体的频率牵引系数，根据振荡条件，晶体在谐振时工作于图 3-6 所示的阴影区，在此晶体呈感性。串联谐振频率和并联谐振频率有如下关系：

$$\frac{f_p}{f_s} = \frac{1/\sqrt{L_s C_s C_p / (C_s + C_p)}}{1/\sqrt{L_s C_s}} = \sqrt{1 + \frac{C_s}{C_p}} \approx 1 + \frac{C_s}{2C_p} \quad (3.13)$$

频率牵引系数 p 必须满足 $0 < p < p_{max}$ ，其中最大频率牵引系数 p_{max} 为

$$p_{max} = \frac{f_p - f_s}{f_s} \approx \frac{C_s}{2C_p} \quad (3.14)$$

根据晶体参数，最大频率牵引系数 p_{max} 的估计值为 0.25%。通常为了得到稳定纯净的振荡频率，根据式(3.10)，电容 C_1 和 C_2 必须较大，以满足 $0 < p < 0.1\%$ 。但要注意的是过大的负载电容会导致功耗的成倍增加。

总结电路从起振到稳定振荡的过程如图 3-7 所示。电路从谐振电流为零开始发生振荡，起振时电路阻抗的基频分量 $Z_{c(1)}$ 等于电路线性阻抗 Z_c 。随着电流幅度的增加，阻抗曲线向稳定振荡点靠近。频率牵引系数 p 同阻抗虚部值密切相关，虚部值越靠近坐标原点， p 值越小。幅度增加引起的电路非线性会对频率牵引产生影响。由于晶体串联电阻 R_s 值通常小于 100，因此稳定振荡点实际非常靠近虚轴。

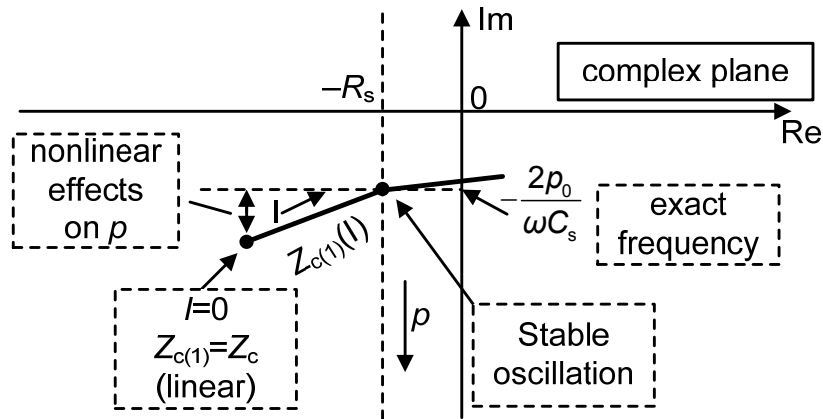


图 3-7 复平面上阻抗 Z_c 的示意图

电路最终会因为非线性特性而到达稳定振荡点。这种依赖电路自身非线性使幅度受限有着很多缺点。从图 3-7 中可以看出，阻抗跟电流密切相关，电路中任何能改变偏置电流的因素，都会改变 Z_c 曲线在复平面上的位置，即产生新的小信号阻抗 Z_c ，对应新的轨迹曲线和新的牵引系数 p 。由此，反应频率稳定性的 p 值在电流变化过程中，发生较大的变化，恶化了晶振性能。引起电流变化的原因有很多，常见的有电源电压的扰动和温度的变化。这种幅度受限电路对实现低功耗也是很不利，因为能量都被消耗在信号的谐波分量上了。在高性能振荡电路中，幅度受限通常通过施加反馈环路来实现，具体来讲就是通过反馈电路在振幅随电流增加时，减小偏置电流来实现稳定振幅，该特性如图 3-8。实际电路中，稳定振幅点通常取值较小以避免失真。

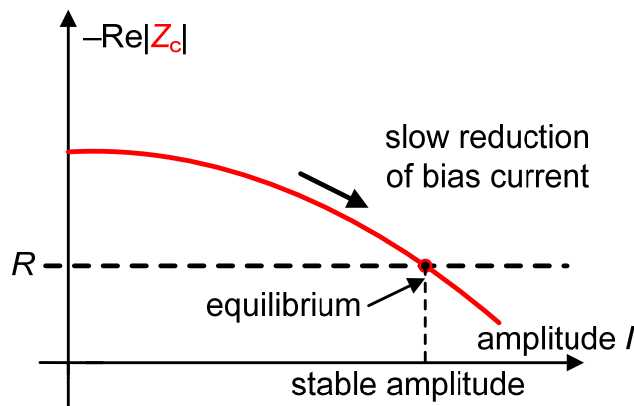


图 3-8 无失真的幅度受限

上面的分析假设了电路的理想情况，即理想电流源，理想输出负载，理想电容等，实际电路存在一些寄生电阻引起的各种损耗，概括说来有以下几种：

1. 偏置电路的输出阻抗；
2. 有源放大器的负载效应；

3. 电容 C_1 , C_2 和 C_3 的寄生电阻;
4. 有源器件的输出阻抗和输入阻抗;
5. 石英晶体的外接焊盘, PCB 板寄生电阻和电容。

考虑以上损耗, 实际的临界跨导值 $g_{m,crit}$ 会略大于理论计算值。

3.2.3 小信号电压幅度

当振荡幅度很小时, 考察图 3-9(a) 电路中各点的电压幅度关系。

$$\frac{1}{Z_c} = \frac{1}{Z_3} + \frac{1}{Z_1 + Z_2 + g_m Z_1 Z_2} \quad (3.15)$$

考虑到电路的振荡平衡条件:

$$Z_m = -Z_c \quad (3.16)$$

于是阻抗 Z_m 和 Z_3 的导纳为

$$\frac{1}{Z_{12}} = \frac{1}{Z_m} + \frac{1}{Z_3} = -\frac{1}{Z_c} + \frac{1}{Z_3} \quad (3.17)$$

式(3.15)代入上式, 有

$$Z_{12} = -(Z_1 + Z_2 + g_{m,crit} Z_1 Z_2) \quad (3.18)$$

电路中各点电压的关系为

$$\begin{aligned} \frac{v_2}{v_1} &= -Z_2 \left(\frac{1}{Z_1} + g_{m,crit} \right) \\ \frac{v_3}{v_1} &= \frac{v_2}{v_1} - 1 \end{aligned} \quad (3.19)$$

将式(3.12)中的 $g_{m,crit}$ 代入上式, 得到

$$\frac{v_2}{v_1} = -\frac{C_1}{C_2} + j \frac{C_1}{QC_s} \left(1 + \frac{C_3}{C_1} + \frac{C_3}{C_2} \right)^2 \quad (3.20)$$

通常, 式(3.20)的虚部值远小于 1, 于是各点电压关系如下:

$$\frac{v_2}{v_1} \cong -\frac{C_1}{C_2} \quad \frac{v_3}{v_1} \cong -\left(1 + \frac{C_1}{C_2} \right) \quad (3.21)$$

当振荡建立起来后, 小信号分析不再适用。我们考察电压 v_1 , v_2 发生失真的情况。当栅端信号 v_1 较大时, MOS 管工作于非线性状态, 漏源电流 i_{ds} 有很强的失真, 引起电压 v_2 的非线性失真。在基频处的电压关系满足小信号情况, 即电压 v_1 和 v_2 中的基频分量的比值为

$$F = \frac{V_1}{V_2} \bigg|_{\text{fund}} \cong -\frac{C_2}{C_1} \quad (3.22)$$

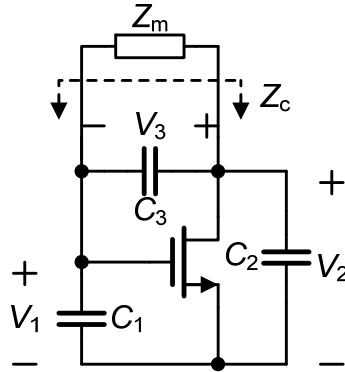


图 3-9 振荡信号的电压分析

对于电压 v_1 和 v_2 中的高次谐波，由于晶体阻抗在高次谐波时的阻抗趋于无穷大，故电压 v_1 、 v_2 中的高次谐波分量的比值为

$$H = \frac{V_1}{V_2} \bigg|_{\text{harm}} \cong \frac{C_3}{C_1 + C_3} \quad (3.23)$$

电压 v_1 幅度的谐波和基频分量的相对比值为

$$\left| \frac{H}{F} \right| = \frac{C_3 C_1}{(C_1 + C_3) C_2} \quad (3.24)$$

由于电容 C_3 值远小于电容 C_1 和 C_2 值，因此式(3.24)远小于 1。所以即使电路存在严重失真， v_1 仍然近似正弦波，一般振荡器的输出取电压 v_1 信号，对保证 50% 的占空比更有利。从式(3.24)也可以看到降低电容 C_3 值能有效控制电压 v_1 的失真度，降低谐波失真，从而提高频率稳定度。

3.3 非线性分析

3.3.1 大信号模型

当振荡建立起来后，电压幅度变得很大，Santos 结构晶振电路的 MOS 管进入非线性状态，严格来说，上一节的小信号分析不再适用。对于电路在大信号下的工作状态，我们主要关心大信号下的振荡幅度和偏置电流的关系。采用文献[3]的分析方法，我们首先建立 Santos 结构晶振的大信号模型，推导 MOS 管电流的解析式，进一步得到振荡幅度和偏置电流的关系。

图 3-10 是 Santos 结构核心电路及其大信号模型。在谐振时，晶体模型可以看作电感元件，串联电阻表示能量损耗。大信号下的 MOS 管源漏电流可以

用 M1 管的平均跨导 G_m 来表示, 即 $i_{DS} = G_m v_{GS}$ 。根据式(3.21), 电压 V_{gs} 幅度和振幅 V_m 的关系参考式, 其基频分量满足

$$V_{gs}|_{amp} = V_m \frac{C_2}{C_1 + C_2} = \alpha V_m \quad (3.25)$$

其中 $\alpha = C_2 / (C_1 + C_2)$ 。

于是, MOS 管的输入信号有

$$v_{gs} = V_m \frac{C_2}{C_1 + C_2} \cos(\omega t) = \alpha V_m \cos(\omega t) \quad (3.26)$$

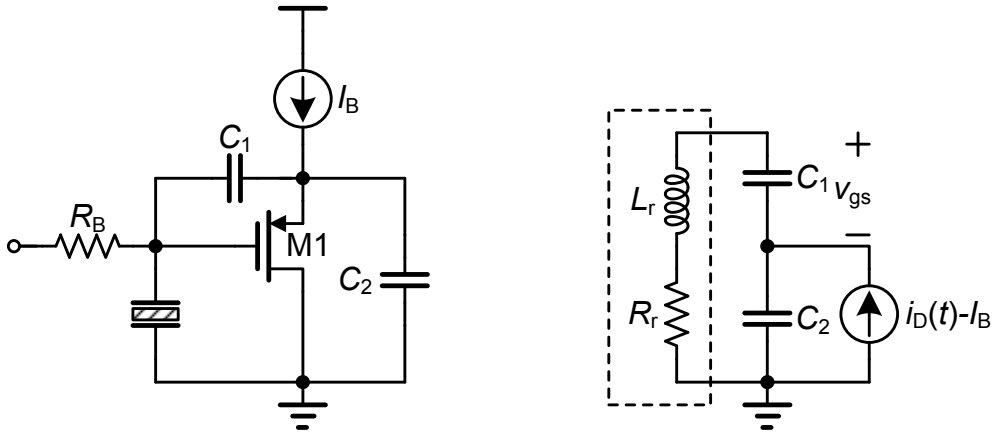


图 3-10 Santos 结构晶振大信号模型

在大信号工作下, M1 管的工作状态受其偏置电压大小的影响, 其波形如图 3-11 所示。图 3-11(a)和(b)分别是 A 类工作模式和 C 类工作模式。本文设计的 MOS 管工作在 C 类模式, 假设漏源电流在 v_{GS} 的波谷有最大值, 得到瞬态电流波形如图 3-12。

根据图 3-12 推导 $i_{DS}(\varphi)$ 的解析式, 瞬态电流可以表示为

$$i_{DS}(\varphi) = I_B + I_{pk} \cos(\varphi) \quad (3.27)$$

其中 I_{pk} 为电流幅度, 其值为 $I_{pk} = I_{max} - I_B$ 。 I_{max} 和 I_B 分别是峰值电流和偏置电流, 电流导通角 θ ,

$$\cos \theta = -\frac{I_B}{I_{pk}} \quad (3.28)$$

将式(3.28)代入(3.27), 得到

$$i_{DS}(\varphi) = I_{pk} (\cos \varphi - \cos \theta) \quad (3.29)$$

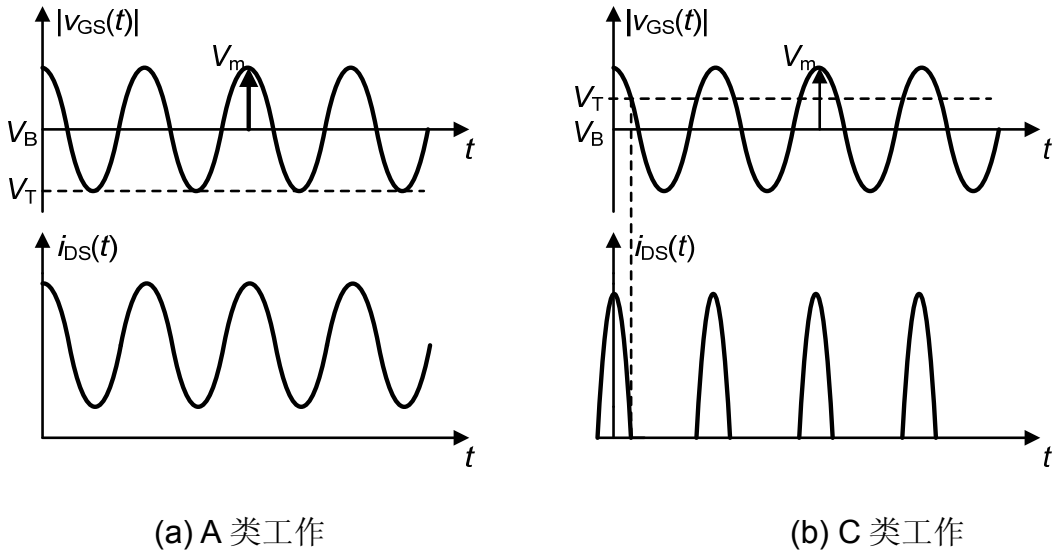


图 3-11 M1 管的电压和电流波形

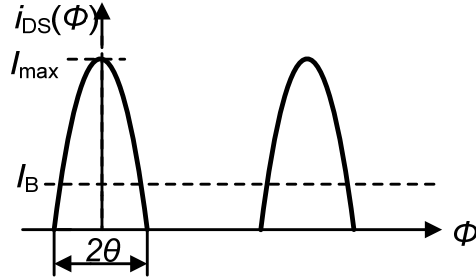


图 3-12 Class-C 模式下的 M1 管电流

进一步化简，有

$$i_{DS}(\varphi) = \begin{cases} I_{pk}(\cos(\varphi) - \cos\theta), & -\theta < \varphi < \theta \\ 0, & -\pi < \varphi < -\theta \text{ or } \theta < \varphi < \pi \end{cases} \quad (3.30)$$

其中，电流幅度 I_{pk} 表达式如下，

$$I_{pk} = G_m V_{in} = G_m \alpha V_m \quad (3.31)$$

于是，可以得到平均电流值和基频电流值：

$$I_{DC} = \frac{\alpha G_m V_m}{2\pi} \int_{-\theta}^{\theta} [\cos\varphi - \cos\theta] d\varphi = \frac{\alpha G_m V_m}{2\pi} (2\sin\theta - 2\theta\cos\theta) \quad (3.32)$$

$$I_{d<1>} = \frac{\alpha G_m V_m}{2\pi} (2\theta - \sin 2\theta) \quad (3.33)$$

根据以上两式，可以继续推导得到振幅 V_m 表达式。

3.3.2 大信号电压幅度

知道了 M1 管漏源电流的直流分量和基频分量, 我们对图 3-10 运用基尔霍夫电流(KCL)定律。对于直流分量, 有 $I_{DC}=I_B$, 得到振幅表达式

$$V_m = \frac{2\pi I_B}{\alpha G_m (2\sin\theta - 2\theta\cos\theta)} \quad (3.34)$$

该式仍然存在一个同导通角 θ 相关的变量 G_m , 利用电流的基频分量来推导 G_m 。在谐振频率下, 有 KCL 条件如下:

$$i_{d1}(s) + i_{c2}(s) + i_m(s) = 0 \quad (3.35)$$

$i_m(s)$ 是流过晶体的电流, 进一步推导, 有

$$i_{d1} + sC_2(v_g + \frac{V_g}{R_r + sL_r} \frac{1}{sC_1}) + \frac{V_g}{R_r + sL_r} = 0 \quad (3.36)$$

基频电流和栅压 v_g 的表达式如下

$$i_{d1} = - \left\{ \frac{1 + \frac{C_2}{C_1}}{R_r^2 + \omega^2 L_r^2} - j\omega \left(\frac{L_r(1 + \frac{C_2}{C_1})}{R_r^2 + \omega^2 L_r^2} - C_2 \right) \right\} v_g \quad (3.37)$$

在基频处, i_{d1} 和栅压 v_g 相差 180 度, 式(3.37)的虚部为零, 得到振荡频率:

$$\frac{L_r(1 + \frac{C_2}{C_1})}{R_r^2 + \omega^2 L_r^2} - C_2 = 0 \Rightarrow \omega = \sqrt{\frac{C_1 + C_2}{L_r C_1 C_2} - \left(\frac{R_r}{L_r}\right)^2} \quad (3.38)$$

式(3.33)和(3.37)联立, 消去 V_m , 得到大信号跨导,

$$G_m = \frac{1}{\alpha(1-\alpha)} \frac{R_r}{R_r^2 + \omega^2 L_r^2} \frac{2\pi}{2\theta - \sin 2\theta} \quad (3.39)$$

式(3.39)表明导通角跟跨导密切相关, 跨导越大, 所需导通角越小。将该式代入式(3.34), 得到振幅和偏置电流的关系:

$$V_m = \frac{2\pi I_B}{\alpha G_m (2\sin\theta - 2\theta\cos\theta)} = \frac{2\theta - \sin 2\theta}{2\sin\theta - 2\theta\cos\theta} (1-\alpha) \frac{R_r^2 + \omega^2 L_r^2}{R_r} I_B \quad (3.40)$$

将式(3.40)中的导通角 θ 作为自变量, 在 Matlab 中做出 V_m 随 θ 的变化曲线, 如图 3-13 所示。幅度系数为上式的第一项。在 θ 趋于 0 时, 幅度系数有最大值。从图中也可以看出, 振幅是 θ 的弱函数。

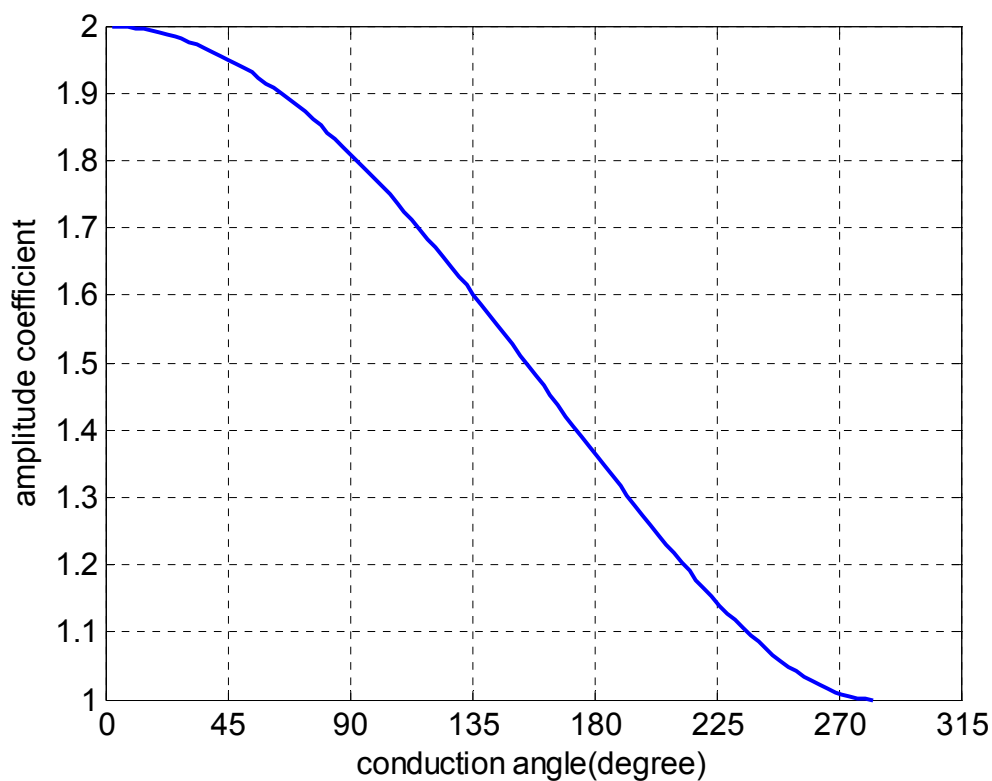
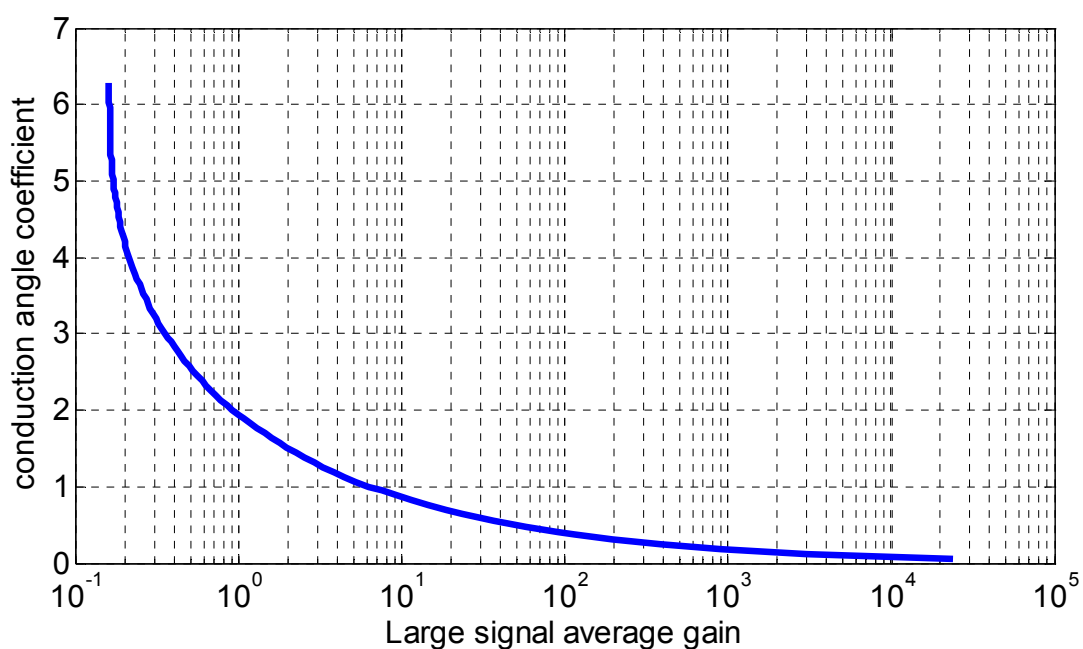
图 3-13 导通角 θ 和幅度系数的关系曲线

图 3-14 大信号跨导和导通角的函数关系 gain

导通角 θ 的变化取决于大信号跨导 G_m ，见式(3.39)。在 Matlab 下得到跨导和导通角系数的曲线，图 3-14。跨导取对数坐标，仍以 MOS 管工作在饱和区时的电流平方律关系来计算跨导，即跨导在一定的电流偏置条件下，同器件尺寸成正比，那么图 3-14 意味着很大的器件尺寸的变化才会使导通角 θ 产生

微小的改变。

再来看式(3.40)，导通角 θ 保持不变的话，振幅同偏置电流成线性关系。实际上导通角的变化反映了大信号跨导或管子尺寸的变化。在其他条件不变的情况下，振幅与偏置电流成正比，比例系数随着导通角的增大而逐渐减小。

3.4 相位噪声分析

晶体振荡器的相位噪声直接影响锁相环的工作性能，决定了射频前端对信号的接收和处理灵敏度，锁相环的积分噪声会影响 QAM 调制信号的误码率，甚至决定了系统是否能正常工作。CMOS 器件噪声水平较高，本文的 Santos 结构采用 C 类模式的工作方式，在结构上保证了优良的相位噪声[6]。

关于振荡器的相位噪声分析有众多文献，分析理论或基于时域[5]–[10]或基于频域[11]–[13]。早期的有 Leeson 的线性时不变经验模型[5]，文献[10]用该模型分析 LC 振荡器，并给出了各个噪声源对相噪的贡献。Leeson 模型和在其基础上改进的模型，在线性时不变系统假设的前提下，揭示了加性噪声对相位噪声的影响，得出相位噪声随着频偏成 -20dB 斜率下降的结论。但是线性时不变模型没有解释器件低频噪声对振荡器相位噪声的影响，而且无法解释单频噪声在载波两侧都会产生噪声的现象。此后 Hajimiri 等人提出了线性时变的噪声模型，利用提出的脉冲敏感函数(ISF)来分析电路中的噪声源。时变特性很好地处理周期性平稳噪声源。该噪声存在于大部分的 LC 振荡器中，来源于电路中器件电流的周期特性。因为任何振荡器都是一个周期变化的时变系统，该模型能精确考虑振荡电路的时变特性，该特点是之前的线性时不变模型无能为力的地方。

我们仍从线性时不变模型出发，虽然该模型不够准确，但足以提供直观的相位噪声优化方向。图 3-15 给出了晶体振荡电路的噪声小信号分析模型，振荡电路的噪声源可以分为两大类，一类是来自于晶体谐振器的噪声电压，表示为 $4kTR_s$ ，一类来自电路负阻产生的噪声电压，表示为 $4kT\gamma R_s$ ， γ 是有源器件的额外噪声系数。在稳定振荡时，电路阻抗的实部负阻同晶体的串联电阻 R_s 相抵消，于是谐振回路的阻抗可以表示为：

$$Z(\omega) = j\omega L_s + \frac{1}{j\omega C} = \frac{1 - \omega^2 L_s C}{j\omega C} \quad (3.41)$$

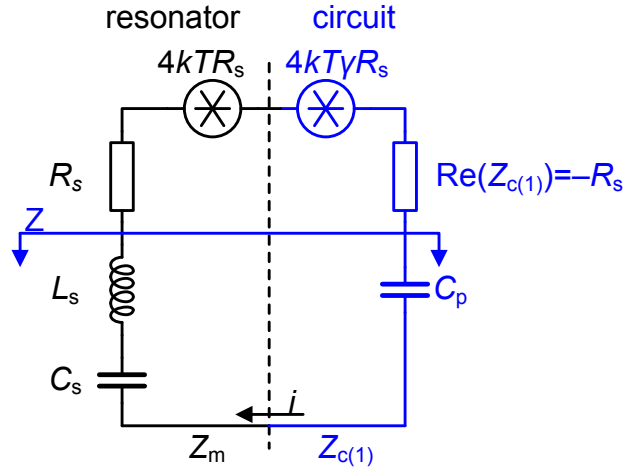


图 3-15 振荡电路噪声分析

其中， C 是 C_s 和 C_p 的串联等效：

$$C = \frac{C_s C_p}{C_s + C_p} \quad (3.42)$$

计算阻抗在谐振频率附近时的表达式，将 $\omega = \omega_0 + \Delta\omega$ 代入式(3.41)，考虑到谐振频率

$$\omega_0 = \frac{1}{\sqrt{L_s C}} \quad (3.43)$$

于是，有

$$\begin{aligned} Z(\omega) &= \frac{1 - (\omega_0 + \Delta\omega)^2 L_s C}{j(\omega + \Delta\omega)C} \\ &= \frac{1 - \omega_0^2 L_s C - 2\Delta\omega\omega_0 L_s C - \Delta\omega^2 L_s C}{j(\omega_0 + \Delta\omega)C} \\ &\approx \frac{2j\Delta\omega\omega_0 L_s C}{(\omega_0 + \Delta\omega)C} \\ &\approx 2j\omega L_s \left(\frac{\Delta\omega}{\omega_0} \right) = 2jQR_s \left(\frac{\Delta\omega}{\omega_0} \right) \end{aligned} \quad (3.44)$$

其中， Q 是晶体的品质因素。环路的噪声电流为

$$\frac{di_n^2}{df} = \frac{4kT(1+\gamma)R_s}{|Z|^2} = \frac{(1+\gamma)kT}{Q^2 R_s} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad (3.45)$$

噪声影响分为幅度噪声和相位噪声，两者的贡献是相等的。于是得到相位噪声的功率谱密度

$$\begin{aligned}\frac{d\varphi_N^2}{df} &= \frac{1}{2} \frac{di_n^2/df}{I^2} \\ &= \frac{kT(1+\gamma)}{2Q^2P_m} \left(\frac{\omega_0}{\Delta\omega}\right)^2\end{aligned}\quad (3.46)$$

上式指出了相位噪声和有源器件噪声系数，谐振回路 Q 值以及晶体功耗 P_m 之间的关系。功耗越大， Q 值越高，相噪越好。

3.5 设计流程

本章分析了 Santo 结构晶振的小信号和大信号，得到一系列公式化和图形化的设计约束，下面总结一下晶体振荡器设计流程：

1. 根据振荡频率，稳定度要求和价格等选择合适的晶体，确定它的参数；
2. 选择合适的电容 C_1 和 C_2 大小以满足振荡精度，同时检查晶体说明书以确定允许的最大驱动功率。
3. 计算振荡牵引系数 p 和振荡频率 $\omega=\omega_s(1-p)$ ；
4. 根据小信号模型，求出临界跨导 $g_{m,crit}$ 值和最大允许跨导 $g_{m,max}$ 值；
5. 根据目标振荡幅度，参考大信号模型，选择合适的导通角，偏置电流和器件尺寸等；

参考文献

- [1] Vittoz, "High performance Crystal oscillator circuits: theory and applications", *IEEE Journal of Solid State Circuits*, vol. 23, No. 3, 1988.
- [2] Willy M.C. Sansen, "Analog design essentials", KULeuven, p677-710
- [3] Qiuting Huang, "Exact Calculation of Oscillation Amplitude and Predicting Power Consumption for CMOS Colpitts Oscillators," *IEEE International Symposium on Circuits and Systems*, June. 1997
- [4] J. Santos, Robert G. Meyer, "A One-Pin Crystal Oscillator for VLSI Circuits," *IEEE J. Solid-State Circuits.*, vol. SC-19, No. 2, p. 228 Apr. 1984
- [5] D. B. Leeson, "A simple model of feedback oscillator noises spectrum," *Proc. IEEE*, vol.54, pp.329-330.
- [6] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," *IEEE J. Solid-State Circuits*, vol.33, pp.179-194, Feb. 1998
- [7] A. Hajimiri and T. H. Lee, Design issues in CMOS differential LC oscillators, *IEEE J. Solid-State Circuits.*, 34, May 1999, 717-24
- [8] A. Hajimiri, S. Limotyrakis and T. H. Lee, Jitter and phase noise in ring oscillators, *IEEE J. Solid-State Circuits.*, 34, Jun. 1999, 790-804.

- [9] P. Andrani, X. Wang, L. Vandi and A. Fard, A study of phase noise in Colpitts and LC-tank CMOS oscillator, *IEEE J. Solid-State Circuits. Circ.*, 40, May. 2005, 1107-18.
- [10] J.Craninckx and M.Steyaert, " Low-noise Voltage Controlled Oscillators Using Enhanced LC-Tanks," *IEEE Trans. Circuits Syst.-II*, vol. 42, pp.794-904, Dec.1995
- [11] C. Samori, A. L. Lacaita, F. Villa and F. Zappa, Spectrum folding and phase noise in LC tuned oscillators, *IEEE T. Circuits-I*, 45, Jul. 1998, 781-90.
- [12] J. J. Rael and A. Abidi, Physical processes of phase noise in differential LC oscillators, *Proc. IEEE 2000 Custom Integrated Circuits Conf.*, May 2000, 569-72.
- [13] E. Hegazi, H. Sjolund and A. A. Abidi, A Filtering technique to lower LC oscillator phase noise, *IEEE J. Solid-State Circuits.*, 36, Dec. 2001, 1921-30.

第四章 Santos 晶体振荡器电路设计

4.1 设计考虑

通讯系统中(如 GSM)，对终端发射频率的准确性要求很高，基带实时检测接收和发送信号的频率误差，通过自动频率控制(AFC)来校正晶振的频率，要求频率可调精度小于 0.1 ppm。为了覆盖晶振的频率漂移，要求频率可调范围大于 40 ppm。误差值来源于所选用晶体的数据手册，如表 4-1 所示。

表 4-1 决定频率调谐范围的因素

影响频率稳定度的因素	误差值
晶体初始误差	±10 ppm
温度漂移	±10 ppm
老化	±2 ppm

此外，晶振电路要有优越的相位噪声性能，尤其是低频偏处的相位噪声。因为该处的噪声直接传递到频率综合器的输出，影响频综的积分噪声性能，决定了射频接收机能否正常接收信号。

下面以 DVB 电视调谐器为例，分析参考时钟的相位噪声性能。对于 DVB-T 电视应用，通常使用宽带分数频综来覆盖 975~1960 MHz 的频率。为了满足调谐器指标，要求频综有低相位噪声和低相位误差。频综的带内低频相噪主要来自于晶振的闪烁噪声上变，频综的带外相噪主要来自于压控振荡器。具有低相位噪声的数控晶体振荡器能简化频率综合器的设计，因为可以为频综设计更大的带宽来抑制压控振荡器的相噪。虽然参考时钟会在带内贡献更多的噪声，但对电路的积分误差而言，该影响几乎可以忽略。图 4-1 是频率综合器中各模块贡献相位噪声的仿真结果。频综的相位噪声主要来自参考时钟的低频噪声上变和压控振荡器的高频噪声。此外，带内还有一部分来自电荷泵的噪声。

25 MHz 的参考时钟要求频综的分频比高达 80 以覆盖所需频带。为满足电视调谐器应用，要求频综的积分噪声小于 1°[1]。考虑到其他噪声源，如电荷泵和滤波器，设计时需要留有 0.1°~0.2°的裕量。对于 0.8°的积分噪声，频率综合器的带内相噪要达到-90 dBc/Hz。因此，数控晶体振荡器的相位噪声在 1 kHz 频偏处的指标必须满足： $-90 \text{ dBc/Hz} - 20\log 80 = -128 \text{ dBc/Hz}$ 。

最后，晶振电路还应具有很高的电源抑制来减轻电源上的噪声影响。据此，关于 DCXO 的设计指标如表 4-2 所示。

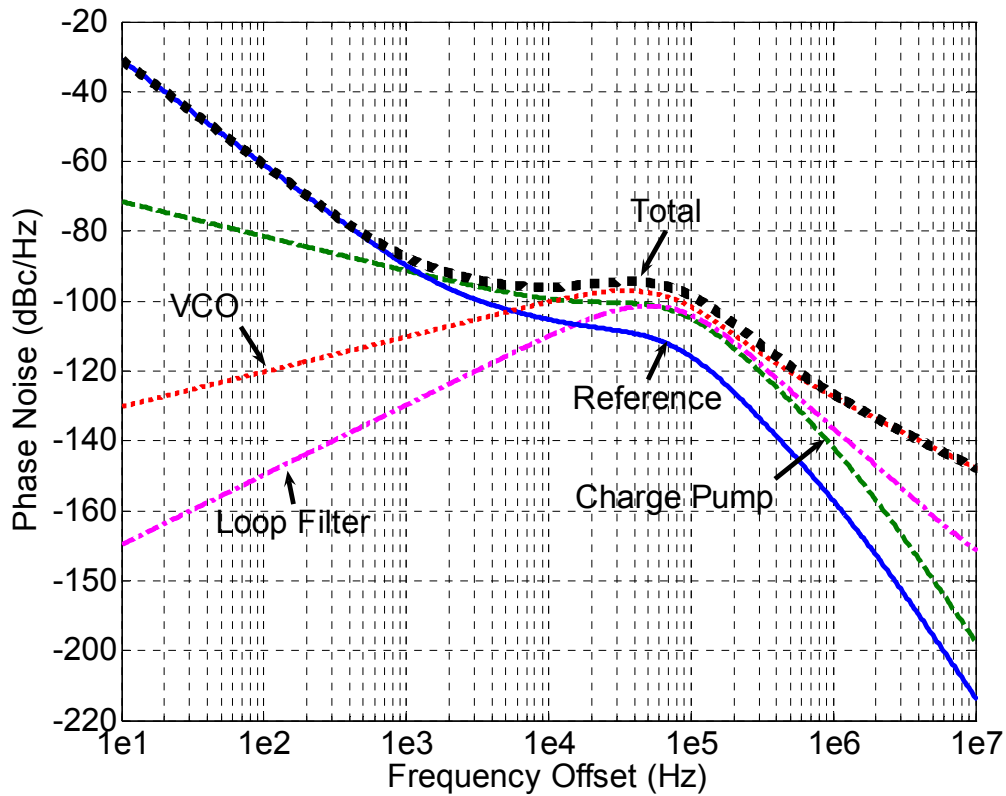


图 4-1 频率综合器中各模块的相位噪声贡献

表 4-2 DCXO 设计指标

频率	25 MHz
调谐范围	40 ppm
调谐精度	<0.1 ppm, 单调变化
相位噪声	<-130 dBc/Hz@1 kHz
	<-150 dBc/Hz@10 kHz
	<-155 dBc/Hz@noise floor
自动幅度控制	有
功耗	<1.8 V*3 mA=5.4 mW

本章对数控晶体振荡器的设计进行分析，电路设计和仿真。除了核心振荡电路外，还包括一个自动幅度控制电路和频率控制电路，如图 4-2 所示。幅度控制电路用来优化相噪，包含一个峰值检测，两个比较器，一个高电源抑制的电流源和一部分数字控制电路。频率控制电路为一个 14 位，含 $\Delta\Sigma$ 调制的电容阵列。

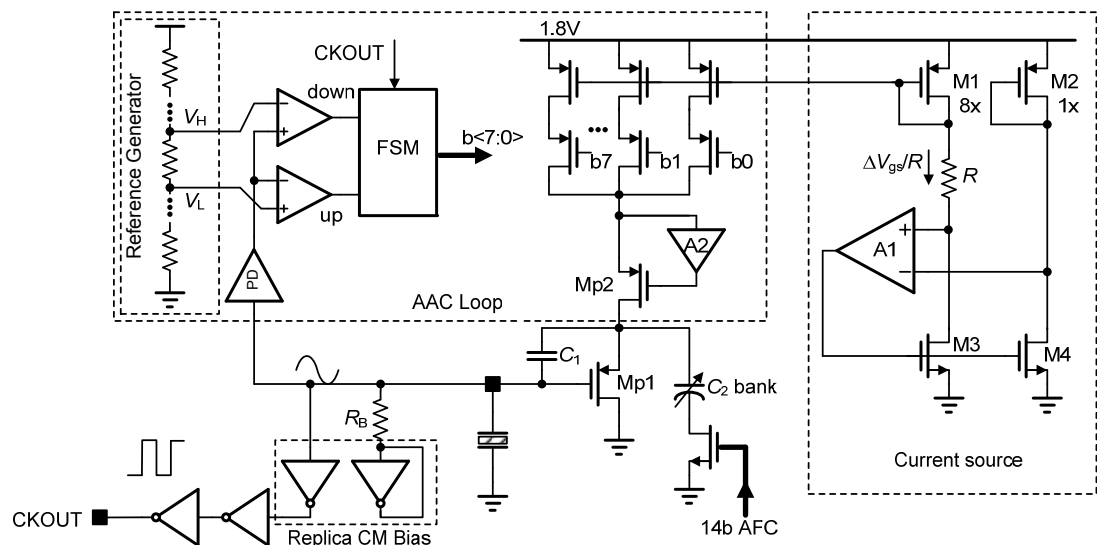


图 4-2 DCXO 完整电路图

4.2 自动幅度控制电路设计

4.2.1 晶振核心电路设计

根据上一章总结的晶振设计步骤，选用 25 MHz 晶体的参数如表 4-3 所示 [2]:

表 4-3 25MHz 晶体参数表

参数	值	备注
频率	25 MHz	基频谐振
谐振模式	并联	N/A
负载电容	18 pF	由晶体生产商建议
串联电阻	40 Ω	最大串联电阻值
封装电容	2 pF	由晶体生产商提供
谐振电感	13.82 mH	
谐振电容	2.93 fF	
驱动功率	100 μ W	最大驱动功率

图 4-3 是晶振的核心电路。需要确定的内容有驱动管 Mp1 的尺寸及偏置电压，负载电容 C₁ 和 C₂ 的大小以及偏置电流。根据晶体参数，负载电容为 C₁ 和 C₂ 的串联，要求 18 pF，那么电容 C₁ 和 C₂ 各为 36 pF。考虑到封装的 2 pF 电容，驱动管的寄生电容，以及用来提供偏置的自偏置反相器的寄生电容，电容 C₁ 最终取为 30 pF。在保证频率线性变化的条件下，可变电容 C₂ 变化范围

12 pF~46 pF。

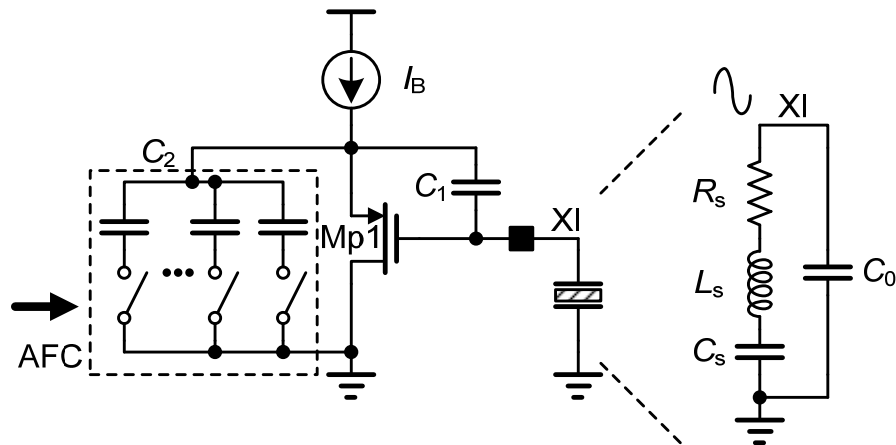
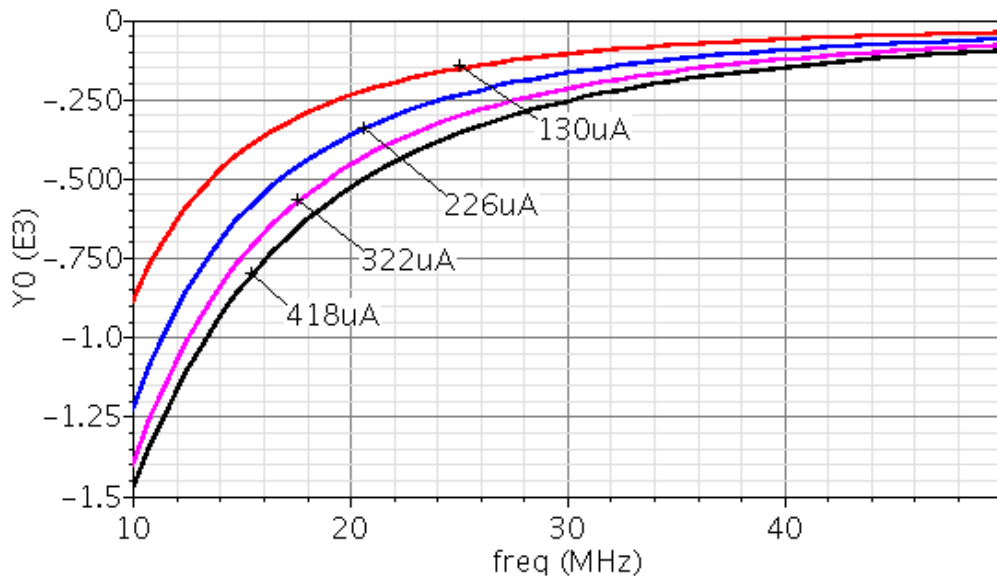


图 4-3 晶振核心电路

振荡幅度和 MOS 管导通角以及大信号跨导弱相关，因此可以根据目标振幅通过仿真得到所需的偏置电流大小。500 mV 振幅所需偏置电流约 80 μA 。实际上，为了使目标振幅可编程，偏置电流由电流阵列构成。驱动管的尺寸决定了电路起振时的小信号跨导，即在负阻分析中，决定了电路所能提供负阻的大小：

$$-R = \frac{-g_m}{\omega^2 C_1 C_2} \quad (4.1)$$



(a) 负阻分析(扫描偏置电流)

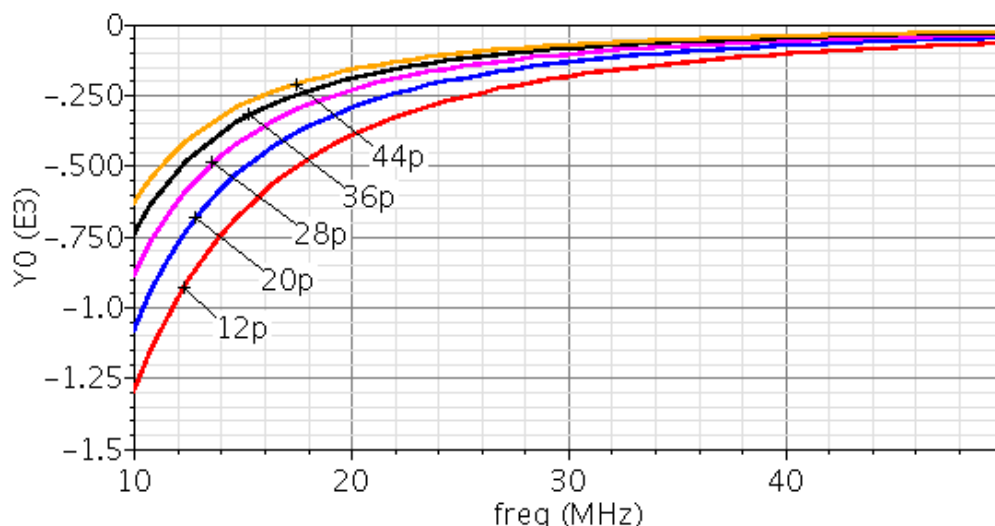
(b) 负阻分析(扫描电容 C_2)

图 4-4 负阻仿真结果

负阻值必须足够地小才能维持振荡，同时其大小也决定了电路的起振时间。仿真时，抽去了晶体模型，但保留了寄生电容 C_0 的影响。图 4-4(a)为负载电容 $C_1=C_2=30$ pF 时，扫描偏置电流得到的电路负阻值。最大电流时，负阻为 -212 欧姆，约为晶体中损耗电阻 R_s 的 5 倍。电流越大，负阻值越小。(b) 为固定偏置电流 256 μ A 时，扫描电容 C_2 得到的电路负阻。负载电容越大，所能得到的负阻值越大。

4.2.2 电流源

本文设计的 DCXO 采用片内低压差线性稳压器供电，一个对电源具有良好抑制的电流源能很大程度上抑制稳压器的低频噪声上变为 XO 的相位噪声。图 4-5 为高电源抑制的电流源示意图。一个 Widlar 型电流参考结合阻抗提升技术 (A1, M3 和 M4) 构成高电源抑制比的电流源。对地阻抗提高了 A1 倍[3][4]。M1 和 M2 管的栅端电压跟随 VDD 的变化，产生的参考电流因此不随 VDD 变化。参考电流值为 M1 和 M2 管的栅源电压之差同电阻 R 的比值。由运放 A2 和 Mp2 管构建有源共源共栅结构使输出阻抗提高了 A2 倍，减小了电压扰动的影响。

运放 A1 的等效输入噪声电压的噪声贡献主要来自第一级，输入管的宽长不宜太小，运放的负载 NMOS 管的栅长取为 PMOS 管的两倍。为了降低 $1/f$ 噪声，M1 和 M2 管的尺寸尽可能大。运放 A1 的电路原理图如图 4-6 所示，由带米勒补偿的两级运放构成。在满足环路稳定的条件下，使环路增益尽可能高。图 4-7 是电源抑制比仿真结果，PSR 性能在 1 MHz 频率范围内，都能保持 -110 dB 的抑制。

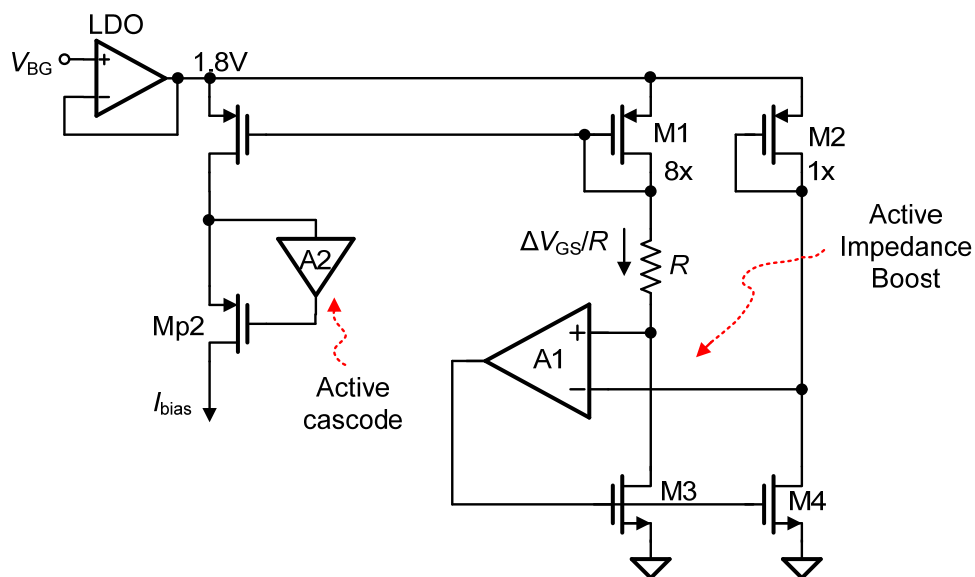


图 4-5 具有高电源抑制比的电流源电路

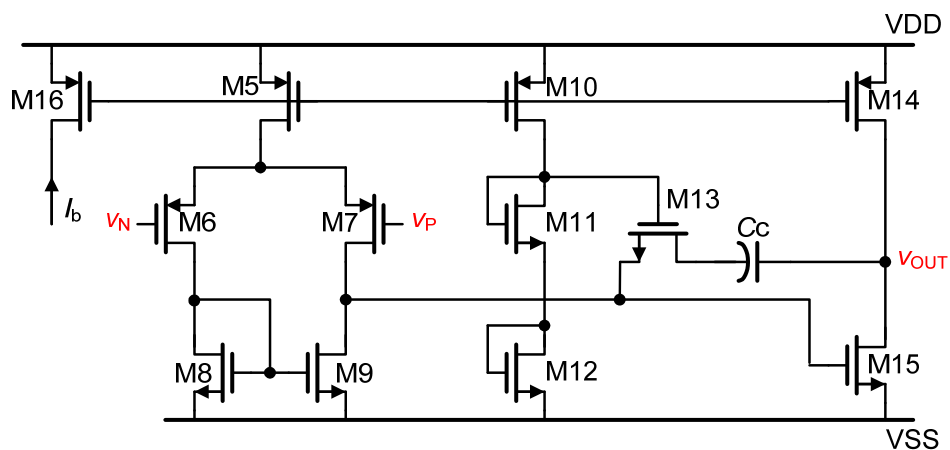
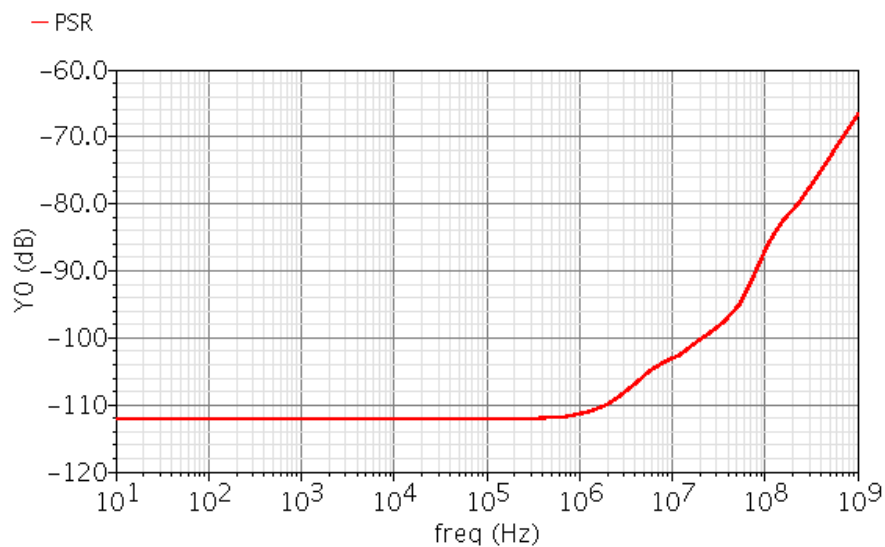


图 4-6 运放 A1 的电路原理图

图 4-7 电流源 PSR 仿真结果

4.2.3 峰值检测和比较器电路

峰值检测的作用是实现对输入信号幅度的检测与跟踪。峰值检测电路的一种实现方式是单向电流镜[5]，如图 4-8 所示。一般而言，峰值检测有两个问题，信号下垂(droop)和压摆速率(slew rate)。在保持峰值信号和跟踪信号上是矛盾的两面。在保持峰值信号上，我们希望输出不会因为漏电而产生下垂，从而偏离真实的峰值电压。在跟踪信号幅度上，我们希望对电容的充电速度足够快，即电容 C 的值应该小一点，但电容越小，下垂量也会增加，因为放电的速度也加快了。

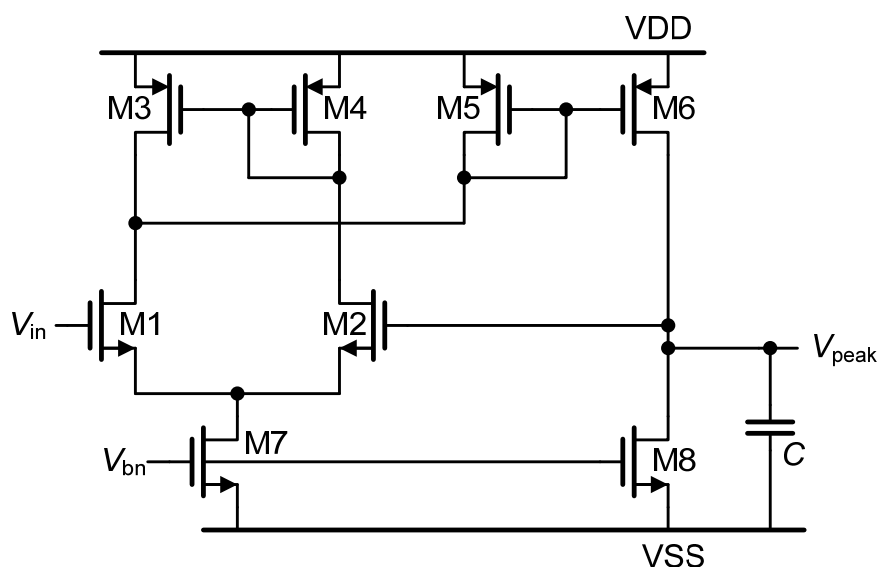


图 4-8 电流镜实现的峰值检测电路

本电路充电速度由电流镜电流和电容 C 决定。M8 管提供小电流以放电，下垂速率为

$$\frac{dV_{\text{peak}}}{dt} = \frac{I}{C} \quad (4.2)$$

对一个 25 MHz 信号，要求在一个周期内下垂值不大于 1 mV，则对 10 pF 电容，放电电流在 250 nA。

比较器用来比较一个模拟信号和一个参考信号的大小，输出二进制信号。比较器主要可以分为开环比较器和再生比较器两种结构以及两者的结合，开环比较器主要是基于非补偿运放，但其比较速度慢。再生比较器则采用触发器的正反馈来完成比较，加速比较速度。衡量比较器性能最重要的两个指标就是：比较时间和比较精度。运算放大器具有低偏置电流，高精度和低失调电压。在此电路中，因为幅度控制对比较时间没有特别要求，比较器采用运算放大器实

现。

图 4-9 是一个两级运算放大器，因为运放开环使用，没有稳定性问题，因此没有采用米勒电容补偿，而且也加快了比较速度。采用运放实现的比较器，具有一定的驱动能力，足够驱动后续的数字电路。运放结构的比较器，比较时间主要由压摆率决定，比较精度由增益决定。该比较器增益为 74.9 dB，足以分辨 0.5 mV 的输入信号。

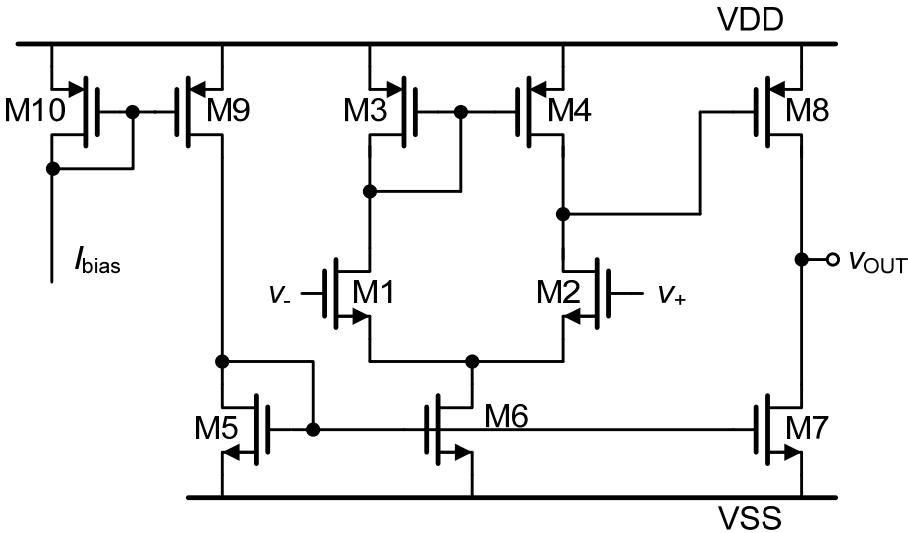
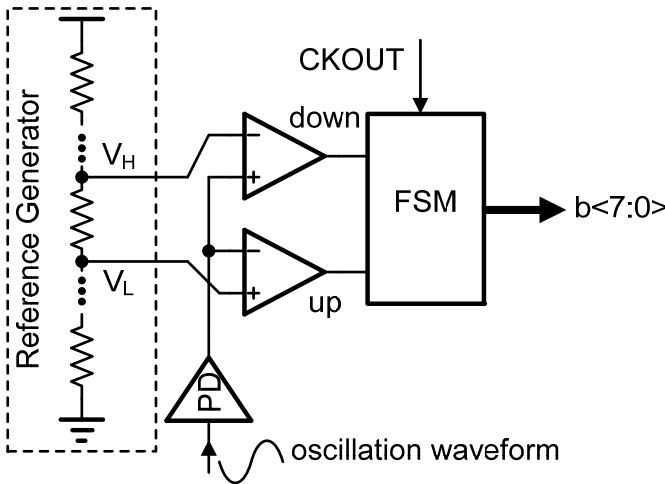


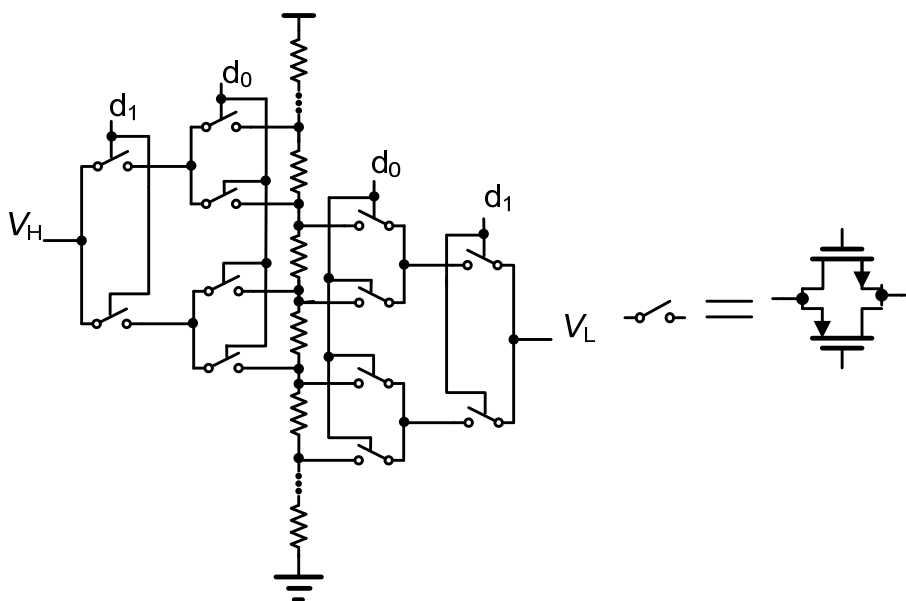
图 4-9 比较器电路图

4.2.4 自动幅度控制

通常，较高的振幅对相位噪声是有利的，但对晶振电路，过高的振幅会引起波形失真，并且由于过分驱动晶体导致老化加速，使频率漂移更为严重。幅度过小则后一级的缓冲级不能可靠工作，会恶化相噪。因此，需要控制电路稳定晶振振幅来满足相位噪声和功耗的要求。



(a) 幅度控制框图



(b) 参考电压产生电路图

图 4-10 幅度控制环路

图 4-10(a)是自动幅度控制框图[6]。峰值检测电路检测振荡幅度并将结果同两个参考电压 V_H 和 V_L 相比较，比较结果进入数字状态机来决定是否改变当前偏置电流。振荡幅度最终会落入 V_H 和 V_L 之间，而且由于 V_H 和 V_L 是可编程的，因此目标振幅是可调节的。图 4-10(b)是参考电压生成，由一组带有数字开关的电阻串联而成。

电路的偏置电流是一组 8 位的二进制权重的电流阵列，受控于数字电路的输出 $b<7:0>$ 。开始工作时，给电路最大偏置电流的一半，大小为 256 μA 。起振后，数字电路开始工作，根据当前检测到的振幅控制偏置电流大小。数字控制部分的算法采用了二进制搜索，通过比较器输出做出判决，形成一个反馈环路控制开关电流阵列。通过比较器不断的比较和反馈，最终的振幅会落入目标区域内，自动幅度控制工作结束。对于 8 位控制开关，完成整个搜索过程最多需要 8 次比较。另外，电路并联了一个大管子，有单独的控制信号，用来决定是否需要更大的电流加速起振。

需要注意的是振幅变化需要有足够的精度来保证最终能落入目标范围内，否则，幅度会在参考电压之间来回摆动。因此，振幅随偏置电流的变化曲线经过了仔细的仿真，如图 4-11。正如在第三章所分析的，Class-C 状态下的振荡幅度同偏置电流成线性关系，振幅可调精度约为 19 mV/step。

比较器的输入失调会影响比较器的最终结果。失调包括两部分，一部分是随机失调，另一部分是系统失调。系统失调可以在设计时尽量避免，而随机失调可以通过采用较大的晶体管尺寸及较小的输入管的过驱动电压加以减小。比

较器输入失调电压：

$$V_{\text{offset}} = \Delta V_T + \frac{V_{\text{GS}} - V_T}{2} \left[\frac{\Delta R_L}{R_L} + \frac{\Delta K}{K} + \frac{\Delta(W/L)}{W/L} \right] \quad (4.3)$$

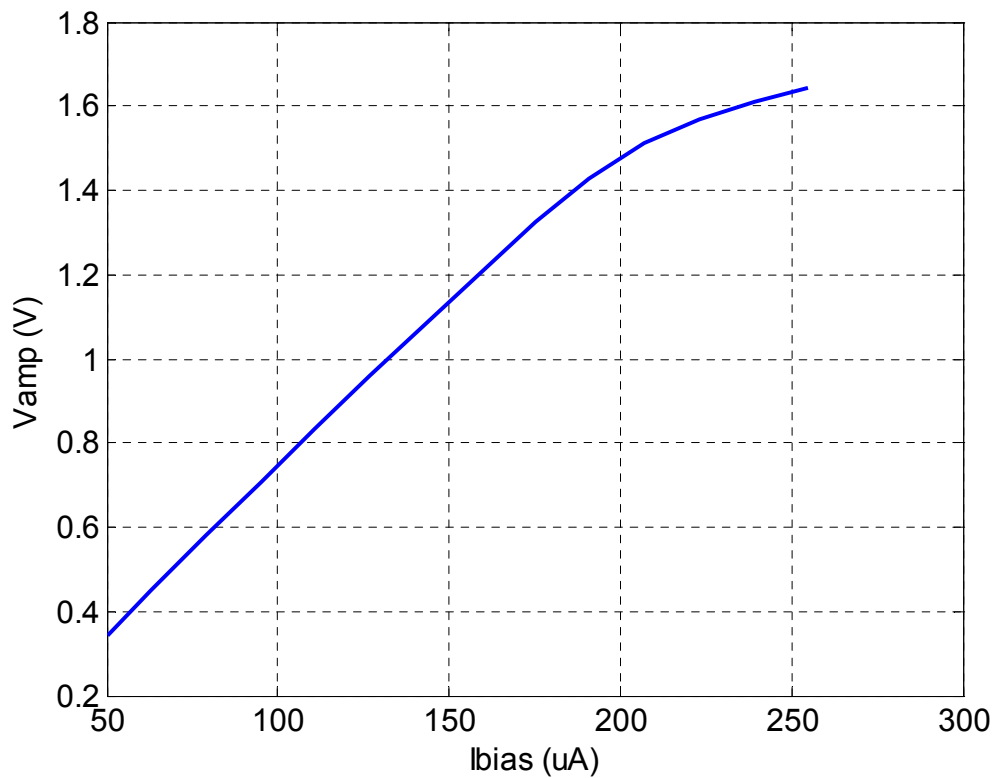


图 4-11 偏置电流和振幅的关系曲线

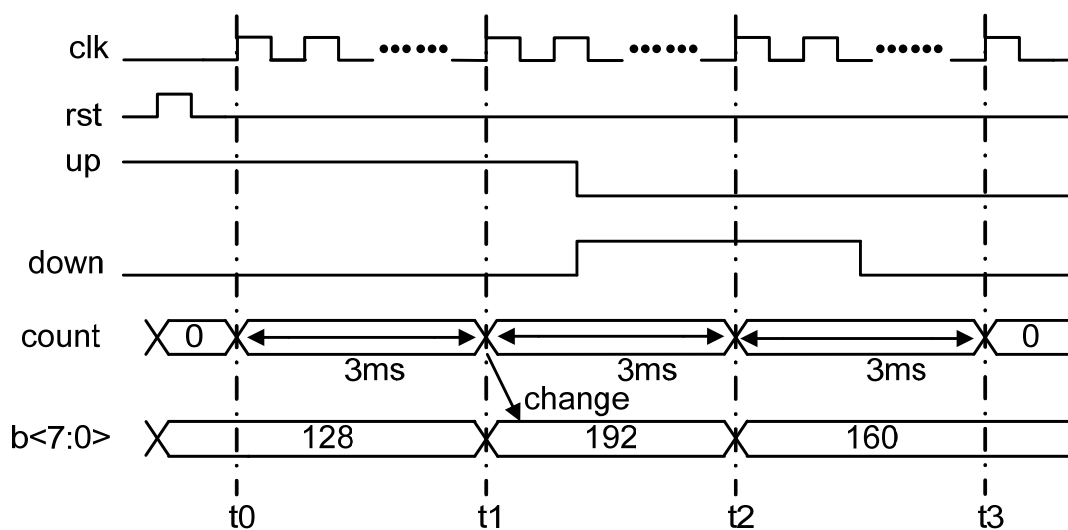


图 4-12 自动幅度控制时序图

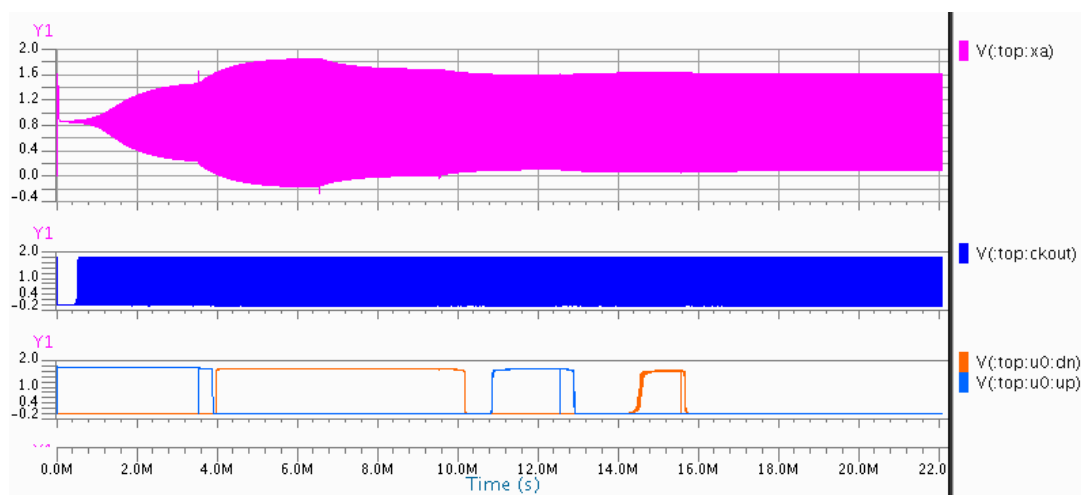


图 4-13 自动幅度控制仿真结果

由于晶体的高 Q 特性, 振幅对偏置电流的响应非常慢。为了保证环路稳定, 电流的每次改变都应在幅度稳定之后进行, 自动幅度控制时序如图 4-12 所示。在振荡开始前, 复位信号给电路初始电流以使电路发生振荡, 在这里, 输出 $b<7:0>$ 为 128。同时给自动幅度控制的数字电路时钟信号。在 t_1 时刻, 当内部计数器计到 3 ms 时, 输出 $b<7:0>$ 发生改变, 此时 up 信号有效, $b<7:0>$ 增加为 192 使幅度增加。在 t_2 时刻, down 信号有效, $b<7:0>$ 减小为 160 使幅度减小。在 t_3 时刻, 幅度落入目标区域时, up 和 down 信号都为低, 输出 $b<7:0>$ 保持, 由此获得所需的振幅。在初始状态, 允许最大偏置电流来加速晶体起振。电路采用二分法算法来缩短比较时间。

图 4-13 为在 ADMS 软件下的混合信号仿真结果, 预设电压峰值为 1.60 V~1.64 V。仿真结果显示幅度控制算法能正常工作。

相位噪声的主要贡献来自晶振驱动管 Mp1 的 $1/f$ 噪声, 电源, 直流偏置电路, 第一级 buffer 以及电流源。为了降低 Mp1 管的 $1/f$ 噪声, Mp1 管的尺寸尽可能大, 同时又要避免寄生电容影响频率调谐范围。线性稳压器的噪声通过电流偏置电路直接传递到振荡端, 因此线性稳压器要保证低噪声。高电源抑制比的电流源可以抑制线性稳压器的噪声上变为晶振相噪。第一级 buffer 的噪声也会贡献到输出, 因此管子尺寸要在 $1/f$ 噪声和寄生电容之间权衡。

4.3 自动频率控制

数控晶体振荡器得名于其片上电容阵列的数字控制。对晶振频率的调节可以分为两个部分, 粗调和细调。粗调目的在于克服工艺偏差, PCB 板引入的寄生电容以及晶体自身的非理想因素等造成的频率偏差。该过程在晶体出厂时进行频率校准, 消除静态误差, 确保频率的准确性。细调利用 FCCH(Frequency

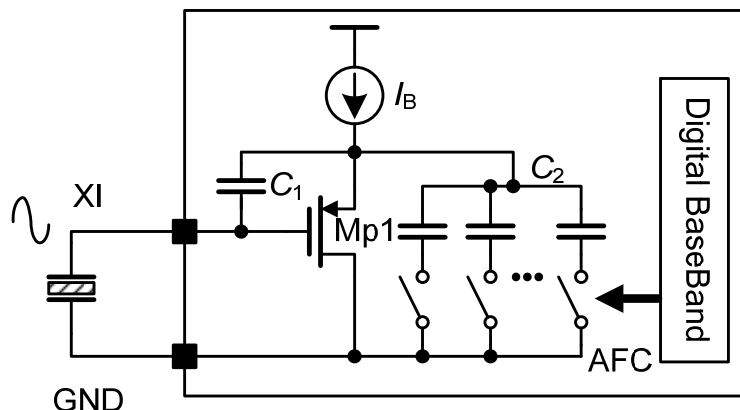


图 4-14 DCXO 频率调节示意图

Control Channel)信道的 FCB(Frequency Control Burst)信号，在终端设备产生频率误差信号并在基带中形成 AFC(Automatic Frequency Control)信号，来控制片上电容阵列实现对基站基准频率的跟踪，消除动态误差，确保频率的长期稳定性，如图 4-14 所示。

本文对粗调不做论述，但要明确的是在整个射频收发系统开机时，必须检验晶振频率是否能使接收机正常收发信号以确认频率是否需要调节。关于 AFC 细调的原理在 2.3.2 节进行了讨论。这里简要说明 DCXO 的细调过程。

射频接收通路将本地晶振与收到的基站参考频率源之间的微小相位误差转化为电压波动，送入基带进行频谱分析，根据相位/频率误差容忍度，采用一定的算法产生 AFC 信号，从而实现有针对性的，长期的频率细调。虽然 AFC 只能对较小的频率偏移进行调整，但由于其实时跟踪，不断校准，其累加效果很显著。即使晶振随温度的频率漂移可达 ± 10 ppm，只要频率在工作过程中没有发生突变，则 AFC 工作一直有效。

4.3.1 数控开关电容阵列

从晶体的数据手册来看，频率稳定度为 ± 30 ppm，老化率 ± 2 ppm/year，频率调谐范围需要达到 70 ppm 才能覆盖晶体的频率稳定度。

CMOS 工艺中对晶体振荡器片上负载电容的设计主要考虑两个方面：1)大的负载电容对频率牵引的影响小，但更难起振，功耗和面积更大。2)片上的最小可调电容限制了频率调节的精度。

振荡频率公式：

$$f_{\text{osc}} = \frac{1}{2\pi\sqrt{L_s \frac{C_s C_L}{C_s + C_L}}} \approx \frac{1}{2\pi\sqrt{L_s C_s}} \left(1 + \frac{C_s}{2C_L}\right) \quad (4.4)$$

频偏表达式：

$$\frac{\Delta f}{f_s} \approx \frac{C_s}{2C_L} \quad (4.5)$$

其中,

$$C_L = C_0 + \frac{C_1 C_2}{C_1 + C_2} \quad (4.6)$$

电感 L_s , 电容 C_s 和 C_0 来自晶体参数, 综合考虑上面提出的负载电容要求, 取电容 $C_1=30$ pF, 电容 C_2 可变, 其值范围为 12 pF~46 pF。在 Matlab 软件中得到频偏随电容 C_2 的变化曲线, 如图 4-15 所示。电容 C_2 的变化可以带来大于 70 ppm 的频率调节, 但该频率是非线性变化的。一个性能良好的 DCXO 必须满足频率单调变化的要求, 因此电容阵列以温度计编码的方式构成, 同时, 对图 4-15 中的 $F-C$ 曲线进行预校正, 保证频率线性变化, 使 AFC 的算法不至于过分复杂。

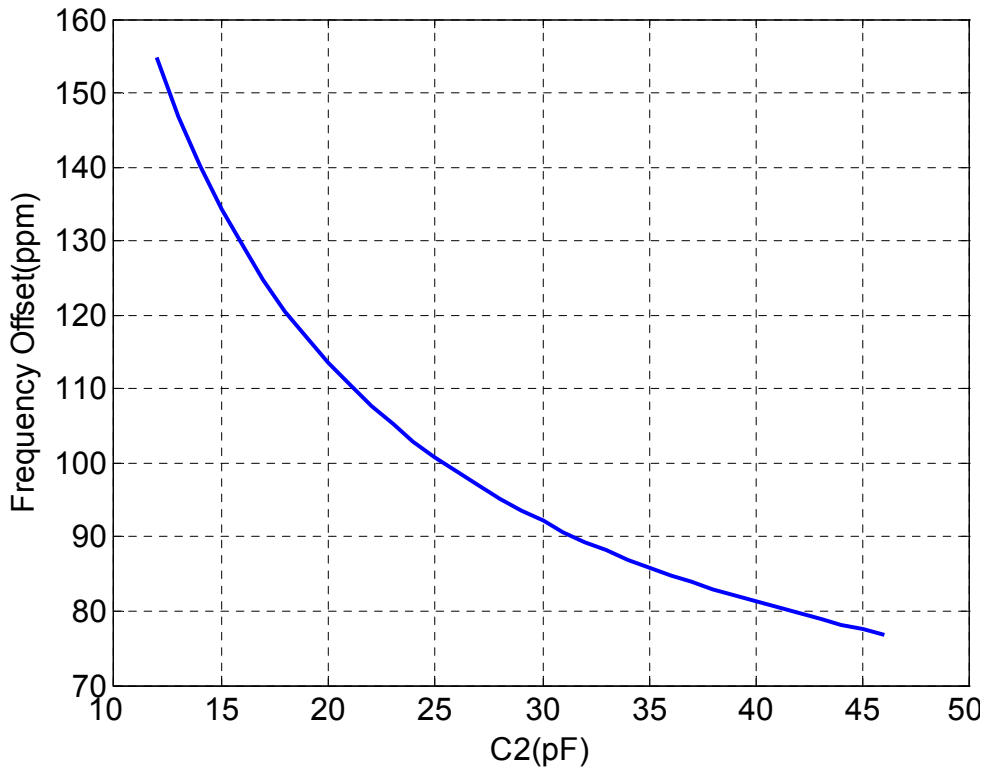


图 4-15 频偏随电容 C_2 的变化曲线

本文采用 10 位的温度计译码实现电容阵列, 其中高 5 位为行译码, 低 5 位为列译码, 整个电容阵列共计 32×32 个单元。为了版图实现的方便, 每一行上的电容大小保持一致, 每一行的电容值逐渐增加, 如图 4-16 所示。电容单元用反型 MOS 电容(I-MOS)实现。对单元电容值的校正通过 Matlab 软件计算实现。由于电容 C_2 的变化范围为 12 pF~46 pF, $C_{2\max}/C_{2\min}=3.83$, 通过仿真选

取合适尺寸的 MOS 电容，满足图 4-17 的调谐范围，然后对该 MOS 尺寸进行劈分，通过 Matlab 软件计算每组 MOS 电容尺寸大小。对预校正的电容阵列进行 S 参数仿真，结果显示，频率随 AFC 信号线性变化，调谐范围可达 82 ppm。

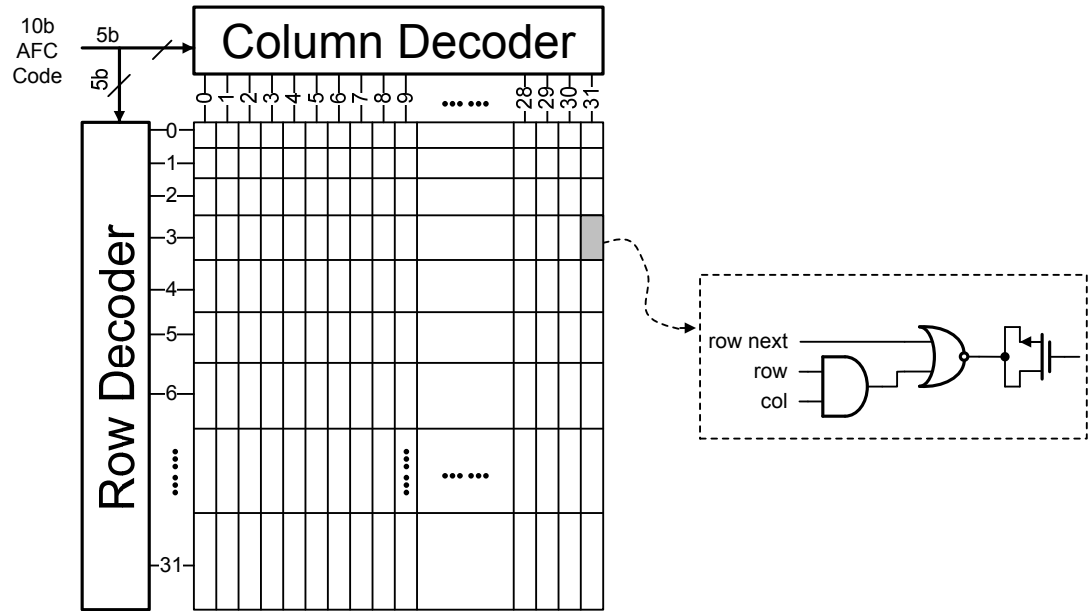


图 4-16 温度计译码电容阵列

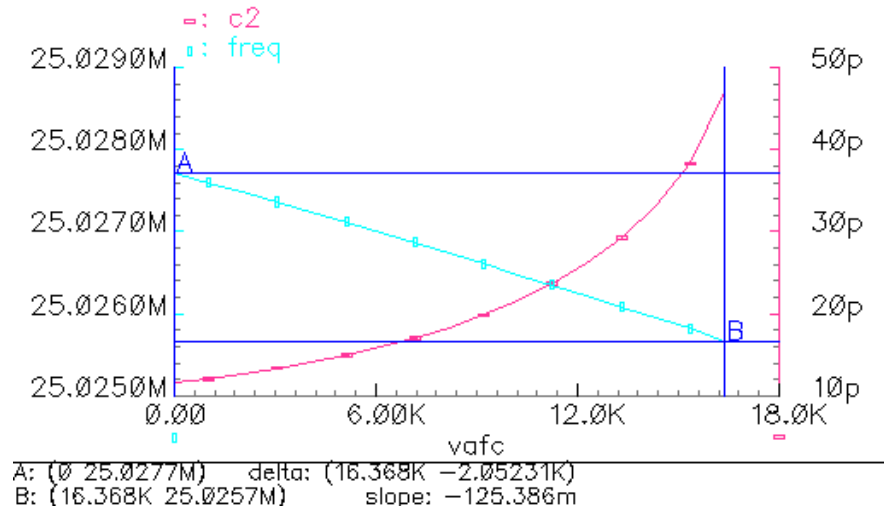


图 4-17 电容 C_2 和频率随 AFC 信号的变化曲线

4.3.2 电容阵列的单元设计

开关电容最直接的实现方式是固定电容串联一个 MOS 管开关，如图 4-18 所示。另一种实现方式是利用 I-MOS 电容的 $C-V$ 曲线的阶跃特性，实现最大电容和最小电容的切换。这里分析两种方案的优劣，最后给出本文采用的 I-MOS 的具体设计。

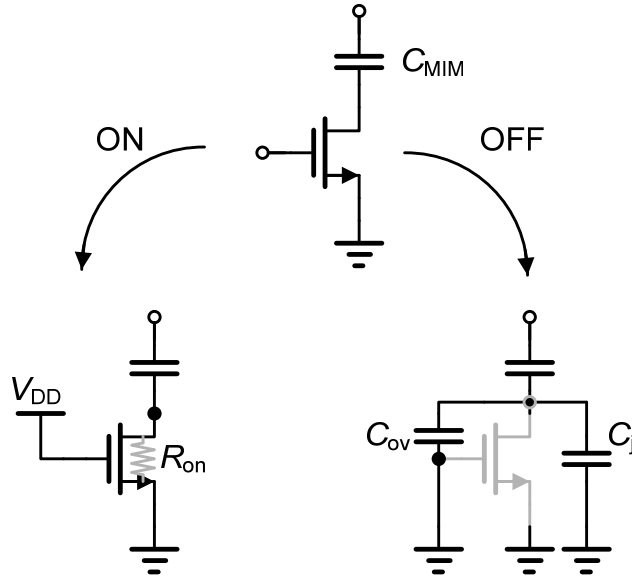


图 4-18 开关电容示意图

当 MOS 管导通时， C_{MIM} 接入谐振回路，此时 MOS 管处于线性区，其线性区电阻可以近似表示为：

$$R_{on} = \frac{1}{(W/L)\mu C_{ox}(V_{DD} - V_T)} \quad (4.7)$$

电容的品质因素 $Q=1/(\omega_0 R_{on} C_{MIM})$ 受限于该电阻，可以加大 MOS 管的宽度来减小导通电阻。当 MOS 管关断时，理想情况下，电容浮空，并不接入谐振腔。但实际上，电容通过 MOS 管的寄生电容 C_p 接入谐振回路，通常 C_{MIM} 远大于 C_p ，总电容由 C_p 决定。寄生电容 C_p 来自于 MOS 管的栅漏交叠电容 C_{ov} ，以及漏到衬底的电容 C_j 。所有这些寄生电容都同 MOS 管的宽度 W 成正比相关，因此寄生电容可以写成 $C_p^0 W$ ，有效电容比值：

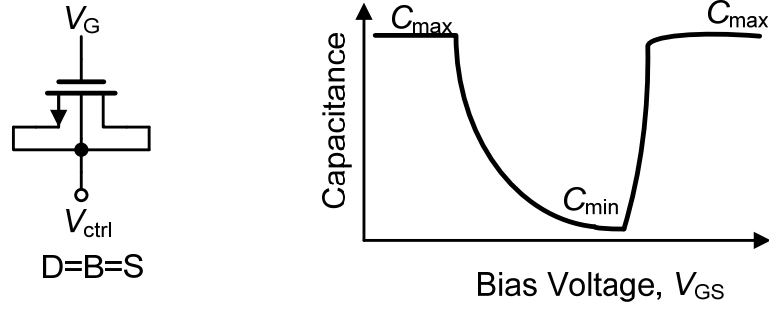
$$k \cong 1 + \frac{C_{MIM}}{C_p^0 W} \quad (4.8)$$

式(4.8)给出了有效电容比值和电容品质因素之间的折衷关系。宽的 MOS 管可以减小导通电阻，提高 Q 值，但增加了寄生电容，降低了有效电容比。

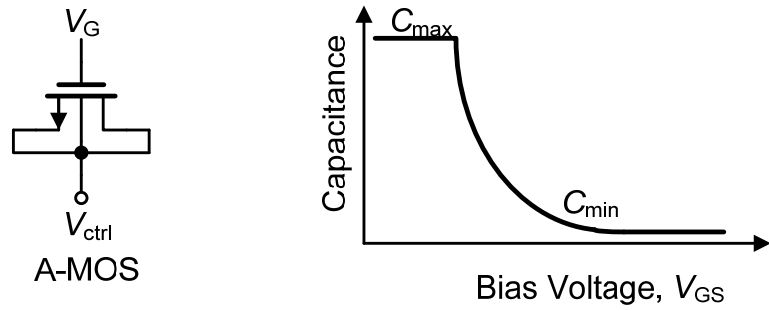
为了使调谐精度满足 0.1 ppm 的要求，电容变化量应小于 10 fF，而本设计采用的工艺所提供的最小 MIM 电容为 15.5 fF，不满足应用需求。此外，如果 32×32 的电容阵列采用 MIM 电容和 MOS 管开关实现的话，面积将大得无法忍受。考虑到以上几点，本文采用 MOS 电容来实现电容阵列。

MOS 电容有多种结构，在文献[8]中已做了充分讨论。图 4-19 是三种 MOS 电容结构的连接方式和 $C-V$ 曲线。I-MOS 的压控电压信号接高低电平， V_{ctrl} 为低时，MOS 管在整个振荡周期内都处于反型区，有最大电容 C_{max} ；在 V_{ctrl}

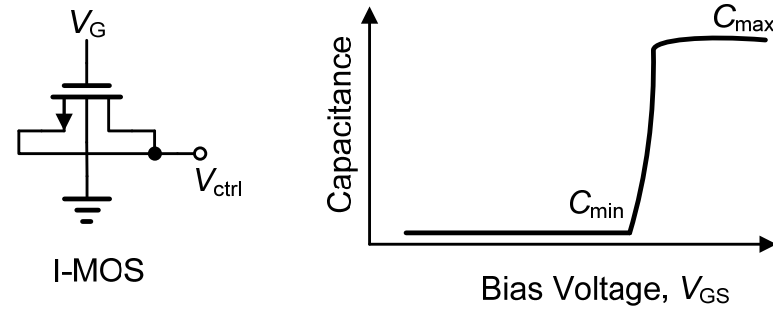
为高时, MOS 管在整个振荡周期内都处于耗尽区, 有最小电容 $C_{\min}$, 如图 4-19(c) 所示。利用它的阶跃特性可以实现开关电容。



(a) 标准 MOS 电容



(b) A-MOS 电容



(c) I-MOS 电容

图 4-19 MOS 电容结构及其 C-V 曲线

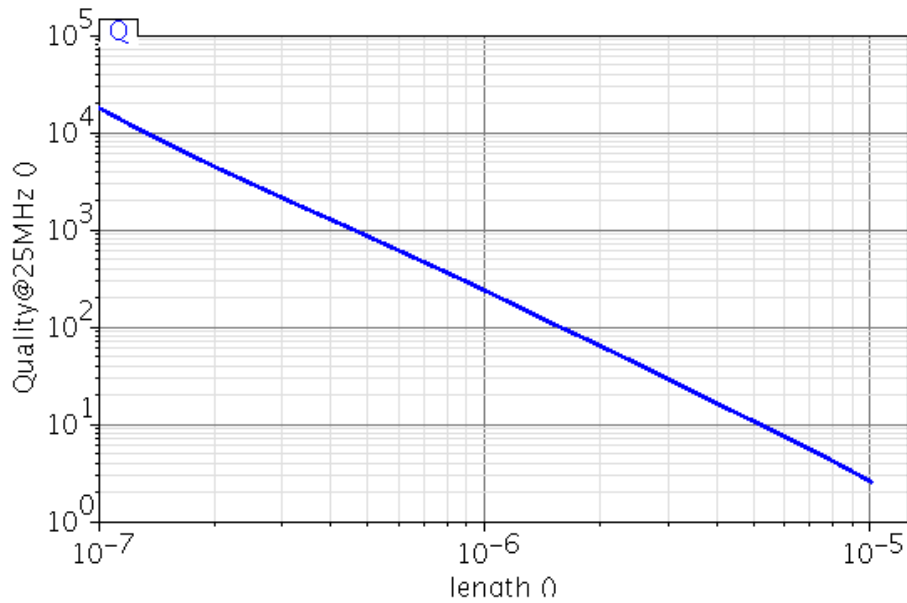
MOS 的串联电阻主要有反型沟道电阻和栅电阻, 其值为,

$$R_s = \frac{1}{12} \times \frac{1}{N} \times (R_{\text{ch},\square} \times \frac{L}{W} + R_{\text{poly},\square} \times \frac{W}{L}) \quad (4.9)$$

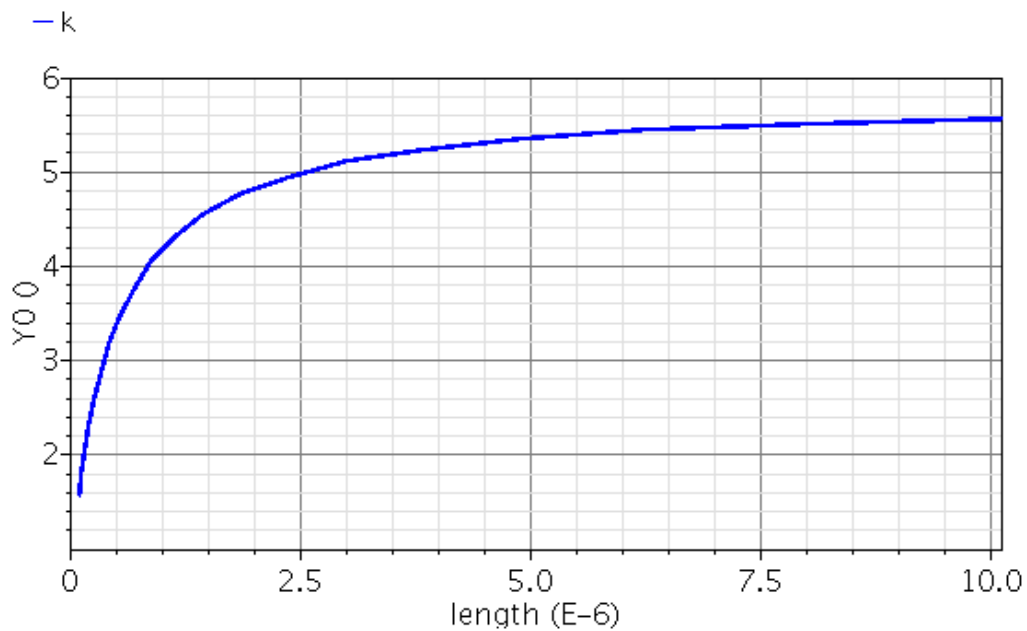
$R_{\text{ch},\square}$ 是沟道线性区的方块电阻, N 是叉指数, $R_{\text{poly},\square}$ 是栅极方块电阻。由于 $R_{\text{ch},\square} \gg R_{\text{poly},\square}$, 式(4.9)的第二项可以忽略。如果将栅电容表达式写成 $C_{\text{ox}}WL$, 其中 $C_{\text{ox}} = \epsilon_{\text{ox}}/t_{\text{ox}}$, 那么品质因素 Q 为,

$$Q \propto \frac{1}{\omega_0 C_{\text{ox}} W L R_{\text{ch},\square} \times \frac{L}{W}} \propto \frac{t_{\text{ox}}}{\omega_0 \epsilon_{\text{ox}} L^2 R_{\text{ch},\square}} \quad (4.10)$$

可见，随着工艺的提升， Q 值会随着栅长的减小而增大。



(a) 品质因素 Q 随栅长 L 的变化



(b) 有效电容比值 k 随栅长 L 的变化

图 4-20 CMOS 工艺下电容的 Q 值和有效电容比值 k

但是，有效电容比值 $C_{\max}/C_{\min}$ 在栅长减小时也会相应减小，从而降低调谐范围。图 4-19(c)中，注意到最大电容在反型区得到，此时的电容值为栅氧化电容，最小电容出现在耗尽区，此时的电容为耗尽层电容主导。因此，有效电容比值：

$$k = \frac{C_{ox}WL + C_{ov}^0 2W}{C_{de}^0 WL + C_{ov}^0 2W} \cong \frac{C_{ox}L}{C_{de}^0 L + 2C_{ov}^0} \quad (4.11)$$

这里， C_{ov}^0 是每单位宽度的栅漏交叠电容， C_{de}^0 是每单位面积的耗尽层电容， C_{ox} 是单位氧化层电容。上式表明，有效电容比值随栅长增加而增加。因此，在设计 MOS 电容时，对栅长的选取应考虑足够的调谐范围，同时又不能过分降低 Q 值。

图 4-20 是 MOS 电容品质因素和有效电容比值随栅长的变化曲线。MOS 管的宽度固定为 $1800 \mu\text{m}$ 。(a) 是 MOS 电容在 25 MHz 处的品质因素，沟道电阻同栅长成正比，因此在栅长减小时， Q 值变高。(b) 是有效电容比值 k 随 L 的变化曲线。在栅长超过 $3 \mu\text{m}$ 后， k 值的增加变缓慢，此时，式(4.11)中的交叠电容可以忽略， k 值接近最大理想值

$$k_{\max} = \frac{C_{ox}}{C_{de}^0} \quad (4.12)$$

在上一节提到为了达到目标调谐范围，电容 C_2 的有效电容比值应达 $C_{2\max}/C_{2\min}=3.83$ ，而电容比值跟栅长成正比相关。综合考虑调谐范围的要求和品质因素，在设计时，MOS 管的栅长取 $4 \mu\text{m}$ 。

4.3.3 一阶 delta-sigma 调制器

在现代通信系统中，频率精度要求在 0.1 ppm 以下，需要晶振频率可以微调，考虑到多普勒效应和其他非理想因素，实际设计精度要远小于 0.1 ppm 。调谐精度通常受限于工艺所能达到的最小电容值，但是通过 $\Delta\Sigma$ 调制，在足够长的一段时间内开/关一个最小电容，可以得到小于该电容值的平均电容从而达到更高的精度。图 4-21 是一阶 4 位 $\Delta\Sigma$ 调制器。有效电容值为该电容 C 乘以输出脉冲的平均占空比，从而产生更高精度电容。

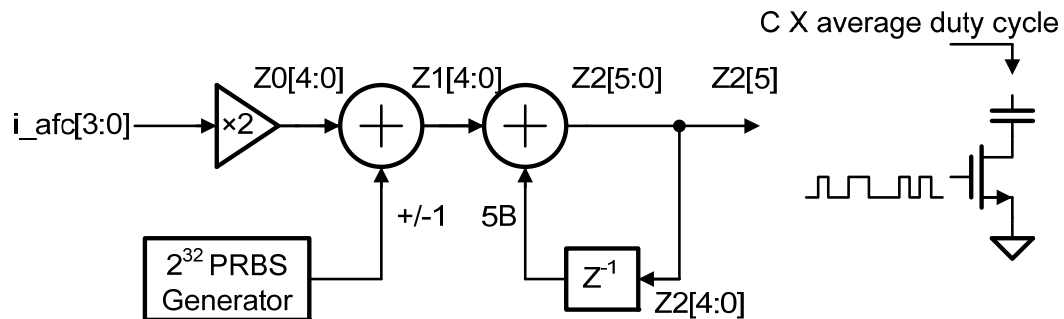


图 4-21 一阶 $\Delta\Sigma$ 调制器

选择一阶环路是因为环路在任何输入信号下都能保持稳定。但是一阶 $\Delta\Sigma$ 存在严重的杂散噪声(pattern noise)问题[9]。杂散噪声会产生 f_s/b ， $f_s/2b$ 及其谐

波处的频率成份, f_s 是采样频率, b 是输入信号有理式的分母。如果后一级的滤波器带宽远小于 f_s , 则不会损害信号。如果调制器输入在较长一段时间内保持不变, 那么杂散噪声的影响将会很明显。为了抑制有害频率成份的产生, 通常采用高阶调制器或加抖动(dithering)。

本设计中, 自动频率控制码的低 4 位用来产生 $\Delta\Sigma$ 调制信号, 一组 2^{32} 伪随机序列码(pseudorandom binary sequence)用来产生抖动, 减轻调制器输出信号的有序特性, 降低杂散信号能量。

将该 $\Delta\Sigma$ 调制信号嵌入 32×32 的电容阵列就能产生更高精度的频率调谐, 如图 4-22 所示。AFC 信号共有 14 位, 采用分段译码, 高 10 位为温度计译码, 低 4 位为 $\Delta\Sigma$ 调制器输入。温度计译码产生 32×32 的电容阵列, 行/列译码电路决定每个电容单元的开关与否。低 4 位 $\Delta\Sigma$ 调制器的时钟来自晶振自身的输出, 调制器输出 1 位信号。该信号叠加在列信号上, 调制当前激活的由温度计译码产生的电容单元。由于每次都只对当前激活的电容单元进行调制, 频率变化的单调性得到保证。在图 4-22 中, 灰色单元表示温度计译码(高 10 位)已经选中的电容单元, 黑色表示当前选中的温度计译码单元, 1 位调制器输出信号就叠加在这个单元上。例如 AFC code = 14b'00000_00001_0000, 温度计译码选中第一个单元, 对第二个单元进行 $\Delta\Sigma$ 调制。由于 $\Delta\Sigma$ 调制超前于温度计译码, 每次都在原来的基础上加减一定的电容, 因此频率变化的单调性得到保证。

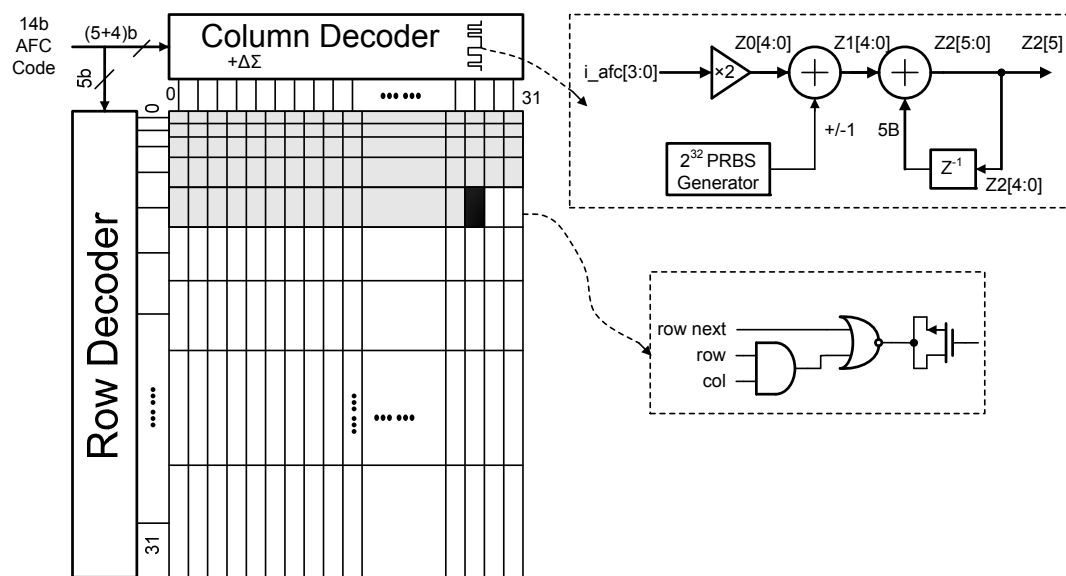


图 4-22 采用一阶 $\Delta\Sigma$ 调制器的 14 位电容阵列

4.4 晶振输出缓冲级设计

晶振的输出缓冲级常见的结构有电流模(Current Mode Logic, CML)和反相器链两种, 如图 4-23 所示。CML 结构的输出摆幅受限, 且电阻引入噪声,

但由于其天然的差分结构，有利于抑制共模干扰。当然，这种结构也需要差分的输入信号。反相器链结构简单，能得到全摆幅的方波输出，但抗干扰能力差，需要采用线性稳压器供电以避免电源干扰。本文设计的 DCXO 采用片上线性稳压器供电，采用自偏置的反相器做输出缓冲级。

图 4-24 是设计所采用的自偏置反相器输出缓冲级电路图。第一级反相器输入输出短接，产生 $V_{DD}/2$ 的固定电平用来偏置驱动管。第一级采用相同的尺寸，那么反相器的输入输出特性曲线是完全相同的，因此可以保证输出时钟信号 50% 的占空比。50% 的占空比可以减少偶次谐波引起的杂散，而且适用于双边沿触发系统。由于第一级反相器的 $1/f$ 噪声直接影响输出，其尺寸应尽量大。较大的尺寸也有助于消除两个反相器之间的失配从而优化占空比。但大尺寸也意味着大的负载电容，会影响频率调谐范围并增加功耗。

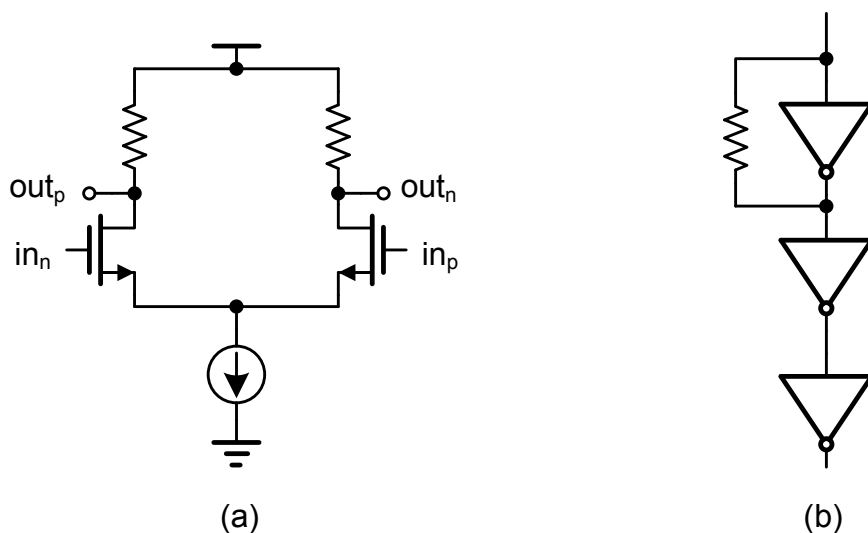


图 4-23 晶振输出级 (a) CML 结构 (b) 反相器链结构

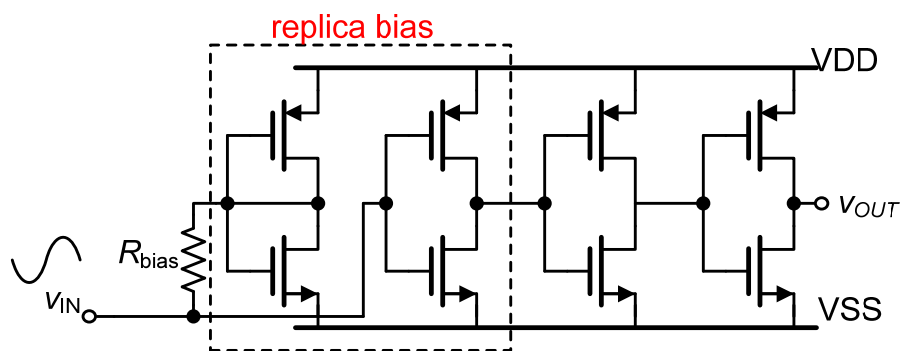


图 4-24 晶振的输出缓冲级电路

由于第一级的输入是正弦信号，为了使反相器对波形的相位干扰最小，要求第一级输出尽量陡峭。如果正弦信号幅值较小，则第一级 MOS 管在一个周

期内有更多的时间处于导通状态, 会贡献较多的噪声。图 4-25 是输入正弦信号幅度分别为 300 mV, 600 mV 和 900 mV 时的噪声仿真结果。

为了驱动示波器 15 pF 的负载电容, 根据反相器链的设计原则, 输出三级反相器的尺寸比值为 1:3:6, 第一级出于噪声的考虑, 栅长选取较大尺寸, 后两级取最小栅长, 对栅宽做相应比例的缩放。

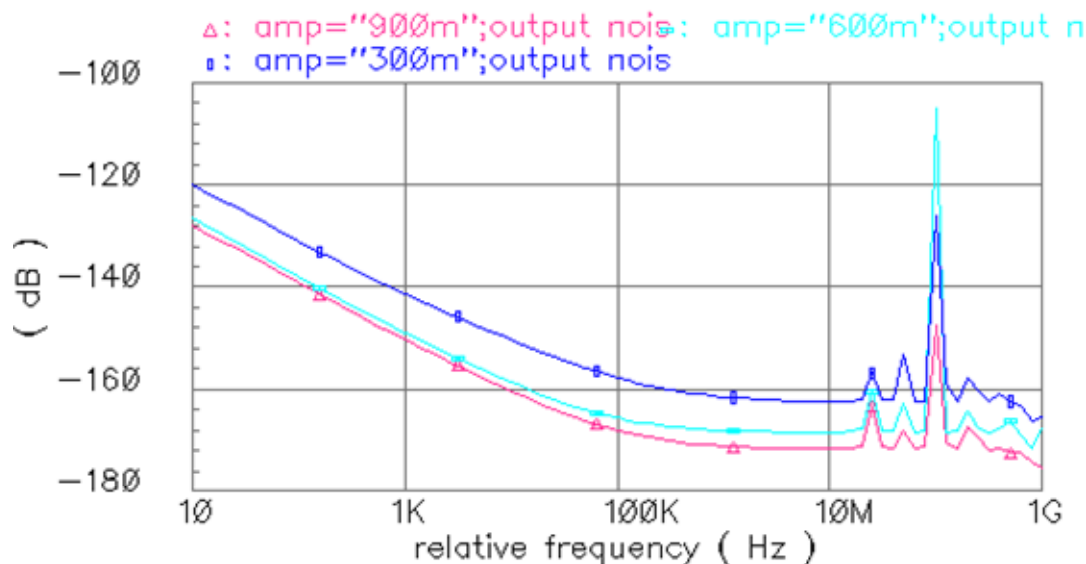


图 4-25 输出缓冲级电路的噪声仿真结果

参考文献

- [1] L. Lu, Z. Gong, Y. Liao, H. Min, and Z. Tang, "A 975-to-1960 MHz, Fast-Locking Fractional-N Synthesizer with Adaptive Bandwidth Control and 4/4.5 Prescaler for Digital TV Tuners," *ISSCC Dig. Tech. Papers*, Feb. 2009, pp. 396-397.
- [2] *Data sheet HCX-3SB*, hosonic, Hangzhou, China.
- [3] B. J. Hosticka, "Improvement of the gain of MOS amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-14, no.6, pp. 1111-1114, Dec. 1979.
- [4] E. Sackinger and W. Guggenbuhl, "A high-swing, high-impedance MOS cascode circuit," *IEEE J. Solid-State Circuits*, vol. 25, no.1, pp. 289-298, Feb. 1990.
- [5] Seok-Bae Park, etc, "Peak Detectors for Multistandard Wireless Receivers," *IEEE Circuits and Devices Magazine*, Nov./Dec, 2006
- [6] John W. M. Rogers etc. , "A Study of Digital and Analog Automatic-Amplitude Control Circuitry for Voltage-Controlled Oscillators," *IEEE J. of Solid-State Circuits*, Vol. 38, no.2, pp.352-356, February 2003.
- [7] Andrea Lacaita, Salvatore Levantino, and Carlo Samori, "Integrated Frequency Synthesizers for Wireless Systems." *Cambridge Univ. Press*. pp. 150-154

- [8] P. Andreani and S. Mattisson, On the use of MOS varactors in RF VCOs, *IEEE J. Solid-State Circuits*, vol. 35, pp. 905-910, Jun. 2000.
- [9] Schreier R., Temes G. C. "Delta-Sigma Data Converters." *Wiley-IEEE Press*.

第五章 芯片实现及测试

前两章对数控晶体振荡器电路的设计做出了分析并给出了部分仿真结果。为了验证电路设计的正确性,在 SMIC 0.18- μm CMOS 工艺下进行了流片验证,本章将给出其测试结果并做分析。

5.1 芯片实现

图 5-1 是数控晶体振荡器的显微照片,不包括引脚,芯片面积 $0.5\text{ mm}\times 0.8\text{ mm}$,供电电压 1.8 V ,消耗电流 1 mA 。

由于电路的振荡特性,设计版图时将振荡电路的核心器件做了独立的电源环隔离,以避免振荡信号对芯片中其他模块的干扰。振荡端的版图连线尽量靠近焊盘,降低寄生电容的影响。从芯片照片中可以看到,14 位的电容阵列约占了一半的芯片面积。

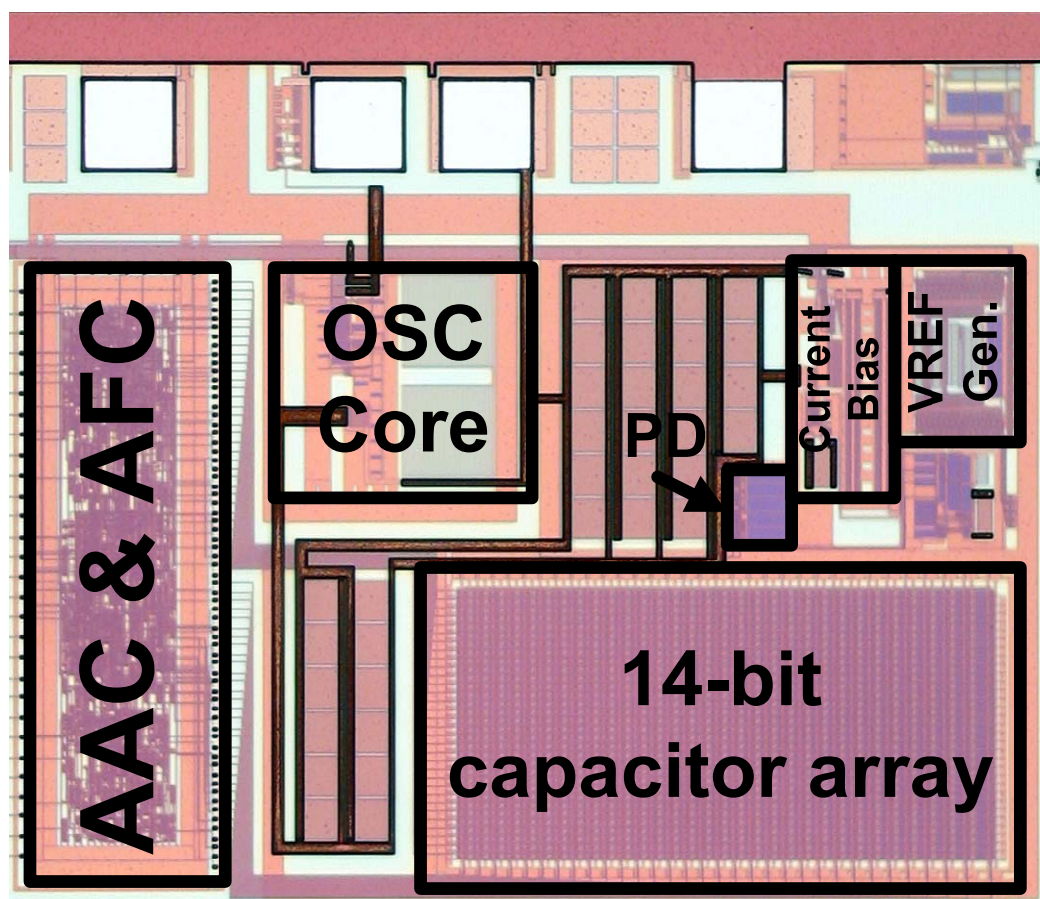


图 5-1 数控晶体振荡器芯片照片

5.2 芯片测试结果

DCXO 的相位噪声采用 Agilent 公司的信号源分析仪 E5052A 测试，频率采用 Agilent 公司的频谱分析仪 E4440A 测试，温度特性用到温控箱测试，其余为示波器测试。

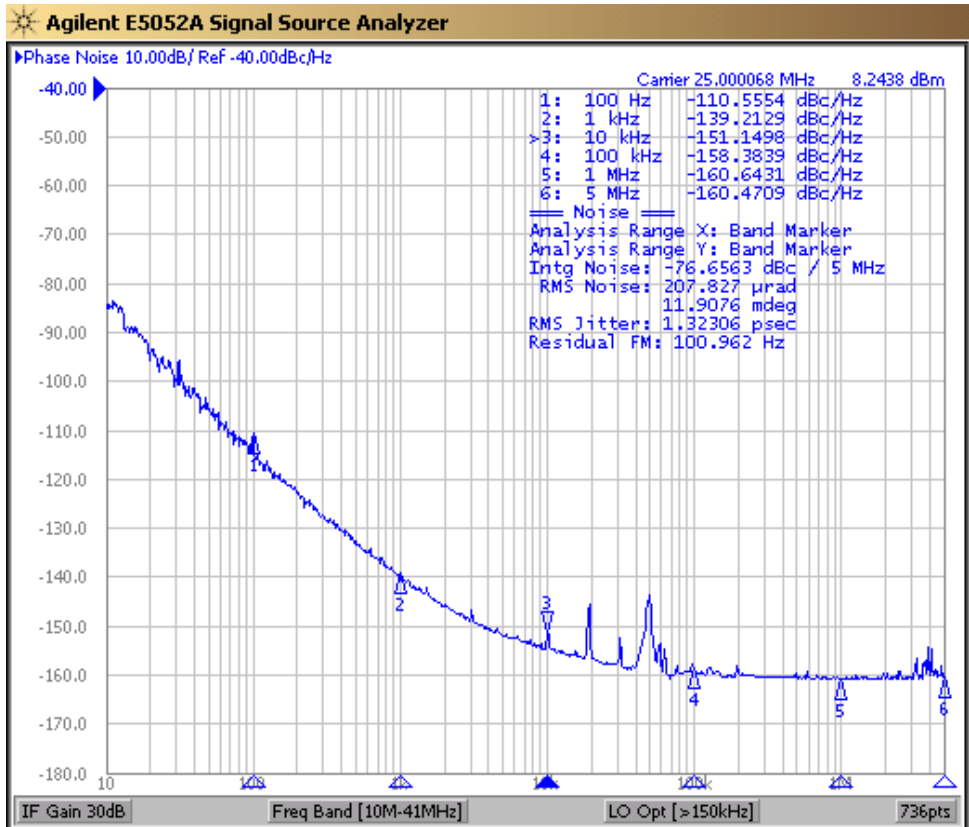


图 5-2 相位噪声测试结果

图 5-2 是芯片的相位噪声测试曲线，在频偏 1 kHz 和 10 kHz 处的相位噪声分别为-139 dBc/Hz 和-151 dBc/Hz。图 5-3 是 DCXO 的频率调谐曲线，调谐范围可达 35 ppm，该范围能够覆盖晶体随温度和时间引起的频率漂移。频率精度约 0.04 ppm，适用于频率精度小于 0.1 ppm 的场合。由于电容阵列做了预失真处理，因此频率调谐曲线较为线性。图 5-4 是频率随电源电压变化的测试曲线。由于采用了阻抗提升技术，在电源电压从 1.7 V 到 2.1 V 的变化范围内，频率波动 2 ppm。图 5-5 给出了频率随温度的变化曲线，在给定的温度范围内，频率波动±7 ppm。表 5-1 总结了 DCXO 的测试性能。

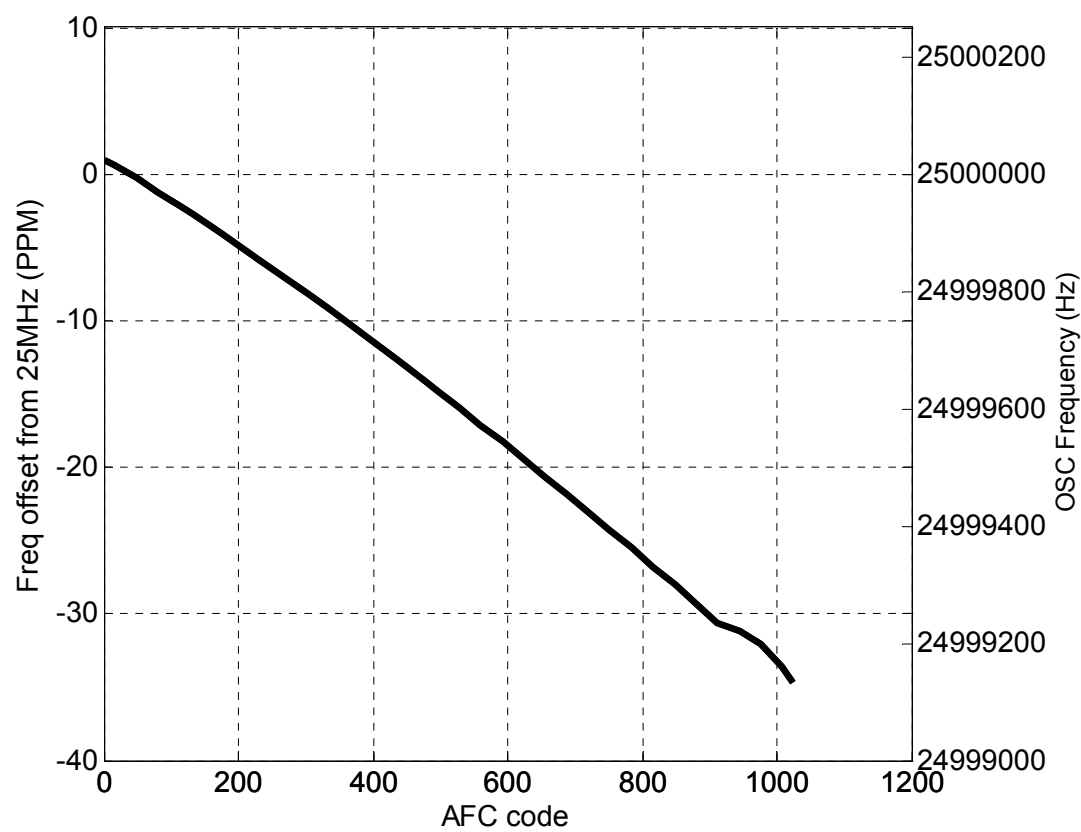


图 5-3 频率调谐曲线 AFC

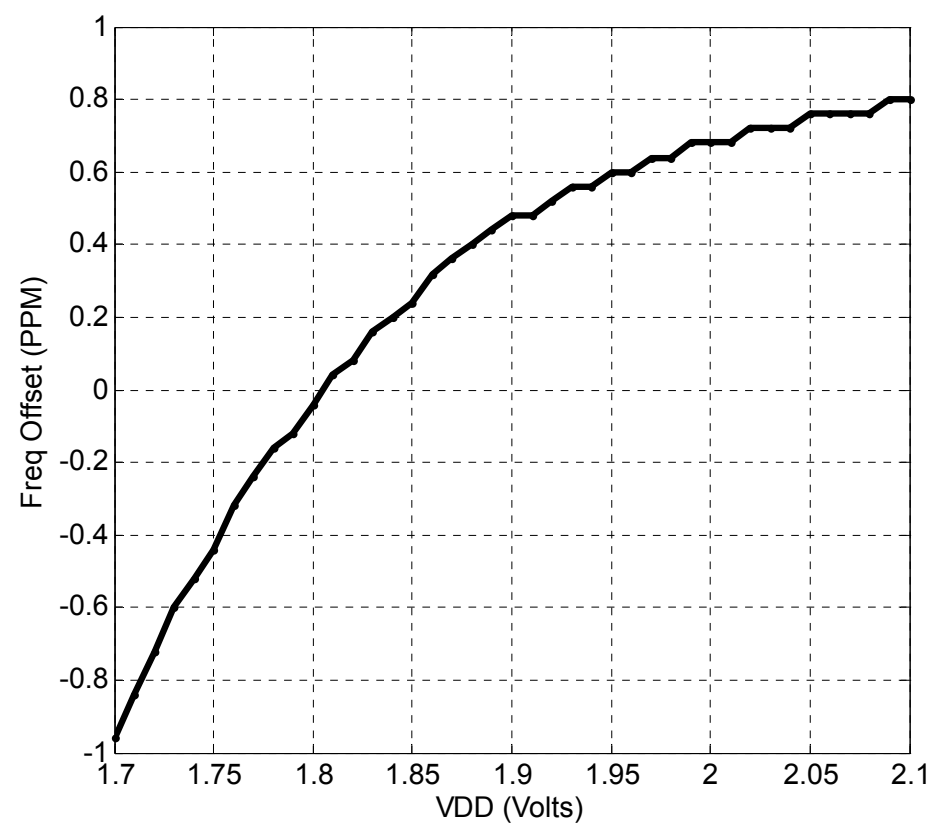


图 5-4 频率随电源的变化

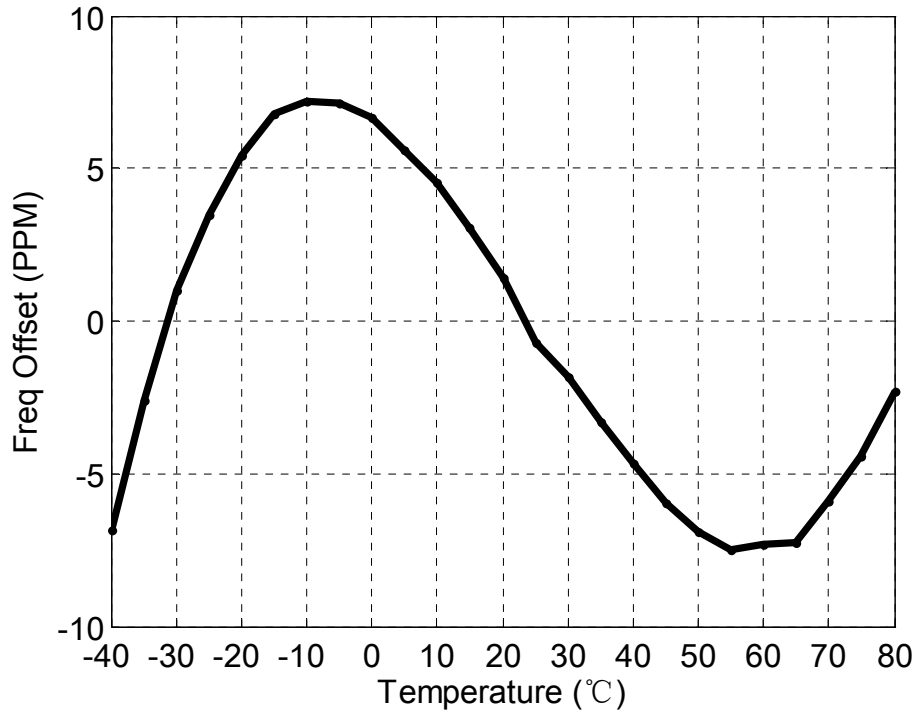


图 5-5 频率随温度变化曲线

表 5-1 DCXO 性能总结

Voltage	1.8 V
Current	1 mA
Oscillation frequency	Designed for 25 MHz. Applicable for other frequency.
Tuning range	~ 35 ppm
Frequency step per AFC code	~ 0.04 ppm
Phase Noise @25MHz	-139 dBc/Hz @ 1 kHz offset -151 dBc/Hz @ 10 kHz offset
Frequency instability -40°C to 80°C	+/- 7 ppm
Area	0.4 mm ²
Technology	0.18-μm CMOS

为了验证本文设计的 DCXO 不仅适用于 25 MHz 频率,也适用在其他频率,测试了一组 30.4 MHz 频率下的振荡幅度和功耗。图 5-6 是电路工作在 25 MHz 和 30.4 MHz 频率下,振荡幅度和核心功耗的关系曲线。正如第 3 章分析的,

幅度和功耗呈近似线性关系，在相同的振荡幅度下，30.4 MHz 和 25 MHz 的功耗比约为 2.4 倍。该图也表明了采用自动幅度控制电路的必要性，用户可以灵活选择不同频率的晶体，相位噪声不会因为振荡频率的改变而恶化。

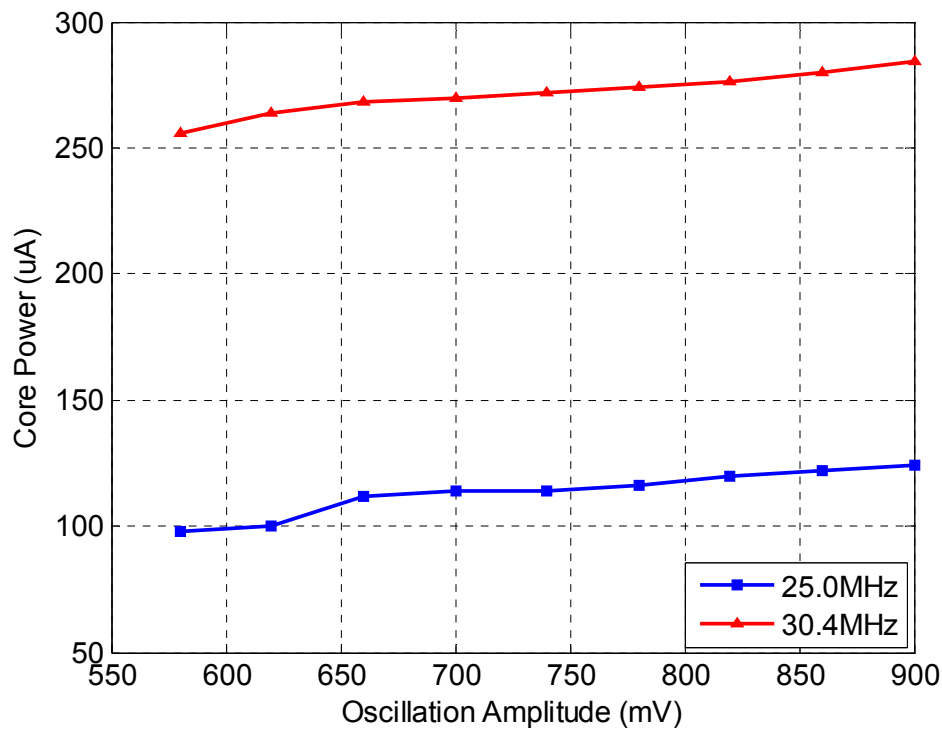


图 5-6 核心功耗测试

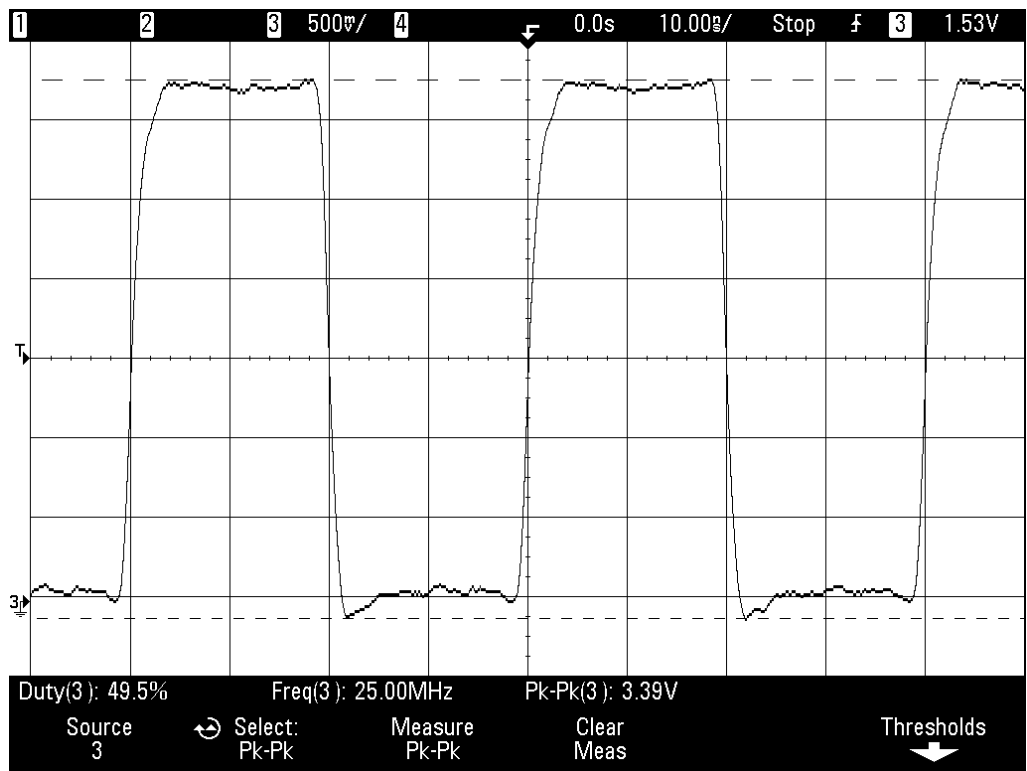


图 5-7 占空比测试

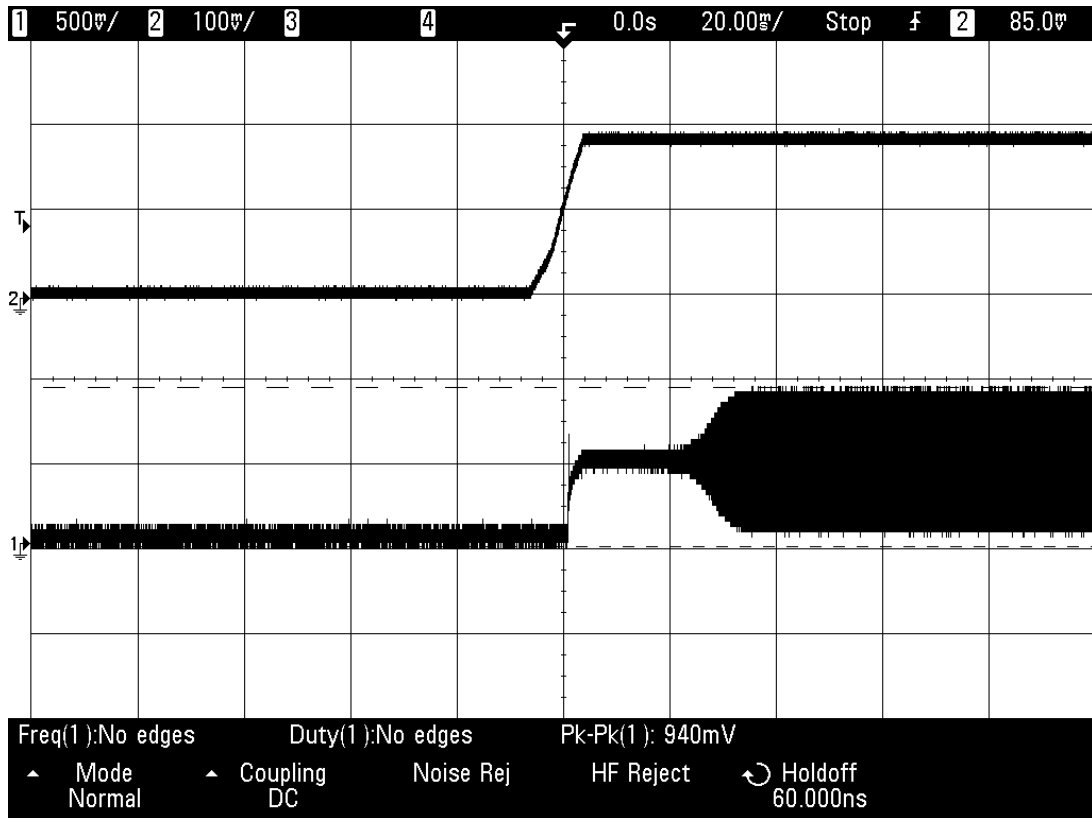


图 5-8 起振波形测试

表 5-2 数控晶体振荡器的性能比较

	[1]	[2]	[3]	This Work
Frequency	26 MHz	26 MHz	19.2MHz	25 MHz
Phase Noise @ 1KHz	-140 dBc/Hz	-138 dBc/Hz	-137 dBc/Hz	-139 dBc/Hz
Supply Voltage	1.4 V	1.5 V	2.7 V	1.8 V
Tuning range	~ 70 ppm	~ 28 ppm	N.A	~ 35 ppm
Power Consumption	3 mW	4.2 mW	6.5 mW	1.8 mW
Supply Pushing	1 ppm/V	N.A.	0.2 ppm/V	±2 ppm/V
Die Area	0.18 mm ²	0.52 mm ²	0.75 mm ²	0.4 mm ²
Technology	90-nm CMOS	0.13-μm CMOS	0.35-μm SiGe BiCMOS	0.18-μm CMOS

图 5-7 是晶振工作在 25 MHz 频率时的占空比测试，输出缓冲级的第一级尺寸复制直流偏置管的大小，可以得到优良的占空比性能，适用于双沿触发的系统。测试结果表明，占空比为 49.5%。图 5-8 是电路的起振波形测试，需要

说明的是, 由于振荡端在电路内部并没有设计辅助测试电路, 因此探针的输入电容直接负载在振荡端, 即电容 C_0 的值很大, 直接影响振荡建立时的时间常数, 因此图 5-8 中的起振时间会较长。表 5-2 给出了相关设计的性能比较, 比较结果表明本文设计的数控晶体振荡器具有优良的相位噪声性能和较低的功耗, 性能指标满足系统要求。

参考文献

- [1] J. Lin, "A Low-Phase-Noise 0.004-ppm/Step DCXO With Guaranteed Monotonicity in the 90-nm CMOS process," *IEEE J. Solid-State Circuits*, pp. 2726-2734, Dec. 2005
- [2] Ming-Da Tsai, Chih-Wei Yeh, Yi-Hsien Cho et al., "A Temperature-Compensated Low-Noise Digitally-Controlled Crystal Oscillator for Multi-Standard Applications," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, sec. RTU4B-1, Atlanta, CA, Jun. 2008, pp. 533-536.
- [3] S. Farahvash, C. Quek, M. Mak, "A temperature-compensated digitally-controlled crystal Pierce oscillator for wireless applications," *ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 352-353.

第六章 总结与展望

6.1 总结

本文从晶体振荡器在无线通信中的应用出发,首先阐述了晶体和晶振的背景知识,分析了几种晶振结构,并指出相位噪声指标在无线射频系统中的关键性。然后以 Santos 结构晶体振荡器为例,详细分析了电路小信号模型和大信号振幅,给出了相位噪声优化的设计考虑。围绕相位噪声优化和数字频率控制实现,本文设计了一款 25 MHz 的数控晶体振荡器。采用自动幅度控制来优化相位噪声,电容阵列应用了 $\Delta\Sigma$ 调制器技术来获得精细的频率调节。文章给出了各模块的详细设计考虑并分析了电容阵列中几种单元电容结构的优劣,对偏置电路和输出缓冲级对相位噪声的影响也做了分析。最后,通过流片测试,验证了设计的正确性。所设计的 DCXO 应用于数字电视接收系统,各项指标能基本满足系统要求。

6.2 展望

为了适应多标准的无线应用,对晶体振荡器的温度频率稳定度指标会更加苛刻。在 GSM 和 WLAN 协议下,本文所设计的 DCXO 的频率温度稳定度已经能满足要求。但在 WCDMA 协议下,DCXO 还需要温度补偿电路。温补通常的原理是利用 BJT 管的 V_{BE} 电压来实现温度传感器,产生具有温度系数的电压或电流来控制电容阵列达到减小温漂的目的[1]。为了扩大 DCXO 的频率调谐范围,电路中的反馈电容 C_1 可以用多位数字控制,作为 DCXO 的粗调部分,用以校正由于工艺偏差,PCB 板寄生和晶体初始误差导致的频率偏移。最后 DCXO 芯片的可测性设计非常复杂,片内必须建立测试辅助电路以实现所有性能指标的测试。

参考文献

- [1] S. Farahvash, C. Quek, M.Mak, "A temperature-compensated digitally-controlled crystal Pierce oscillator for wireless applications," *ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 352-353.

致谢

硕士学习即将结束，回首求学历程，我得到了很多人的帮助和支持，这里发生的一切我都铭记在心。

衷心感谢指导我的导师唐长文副教授，不仅在学业上悉心指导，引导我用正确的方法去分析，去思考问题。在生活上也是关爱有加，09年的杭州行是我研究生阶段的美好回忆。他严谨的治学态度，宽厚求实的作风令我深受感触，获益良多。

特别感谢卢磊师兄，在设计和测试碰到困难的时候，总是给予最无私的帮助和最耐心的指点，并分享了许多宝贵的设计经验，使我少走了许多弯路。

感谢在 Tuner 组奋斗的金黎明、袁路、邹亮，宫志超、周嘉业、孟令部等人，与你们的讨论令我获益匪浅；感谢廖友春、尹睿、韩科峰在芯片测试上的帮助；感谢刘立明同学在文档格式上的帮助；感谢温晓柯、黄兆磊、余永长等师弟师妹，你们给实验室带来了朝气和活力；感谢熊廷文、张成、王肖、王丽芳等人，与你们打球时光如此短暂却又如此珍贵；感谢车文毅、路守领、李波、柴路和周春媛，是大家的相互扶持和鼓励才使我能以最佳的状态投入到毕业设计中。

最后感谢我的父母，你们无私的关爱陪伴我一路成长，愿将点滴成绩与你们分享，你们的理解和支持永远是我最大的动力！

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名：_____ 日期：_____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名：_____ 导师签名：_____ 日期：_____