

摘要

本文设计的是一个采用 1.8V 供电电压的 12 位, 100 兆采样速率电流型 DAC。为了获得高的线性度和无杂闪动态范围 (SFDR), 电路采用了高 7 位温度计译码, 低 5 位二进制译码的分割结构。由于设计的 DAC 每增加 1 位, 电流源阵列中的总晶体管面积增加四倍以使晶体管匹配满足精度要求, 另外, 连线和额外的电路开销也会增加一倍, 因此, 单元阵列有几百微米的跨度, 这使得要减小由于工艺, 温度和电学梯度引起的不匹配变得十分困难。为了解决这一问题, 本文采用 CSA 的方法, 即电流源单独放在一个与其它电路分开来的阵列中。这种方法使得电流源晶体管能被分成很多股放置在 CSA 中的不同地方以抵消梯度的影响。另外, 如果一股等于 1LSB, 则温度计译码的 MSB 和二进制译码的 LSB 之间的缩放误差可以被消除。然而, 为了抵消温度计译码的电流源晶体管的梯度, 各股晶体管之间的连线及整个 CSA 和其它电路之间连线会随着分割程度的增加而急剧增加。

关键词——数模转换器 (DAC), 分割结构, 温度计译码, 二进制译码, 电流源阵列 (CSA), 匹配

Abstract

A 12-bit 320-MSample/s current-steering D/A converter with the supply voltage of 1.8-v is presented. In order to achieve high linearity and spurious free dynamic range (SFDR), a large degree of segmentation has been used, with the seven most significant bits (MSBs) being implemented as equally weighted current sources. As for each extra bit of accuracy, the gate-area of the current source transistors in the cell matrix must increase by a factor of 4 so that the transistor matching is within the desired accuracy. In addition, the area overhead due to the interconnect lines and the additional circuitry roughly doubles. As consequence, the cell matrix has dimensions of several hundred microns, and it becomes increasingly difficult to minimize the impact of the systematic mismatch sources on the DAC accuracy due to process, temperature, and electric gradients. To solve this problem, this design used the CSA approach, in which the current sources alone are laid out in an array separated from the rest of the circuitry which is then laid out in a bit slice fashion. This approach has the advantage that the current-source transistors can be divided into multiple strips placed throughout the CSA to cancel gradient effects. In addition if each individual strips is equivalent to 1LSBs unit scaling between the unary MSBs and the binary LSBs is possible, thus eliminating scaling errors. However, if gradient cancellation is implemented for the linear bits, access to the multiple transistor strips becomes more difficult and the interconnect between the CSA and the bit slice increasingly dramatically in complexity as the amount of segmentation increases.

Key words: D/A converter, segment, thermometer-code, binary code, current source array (CSA), matching

目录

摘要	1
Abstract	2
第一章 引言	4
1.1 研究的背景方向和意义:	5
1.2 主要工作	5
1.3 文章的主要结构	5
第二章 DAC 原理简介	7
2.1 电流型 (Current Steering) DAC 结构	7
2.2 各种结构 DAC 的 DNL 和 INL 性能比较	9
第三章 12 位, 100 兆 DAC 各部分的设计和仿真	11
3.1 12 位, 100 兆转换速率数模转换器的结构	11
3.2 电流源单元	12
3.3 开关电路	16
3.4 锁存器	16
3.5 数字译码电路	18
3.6 偏置电路	19
第四章 DAC 的设计和仿真	22
4.1 整体电路框图	22
4.2 锁存器的仿真	22
4.3 整体仿真	28
4.4 小结	35
第五章 DAC 设计的分析与总结	36
5.1 影响 DAC 静态性能的因素:	36
5.2 影响 DAC 动态性能的因素:	36
Reference	39
致谢	40

第一章 引言

日常接触到的一些物理量都是连续变化的量，例如温度，压力，长度，重量，时间，电压，电流，电阻，功率等。通常，我们称这些物理量为模拟量。

现代社会中，电子产品充斥着人们生活中的每一个角落。电视机。计算机，网络，无线通信设备等电子工具，给人们带来了丰富多彩的娱乐享受，而采用电子系统控制的新一代家电，如冰箱，空调，电饭煲，汽车等使人们的生活更加便利。近年来，随着大规模集成电路技术的飞速发展，传统的模拟信号处理技术正逐渐被具有更大灵活性和可靠性的数字信号处理技术所取代。而无法改变的是，人们所在的世界是一个模拟的世界，人类也是以模拟的方式对外部世界进行感知。因此，需要一座连接模拟世界和数字世界的桥梁，这就是下面要研究的数据转换器。其中，能把外部的模拟信号采集进来，并把它转换成数字信号的电子系统称之为 A/D 转换器。一般说来，有 A/D 转换器输出的数字数据需要通过 DSP 或 CPU 等数字信号处理器进行处理，最终得到的结果往往需要在变回到模拟形式，以便控制各种机电设备，或作为各种家电设备的输出，来满足人们视听的享受。这种能把数字数据转换回模拟信号的电子系统就是 D/A 转换器。即就是要把模拟量转成离散的数字量后进行加工处理，而后再将处理的数字量转换成模拟量进行系统控制。模数和数模转换技术还广泛应用于各种数字化仪表，用于波形综合，采样保持，驱动步进电机，实现对模拟量的数字调幅等。由于大多数模拟量都可以通过适当的方法转换成电压量（或电流量，）因此关键是实现电压——数字和数字——电压的转换。

现代 D/A 转换器的思想萌芽最早出现在 19 世纪初发明的无线发报机中。此后相当一段时间，由于受到技术和需求方面的限制，D/A 转换器没有获得更大的发展。到了 20 世纪 50 年代，随着逐次逼近型 A/D 转换器的发展，现代意义的 D/A 转换电路才出现，但他在应用上还非常局限，仅仅是逐次逼近型 A/D 的一个组成模块，即参考电压发生电路。直到 70 年代，随着集成电路技术及各种应用技术的进步，以及日益增强的市场需求的推动下，D/A 转换器的发展才进入一个快速的轨道。

20 世纪 70 年代早期的单片 D/A 转换器主要用双极工艺实现，进入 20 世纪 80 年代，伴随着集成电路技术和信息技术的发展，像所有的 IC 芯片一样，D/A 转换器芯片也经历了一个价格越来越低而性能和功能更加完善的发展过程。由于 D/A 转换器往往扮演者输出接口的角色，它的性能之间影响整个系统终端输出信

号的品质。因此现代信息处理和通信系统对 D/A 转换器提出了更高的要求和挑战。

根据流行的几种 DAC 的内部结构和输入, 输出形式, 可将 DAC 分成各种基本类型。不同类型的 DAC 基本上都由如下四部分组成: 基准电源, 电阻或电容网络, 与二进制数码位相对应的电压或电流开关和加法电路。高精度的 DAC 对这四部分都有严格的要求。

1.1 研究的背景方向和意义:

无线通信和混合信号领域的迅速发展促使设计者更努力的将数字和模拟系统集成到一块芯片上。因此, 这些系统之间的接口变成当今电讯器件中最有挑战性的模块之一。高性能的数模转化器在高清电视 (HDTV) 和数字通 (GSM) 等领域有极大的应用。而电流源型结构的数模转换器最适宜于此类应用。

由于数模转换器是视屏信号处理, 数字信号综合和有线, 无线发射器中的必要元件, 高精显示器和视屏信号处理等时间域的应用是推动高速数模转换器发展的主要动力。所以相应地, 指标集中在与视屏产品有关的性能参数上: 建立时间, 抖动能量, 线性度, 尤其是积分非线性 (INL)。而迅速发展的数字调制技术导致了更多频率域上的应用。在这些应用中, 数模转换器被用在发射通道中, 因此一个信道中的信号不会产生杂闪频率信号影响到其它信道信号显得尤为重要, 即无杂闪动态范围 (SFDR) 变为很重要的性能指标。相应地, 最近发表的 10-14 位高速转换器中, 本征直流精度, 动态特性, 高频时无杂闪动态范围 (SFDR) 和信号频率都成为关心的问题。

1.2 主要工作

1) 阅读了大量关于数模转换器方面的论文;

2) 设计了一个 12 位, 100 兆采样频率的数模转换器, 其中重点集中在高精度电流源尺寸的设计, 开关管的设计, 同步锁存器的设计以及译码电路的部分。

3) 对设计的转换器进行仿真分析, 部分性能进行改进。

1.3 文章的主要结构

本文主要介绍 DAC 的设计，大体结构如下：

第二章：DAC 的原理简介；

第三章：DAC 各部分的设计和仿真；

第四章：DAC 的整体设计和仿真；

第五章：DAC 设计的分析与总结

第二章 DAC 原理简介

2.1 电流型（Current Steering）DAC 结构

DAC 的结构有电流型（Current Steering）DAC，电荷分布型（Charge-Redistribution）DAC，R-2R 阶梯（R-2R Ladder）DAC，电阻串型（Resistor-String）DAC，开关电流算法（Switched-Current Algorithmic）DAC。由于电流型（Current Steering）DAC 在高速高精转换器的设计中应用最广泛，下面仅对这种结构的 DAC 原理进行简单介绍。

电流型（Current Steering）DAC 的参考单元是电流源，求和单元就是导线的连结，开关是 MOS 晶体管或传输门。一个一般性的二进制码型的 DAC 如图 2.1 所示。

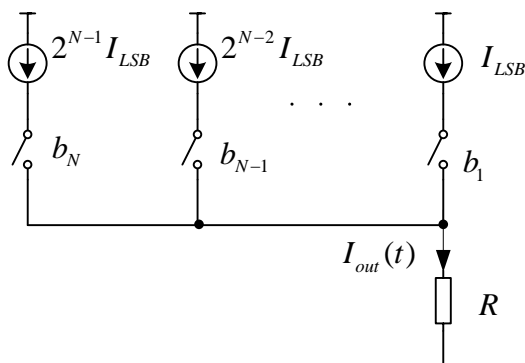


图 2.1 N 位二进制电流型 DAC

开关由输入位 b_m ($m=1, 2, \dots, N$, N 是位数) 控制。 b_1 是 LSB 且与其对应的电流源直流值是 I_{LSB} 。电流源被 b_m 控制，例如，第 m 个电流源是将 2^{m-1} LSB 电流源并在一起，MSB 电流源直流值是 $I_{MSB} = 2^{N-1} \cdot I_{LSB}$ 。由于单位电流源的应用使得可以利用版图技术改善电流源之间的匹配以提高性能。图 2.1 中 I_{out} 表达式如下：

$$I_{out}(X) = 2^{N-1} I_{LSB} \cdot b_N + \dots + 2 I_{LSB} \cdot b_2 + I_{LSB} \cdot b_1 = I_{LSB} \cdot X$$

其中 X 是数字输入：

$$X = 2^{N-1} \cdot b_N + \cdots + 2 \cdot b_2 + b_1 = \sum_{m=0}^N 2^{m-1} \cdot b_m$$

电流型（Current Steering）DAC 的优点是当精度在 10 位以下时速度很快。缺点是对器件的不匹配十分敏感且电流源输出电阻有限。这种结构的另一个优点是有很高的能量效率。所以在仔细改进匹配和输出电阻后电流型（Current Steering）结构适合用于高速，宽带的应用中。

为了保证单调性，减小毛刺的影响及降低对失配的敏感度，DAC 可以分割成粗（coarse）细（fine）两部分。MSBs 采用温度计译码而 LSBs 采用二进制码。二进制码，温度计码及分割型 DAC 的结构分别如图 2.2a, b, c 所示。

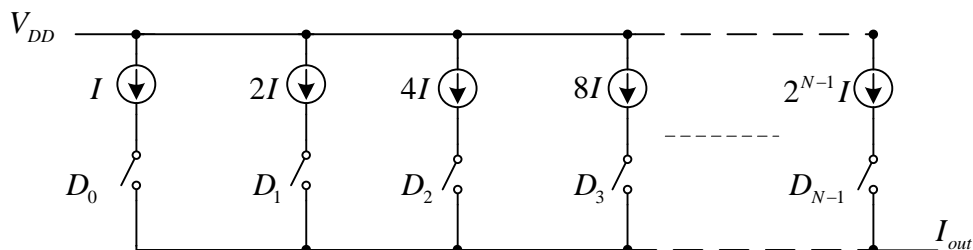


图 2.2 a

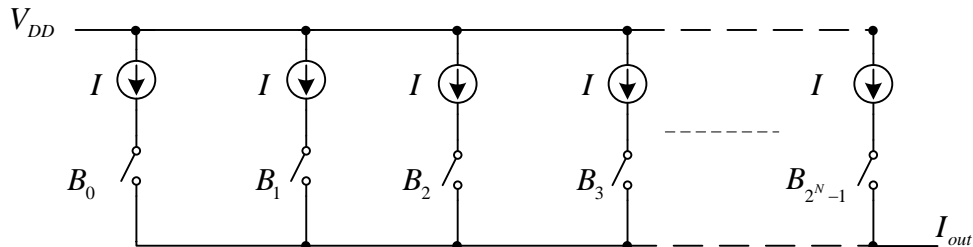


图 2.2 b

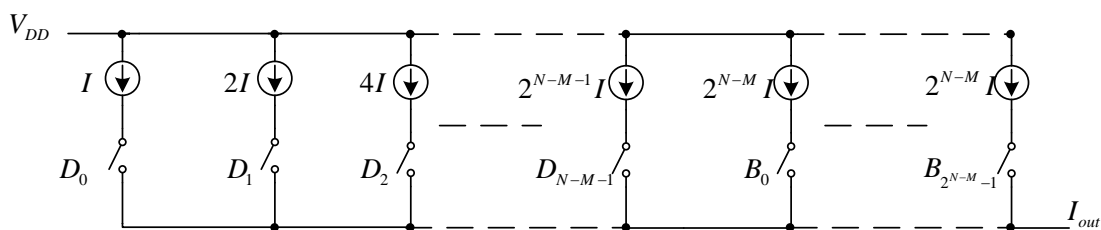


图 2.2 c

图 2.2 DAC 结构 a 二进制码型 b 温度计码型 c 分割型

表 2.1 各种编码形式

十进制	0	1	2	3
二进制	00	01	10	11
温度计编码	0	0	0	0
	0	0	0	1
	0	0	1	1
	0	1	1	1

2.2 各种结构 DAC 的 DNL 和 INL 性能比较

1) 二进制码结构

DNL 二进制码的 DAC 在中间码转换时具有最大的 DNL，假设有 N 位，则在中间码转换时最高位 2^{N-1} 个单位电流源打开，低位 $2^{N-1} - 1$ 个单位电流源关断，此时产生最大的 DNL，其输出变化的方差表达式如下：

$$\begin{aligned}\sigma^2(\Delta I) &= \sigma^2[2^{N-1}I - (2^{N-1} - 1)I] \\ &= 2^{N-1}\sigma^2(I) + (2^{N-1} - 1)\sigma^2(I) \\ &= (2^N - 1)\sigma^2(I)\end{aligned}$$

$$\text{所以 DNL} = \sigma(\Delta I) = \sqrt{2^N - 1}\sigma(I) = \sqrt{2^N - 1} \frac{\sigma(I)}{I} (LSB)$$

INL 计算 INL 时，选取经过输出曲线首末两点的直线为理想输出，且乐观的认为最大积分非线性发生在中间码转换时，利用如下公式计算 INL：

$$\begin{aligned}\sigma^2(\Delta I) &= \sigma^2(2^N I) \\ &= 2^N \sigma^2(I)\end{aligned}$$

$$\text{所以 INL} = \sigma(\Delta I) = \frac{1}{2} \sqrt{2^N} \frac{\sigma I}{I} LSB$$

2) 温度计码结构

DNL 由于采用温度计码时，每次只有一位从 0 到 1 变化，所以这种结构的

DNL 最小,

$$DNL = \sigma(\Delta I) = \frac{\sigma(I)}{I} (LSB)$$

INL 与二进制码结构的分析相同

$$INL = \sigma(\Delta I) = \frac{1}{2} \sqrt{2^N} \frac{\sigma I}{I} LSB$$

3) 分割结构

$$DNL = \sigma(\Delta I) = \sqrt{2^{B+1} - 1} \frac{\sigma(I)}{I} (LSB)$$

$$INL = \sigma(\Delta I) = \frac{1}{2} \sqrt{2^N} \frac{\sigma I}{I} LSB$$

分割结构是在编码复杂度和总版图面积与毛刺能量和 DNL 之间作了一个权衡, 本文中的设计采用的是这一结构。

第三章 12 位, 100 兆 DAC 各部分的设计和仿真

速度, 精度, 功耗和芯片面积是 D/A 转换器设计中的 4 个主要限制条件。在电流驱动型结构中, 速度可以很容易达到几十兆甚至上百兆, 其重要限制是静态线性度和动态范围。由于本结构的 DAC 是基于一个匹配的单位电流源阵列实现的, 电流源之间的匹配性能决定着它的静态线性度。在现代 CMOS 工艺中, 由于梯度误差会限制电流源的匹配精度; 另外, 在电流开关切换的瞬间, 由于时钟馈通, 沟道电荷注入, 瞬时高阻态以及开关切换不同步在输出波形中产生的毛刺 (glitch), 都会使 DAC 的动态性能下降。因此, 如何解决这些问题是下面设计电流驱动 D/A 转换器所要考虑的关键问题。

DAC 是一个数模混合系统, 它主要分为电流源, 电流开关和数字电路三个部分。本章在第二章分析的基础上, 综合考虑前面提到的各项指标, 设计完成了一个 12 位, 100 兆转换速率, 分段编码的数模转换器 (DAC)。

3.1 12 位, 100 兆转换速率数模转换器的结构

综合芯片面积和精度两方面的考量, 本文设计的数模转换器采用高 7 位温度计编码, 低 5 位二进制编码的分割结构[1]。

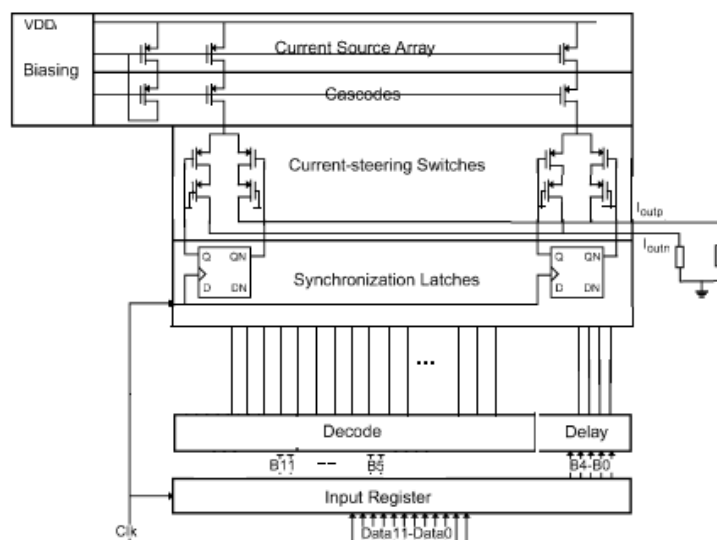


图 3.1 12 位, 100 兆 DAC 的结构图

图3.1为本文设计的DAC的结构图，它包括电流源阵列、偏置电路、开关电路、Latch 阵列、延时单元、译码电路、输入寄存器。

由于本文采用1.8v供电电压，所以选用25Ω 负载电阻，预算在负载上压降为0.5v，则满幅电流 $I_{tot} = 20mA$

$$I_{LSB} = \frac{I_{tot}}{2^{12} - 1} \approx 5\mu A$$

下面分别对 DAC 的各部分进行设计和分析。

3.2 电流源单元

电流源的设计是影响 DAC 静态和动态特性的重要因素。电流源晶体管的面积直接影响单位电流的标准偏差，而限制 INL, DNL 的特性，同时也会影响电路的动态特性；电流源的输出电阻也会影响 INL, DNL 等静态特性以及电路的 SNDR, SFDR 等动态特性。

1) 电流源晶体管的设计

由于芯片制造过程中的一些随机或非随机因素，使版图上完全匹配的 MOS 电流源，在实际芯片中也存在着匹配误差。为了使这些误差在 DAC 精度允许的范围，就必须仔细设计电流源晶体管的尺寸。[1],[2]

可以看出，对于 MOS 电流镜，电流源的失配主要包括阈值电压的失配和 β 系数失配。因此，两个匹配电流源的相对误差 ($\Delta I/I$) 的标准差可以表示为

$$\sigma_{\Delta I/I}^2 = \frac{4\sigma_{\Delta V_t}^2}{(V_{GS} - V_t)^2} + \sigma_{\Delta\beta/\beta}^2$$

其中， $\sigma_{\Delta V_t}$ 是两个晶体管阈值电压误匹配 ΔV_t ($\Delta V_t = V_{t1} - V_{t2}$) 的标准差，且有

$$\sigma_{\Delta V_t} = \frac{A_{V_t}}{\sqrt{WL}} \quad (V)$$

其中 A_{V_t} 是阈值电压标准偏差的面积比例因子, 它由具体的工艺决定。W, L 分别是 MOS 管的沟道宽度和沟道长度。 $\sigma_{\Delta\beta/\beta}$ 是 β 系数相对误匹配 ($\Delta\beta/\beta$) 的标准差, 它可以表示为

$$\sigma_{\Delta\beta/\beta} = \frac{A_{\beta}}{\sqrt{WL}} + B_{\beta}$$

其中, A_{β} 是 β 系数的面积比例因子, B_{β} 是常数。它们也由具体的工艺决定。

所以, 根据以上推导可得

$$\frac{\sigma^2 I_{LSB}}{I_{LSB}^2} = \frac{4(\sigma V_t)^2}{(V_{GS} - V_t)^2} + \frac{\sigma^2_{\beta}}{\beta^2}$$

又根据[12]中提取的公式算出的当 $INL = \pm 0.5LSB$ 时 99.7%的成品率的 LSB 相对标准偏差:

$$\frac{\sigma I_{LSB}}{I_{LSB}} < \frac{1}{\sqrt{2^N}} \frac{0.5}{3.1} = 0.25\%$$

结合由失配模型推导的公式, 得出LSB电流源晶体管的面积要求:

$$WL = \frac{(\frac{4A_{V_t}^2}{(V_{GS} - V_t)^2} + A_{\beta}^2)0.5}{\frac{\sigma^2 I_{LSB}}{I_{LSB}^2}}$$

表 3.1 工艺失配参数

参数	数值	单位
A_{V_t}	5.85	$mv \cdot \mu m$
A_{β}	1.52	$\% \cdot \mu m$

根据晶体管电流电压平方律关系, 又有:

$$\frac{W}{L} = \frac{2I_{LSB}}{\beta(V_{GS} - V_t)^2}$$

所以

$$\left\{ \begin{array}{l} WL = \frac{\left(\frac{4A^2 V_t}{(V_{GS} - V_t)^2} + A^2 \beta \right) 0.5}{\frac{\sigma^2 I_{LSB}}{I_{LSB}^2}} \\ \frac{W}{L} = \frac{2I_{LSB}}{\beta(V_{GS} - V_t)^2} \end{array} \right\}$$

当确定过驱动电压后就能求出满足要求的晶体管的尺寸。由于晶体管面积与电流源过驱动电压成反比, 且过驱动电压越大晶体管等效输入噪声越小, 故给定 $V_{GS} - V_t = 500mv$ 计算得出 LSB 晶体管尺寸:

$$W=10u, L=8u$$

这样温度计译码的 7MSB 电流源晶体管尺寸为 $10*32um/8um$ 。

2) 电流源阵列

正如前面提到的, 由于芯片制造过程中的一些随机或非随机因素, 使版图上完全匹配的MOS电流源, 在实际芯片中也存在着匹配误差。另外, 由于芯片面积越来越大, 相距较远的两点处的电流源晶体管之间也存在梯度误差, 为了减小这些误差, 应从电路和版图设计两方面进行考虑。

本文中设计的电流源阵列如图3.2所示[1], 其中包括线性电流源, 二进制电流源, 和输入电流镜。电流源阵列被分为包含132个晶体管的16个子阵列。每个子阵列中都包含7MSB的127个线性电流源。

失配误差的随机化可以改善静态线性度并且能通过减小spurious spectral成分的幅度以改善动态特性。为了对电流源误差进行随机化, 各子阵列中的电流源随机放置的方法如图3.3中左上角的子阵列所示。各子阵列在整个电流源阵列中

镜像放置以抵消温度译码的各位的一次和二次性梯度。这可以从图3.3中构成每个线性电流源的16个晶体管的放置看出。各子阵列中剩下的晶体管用作5LSB的二进制电流源和输入偏置电流镜，未连接的晶体管用作去耦。

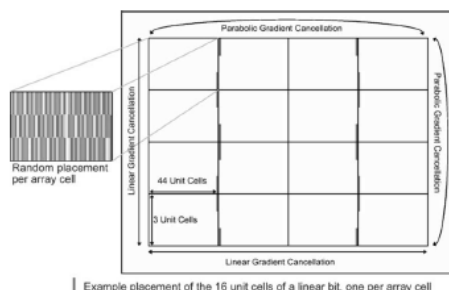


图3.2 电流源阵列

采用这种版图结构，温度计译码的 7MSB 就由 16 个 20um/8um 的晶体管构成。即每个子电流源的尺寸是 LSB 电流源晶体管的 2 倍，这样能减小由于 MSB 和 LSB 尺寸差异引起的误差。

3) 电流源的输出阻抗

有限的输出阻抗会限制 DAC 的积分非线性[3]，表达式如下：

$$INL = \frac{I_{LSB} R_L^2 N^2}{4r_o}$$

R_L 是输出的负载电阻， N 是电位电流源的个数， r_o 是从开关管漏端看进去的输出阻抗。所以应设计 r_o 足够大以满足 $INL = \pm 0.5LSB$ 的范围。

如图 3.3 所示后 2 种结构都能增大电流源输出电阻。

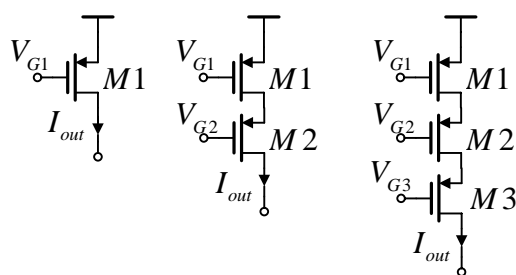


图 3.3 a 单管 b cascode c double cascode

输出电阻表达式如下:

$$R_a = \frac{1}{\lambda_1 I_{\mu}}$$

$$R_b \approx R_a \frac{(1 + \eta_2) \sqrt{2\beta_2}}{\lambda_2 \sqrt{I_u}}$$

$$R_c \approx R_b \frac{(1 + \eta_3) \sqrt{2\beta_3}}{\lambda_3 \sqrt{I_u}}$$

由于芯片面积不宜过大, 故设计 **coscode** 管尺寸为 20u/10u, 此时若采用第二种结构, 输出电阻已不能使 **INL** 满足要求, 故需要使用第三种结构。也就是要设法使开关管工作在饱和区。

3.3 开关电路

为了使从开关管漏端看进去的输出电阻满足 **INL** 要求, 必须采用 **double cascode** 结构, 这就要求开关管导通时工作在饱和区, 由于开关管的控制信号是数字电路锁存器的输出, 为高低电平。而控制信号为低电平时, 单个开关管很难工作在线性区, 所以设计 **coscode** 管作为开关管。结构如图 3.4 所示。

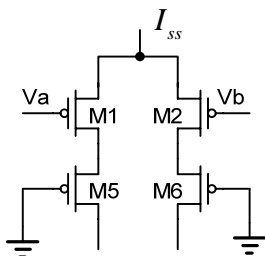


图3.4 开关管的结构

当控制信号 **Va** 为低电平, **Vb** 为高电平时, 右边电路导通, 左边关断, 可以合理设计晶体管尺寸使 **M1** 管线性时 **M5** 管饱和, 这样电流源和开关管就是一个 **double cascode** 结构, 大大提高了输出电阻。

另外设计 **M1** 管与 **M5** 管尺寸一样可以防止控制信号到输出端的馈通。

3.4 锁存器

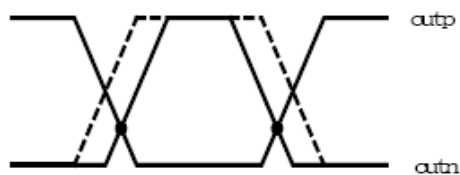


图3.6 设计要求Latch的输出信号

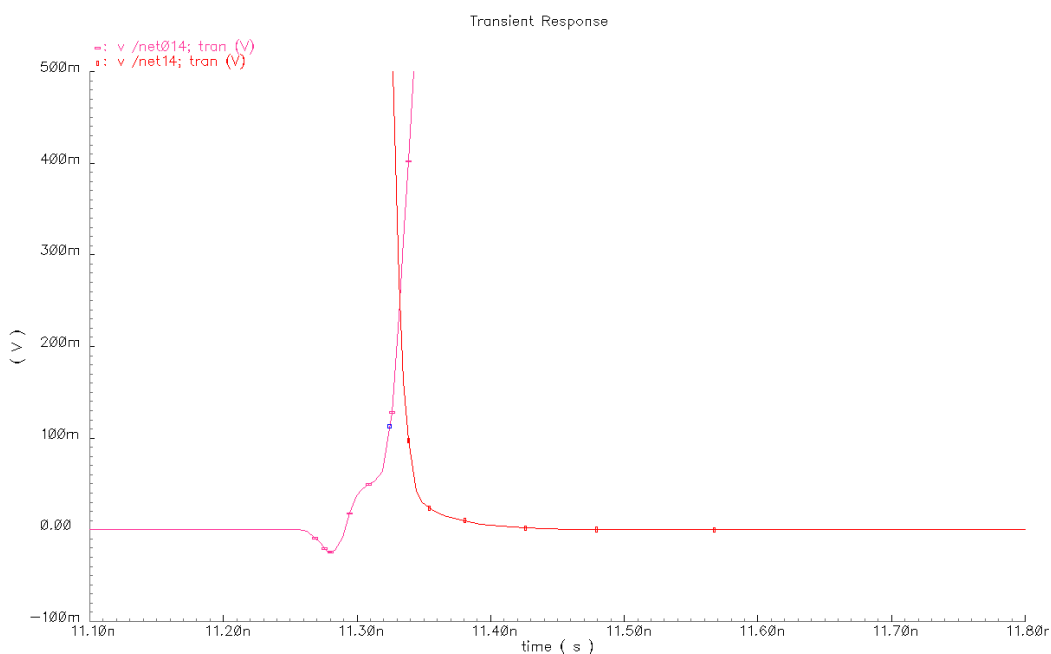


图3.7 latch输出的仿真结果

3.5 数字译码电路

1) 译码电路

要将输入高7位译成128位线性电流源，直接设计7-128位译码器十分复杂，所以将7位分成高3位和低4位分别译码。

2) 选通电路

将高3位和低4位译码输出分别当成列信号和行信号输入到选通电路，如图3.8所示。

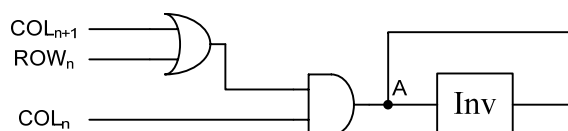


图3.8 选通电路结构

分析可知：若当前输入列信号为0，则A点输出为1；若当前输入列信号不为0，则看下一列，若为0，则输出为1；若当前和下一位输入列信号都不为0，则输出由输入行信号决定。且第一列应该补1（即接高电平）。

2) 数字电路的驱动能力

在设计数字电路时，应考虑驱动能力。高7位译码输出接选通电路，不存在驱动问题。低5位译码后直接作为latch的输入，可能由于驱动能力不够出现错误，所以之间可以插入buffer提高驱动能力。

3.6 偏置电路

在模拟电路系统中，许多内部模块的偏置电流与偏置电压都是来源于一个或多个带隙基准产生器。这些基准电路（即参考电路）在整个芯片上的分布带来了许多严重的问题。考虑图3.9所示的例子，电流 I_{REF} 由一个带隙参考源提供，

$M_1 \sim M_n$ 作为许多模块的偏置电流源远离晶体管 M_{REF} ，且相互间也离得较远。如果电流 $I_{D1} \sim I_{Dn}$ 和 I_{REF} 之间的匹配很重要，就必须考虑沿地线的电压降。实际上，对于连在同一根地线上的大量电路，电流源和 I_{REF} 之间的系统失配可能大得难以接受。[5]

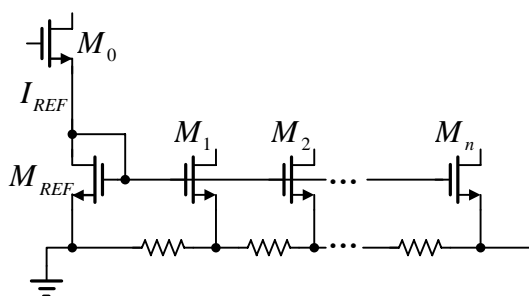


图3.9 用于电流镜偏置的参考电压分布

为解决上述的困难，参考源可以按电流（而不是电压）进行分配。如图3.10所示，其思路是将参考电流走线连到临近的模块，并且就地生成镜像电流。将连线电阻与电流源串联，如果电路模块密集地出现在芯片上不同区域，这种方法可减小系统的误差。

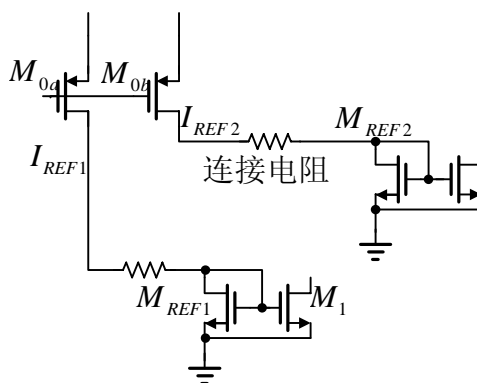


图3.10 电流分布减小了连线电阻影响

下面对偏置电路的各部分分别进行介绍：

1) 偏置电压的产生

在前面的电流源设计中需要两个偏置电压 V_{b1} , V_{b2} ，如图3.3所示，也就是偏置电路所要产生的电压信号。本文采用的是宽摆幅（Wide-Swing）电流源偏置电路，由于偏置的是PMOS，所以采用图3.11所示的电路结构。

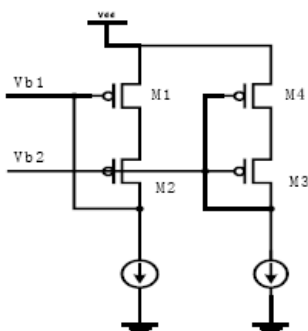


图3.11 电流源偏置电路

2) 偏置电流的产生

在利用图3.11产生偏置电压的时候, 需要偏置电流源。我们利用带隙基准 (bandgap) 和运放 (opamp) 来产生这路电流, 具体如图3.12所示。偏置电流由 V_{ref} 和 R_B 决定, 即:

$$I_{ref} = \frac{V_{ref}}{R_B}$$

可以通过调节 R_B 的阻值大小得到不同的偏置电流。

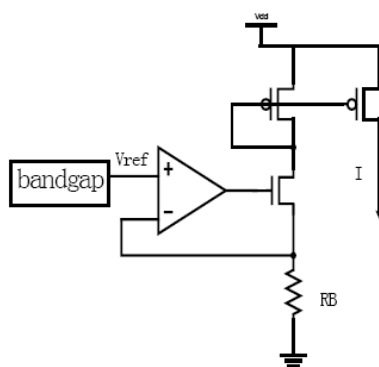


图3.12 偏置电流产生电路

其中带隙基准源的设计见吴夏妮的本科设计论文。

第四章 DAC的设计和仿真

4.1 整体电路框图

前一章对DAC的各部分进行了分析和设计，本章在前一章的基础上，结合仿真结果对各部分设计进行调整，各部分仿真无误后按图4.1中框图进行拼接，然后对DAC的整体性能进行仿真。

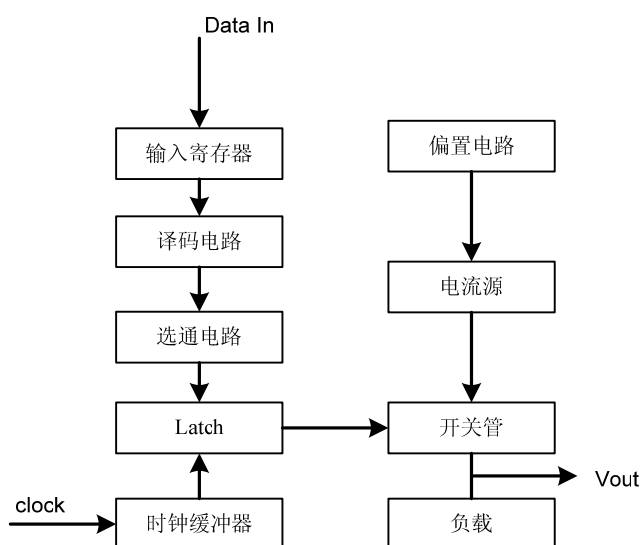


图4.1 DAC整体框图

4.2 锁存器的仿真

电流驱动型DAC的动态特性由下列3个条件限制：

- 1) 由于晶体管开关时序不当引起电流源输出端电压的波动；

这是因为当开关管开或关的时候，与开关管相连的电流源cascode管的漏端寄生电容会充放电，影响DAC的动态特性，尤其是在一瞬间两个开关管同时处于关断状态。为了避免这种情况，就要调整控制信号的交点，使电流源输出端电压的波动最小。

- 2) 开关管的控制信号通过栅漏电容馈通到输出端；
- 3) 开关管之间的控制信号不同步。

我们将单管开关用双管开关代替，减小了控制信号对输出的影响，其它两个问题都与锁存器有关，下面我们就利用cadence仿真观察锁存器输出信号交点的变化对电流源输出端电压波动的影响。

第三章分析得出，锁存器输出信号交点的最优值可以由下面表达式[6]计算

$$V_{Xopt} = \frac{1}{2}(V_{GS2} - V_T) = \frac{1}{2}\sqrt{\frac{2IL}{K_p W_2}}$$

根据计算结果设计锁存器中晶体管尺寸，实际输出波形仿真结果如图4.1, 4.2所示。

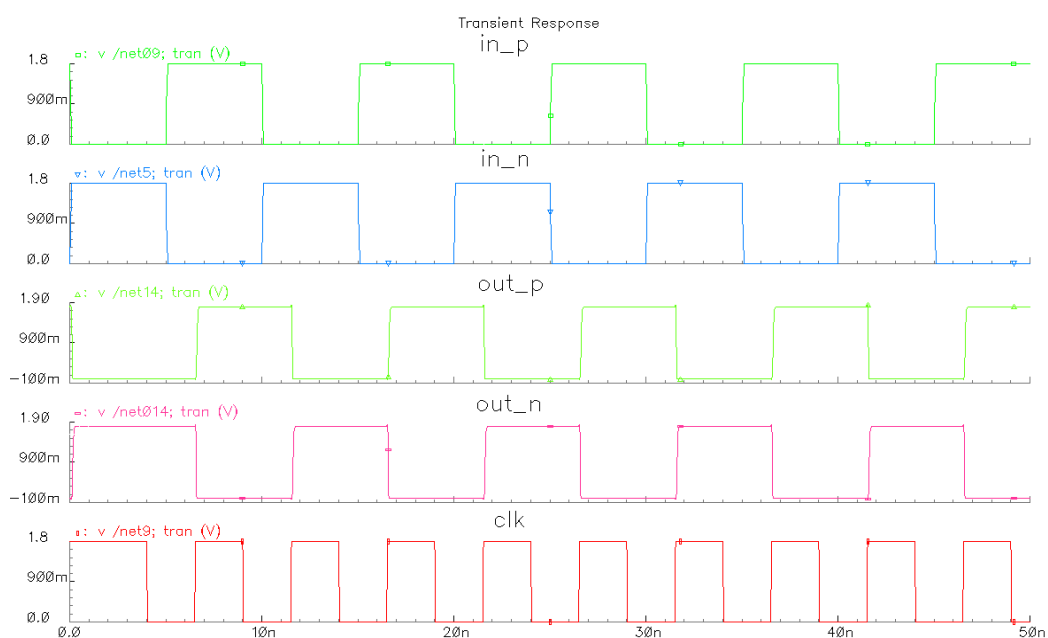


图4.1 latch的输入输出信号仿真

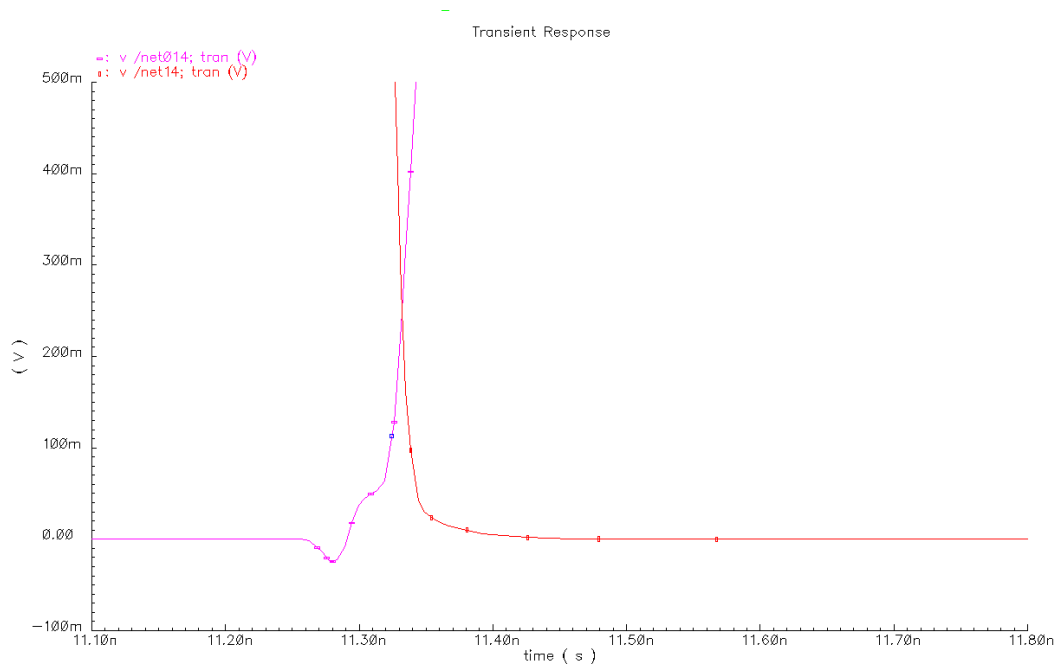


图4.2 latch输出信号交点仿真结果

为了验证此时输出信号的交点值最优，对开关管输入不同交点值的控制信号，比较电流源漏端的电压变化。

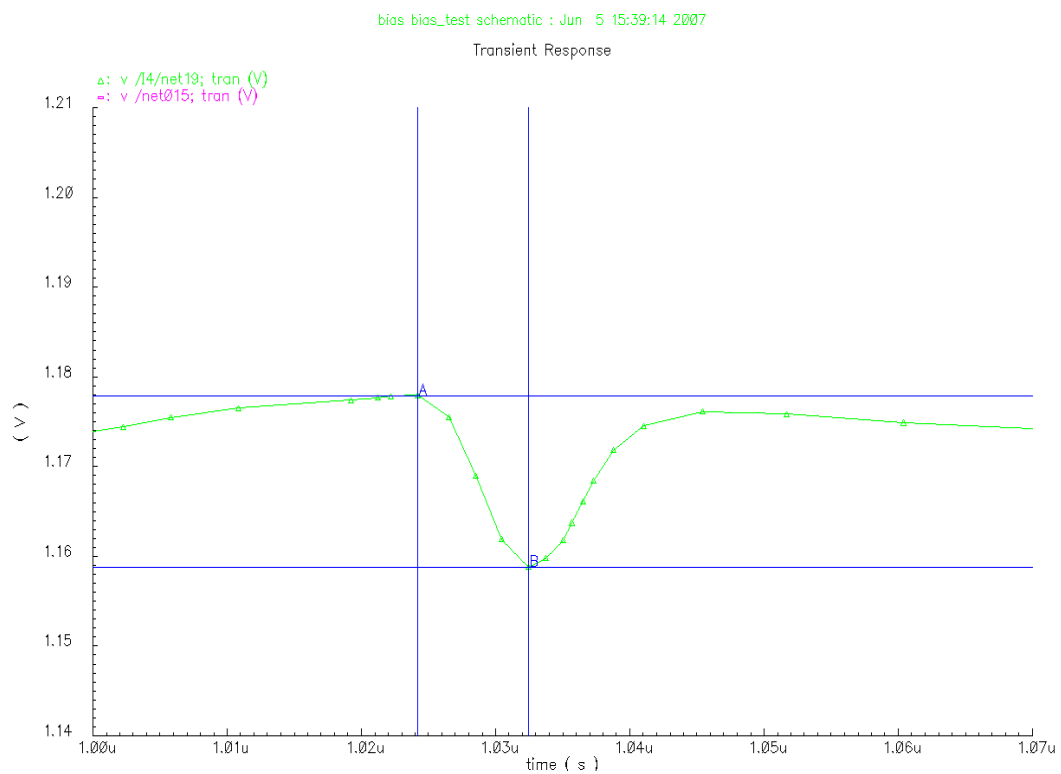
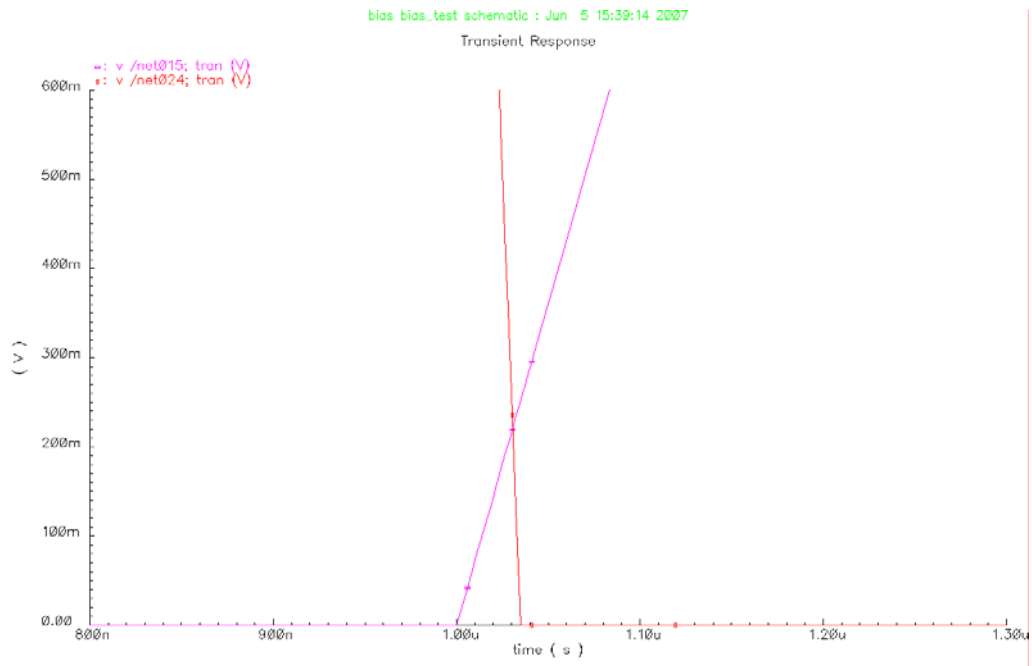


图4.3 a

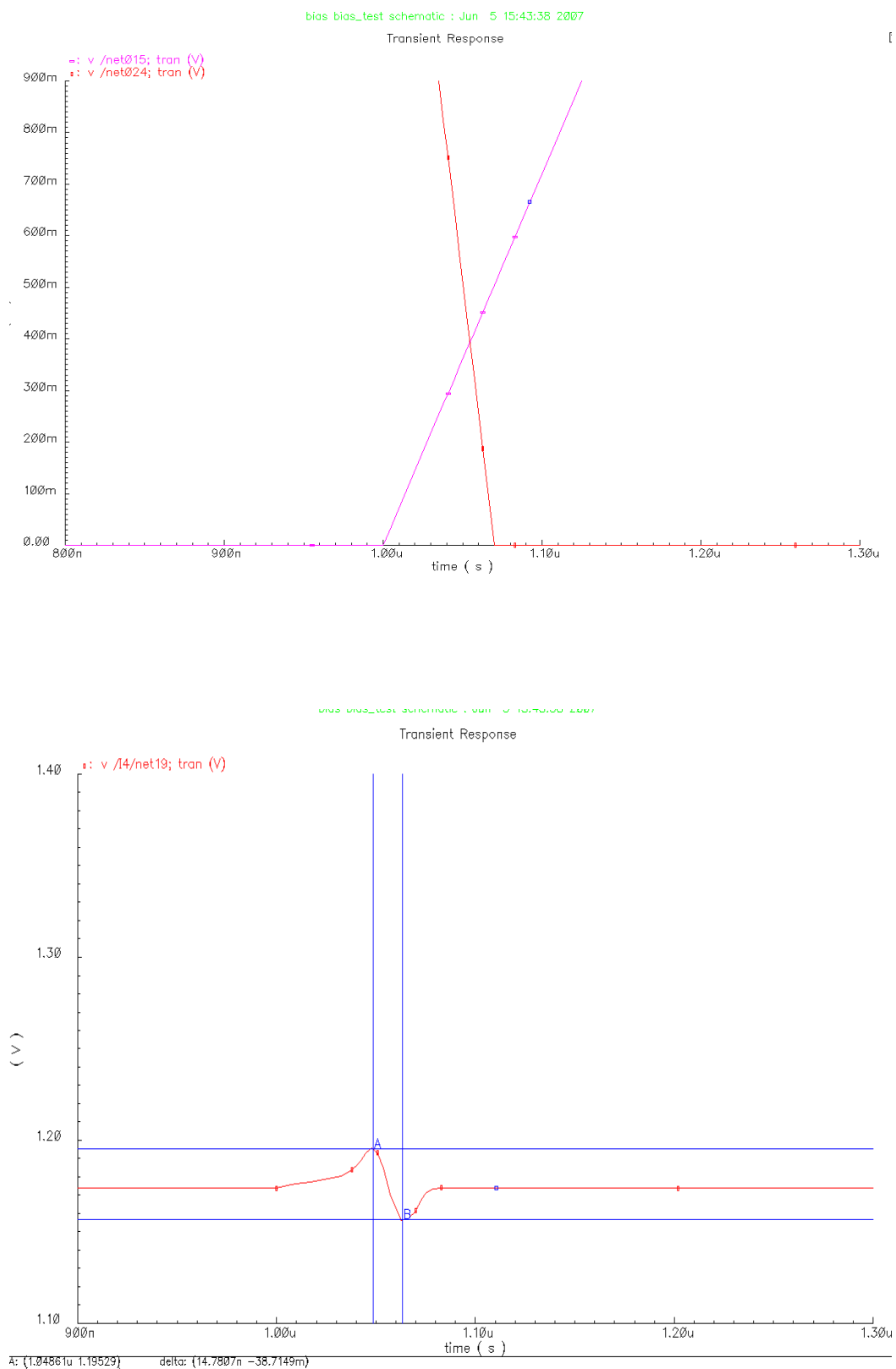


图4.3 b

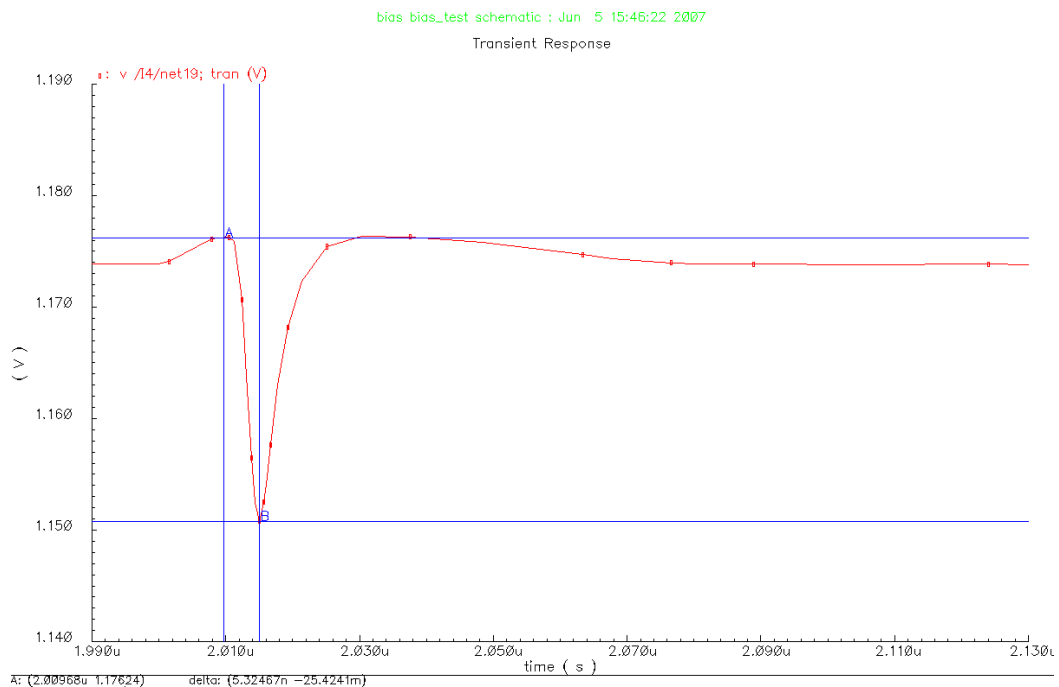
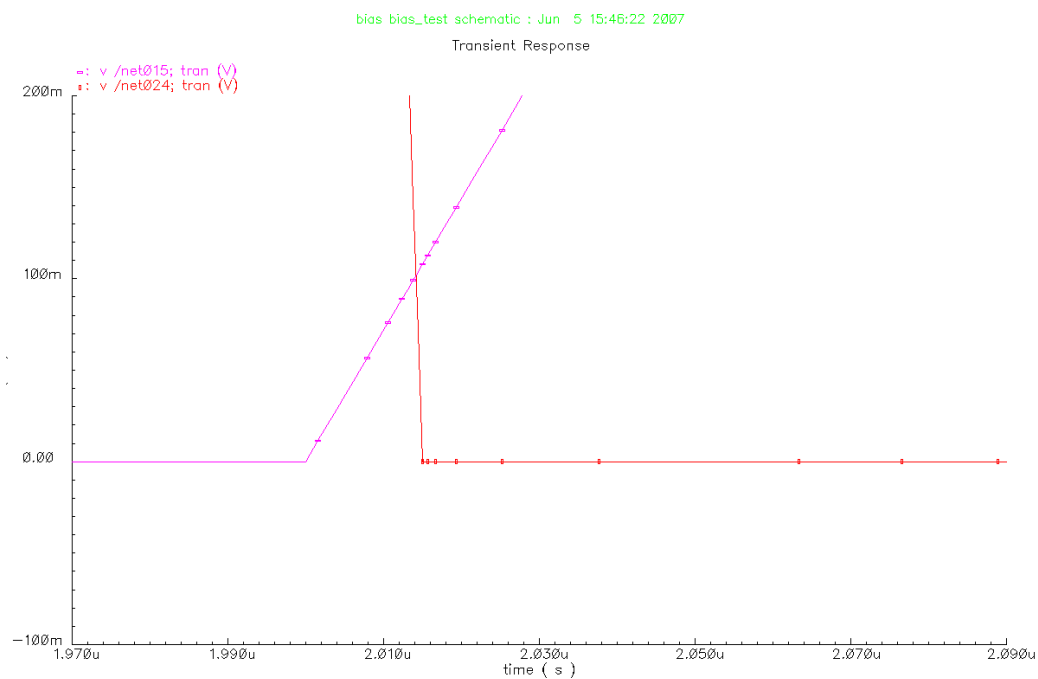


图4.3 c

图4.3a,b,c 输入控制信号及对应的电流源漏端电压变化

比较仿真结果可以看出：

当开关管控制信号交点在250mv时，电流源漏端电压变化为19.062mv；

当开关管控制信号交点在350mv时，电流源漏端电压变化为38.7149mv；

当开关管控制信号交点在100mv时，电流源漏端电压变化为25.4241mv；

证明了之前锁存器设计的正确性。

各模块功能验证正确后，进行总体仿真。

4.3 整体仿真

下面对整个DAC进行仿真，验证其功能，测试主要的静态和动态参数。

1) 采样速率为100兆时，输入从全0递增到全1，每次递增1

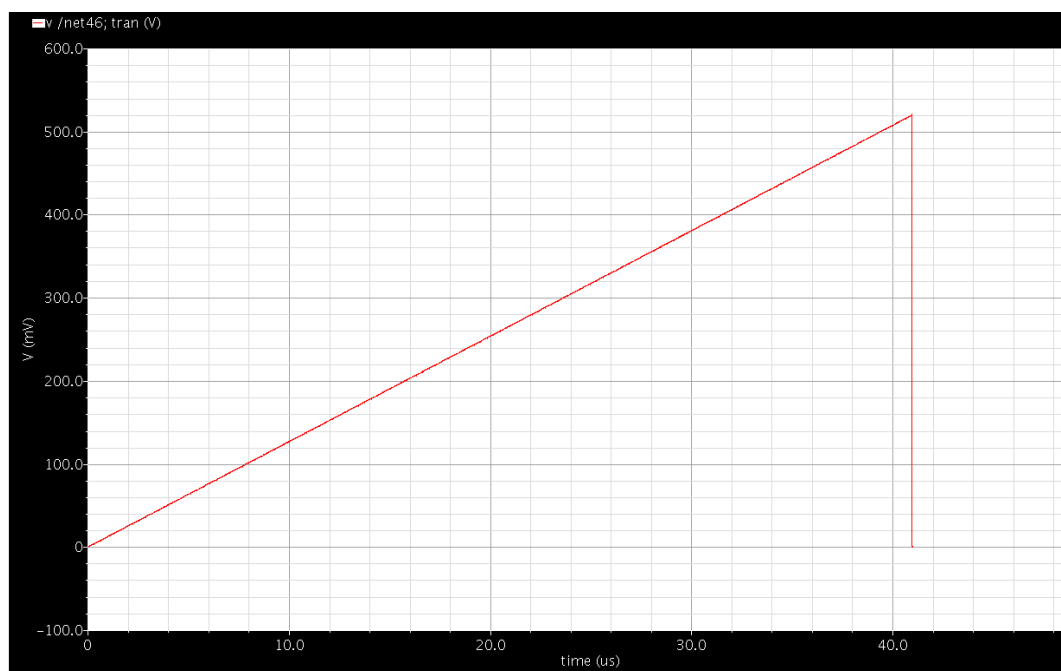


图4.4 输入从全0递增到全1的输出图形

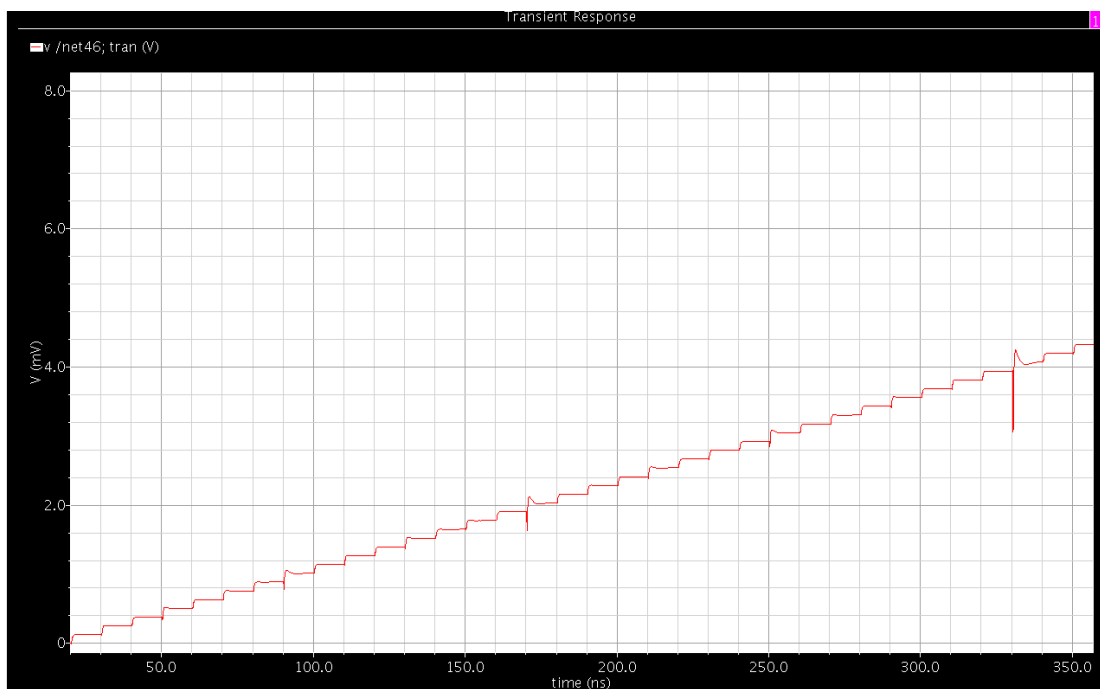


图4.5 图4.4局部放大的图形

从图4.4可以看出，输入从全0递增到全1，DAC的输出图形单调递增。由于DAC采用高7位温度计译码，低5位二进制译码的分割结构，二进制码的同步性不如温度计译码，速度快时会产生较大的毛刺。

图4.5是图4.4的局部放大图，可以看出某些点处的毛刺。这些毛刺发生一个二进制电流源关断，另一个二进制电流源导通的切换时。最大的毛刺发生在所有二进制电流源都关断，温度计译码的一位导通时，其原理如下图所示：

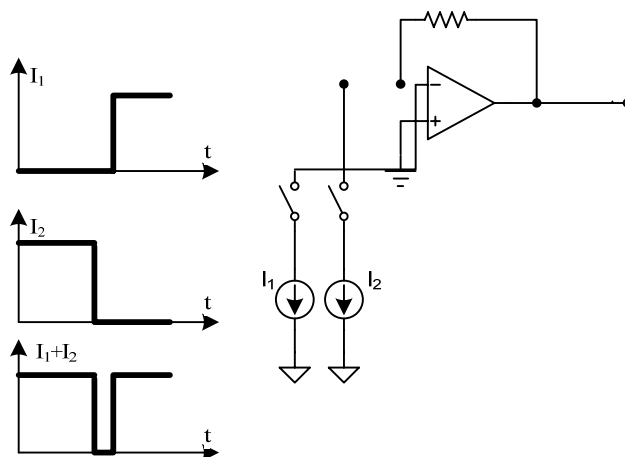


图4.6 开关工作延时不同引起毛刺

要减小最大的glitch，应如图3.1所示，在二进制码的输入信号后增加缓冲器使其与温度计译码的输入信号同时到达锁存器，减小因为信号不同步引起的glitch。其它处的glitch要通过这种方法减小十分麻烦，可以考虑将低5位二进制译码直接换成温度计译码。

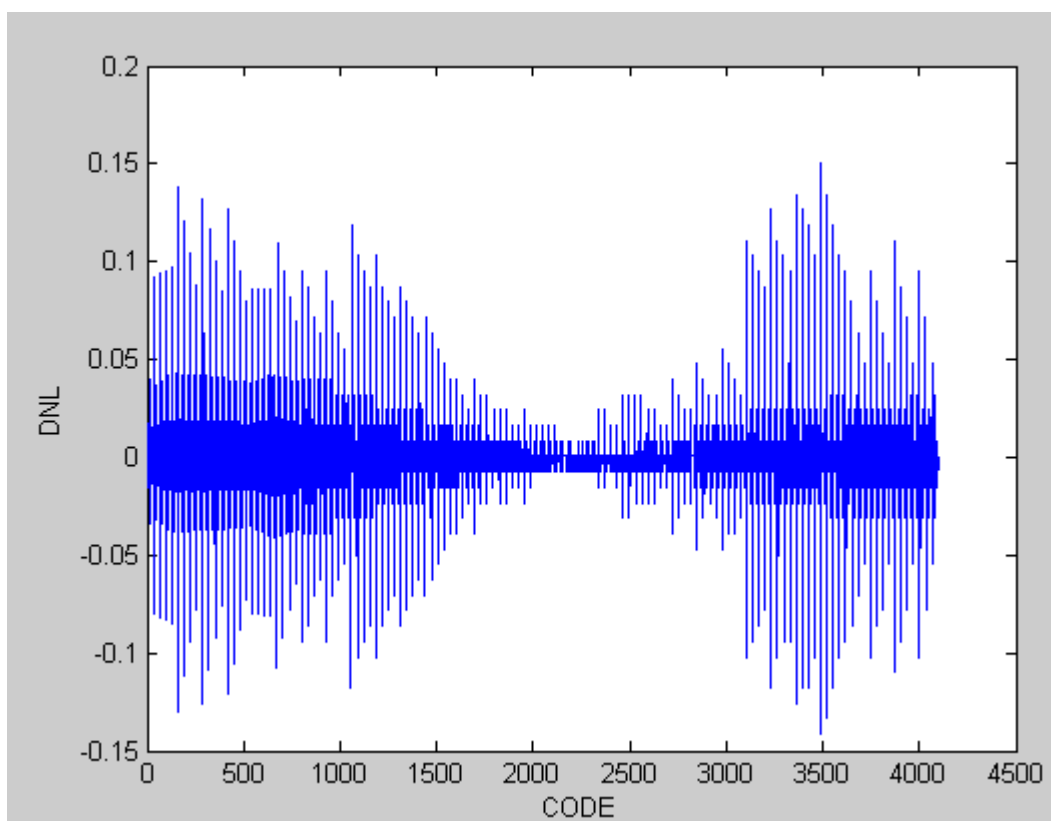


图4.7 DNL的图像

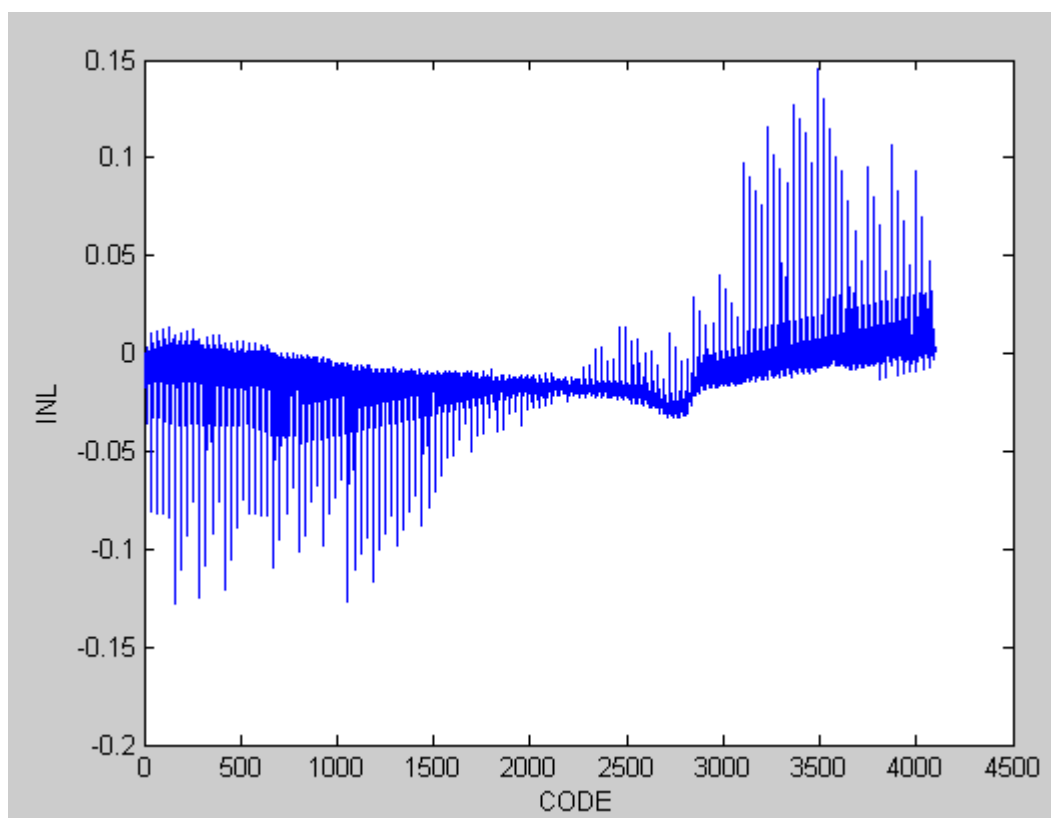


图4.8 INL的图像

DNL和INL图像中出现的等间距竖线，其间距为32，这是由于低5位电流源与高7位电流源之间不完全匹配引起的。

改进后低5位也采用温度计译码后，输出阶梯波只存在低5位电流源关断，高位电流源打开时的glitch。

2) 采样速率为300兆时，输入从全0递增到全1，每次递增1：

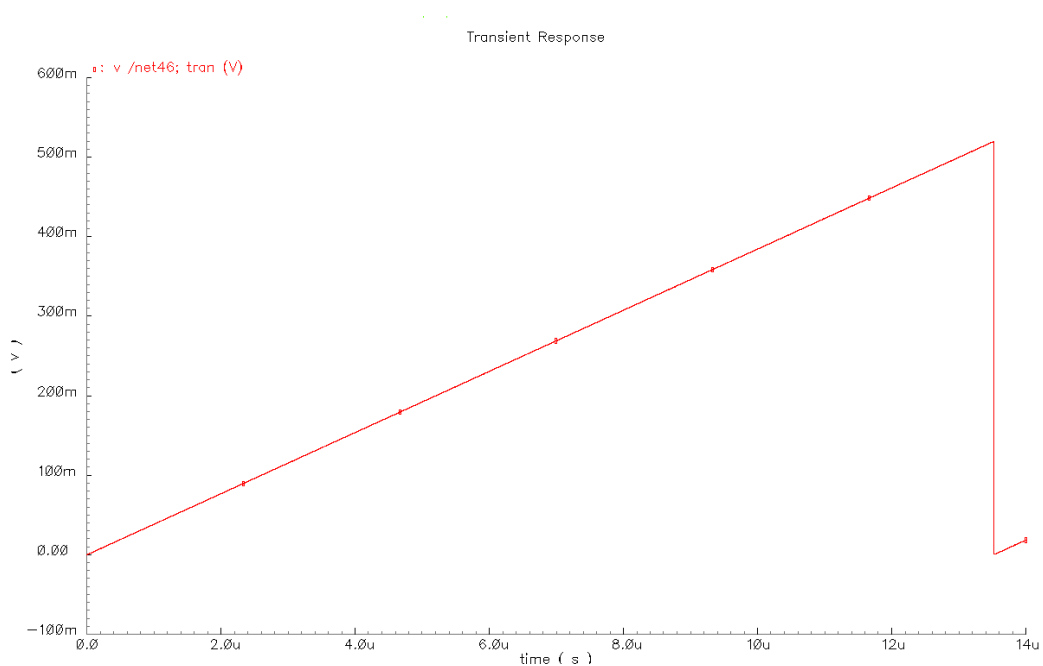


图4.9 输入从全0递增到全1的输出图形

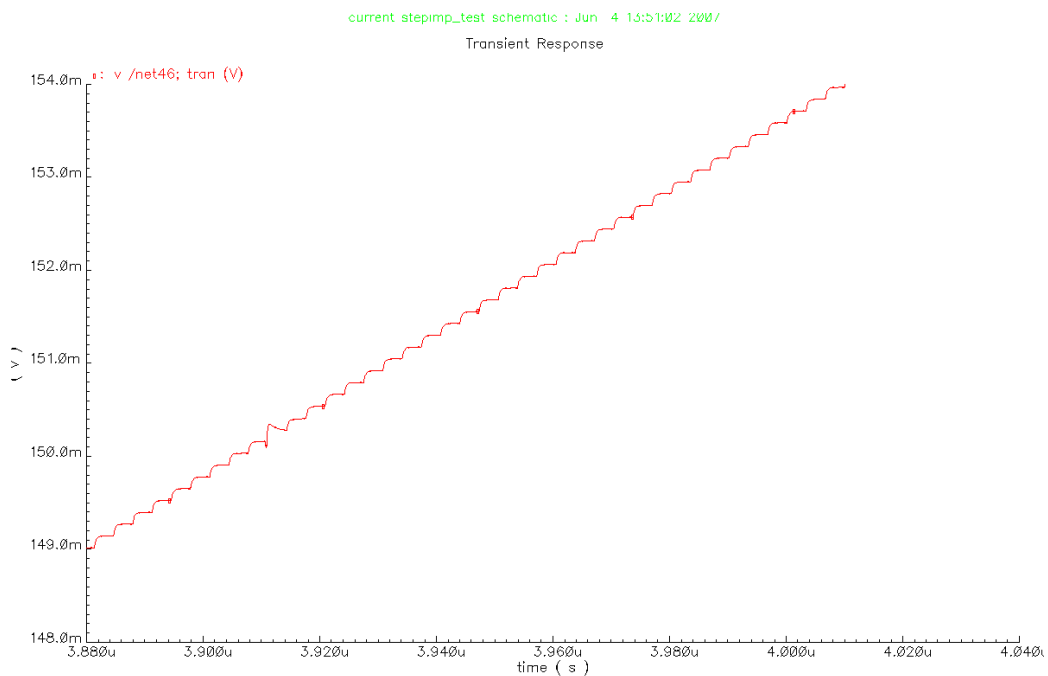


图4.10 图4.9局部放大的图形

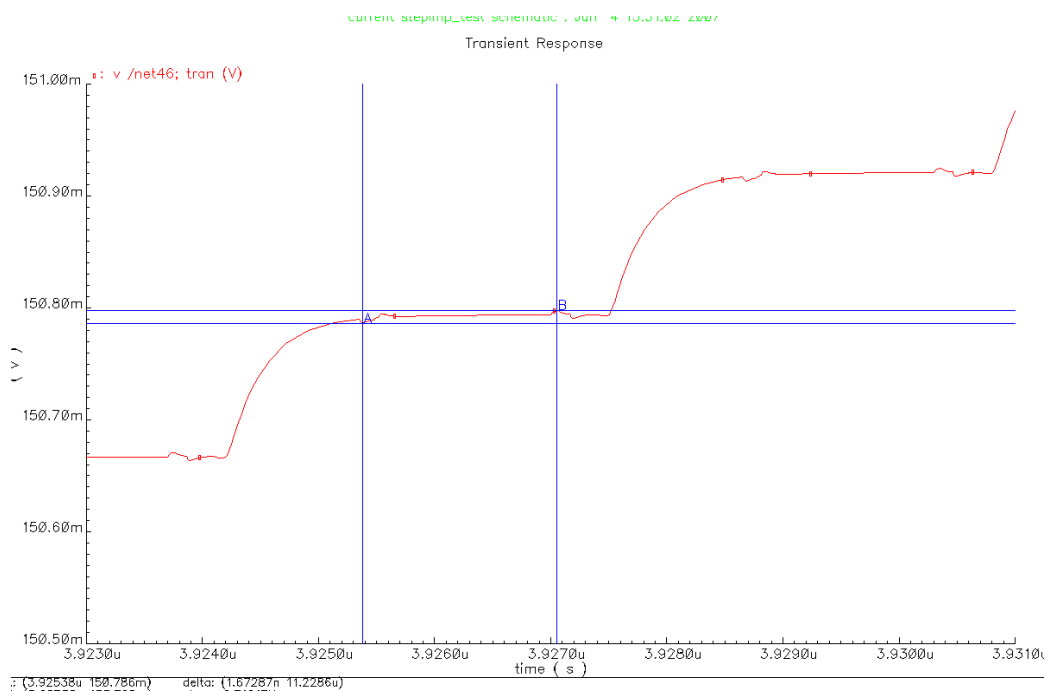


图4.11 图4.10局部放大的图形

采样频率为300兆时，每个台阶上都有小的glitch，这是因为高频时，锁存器输出的控制信号上馈通了时钟信号。

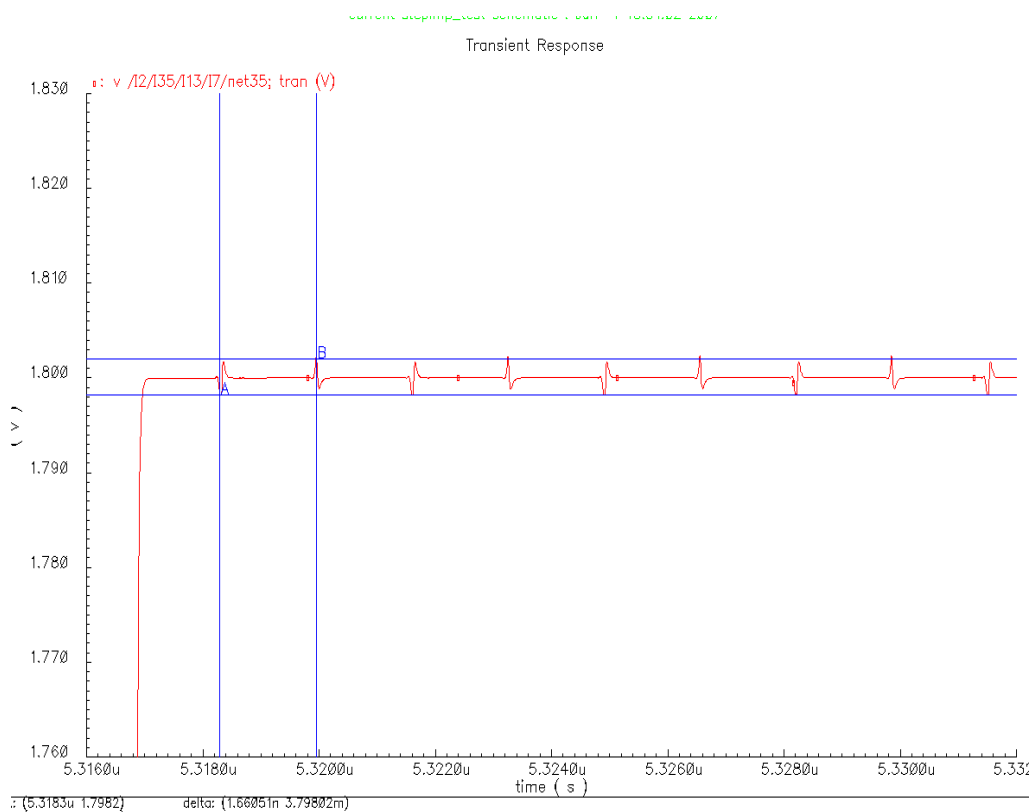


图4.12 锁存器输出信号上的时钟馈通

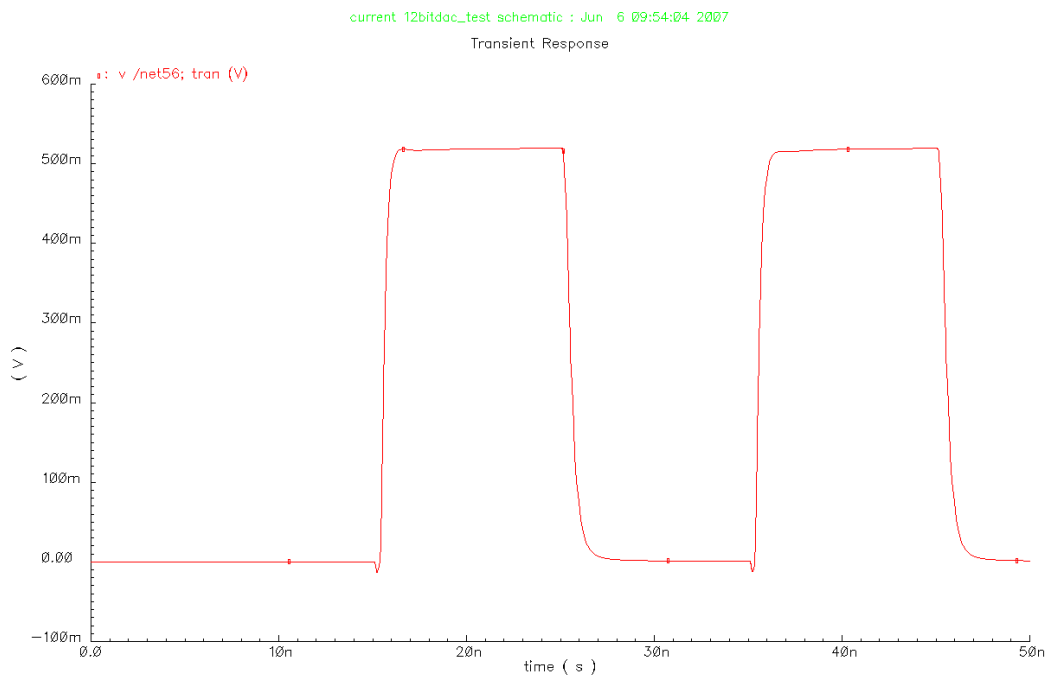


图4.13 输入从全0变化到全1的输出图形

4.4 小结

表4.1 仿真得到的DAC性能

工艺	SMIC18	建立时间	10ns
电源电压	1.8V	INL	$0.15 I_{LSB}$
分辨率	12bit	DNL	$0.15 I_{LSB}$

将低 5 位改成温度计译码后，采样速度可以提高到 300 兆。

第五章 DAC设计的分析与总结

5.1 影响DAC静态性能的因素:

1) 电流源的失配;

对于分割型的DAC, 设低位二进制码位数为B, 则:

$$DNL = \sigma(\Delta I) = \sqrt{2^{B+1} - 1} \frac{\sigma(I)}{I} (LSB)$$

$$INL = \sigma(\Delta I) = \frac{1}{2} \sqrt{2^N} \frac{\sigma I}{I} LSB$$

$$\frac{\sigma^2 I_{LSB}}{I_{LSB}^2} = \frac{(\frac{4A^2 V_t}{(V_{GS} - V_t)^2} + A^2 \beta) 0.5}{WL}$$

可以看出电流源的匹配决定了INL, DNL。

2) 有限的电流源输出电阻;

$$INL = \frac{I_{LSB} R_L^2 N^2}{4r_o}$$

5.2 影响DAC动态性能的因素:

在电流源开关切换的瞬间, 由于时钟馈通、电荷注入或瞬时高阻态在输出波形中产生的毛刺以及在二进制电流源中, 与输入数字信号相关的毛刺都会使DAC的动态性能下降。

1) 为解决这些问题, 本文中的设计采用cascode电流源和双管开关。如图5.1所示。

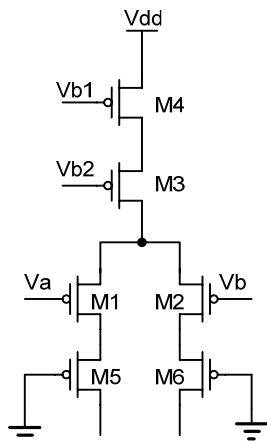


图5.1 电流源和开关管结构

电流源cascode管能提高电流源的输出电阻，并且将电流源和开关管隔开，防止控制信号馈通到电流源管的漏端。

采用双管开关保证了开关导通时有一个管子工作在饱和区，进一步增大了开关管漏端的输出阻抗，并且将输出端与开关管隔开，防止控制信号到输出端的穿通。

- 1) 在每一个开关管前接入latch，并将latch输出信号的交点值调低。Latch结构如图5.2所示，理想输出波形如图5.3。

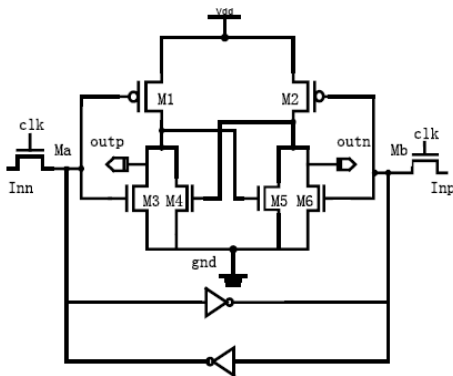


图5.2 锁存器的结构



图5.3 设计要求Latch的输出信号

插入锁存器能保证可电流源的切换在同一时刻发生，

锁存器中由小尺寸反相器形成的反馈可以抑制传输管的时钟穿通和稳定同步的输入。

2) 由于二进制中间码转换时，低位电流源关断，高位电流源打开会产生较大的 glitch，所以将低5位也改成温度计译码。

Reference

- [1] Kevin O'Sullivan, Chris Gorman, Michael Hennessy, and Vincent Callaghan, "A 12-bit 320-MSample/s Current-Steering CMOS D/A Converter in 0.44 mm²" *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 39, NO. 7, JULY 2004
- [2] 洪志良, "模拟集成电路分析与设计", 科学出版社.
- [3] J Jacob Wikner, "Studies On CMOS Digital-to-Analog Converters" *Linköping Studies in Science and Technology Dissertation No. 667*.
- [4] Anne Van den Bosch, "A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter" *IEEE Journal of Solid-State Circuit*, vol.36, No.3, March 2001.
- [5] 毕查德·拉扎维, "模拟CMOS集成电路设计", 西安交通大学出版社.
- [6] Jose Bastos, Augusto M.Marques, Michel S.J.Steyaert, and Willy Sansen, "A 12-Bit Intrinsic Accuracy High-Speed CMOS DAC" *IEEE Journal of Solid-State Circuits*, vol.33, No.12, December 1998.

致谢

首先，我要感谢我的指导老师唐长文，他是我模拟集成电路设计的领路人。唐老师严谨求实的科研态度和耐心细致的指导使我受益匪浅。他说过的：“电脑永远不能代替人脑，切忌盲目仿真，应勤于动脑思考！”将作为我以后学习生涯的警言。其次，我要感谢实验室的师兄师姐们，卢磊，金黎明，袁路，刘源，刘丹等等，你们的热心帮助使我克服了一个个困难，也让我更快的溶入了实验室这个大家庭。另外，我还要感谢和我一起实验室做本科毕业设计的同学吴夏妮，赵薇和方煜云，紧张的实验室生活因为我们之间的相互勉励而变得轻松愉快！

本科四年的生活到这里已经告一段落，在这四年的学习生活中复旦的很多老师都给了我极大的帮助，我要特别感谢教授模拟电路的孙承绶老师，数模电实验的王勇老师以及其他在我学业，生活给与过中肯意见的良师益友！

最后，感谢我的父母，你们对我无条件付出，不计回报的养育之情，绝对的信任和支持永远是我前进的最大动力！