

学校代码: 10246

学 号: 061021036

復旦大學

博 士 学 位 论 文

高精度、低功耗流水线型模数转换器的研究与设计

院	系:	信息科学与工程学院
专	业:	微电子学与固体电子学
姓	名:	尹 睿
指 导 教 师:	张 卫 教授	唐长文 副教授
完 成 日 期:	2010 年 10 月 15 日	

学校代码: 10246

学 号: 061021036

复旦大学 博士学位论文

高精度、低功耗流水线型模数转换器的研究与设计

尹 睿

指 导 教 师: 张 卫 教 授
唐长文 副教授

指 导 小 组: 张 卫 教 授
洪志良 教 授
唐长文 副教授
王俊宇 副研究员

复旦大学信息科学与工程学院微电子学系

目录

目录.....	i
图索引	iv
表索引	vii
摘要.....	ix
Abstract.....	xi
第一章 前言	1
1.1 论文研究背景和动机	1
1.2 国内外研究现状	2
1.3 论文研究的主要工作	3
1.4 论文的组织结构	4
参考文献.....	4
第二章 模数转换器概述	9
2.1 理想的模数转换器.....	9
2.2 模数转换器相关指标和参数	10
2.2.1 静态参数.....	10
2.2.2 动态参数.....	11
2.2.3 性能系数.....	13
2.3 模数转换器测试原理	13
2.3.1 动态参数测试.....	13
2.3.2 静态参数测试.....	14
2.4 模数转换器的分类.....	17
参考文献.....	18
第三章 流水线 ADC 关键技术分析.....	21
3.1 流水线模数转换器.....	21
3.2 高精度设计	22
3.2.1 数字校正算法分析	23
3.2.2 子模数转换器失调误差校正	27
3.2.3 底极板采样技术	29
3.3 低功耗设计	30
3.3.1 级间运放共享.....	32
3.3.2 逐级递减.....	32
3.4 非理想因素分析	33

3.4.1	电容误差.....	33
3.4.2	运放增益误差.....	35
3.4.3	信号建立精度.....	35
3.4.4	流水线级误差分析	37
3.4.5	时钟抖动.....	37
3.5	Matlab 行为级模型.....	39
	参考文献.....	44
第四章	双输入开关内置运放共享 MDAC.....	47
4.1	传统运放共享结构存在的问题.....	47
4.1.1	记忆效应.....	47
4.1.2	级间串扰.....	49
4.1.3	运放共享开关的电荷注入和时钟馈通.....	50
4.2	前人的解决方案	52
4.2.1	增加隔离开关.....	52
4.2.2	运放电流复用.....	52
4.2.3	串联双输入差分对运放	54
4.3	双输入开关内置运放共享 MDAC.....	55
4.3.1	双输入开关内置运放共享 MDAC 的结构和原理.....	55
4.3.2	运放共享开关控制时序	57
4.3.3	运放偏置电路.....	59
4.3.4	共模反馈电路.....	60
4.4	电路仿真	61
	参考文献.....	61
第五章	ADC 设计和仿真	63
5.1	流水线模数转换器结构.....	63
5.2	采样保持电路设计.....	64
5.2.1	采样保持电路结构	64
5.2.2	运放设计	67
5.2.3	开关设计	73
5.2.4	采样保持电路仿真	78
5.3	比较器.....	79
5.4	时钟生成电路.....	80
5.5	数字校正电路.....	81
5.6	参考电压电流产生电路.....	82
5.7	整体 ADC 仿真.....	82
5.8	ADC 版图设计.....	85

5.8.1 版图基本原则.....	85
5.8.2 各模块版图布局和设计	87
5.8.3 ADC 整体版图布局	90
参考文献.....	90
第六章 流片测试与电路改进	93
6.1 测试方案	93
6.2 PCB 设计	94
6.3 测试平台	96
6.4 测试结果	96
6.5 电路改进	103
参考文献.....	107
第七章 总结与展望	109
7.1 总结	109
7.2 未来工作展望.....	111
致谢.....	113
发表论文及专利.....	114

图索引

图 2.1	模数转换器的功能	9
图 2.2	理想 3bit ADC 量化特性.....	10
图 2.3	3bit ADC 非线性特性	11
图 2.4	ADC 测试平台	14
图 2.5	线性斜波输入下直方图测试.....	15
图 2.6	DNL 和 INL 示意.....	16
图 2.7	正弦波输入下码密度测试	16
图 2.8	采用直方图法测试 ADC 噪声.....	17
图 3.1	流水线模数转换器结构	21
图 3.2	错位相加操作示意	25
图 3.3	标准 10bit 量化曲线.....	26
图 3.4	数字校正原理示意	28
图 3.5	简单的采样保持电路.....	29
图 3.6	沟道电荷注入和时钟馈通效应	30
图 3.7	底极板采样技术.....	30
图 3.8	流水线操作时序示意.....	31
图 3.9	相邻两级之间运放共享结构示意图.....	32
图 3.10	采样时钟抖动造成的误差	38
图 3.11	不同精度和输入信号频率下对时钟抖动的要求.....	38
图 3.12	流水线模数转换器行为级模型	39
图 3.13	输入信号与量化结果.....	40
图 3.14	采样保持电路模型	40
图 3.15	采样保持模型参数设置	41
图 3.16	MDAC 电路模型	42
图 3.17	子模数转换器模型	42
图 3.18	MDAC 模型参数设置	43
图 3.19	模型 FFT 分析结果	44
图 4.1	记忆效应分析示意图.....	47
图 4.2	运放共享的 MDAC 中开关寄生电容串扰通路示意	50

图 4.3	运放共享开关电荷注入和时钟馈通效应示意图	51
图 4.4	增加隔离开关降低运放共享级间干扰.....	52
图 4.5	电流复用技术运放示意图	53
图 4.6	采用电流复用运放共享的流水线结构.....	53
图 4.7	采用串联双输入的运放结构	54
图 4.8	采用双输入对运放共享的 MDAC 结构示意图	55
图 4.9	MDAC 中开关控制信号时序	55
图 4.10	双输入套筒式运放	56
图 4.11	不同信号幅值下 MDAC 建立特性	58
图 4.12	开关全部关闭时运放的工作状态.....	59
图 4.13	MDAC 中双输入对运放采用的偏置电路	60
图 4.14	MDAC 中负载均衡 SC-CMFB	60
图 5.1	每级 1.5bit 带数字校正运放共享的流水线模数转换器结构.....	63
图 5.2	采样保持电路结构	64
图 5.3	全差分电荷再分布结构的采样保持电路	65
图 5.4	双相非交叠时钟组示意	65
图 5.5	增益自举套筒式运放结构示意图.....	67
图 5.6	偏置电路	69
图 5.7	开关电容共模反馈电路	70
图 5.8	采样保持运放频响特性	71
图 5.9	运放线性度	72
图 5.10	运放建立时间	72
图 5.11	NMOS 开关	73
图 5.12	CMOS 开关	74
图 5.13	栅压自举开关原理示意图	75
图 5.14	栅压自举电路	76
图 5.15	单电容栅压自举开关.....	77
图 5.16	栅压跟随信号的波形.....	77
图 5.17	应用于底极板采样的栅压自举开关	78
图 5.18	采样保持电路 FFT 仿真结果.....	79
图 5.19	比较器结构	80
图 5.20	时钟产生电路	80
图 5.21	数字校正模块示意图.....	81
图 5.22	采样保持电路建立曲线	83
图 5.23	ADC 量化台阶	83

图 5.24	80MSps 下 ADC 动态特性 FFT 仿真结果	84
图 5.25	100 MSps 下 ADC 动态特性 FFT 仿真结果	84
图 5.26	采样保持电路版图	87
图 5.27	运放输入管版图	88
图 5.28	第 1/2 级 MDAC 布局	89
图 5.29	采样电容和保持电容的布局	89
图 5.30	芯片布局	90
图 6.1	ADC 测试方案示意图	93
图 6.2	信号输入示意	94
图 6.3	模数转换器测试 PCB 板照片	95
图 6.4	未滴胶时芯片的绑定照片	95
图 6.5	测试平台照片	96
图 6.6	输入信号为 8MHz 时的 FFT 结果	97
图 6.7	输入信号为 39.5MHz 时的 FFT 结果	97
图 6.8	DNL 测试结果	98
图 6.9	INL 测试结果	98
图 6.10	SFDR 与 SNR 在不同输入信号频率下的变化	98
图 6.11	ENOB 在不同输入信号频率下的变化	99
图 6.12	SFDR 与 SNR 在不同采样频率下的变化	100
图 6.13	ENOB 在不同采样频率下的变化	100
图 6.14	SINAD 随共模输入电压的变化	100
图 6.15	芯片照片	101
图 6.16	本论文设计的 ADC 与国际研究水平的对比	102
图 6.17	采样保持电路与第一级 MDAC 运放共享结构示意图	104
图 6.18	全运放共享的 11bit 流水线 ADC 结构示意图	104
图 6.19	满摆幅下各级输出结果	105
图 6.20	ADC 建立特性仿真结果	105
图 6.21	11bitADC 动态特性仿真结果	106
图 6.22	改进的 11bit ADC 版图	106

表索引

表 2.1	常用数模转换器对比.....	18
表 4.1	MDAC 建立特性仿真	61
表 5.1	采样保持电路运放仿真结果	71
表 5.2	ADC 输出编码格式	82
表 6.1	芯片性能总结	101

摘要

流水线型模数转换器被广泛地应用于图像处理、通信基站、数字视频和快速以太网等领域。而对于应用越来越广泛的手持移动终端而言，低功耗对于产品电池的使用寿命起着至关重要的作用。同时随着人们对音质、画质等感官体验的要求越来越高，以及更为细致的数据信息量要求，高精度也成了模数转换器系统设计中一个极为重要的方面。通常实现低功耗的方法往往会产生各种误差从而导致精度降低，同样实现高精度又往往需要以增加功耗为代价，因此如何同时实现高精度和低功耗成为了研究的热点和难点。

论文主要研究了应用于数字视频领域的流水线型模数转换器的低功耗及高精度实现方法。从采用级间运放共享技术来降低功耗为切入点，首先分析了传统运放共享结构中影响电路精度的因素。其次为了消除这些因素的影响，提出了新的电路结构 and 设计技术，从而达到了同时实现高精度和低功耗的目的。搭建了流水线模数转换器 **Matlab** 模型，引入了各种非理想因素参与行为级仿真，建立了系统级的设计框架。最后完成了整个流水线模数转换器的电路设计、版图布局和芯片测试等全部流程。

主要研究成果和工作有以下几个方面：

- 1) 从降低运放功耗入手，选择功耗最低的单级套筒式运放，同时采用级间运放共享和逐级缩减等技术，实现低功耗设计。
- 2) 详细分析了传统级间运放共享结构中存在的记忆效应、级间信号串扰以及共享开关引入的电荷注入和时钟馈通等各种影响电路精度的因素。为了消除这些因素的影响，提出了一种新的双输入开关内置运放共享结构的 **MDAC** 电路。
- 3) 提出采用两组输入差分对管的结构，共享运放的两流水级各使用一组，每组差分对管在保持时段交替参与运放工作，而在采样时段则交替的连接到共模输入电压进行复位，从而完全消除记忆效应，并且不需要额外的复位时间。
- 4) 提出将运放共享开关嵌入在运放内部，有效消除了级间信号串扰通路；因此，开关产生的电荷注入和时钟馈通效应也不会对信号建立精度造成影响；同时消除了传统结构中采用外置开关所引入的寄生电阻对运放失调的影响。内置的共享开关仅消耗约 **30mV** 的电压裕度，不会影响运放的输出摆幅。
- 5) 提出采用双相交叠时钟来控制运放共享开关，解决了采用传统非交叠时钟导致的大信号建立恶化的问题。通过采用与被偏置电路一致的结构，

改进了宽摆幅运放偏置电路，与系统中各运放都能获得更好的匹配。

- 6) 从传递函数的角度建立了流水线型模数转换器的 **Matlab** 系统级模型，并引入了诸如电容失配、噪声、运放单位增益带宽、运放压摆率、时钟抖动以及比较器失调等非理想因素影响，从而指导电路设计。模型仿真结果与流片结果契合。
- 7) 在 **SMIC 0.18- μm 、1.8V** 电源电压、单层多晶硅六层金属的标准 **CMOS** 工艺下完成了一款 **10 bit 80 MSps** 的流水线型模数转换器的电路设计、版图布局、仿真验证以及芯片测试等工作。

采用这种新型双输入开关内置运放共享的 **MDAC** 结构可以在不增加额外时钟、功耗、面积的条件下，消除多种制约 **MDAC** 精度的误差来源，从而有效提高系统精度。

此外，基于双输入开关内置运放的良好隔离特性，对电路进行进一步的优化和改进，令采样保持电路与第一级 **MDAC** 共享运放，从而完全避免运放功耗的额外消耗，继续显著降低系统功耗。

流片测试结果显示，本论文设计的 **10-bit 80 MSps** 模数转换器有效位(**ENOB**)可以达到 **9.69 bit**，无杂散动态范围(**SFDR**)可以达到 **76 dB**，并且在整个奈奎斯特带宽内都保持着 **9.62bit** 以上的 **ENOB**。当输入信号超过奈奎斯特频率，甚至接近采样频率时，**ENOB** 仍可以达到超过 **9.47 bit** 的精度。此外，当采样频率提高到 **100MSps** 时，仍可以达到超过 **9.1 bit** 的有效位。芯片核心功耗为 **28mW**，性能系数(**FOM**)为 **0.42pJ/step**。其中 **ENOB** 和 **SFDR** 两项指标优于近几年收录在 **JSSC**、**ISSCC** 和 **CICC** 等国际顶级期刊会议上相同分辨率流水线模数转换器的研究成果，**FOM** 达到了这些研究成果中的较高水平，能够实现低功耗高精度的数字视频及 **SOC** 嵌入式应用。

关键词：流水线模数转换器，低功耗，高精度，采样保持电路，运放共享，双输入，开关内置，**MDAC**，栅压自举开关，底极板采样，数字校正，**Matlab** 模型
中图分类号：TN432

Abstract

Pipelined analog-to-digital converter (ADC) is widely used in the systems of image signal processing, base stations and digital video, fast Ethernet, etc. For hand-held mobile terminals, low power devices play a vital role for the life of the battery. At the same time, as people demanding of sensory experiences such as sound, picture quality have become increasingly and the requirement of more detailed information, design has become a very important aspect. Low power consumption usually tends to reduce the accuracy while high accuracy is often needed to increase the cost of power. Thus, how to achieve high accuracy and low power consumption simultaneously has become a hot research spot.

This work focuses on the high accuracy and low-power pipelined ADC for digital video system. The opamp-sharing technology is used to achieve low power consumption at the cost of the resolution reduction, since the conventional opamp-sharing ADC has some serious problems. To get rid of these problems, an new architecture of MDAC was proposed to improve the system accuracy. A Matlab model of pipelined ADC which guide the actual circuit design is structured, variety of non-ideal factors are involved in the behavioral simulation. By using this MDAC, this work presents the transistor level of pipelined ADC. Finally, layout and chip testing are described.

The specific research contributions of this work include:

1) Starting from reducing the power consumption of the opamp, telescopic opamp was selected for its lowest power consumption. More methods such as opamp-sharing between successive stage and stage-scaling-down were adopted to achieve low-power design.

2) To get rid of the problems of memory effect, successive stage crosstalk, charge injection and clock feedthrough, a switch-embedded MDAC with dual NMOS differential input pairs current-reuse OTA is proposed.

3) The dual NMOS differential input pairs was proposed to eliminate the memory effect. Since both input pairs are reset to a common-mode input voltage alternately, the memory effect is completely eliminated without any additional clock phase.

4) By embedding the opamp-sharing switches into OTA, the effect of the inter-stage crosstalk path, charge injection, clock feedthrough and the offset introduced by parasitic resistance of opamp-sharing switches were eliminated and does not affect the signal settling accuracy. The embedded switches only consumed about 30mV of voltage margin, so not affect the opamp's output

swing.

5) The two-phase non-overlapping clock is always used in a pipelined ADC but is not suitable for controlling the opamp-sharing switches in the proposed OTA. To achieving a well matching, a optimized stable high-swing bias circuit is employed for the OTA.

6) Based on the signal transfer function, A Matlab model of pipelined ADC is structured to guide the circuit design. By involved the effect of many non-ideal factors such as mismatch, noise, GBW, slew rate, jitter and offset, this model is reasonable according the silicon results.

7) In the SMIC 0.18- μm , 1.8V supply voltage, single-poly six-metal standard CMOS process, the circuit and layout design, simulation and chip testing of a 10 bit 80MSps pipelined ADC are completed.

By using the proposed switch-embedded opamp-sharing MDAC based on a dual NMOS input pairs current-reuse opamp, an improved accuracy is achieved without any additional power and area consumption and clock phase.

Further more, built on the good isolation characteristic of the dual-input switch-emmbded opamp, a new circuit structure of opamp-sharing between S/H circuit and the first MDAC stage was proposed to significantly reduce power consumption by avoiding the extra power consumption of opamp.

The ADC achieves a peak ENOB of 9.69 bit and a peak SFDR of 76 dB, while maintaining more than 9.6 ENOB for the full Nyquist input bandwidth. When input frequency is close to sample rate, the ADC still maintains 9.47 ENOB. When sample rate rises to 100MHz, there is still 9.1 ENOB. The chip consumes 28mW an FOM achieves 0.42 pJ/ step. The measured SNDR and SFDR are better than other recently published works of 10-bit pipelined ADCs on JSSC, ISSCC and CICC, and FOM has achieved a higher level. This work can be used in low power consumption and high accuracy digital video system an embedded in applications of SOC.

Key words: pipelined ADC, low power, high accuracy, S/H, opamp-sharing, dual-input, switch-emmbded, MDAC, gate voltage bootstrapped switch, bottom plate sampling, digital calibration, Matlab model

CLC Number: TN432

第一章 前言

1.1 论文研究背景和动机

模数转换器，顾名思义，是用来将模拟信号转化为数字信号。作为真实世界与数字世界的纽带，模数转换器在很多现代数字处理系统等领域都有着不可替代的作用。

众所周知，自然界真实的信号都是以模拟的形态存在的，包括听到的声音、看到的画面和感受到的触觉温度等等，甚至在数字领域，受到储存或传输条件的限制，一些数字信号也会呈现出模拟的形态，比如硬盘里数据的读取、远距离信号的传输等等。模数转换器正是将这些模拟信号转化为数字信号的接口，从而使这些模拟信号可以在数字世界里得到记录和处理。

以数字高清电视系统为例，对于高清视频的要求是当在与屏幕一定距离所看到的画面应当达到与真实情景相同的色彩和清晰度。以隔行扫描 16:9 高宽比的高清数字电视 1920×1035i 格式为例。系统具有 60 Hz 的场频。数字采取双通道数据处理，其中一个数字数据流输入 74.25 MHz 采样的数字化亮度信号(Y)，因此需要一路 10 位分辨率采样频率 80MHz 左右的模数转换器来表示此视频信息；另一个通道传输时分多路复用的 C_B 和 C_R 信号，也同样需要用到 10 位分辨率 74.25 MHz 采样的模数转换器。

在各种模数转换器系统架构中，流水线型模数转换器由于其分段转换、流水作业的结构特点，在实现较高分辨精度的模数转换时仍然能保持较高的速度和较低的功耗，适合于系统集成，主流转换率可以达到 200MSps 以上，分辨率可以达到 8~14 bit。因此对于数字视频领域所要求的精度和采样频率而言，流水线型模数转换器无疑是最佳的选择。并且，流水线结构的模数转换器具有很高的设计自由度和灵活性，在实现速度、功耗和面积等指标间折衷优化等课题上有着广泛的研究空间。

如今，对于功能越来越丰富的手持移动终端而言，由于受到重量限制，仅能通过有限的电池提供能量，所以迫切需要低功耗的芯片设计。此外，功耗的增加会引起芯片发热，从而降低电路的可靠性和使用寿命。芯片升温将引发硅片连线故障、封装故障、电学参数漂移、电迁移等一系列的故障机制。功耗的急剧增加，还需要昂贵的封装以及热沉布置，提高了芯片的成本，还会因为冷却设备而增加额外开支。对面向商用的产品而言，降低了产品的市场竞争力。同时人们对数字

媒体音质、画质等体验的要求越来越高,而且对采集和研究自然界信号更为细致的数据信息量要求,高精度也成了模数转换器系统设计中一个很重要的方面。

1.2 国内外研究现状

近几年来,各种实现低功耗和高精度的方法不断被提出。其中降低功耗的方法主要有时分复用技术、运放共享技术、伪差分运放结构、最佳每级精度分配、级间按比例缩小、单元模块共享复用以及降低单元模块功耗等等[1-38]。其中 Nagaraj 在 1997 年提出的级间运放共享技术成为目前降低功耗最常用和最有效的方法[2]。这种方法利用每个流水线级仅在半个周期使用运放的特性,在两级流水线级中(通常是相邻两级)共同使用一个运放,使系统中运放的数量减小了一半。由于运放的功耗占整个系统的绝大部分,从而可以降低接近 50%的系统功耗。

而实现高精度的方法主要有元件匹配校准、相关双采样、底极板采样、栅压自举开关、电容交换、误差平均等[39-47]。其中 Lewis 在 1992 年提出的每级 1.5bit 的数字校正算法[39]通过增加少量比较器等电路的代价,可以在很大程度上消除比较器失调的影响,从而极大地提高模数转换器的精度。

相对于数字校正算法不会增加很多功耗来说,级间运放共享技术却会很大程度上影响电路的精度。因为在传统的运放共享结构中,存在着由于运放输入管无法复位所导致的记忆效应,以及由运放共享开关的寄生电容导致的级间信号串扰通路,此外运放共享开关还引入了电荷注入和时钟馈通效应,这些问题很大程度上影响了系统精度。

为了克服传统运放共享结构中存在的上述问题,文献[48]中提出了一种增加隔离开关的方法,通过增加两组隔离开关将运放共享开关的寄生电容接到地,因此隔断了级间串扰通路。但是添加的开关增大了电荷注入与时钟馈通效应以及串联电阻,而且采用这个方法并没有解决记忆效应。

文献[49]中采用了一种电流复用技术。在文中设计的套筒式运放中,当 NMOS 工作时,PMOS 作为负载的同时接到一个固定电压,同样当 PMOS 工作时,NMOS 接到一个固定电压。这样一来,由于两对输入管分别交替连接固定电压进行复位,输入管再进行下一次保持操作时,寄生的电荷是一个与输入信号无关的量,降低了对建立精度的影响。但是由于 PMOS 的跨导相对较小,因此在相同电流下,采用 PMOS 输入的运放性能要降低很多,不能被相邻两级共享,仅能一、四级共享一个运放,二、三级共享一个运放。因此,采用电流共享的方法虽然可以消除记忆效应和一定的级间干扰,但是采用 PMOS 做输入管,实际上也大大降低了对电流的利用效率,而且由于需要对输入信号电平进行转换,增加了设计复杂度。

文献[50]采用了一种串联式双 NMOS 输入差分对的方法。这种方法较前一种比起来, 各级都采用了 NMOS 作为运放的输入管, 从而可以提高电流的利用效率, 同时也通过双输入交替工作和复位至共模电压来解决了解记忆效应等问题。但是由于两对输入管是上下串联, 需要接到各自不同的共模电压, 因此在电路中需要产生两组复位电平; 同时, 两个串联的输入管还会降低运放的输出摆幅, 使其难以应用于低功耗的套筒式运放; 此外, 当开关闭合时, 其寄生电阻会降低运放的增益和单位增益带宽。

上述几种方法以一定的功耗和电路复杂度为代价, 在一定程度上改善了传统运放共享结构中存在的影影响电路精度的因素。因此, 如何完全高效地解决记忆效应、级间串扰、电荷注入和时钟馈通等问题仍然是需要进一步研究和解决的课题。

1.3 论文研究的主要工作

本论文首先从降低系统整体功耗入手, 采用了级间运放共享技术来减小运放数量, 再从减小运放功耗的角度选择了能效比最高的增益自举套筒式运放结构。之后, 本文详细分析了采用传统运放共享技术所存在的记忆效应、级间串扰通路以及和运放共享开关引入的电荷注入和时钟馈通等问题, 指出其降低了系统的精度的原因。

其次, 为了消除这些因素对系统精度的影响, 提出一种新型适用于运放共享的双输入开关内置余量增益放大电路(MDAC), 有效地提高了电路的性能。同时通过对开关内置的双输入 MDAC 电路的分析, 提出采用双相交叠时钟来控制运放共享开关, 解决了采用传统非交叠时钟导致的大信号建立恶化等问题。优化了宽摆幅运放偏置电路, 使其与运放获得更好的匹配。

此外, 本论文还分析了流水线模数转换器中各种非理想因素对系统的影响, 从真实电路中信号传递和量化的角度, 建立了流水线模数转换器的 Matlab 模型, 并引入了诸如电容失配、噪声、运放单位增益带宽、运放压摆率、时钟抖动以及比较器失调等绝大多数的非理想因素, 从而指导电路设计, 模型仿真与流片测试结果相当契合。

本论文在 SMIC 0.18- μm 、1.8V 电源电压、单层多晶硅六层金属的标准 CMOS 工艺下, 设计实现了一款分辨率为 10bit 采速率为 80MSps 的高精度、低功耗流水线型模数转换器。在电路设计过程中, 本论文也把许多相关的研究论文作为设计时的参考[51-68]。通过将芯片测试结果与国内外研究的对比, 本设计中的流水线模数转换器在近几年发表的文献中处于较高水平。

最后, 为了进一步降低系统功耗, 采用了使采样保持电路与第一级 MDAC 共享运放的方法, 设计了一款 11bit 的流水线模数转换器。由于采样保持电路和第一级 MDAC 均对运放功耗有着最高的要求, 因此这两者共享运放可以很大程

度上进一步降低系统功耗。同时由于双输入开关内置运放具有良好的级间隔离特性，可以确保采样保持电路精度不受到共享运放的影响。

1.4 论文的组织结构

论文总共分为七章。在本章之后的第二章中，介绍了模数转换器的分类以及评价指标和测试方法。第三章分别从高精度和低功耗的角度进行分析，介绍了实现高精度和低功耗所采用的技术方法；分析了各种非理想因素对模数转换器性能的影响，并在设计的一个 **Matlab** 行为级模型中得到了体现。在第四章中，首先分析了传统运放共享电路中存在的记忆效应、级间信号串扰通路以及共享开关的电荷注入和时钟馈通等问题对电路精度的影响。之后介绍了前人针对这些问题提出的一些解决方案，并分析了这些方案中存在的不足。为了更好地解决上述问题，提出了一种双输入开关内置运放共享的 **MDAC** 电路，有效地消除了记忆效应、级间信号串扰通路，同时解决了共享开关电荷注入和时钟馈通等问题对电路精度的影响，实现了提高电路性能的目的。第五章则根据提出的新型 **MDAC** 结构，完成了一款 **10bit 80MSps** 流水线型模数转换器的电路设计和版图布局，给出了仿真方法和结果。在第六章中，首先制定测试方案，设计测试电路板并搭建了测试平台。之后对论文设计的模数转换器进行测试，给出了测试结果，并将之与国内外近期发表在 **JSSC**、**ISSCC** 和 **CICC** 等国际顶级期刊和会议的一些高水平研究成果进行了对比。此外，根据双输入开关内置运放的良好级间隔离特性，提出了一种使采样保持电路与第一级 **MDAC** 共享运放的方法，在保证系统精度的条件下进一步降低系统功耗。最后，在第七章中对论文进行了总结，给出了结论，并对未来的研究工作进行了分析和展望。

参考文献

- [1] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu, and J. Barbolla. Low-Power Pipeline ADC for Wireless LANs [J]. *IEEE J. Solid-State Circuits*, vol. 39, pp. 1338–1340, Aug. 2004.
- [2] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger. A 250-mW, 8-b, 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers [J]. *IEEE J. Solid-State Circuits*, vol. 32, pp. 312–320, Mar. 1997.
- [3] Y. Chiu, P. R. Gray, B. Nikolic. A 14-b 12-MSs CMOS pipeline ADC with over 100-dB SFDR [J]. *IEEE J. Solid-State Circuits*, vol. 39, pp. 2139–2151, Dec. 2004.
- [4] D. Miyazaki, S. Kawahito and M. Furuta. A 10-b 30-MSs low-power pipelined CMOS AD converter using a pseudodifferential architecture [J]. *IEEE J. Solid-State Circuits*, vol. 38, pp. 369–373, Feb. 2003.
- [5] A. Matsuzawa, M. Kagawa, M. Kanoh, K. Tatehara, T. Yamaoka, and K. Shimizu. A 10 b 30 MHz two-step parallel BiCMOS ADC with internal S/H. in *IEEE Int.*

- Solid-State Circuits Conf. Dig. Tech. Papers, Feb. 1990, pp. 162–163.
- [6] P. Vorenkamp and J. P. M. Verdaasconk. A 10-b 50 Ms/s pipelined ADC. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, Feb. 1992, pp. 32–33.
- [7] T. Miki, H. Kouno, T. Kumamoto, Y. Kinoshita, T. Igarashi, and K. Okada. A 10-b 50 MS/s 500-mW A/D converter using a differential voltage subconverter. IEEE J. Solid-State Circuits, vol. 29, pp. 516–528, Apr. 1994.
- [8] M. P. Flynn and D. J. Allstot. CMOS folding ADC's with currentmode interpolation [C]. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, Feb. 1995, pp. 274–275.
- [9] B. Nauta and A. G. W. Venes. A 70-MS/s 110-mW 8-b CMOS folding and interpolating A/D converter [J]. IEEE J. Solid-State Circuits, vol. 30, pp. 1302–1308, Dec. 1995.
- [10] A. G. W. Venes and R. J. van de Plassche. An 80 MHz 80 mW 8 b CMOS folding A/D converter with distributed T/H preprocessing [C]. IEEE Int. Solid-State Circuits Conf., Dig. Tech. Papers, Feb. 1996, pp. 318–319.
- [11] T.-H. Shu, K. Bacrania, and R. Gokhale. A 10-b 40-Msamples/s BiCMOS A/D converter [J]. IEEE J. Solid-State Circuits, vol. 31, pp. 1507–1510, Oct. 1996.
- [12] M. Yotsuyanagi, T. Etoh, and K. Hirata. A 10-b 50-MHz pipelined CMOS A/D converter with S/H [J]. IEEE J. Solid-State Circuits, vol. 28, pp. 292–300, Mar. 1993.
- [13] C. S. G. Conroy, D. W. Cline, and P. R. Gray. An 8-b 85 MS/s parallel pipeline A/D converter in 1 μ m CMOS [J]. IEEE J. Solid-State Circuits, vol. 28, pp. 447–454, Apr. 1993.
- [14] K. Nakamura, M. Hotta, L. R. Carley, and D. J. Allstot. An 85 mW, 10 b, 40 Msample/s CMOS parallel-pipelined ADC [J]. IEEE J. Solid-State Circuits, vol. 30, pp. 173–183, Mar. 1995.
- [15] T. B. Cho and P. R. Gray. A 10-b, 20-Msample/s, 35 mW pipeline A/D converter [J]. IEEE J. Solid-State Circuits, vol. 30, pp. 166–172, Mar. 1995.
- [16] T. C. Choi and R. W. Brodersen. Considerations for high-frequency switched-capacitor filters [J]. IEEE Trans. Circuits Syst., vol. CAS-27, pp. 545–552, June 1980.
- [17] T. Cho, P. R. Gray. A 10-b, 20 Msample/s, 35 mW Pipelined A/D Converter [J]. IEEE J. Solid-State Circuits, 1995, 30(3): 166–172
- [18] P. T. F. Kwok, H. C. Luong. Power optimization for pipeline analog-to-digital converters [J]. IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing, 1999, 46 (5): 549–553
- [19] E. G. Soenen, L. G. Randall. An architecture and an algorithm for fully digital connection of monolithic pipeline ADCs [J]. IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing, 1995, 42 (3): 143–153
- [20] T. N. Andersen, B. Hernes, A. Briskemyr, et al. A cost-efficient high-speed 12-bit pipeline ADC in 0.18- μ m digital CMOS [J]. IEEE J. Solid-state Circuits, 2005, 40(7): 1506–1513
- [21] J. Bjornsen, T. Ytterdal. Behavioral Modeling and Simulation of Mixed-Signal System-on-a-Chip using System [C]. IEEE International Symp. Circuits and Systems. Bangkok, Thailand: IEEE Circuits and Systems Society, 2003, 25–38
- [22] Y. Chiu, P. R. Gray, B. Nikolic. A 14-b 12-MS/s CMOS Pipeline ADC With Over 100dB SFDR [J]. IEEE J. Solid-state Circuits, 2004, 39(12): 2139–2151
- [23] J. Goes, J. Vital, J. Franca. Systematic design for optimization of high-speed self-calibrated pipelined A/D converters [J]. IEEE Trans. Circuits Syst. II: Analog and

- Digital Signal Processing, 1998, 45(12): 1513-1526
- [24] M. Hershenson. Design of pipeline analog-to-digital converters via geometric programming. IEEE ICCAD. San Jose: the Association for Computing Machinery, 2002, 317-324
 - [25] R. Lotfi, M.T. Sani, M.Y. Azizi, et al. Systematic Design for Power Minimization of Pipelined Analog-to-Digital Converters [C]. IEEE ICCAD. San Jose, California, USA: the Association for Computing Machinery, 2003, 371-374
 - [26] R. Loth, S.M. Taherzadeh. A 1-V MOSFET-only fully-differential dynamic comparator for use in low-voltage pipelined A/D converters [C]. IEEE ISSCS. Iasi, Romania: IEEE Circuits and Systems Society, 2003, 377-380
 - [27] L. Sumanen, M. Waltari, V. Hakkarainen. CMOS dynamic comparators for pipeline A/D converters [C]. IEEE International Symp. Circuits and Systems. Phoenix, Arizona: IEEE Circuits and Systems Society, 2002, 157-160
 - [28] P.M. Figueiredo, J.C. Vital. Low kickback noise techniques for CMOS latched comparators [C]. IEEE ISCAS. Vancouver, Canada: IEEE Circuits and Systems Society, 2004, 537-406
 - [29] U. Koen, S.J.S. Michiel. A 1.8-V 6-Bit 1.3-GHz Flash ADC in 0.25 μ m CMOS [J]. IEEE J. Solid-State Circuits, 2003, 38(7): 1115-1122
 - [30] P. Uthaichana, E. Leelarasamee. Low power CMOS dynamic latch comparators [C]. Conf. Convergent Technologies for Asia-Pacific Region. Bangalore, India: IEEE Circuits and Systems Society, 2003, 605-608
 - [31] D.Y. Chang, S.H. Lee. Design techniques for a low-power low-cost CMOS A/D converter [J]. IEEE J. Solid-State Circuits, 1998, 33(8): 1244-1248
 - [32] F. Maloberti, F. Francesconi, P. Malcovati, et al. Design Considerations on Low-Voltage Low-Power Data Converters [J]. IEEE Trans. Circuits Syst. I, 1995, 42(11): 853-863
 - [33] M. Steyaert, J. Crols, S. Gogaert. Switched opamp, a technique for realizing full CMOS switched-capacitor filters at very low voltages [C]. ESSCIRC. Sevilla, Spain: IEEE Solid-State Circuits Society, 1993, 178-181
 - [34] M. Bracey, W.R. White, J. Richardson, et al. A full Nyquist 15 MS/s 8-b differential switched-current A/D converter [J]. IEEE J. Solid-State Circuits, 1996, 31(7): 945-951
 - [35] H.O. Hsin, D.L. Bin. A 1-V 9-bit, 2.5-Msample/s pipelined ADC with merged switched-opamp and opamp-sharing techniques [C]. IEEE International Symp. Circuits and Systems. Kobe, Japan: IEEE Circuits and Systems Society, 2005, 1972-1975
 - [36] M.M. Byung, P. Kim, F.W. Bowman, et al. A 69-mW 10-bit 80-MSample/s Pipelined CMOS ADC [J]. IEEE J. Solid-State Circuits, 2003, 38(12): 2031-2039
 - [37] B. Ginetti and P. G. A. Jespers. A 1.5 Ms/s 8-bit pipeline RSD A/D converter [C]. ESSCIRC Dig. Tech. Papers, Sept. 1990, pp. 137-140.
 - [38] J. Li and U.K. Moon. A 1.8-V 67-mW 10-bit 100-MSs pipelined ADC using time-shifted CDS technique [J]. IEEE J. Solid-State Circuits, vol. 39, pp. 1476-1468, Sept. 2004.
 - [39] S. H. Lewis, H. S. Fetterman, G. F. Gross Jr., R. Ramachandran, and T. R. Viswanathan. A 10-b 20-Msample/s analog-to-digital converter [J]. IEEE J. Solid-State Circuits, vol. 27, pp. 351-358, Mar. 1992.
 - [40] M. Abo and P. R. Gray. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital

- converter [J]. IEEE J. Solid-State Circuits, vol. 34, pp.599–606, May 1999.
- [41] T. Brooks et al. A cascaded sigma-delta pipeline A/D converter with 1.25 MHz signal bandwidth and 89 dB SNR [J]. IEEE J. Solid-State Circuits, vol. 32, no. 12, pp. 1896-1906, Dec. 1997.
- [42] H. Pan, M. Segami, M. Choi, et al. A 3.3-V 12-b 50-MS/s A/D converter in 0.6 μ m CMOS with over 80-dB SFDR [J]. IEEE J. Solid-State Circuits, 2000, 35(12): 1769-1780
- [43] M. Choi, A. Asad. A 6-b 1.3-Gsps AD Converter in 0.35 μ m CMOS [J]. IEEE J. Solid-State Circuits, 2001, 36(12): 1847-1858
- [44] S.C. Heo, Y.C. Jang, S.H. Park, et al. An 8-bit 200 MSps CMOS folding interpolating ADC with a reduced number of preamplifiers using an averaging technique [C]. IEEE ASIC/SOC Conference. Washington DC: IEEE Solid-State Circuits Society, 2002, 80-83
- [45] Y.M. Lin, B. Kim, P.R. Gray. A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3- μ m CMOS. IEEE J. Solid-State Circuits, 1991, 26(4): 628-636
- [46] D.A. Mercer. A 12b 750ns Subranging A/D Converter with Self-Correcting S/H. IEEE J. Solid-State Circuits, 1991, 26(12): 1790-1799
- [47] Y.B.H. Leung, B.H. Lin. A mismatch-independent DNL pipelined analog-to-digital converter [J]. IEEE Trans Circuits Syst. II: Analog Digital Signal Processing, 1999, 46(S): 517-526
- [48] Li, J., Zeng, X., Xie, L., Chen, J., Zhang, J., Guo, Y. A 1.8-V 22-mW 10-bit 30-MS/s Pipelined CMOS ADC for Low-Power Subsampling Applications [J]. IEEE J. Solid-State Circuits, 2008, 43, (2), pp. 321-329
- [49] S. Ryu, B. Song, K. Bacrania. A 10-bit 50-MS/s Pipelined ADC with Opamp Current Reuse [C]. IEEE J. Solid State Circuits, pp. 475-485, vol. 42, No. 3, March 2007.
- [50] K. Chandrashekar and B. Bakkaloglu. A 10b 50MS/s Opamp-Sharing Pipeline A/D With Current-Reuse OTAs [C]. IEEE CICC, Sep. 2009, pp.263-266
- [51] Mikael Gustavsson, J. Jacob Wiker, Nianxiong Tan. CMOS data converters for communications [M]. Kluwer Academic Publishers, 2000.
- [52] Rudy van de Plassche. CMOS integrated analog-to-digital and digital-to-analog converters [M], 2nd Edition, Kluwer Academic publishers, 2003.
- [53] Paul R. Gray, Paul J. Hurst, S. H. Lewis, etc. Analysis and design of analog integrated circuits [M], 4th Edition, John Wiley & Sons, Inc, 2000.
- [54] Behzad Razvi. Principles of data conversion system design [M], The institute of Electrical and Electronics Engineers, Inc, 1995.
- [55] Stephen H. Lewis and Paul R. Gray. A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter [J]. IEEE J. Solid-State Circuits, 1987, SC-22(6): 954-961.
- [56] Stephen H Lewis. Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications [J]. IEEE Trans. Circuits and Systems II: Analog and digital signal processing, 1992, 39(8):516-523.
- [57] K. Dyer, D. Fu, S. Lewis, and P. Hurst. Analog background calibration of a 10b 40Msample/s parallel pipelined ADC[C], IEEE International Solid-State Circuits Conference, February 1998, XLI: 142 – 143.
- [58] Won-Chul Song, Hae-Wook Choi, Sung-Ung Kwak, and Bang-Sup Song. A 10-b 20-Msample/s low-power CMOS ADC [J]. IEEE Journal of Solid-State Circuits, May 1995, 30:514 – 521.

- [59] Katsufumi Nakamura, Masao Hotta, L. Richard Carley, and David J. Allstot. An 85 mW, 10b, 40 Msample/s CMOS parallel-pipelined ADC [J]. IEEE Journal of Solid-State Circuits, March 1995, 30: 173 – 183.
- [60] David William Cline. Noise, Speed, and Power Trade-offs in Pipelined Analog to Digital Converters[D]. Ph.D thesis, UC, Berkeley 1995.
- [61] Paul C. Yu and Hae-Seung Lee. A 2.5V 12b 5Msample/s pipelined CMOS ADC [J]. IEEE International Solid-State Circuits Conference, February 1996, XXXIX: 314 – 315.
- [62] Hui Pan, Masahiro Segami, Michael Choi, Jing Cao, Fumitoshi Hatori, and Asad Abidi. A 3.3V, 12b, 50Msample/s A/D converter in 0.6 μ m CMOS with over 80dB SFDR [J]. IEEE International Solid-State Circuits Conference, February 2000, XLIII: 40 – 41.
- [63] Klaas Bult and Aaron Buchwald. An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1-mm² [J]. IEEE Journal of Solid-State Circuits, December 1997, 32: 1887-1895.
- [64] Andrew M. Abo and Paul R. Gray. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter [J]. IEEE Journal of Solid-State Circuits, May 1999, 34: 599 – 606.
- [65] Lauri Sumanen, Mikko Waltari, and Kari A. I. Halonen. A 10-bit 200-MS/s CMOS parallel pipeline A/D converter [J]. IEEE Journal of Solid-State Circuits, July 2001, 36: 1048 – 1055.
- [66] Jong-Bum Park, Sang-Min Yoo, Se-Won Kim, Young-Jae Cho, Seung-Hoon. A 10-b 150-MSample/s 1.8-V 123-mW CMOS A/D converter with 400-MHz input bandwidth [J]. IEEE Journal of Solid-State Circuits, Aug. 2004, 39: 1335 – 1337.
- [67] Jipeng Li, Un-Ku Moon. A 1.8-V 67-mW 10-bit 100-MS/s pipelined ADC using time-shifted CDS technique [J]. IEEE Journal of Solid-State Circuits, Sept. 2004, 39: 1468 – 1476.
- [68] Xiaoyue Wang, Hurst, P.J., Lewis, S.H.. A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital background calibration [J]. IEEE Journal of Solid-State Circuits, Oct. 2004, 39: 1799- 1808.

第二章 模数转换器概述

本章首先介绍了模数转换器的基本原理。然后，给出评价模数转换器性能各个指标参数的说明和计算方法，分析了模数转换器的测试原理和方法。最后，对常见的各种模数转换器类型进行了简单的介绍和对比。

2.1 理想的模数转换器

一个理想的模数转换器对信号的处理包括两个过程：一个是定时，一个是定量，如图 2.1 所示。定时的操作一般被称为采样保持，此操作将输入的模拟信号，以一定的时间间隔进行采集，并把采集好的信号保持一定的时间，供后续定量处理；而定量的操作通常是由与一个已知的量进行比较来完成，实现的方法可以是电压比较、电流比较、电荷比较以及时间比较等等。

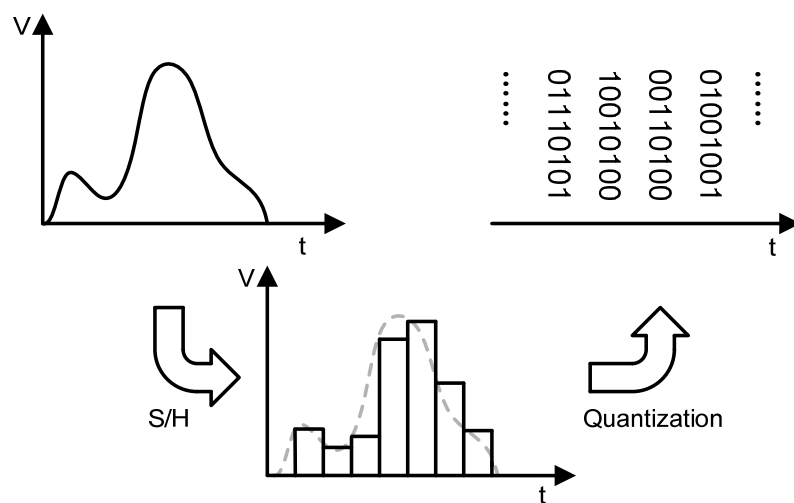


图 2.1 模数转换器的功能

分辨率(Resolution)是衡量一个模数转换器进行定量操作的能力，以比特位(bit)来表示，一个 N -bit 的 ADC，具有可以分辨输入信号变化为 1LSB (Least Significant Bit)的能力，其中 $1\text{LSB} = V_{\text{FS}}/2^N$ ， V_{FS} 为满幅输入信号。图 2.2 就是一个理想 3-bit 模数转换器的量化特性，输入信号以横坐标表示，而数字输出以二进制的形式用纵坐标表示。可以看到，输入信号每变化一个 LSB，会使得数字输出码改变一位，因此 LSB 也被称为量化步长，表示在这个步长内所有的模拟输入信号都对应同一个数字输出。

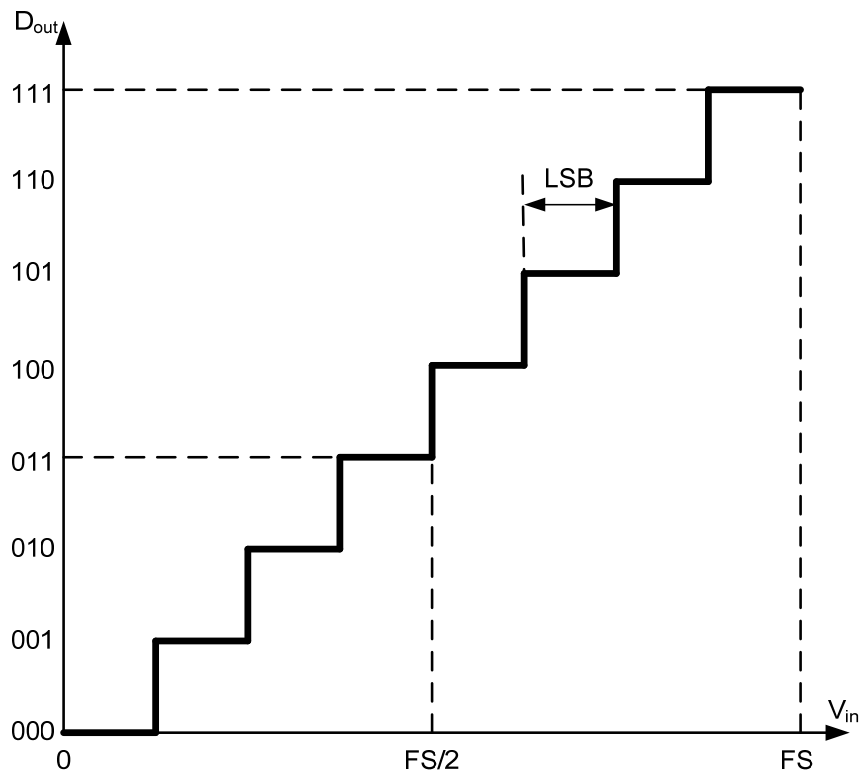


图 2.2 理想 3bit ADC 量化特性

2.2 模数转换器相关指标和参数

在实际电路中，由于各种非理想因素的存在，导致了各种各样的误差，因此不可能设计出完全理想的模数转换器。而且不同的应用领域对模数转换器有着不同的要求，在设计和应用模数转换器之前首先需要做的就是了解衡量模数转换器性能效率等规格的指标和参数，使得设计的模数转换器的各项性能可以满足如数字视频和音频等应用的数字信号处理的系统需求。

2.2.1 静态参数

(a) 积分非线性和微分非线性

积分非线性 (Integral Nonlinearity, INL) 是传输函数偏离理想直线的一种量度标准，而微分非线性 (Differential Nonlinearity, DNL) 则是各码偏离理想值的步长偏差，通常在评价模数转换器性能时则取其绝对值的最大值，以 LSB 为单位。如图 2.3 所示，虚折线为理想量化曲线，实折线为非理想量化曲线。

INL 与 DNL 的关系为

$$INL_k = \sum_{i=1}^{i=k} DNL_i \quad (2.1)$$

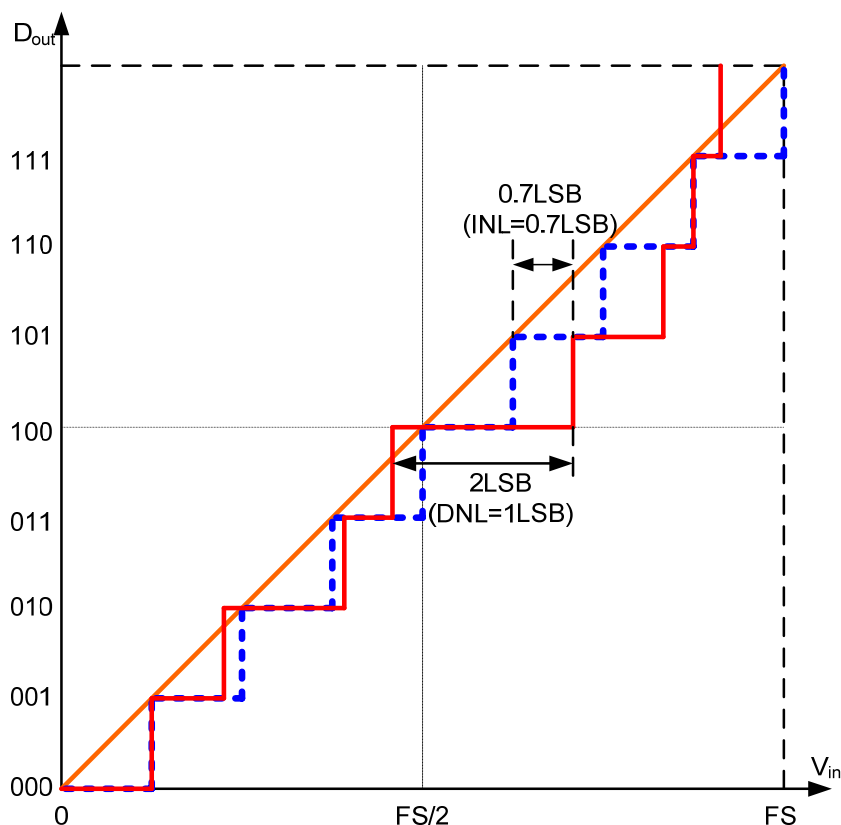


图 2.3 3bit ADC 非线性特性

(b) 单调性和失码

模数转换器的单调性是指在增大(或减小)输入值时,输出代码总是保持恒定或增加(恒定或减小)。若输入值从一定值提高到另一值时,输出代码反而降低,则系统就不是单调的。在实际应用中,系统会错误地认为已通过目标点,并随即开始回转,而且系统会始终保持局部极小值,并且不可能到达所需的目标点。

而失码则表示模数转换器的输出永远不能取得某一个或几个数字码,对于一些系统(比如闭环控制系统正在搜索某个位置)来说,这些误差可能是灾难性的。在失码的情形下,该系统将会无休止地一直搜索某个点。对模数转换器通常都会要求单调且没有失码,因此 DNL 需要小于 0.5 LSB。

2.2.2 动态参数

动态参数是指在频域中测量得到的参数。通常要得到动态参数需要在频域中通过对测试输出的数字码进行快速傅立叶变换(FFT)来测量和计算。衡量动态参数的主要指标有信噪比、信号与噪声谐波比、总谐波失真、无杂散动态范围和有效位。

(a) 信噪比 (Signal-to-Noise Ratio, SNR)

SNR 是 ADC 输出端信号能量与总噪声的能量之比，有

$$SNR = 10\lg\left(\frac{\text{Signal Power}}{\text{Total Noise Power}}\right) \quad (2.2)$$

由于量化存在一定的分辨率，所以 SNR 存在一个上限，为信号功率与量化噪声的比值，其中量化噪声(rms)为

$$A_e[rms] = \frac{A_{LSB}}{\sqrt{12}} = \frac{A_{REF}}{2^N \times \sqrt{12}} \quad (2.3)$$

其中 N 为 ADC 分辨率。

根据上式，可以得到模数转换器 SNR 的上限为

$$\begin{aligned} SNR_{\max} &= 10\lg\left(\frac{A_{REF}/2\sqrt{2}}{A_{REF}/2^N\sqrt{12}}\right)^2 \\ &= 20\lg(2^N \sqrt{\frac{3}{2}}) \\ &= 6.02N + 1.76 \text{ (dB)} \end{aligned} \quad (2.4)$$

以 10 位模数转换器为例，其所能达到的最高 SNR 为 61.96 dB。

(b) 信号与噪声谐波比 (Signal-to-Noise and Distortion Ratio, SINAD)

SINAD(也写作 SNDR)是 ADC 输出端信号功率与噪声、谐波功率和之比。SINAD 也就是信号能量和其余所有非信号能量的功率之比，因此是衡量一个 ADC 精度最重要的指标。

$$SINAD = 10\lg\left(\frac{\text{Signal Power}}{\text{Noise} + \text{Distortion Power}}\right) \quad (2.5)$$

(c) 无杂散动态范围 (Spurious-Free Dynamic Range, SFDR)

SFDR 是信号的能量与最大的谐波或者杂波能量的比值，有

$$SFDR = 10\lg\left(\frac{\text{Signal Power}}{\text{Largest Spurious Power}}\right) \quad (2.6)$$

可以看到，SFDR 实际上表示的是 ADC 的动态范围。

(d) 总谐波失真 (Total Harmonic Distortion, THD)

THD 是指在 ADC 输出信号频谱中，总谐波能量与信号能量的比值。有

$$THD = 10 \lg \left(\frac{\text{Total Harmonic Distortion Power}}{\text{Signal Power}} \right) \quad (2.7)$$

计算式为

$$THD = 20 \lg \left(\frac{\sqrt{A_{HD2[rms]}^2 + A_{HD3[rms]}^2 + \dots + A_{HDN[rms]}^2}}{A_{in[rms]}} \right) \quad (2.8)$$

(e) 有效位 (Effective Number of Bits, ENOB)

ENOB 表示有效位，由于与分辨率具有相同的单位，因此可以直观地表示 ADC 所能达到的有效精度，有

$$ENOB = \frac{SINAD_{dB,FS} - 1.76dB}{6.02} \quad (2.9)$$

其中 $SINAD_{dB,FS}$ 是满幅信号输入下得到的值。

2.2.3 性能系数

在实际应用中，模数转换器有着不同的精度、转换速度和功耗，为了在各种不同 ADC 中进行比较，可以通过性能系数(Figure-of-merit, FOM)来定义，最被广泛采用的性能系数定义为

$$FOM = \frac{P}{2^{ENOB} \times f_s} \quad (2.10)$$

其中 P 为功耗，ENOB 是有效位，而 f_s 是最大采样频率。FOM 的单位是 pJ/step。FOM 越小表示模数转换器的性能越好。

2.3 模数转换器测试原理

ADC 的测试有各种不同的方法[1-5]，为了得到一种普遍被接受的测试方法，IEEE 组织制定了一系列有关模数转换器的测试标准，如 IEEE STD 1057 和 IEEE 1241 等。下面对模数转换器的测试原理进行分析。

2.3.1 动态参数测试

由于现实中产生的所有信号中，正弦波所能达到的信号纯度是最高的，因此对于 ADC 而言，可以采用正弦波作为信号的输入。通常采用的测试平台架构如图 2.4 所示。

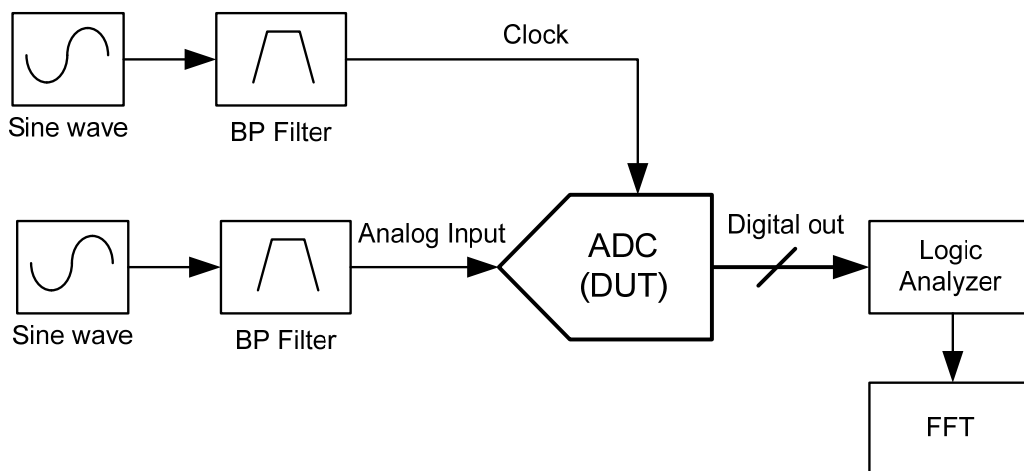


图 2.4 ADC 测试平台

信号发生器产生正弦波，经过带通滤波器后输入进待测 ADC，同时时钟信号也可以由信号发生器得到。其数字输出通过逻辑分析仪进行采样并且保存，之后对保存的结果进行 FFT 分析，根据 FFT 分析的结果，便可以得到 SINAD、SFDR、THD 和 SNR 等各种动态特性。FFT 分析和动态特性的计算通常由电脑程序来完成。

值得注意的是，根据快速傅里叶变换的性质，需要仔细地设置输入信号的频率以避免发生频谱泄露，因此需要根据 ADC 采样频率和采样点的个数来设置输入信号，输入信号应当满足式(2.11)的要求，其中 N 为采样的点数， M 一般为一个小于 $N/2$ 的质数。若是在欠采样条件下， M 则应当大于 $N/2$ 。

$$\frac{f_{in}}{f_s} = \frac{M}{N} \quad (2.11)$$

信号的幅度为应当接近满幅，但是通常为了防止信号过载，也可以略小于满幅，如 -1dB FS。

2.3.2 静态参数测试

静态参数的仿真可以用斜坡，考察从 $+V_R$ 到 $-V_R$ 线性变化的输入信号对应的数字码输出。一般在 1LSB 量程应当取到 10 到 20 个数字码。而在实际测试中可以采用“码密度法”，即采用经过适当滤波的正弦波输入信号，采集足够长时间的数字输出，考察各个码出现的次数，再将各个码值出现的次数进行统计并绘制图表。

在理论上，先采用三角波来进行分析。以分辨率为 10bit 为例，当输入略微过载的三角波时，由于信号过载，需要略去全 0 和全 1 的码值即 0 和 1023，统计出 1 到 1022 各码出现的总次数 M_T ，同时得到各码理论上应当出现的次数 h_T

$=M_T/1022$ ，再统计出各个码值出现的次数 h_i (i 为 1 到 1022)。输出码直方图如图 2.5 所示。

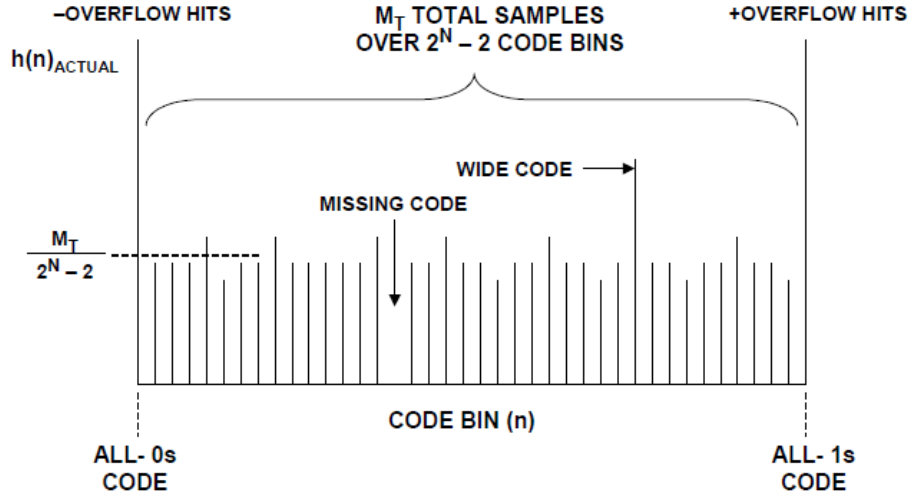


图 2.5 线性斜坡输入下直方图测试

此时，各码的 DNL 可以根据下式得到

$$DNL_i = \frac{h_i}{h_T} - 1 \quad (2.12)$$

同时可以得到 INL 为

$$INL_n = \sum_{i=1}^n DNL_i \quad (2.13)$$

得到的 INL 和 DNL 特性如图 2.6 所示。

由于实际中产生理想的三角波较为困难，所以在实际中一般采用经过适当滤波的正弦波来代替。但是采用正弦波的码密度分布呈现为 U 形，如图 2.7 所示。此时每个码的出现次数则由式(2.14)决定。

$$p_n = \frac{1}{\pi} \left[\sin^{-1} \left[\frac{V_{FS} (n - 2^{N-1})}{A \cdot 2^N} \right] - \sin^{-1} \left[\frac{V_{FS} (n - 1 - 2^{N-1})}{A \cdot 2^N} \right] \right] \quad (2.14)$$

由于各码出现的次数不同，所以要对码值加上 p_n 的权重，即

$$h_{n,Theoretical} = p_n M_T \quad (2.15)$$

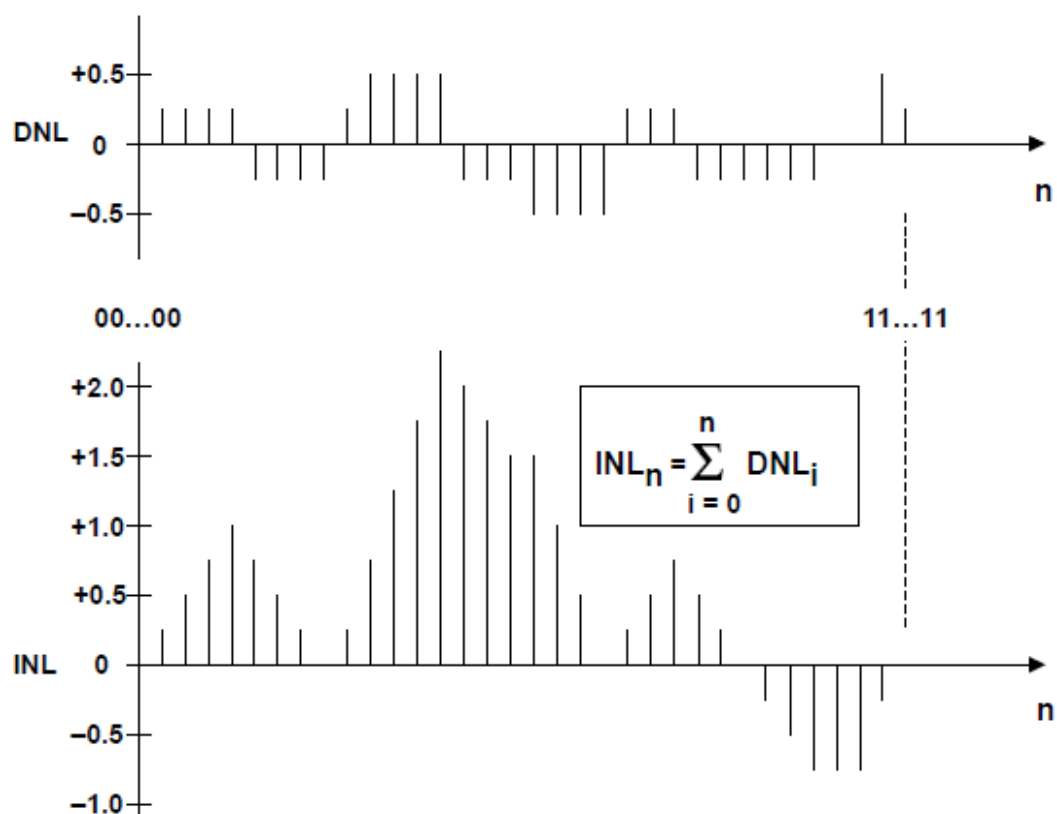


图 2.6 DNL 和 INL 示意

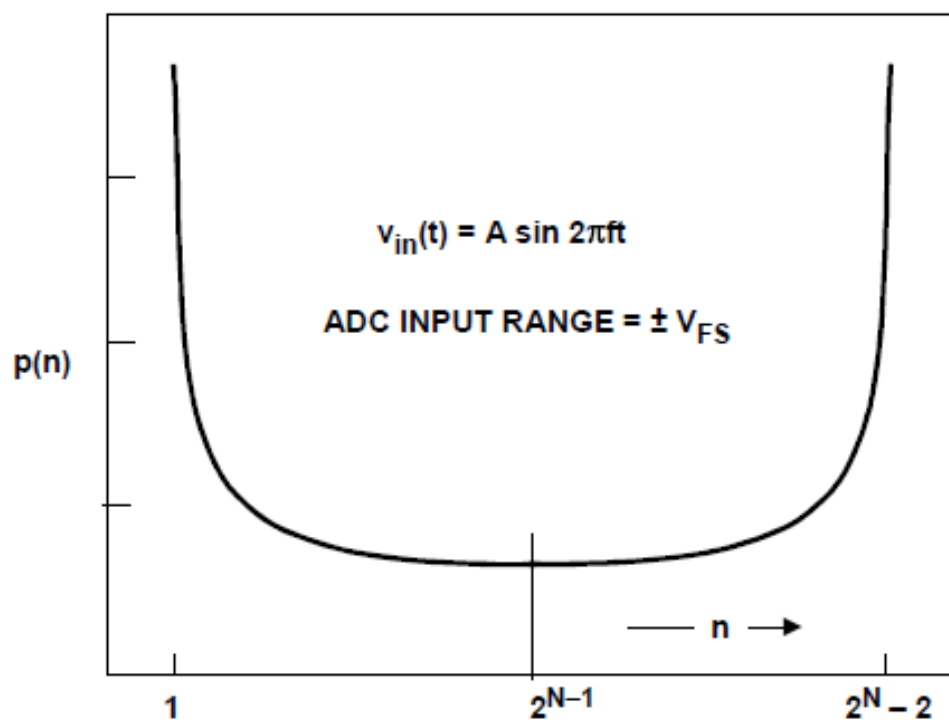


图 2.7 正弦波输入下码密度测试

从而有

$$DNL_n = \frac{h_{n,Actual}}{p_n M_T} - 1 \quad (2.16)$$

为了得到精确的结果，有几点需要注意：第一，输入的正弦波频率不应是采样频率的亚谐波；第二，正弦波的幅值可以稍微过载；第三，需要仔细调节正弦波的偏移以消除电路的直流偏移，从而获得对称的码输出；最后，正弦波的幅值可以根据直方图结果，由下式计算得到

$$A = \frac{V_{FS}}{\sin \left[\frac{M_T}{M_T + h_0 + h_{2^N-1}} \times \frac{\pi}{2} \right]} \quad (2.17)$$

此幅值可以代入式(2.14)计算得到各码出现次数。

此外，这种方法还可以测试 ADC 的等效输入噪声。为此，可以把输入接适当电阻，再加直流电压，记录一定量的输出码。这样，等效输出噪声就会表现为以对应码附近一定范围内的码值输出。假设噪声是高斯分布的，则可以根据峰峰噪声输出码直方图得到等效均方根噪声，如图 2.8 所示。

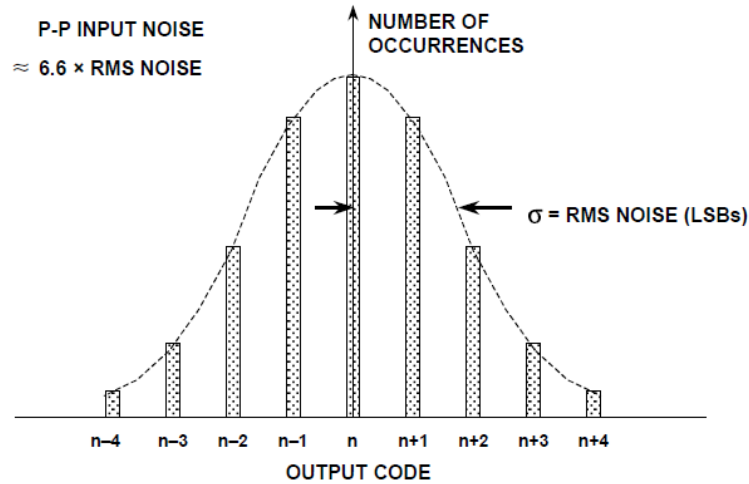


图 2.8 采用直方图法测试 ADC 噪声

按照上述方法，通过逻辑分析仪采集到一定数量的输出码后，可以用 Matlab 程序进行处理，直接得到结果。

2.4 模数转换器的分类

第一款单片集成的模数转换器产生于 20 世纪 70 年代，当时基本上是以全并行快闪(Flash)结构[6-11]和折叠型结构[12-20]为主。进入 80 年代之后，在低速高分辨率 ADC 中，逐次逼近型结构模数转换器(SAR，Successive

Approximation Routine)[21-23]以其较低的功耗和较高的精度得到了广泛的应用。随着微电子工艺技术的飞速发展,更先进的工艺得到了广泛的使用,从 90 年代至今,流水线结构 [24-28]和 Σ - Δ 过采样结构[29-34]的模数转换器在市场上称为了主流,同时也是研究的热点。

表 2.1 列出了各种常见的模数转换器结构速度、分辨率和功耗的对比以及各自的应用领域。

表 2.1 常用数模转换器对比

结构	转换速度	分辨率	功耗	典型应用
快闪式 (Flash)	250M~6G Hz	$\leq 8\text{bit}$	高	通信、雷达、高速数据读取
折叠式 (Folded)	50M~500M Hz	$\leq 10\text{bit}$	高	数据通信等
流水线 (Pipeline)	1M~200M Hz	8~14bit	中等	数据通信, 视频等
逐次逼近型(SAR)	50k~20M Hz	10~16bit	低	音频、自动控制、仪表等
过采样型 (Σ - Δ)	20k~20M Hz	$\geq 16\text{bit}$	中等	音频、通信、精密测试等

其中,流水线型模数转换器具有分段转换、流水作业的特点,可以在较高的速度、较低的功耗和较小的面积下实现较高分辨精度,同时便于系统集成。目前流水线模数转换器的转换速率可以达到 200 MSps 以上,分辨率可以达到 14 bit。对于数字视频领域所要求的精度和采样频率而言,流水线型模数转换器无疑是最佳的选择。并且, Pipeline 结构本身具有很高的设计自由度和灵活性,在实现精度、功耗、速度和面积等指标间的折衷优化等课题上有着广泛的研究空间。

参考文献

- [1] B. Razavi, Principles of Data Conversion System Design. Hoboken, NJ: Wiley-IEEE Press, 1994, p. 233.
- [2] Joey Doernberg, HAE-SEUNG LEE, David A. Hodges. Full-speed testing of A/D converters [J]. IEEE J. of Solid-state circuits, Dec. 1984, 19 (6): 820-827.
- [3] Methods and draft standards for the DYNamic characterisation and testing of Analogue to Digital converters, European project DYNAD - SMT4-CT98-2214 Programme Standards, measurements, and Testing.
- [4] Shinagawa, M., Akazawa, Y., and Wakimoto, T. Jitter analysis of high-speed sampling systems [J]. IEEE J. Solid-State Circuits, 1990, 25(1): 220-224.
- [5] Abramowitz, M. and Stegun, I.. Handbook of mathematical functions [M]. Dover publications, INC., New York, 1970.
- [6] M.Choi, A.Asad. A 6-b 1.3-Gsps AD Converter in 0.35 μm CMOS [J]. IEEE J. Solid-State Circuits, 2001, 36(12): 1847-1858

- [7] Y. Yoshii, K. Asano, M. Nakamura, et al. An 8b 100MS/s Flash ADC [C]. ISSCC Dig. Tech. Papers, San Francisco, CA: IEEE Solid-State Circuits Society, 1984, 58-59
- [8] K.J. McCall, M.J. Demler, M.W. Plante. A 6-bit 125MHz CMOS A/D Converter [J]. IEEE Custom Integrated Circuit Conference. Boston: IEEE Solid-State Circuits Society, 1992 1681-1684
- [9] D. Dalton, G. Spalding, H. Reyhani, et al. A 200-MSPS 6-Bit Flash ADC in 0.6- μ m CMOS [J]. IEEE Trans. Circuits Syst., 1998, 45(11): 1433-1444
- [10] M. Iuri, D. Declan. A 500-Msample/s 6-bit nyquist-rate ADC for disk-drive read channel applications [J]. IEEE J. Solid-State Circuits, 1999, 34(7): 912-920
- [11] S. Tsukamoto, W.G. Schofield, T. Endo. A CMOS 6-b 400-MSample/s ADC with error correction [J]. IEEE J. Solid-State Circuits, 1998, 33(12): 1939-1947
- [12] R. Van-de-Plassche, B. Peter. An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter [J]. IEEE J. Solid-State Circuits, 1988, 23(6): 1334-1344
- [13] R.E.J. Grift. An 8-bit video ADC incorporating folding and interpolating techniques [J]. IEEE J. Solid-State Circuits, 1987, 22(2): 944-953
- [14] X. Jiang, Y. Wang, A.N.J. Willson. A 200MHz 6-b Folding and Interpolating ADC in 0.5- μ m CMOS [C]. IEEE ISCAS. Monterey, CA: IEEE Circuits and Systems Society, 1998, S-8
- [15] K. Bult, A. Buchwald. An embedded 240-mW 10-b SO-MS/s CMOS ADC in 1- mm^2 [J]. IEEE J. Solid-State Circuits, 1997, 32(12): 1887-1895
- [16] G. Hoogzaad, R. Roovers. A 65mW IOB 40MSample/s BiCMOS Nyquist ADC in 0.8 mm^2 [C]. ISSCC Dig. Tech. Papers. San Francisco CA: IEEE Solid-State Circuits Society, 1999, 320-321
- [17] P. Vorenkamp, R. Roovers. A 12-b, 60-MSample/s cascaded folding and interpolating ADC [J]. IEEE J. Solid-State Circuits, 1997, 32(12): 1876-1886
- [18] F. Michael, S. Ben. A 400-Msample 6-b CMOS folding and interpolating ADC [J]. IEEE J. Solid-State Circuits, 1998, 33(12): 1932-1938
- [19] J. Bussche, K. Uyttenhove, E. Lauwers, et al. An 8-bit 200MSPS interpolating averaging CMOS AD converter [C]. IEEE Custom Integrated Circuits Conference. Orlando, Florida: IEEE Solid-State Circuits Society, 2002, 1-4
- [20] S.C. Heo, Y.C. Jang, S.H. Park, et al. An 8-bit 200 MSps CMOS folding interpolating ADC with a reduced number of preamplifiers using an averaging technique [C]. IEEE ASIC/SOC Conference. Washington DC: IEEE Solid-State Circuits Society, 2002, 80-83
- [21] S. Mukheerjee, C. Srinivasan, V. Pawar, et al. A 2.5V 10 bit SAR ADC [C]. International Conference on VLSI Design. Hyderabad, India: IEEE Computer Society, 1997, 525-526
- [22] Y.N. Sheing, J. Bahar, P. Zhang, et al. A low-voltage CMOS 5-bit 600MHz 30mW SAR ADC for UWB wireless receivers [C]. Midwest Symp. Circuits Syst.. Cincinnati, Ohio: IEEE Circuits and Systems Society, 2005, 187-190
- [23] B.P. Ginsburg, A.P. Chandrakasan. Dual scalable SOOMS1s, Sb time-interleaved SAR ADCs for UWB applications [C]. IEEE Custom Integrated Circuits Conference. San Jose: IEEE Solid-State Circuits Society, 2005, 403-06
- [24] Stephen H. Lewis and Paul R. Gray. A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter [J]. IEEE J. Solid-State Circuits, 1987, SC-22(6): 954-961.
- [25] Stephen H Lewis. Optimizing the stage resolution in pipelined, multistage,

- analog-to-digital converters for video-rate applications [J]. IEEE Trans. Circuits and Systems II: Analog and digital signal processing, 1992, 39(8):516-523.
- [26] K. Dyer, D. Fu, S. Lewis, and P. Hurst. Analog background calibration of a 10b 40Msample/s parallel pipelined ADC [C], IEEE International Solid-State Circuits Conference, February 1998, XLI: 142 – 143.
- [27] Won-Chul Song, Hae-Wook Choi, Sung-Ung Kwak, and Bang-Sup Song. A 10-b 20-Msample/s low-power CMOS ADC [J]. IEEE Journal of Solid-State Circuits, May 1995, 30:514 – 521.
- [28] Katsufumi Nakamura, Masao Hotta, L. Richard Carley, and David J. Allstot. An 85 mW, 10b, 40 Msample/s CMOS parallel-pipelined ADC [J]. IEEE Journal of Solid-State Circuits, March 1995, 30: 173 – 183.
- [29] B.E. Boser, B.A. Wooley. The design of sigma-delta modulation analog-to-digital converters [J]. IEEE J. Solid-State Circuits, 1989, 23(6): 1298-1308
- [30] B.P. Signore, D.A. Kerth, N.S. Sooch, et al. A monolithic 20-bit delta-sigma A/D converter [J]. IEEE J. Solid-State Circuits, 1990, 25(6): 1311-1316
- [31] B.E. Boser, B.A. Wooley. A 50-MHz multibit sigma-delta modulator for 12-b 2-MHz A/D conversion [J]. IEEE J. Solid-State Circuits, 1991, 26(12): 1746-1755
- [32] S. Rabii, B.A. Wooley. A 1.8-V digital-audio sigma-delta modulator in 0.8 μ m CMOS [J]. IEEE J. Solid-State Circuits, 1997, 32(6): 783-796
- [33] M. Dessouky, A. Kaiser. Very low-voltage digital audio Δ - Σ modulator with 88-dB dynamic range using local switch bootstrapping [J]. IEEE J. Solid-State Circuits, 2001, 36(3): 349-355
- [34] T. Shu, B. Song, K. Bacrania. A 13-b 10-Msample/s ADC digitally calibrated with oversampling delta-sigma converter [J]. IEEE J. Solid-State Circuits, 1995, 30(4): 443-452

第三章 流水线 ADC 关键技术分析

本章从介绍流水线模数转换器原理入手,介绍了实现高精度和低功耗所采用的技术方法。其次,对影响模数转换器性能的各种非理想因素进行细致分析,为低功耗高精度设计提供了指导思路。最后,设计了流水线模数转换器的 Matlab 系统级模型,并在模型中引入各种非理想因素,给出了模型的仿真结果。

3.1 流水线模数转换器

图 3.1 是一个典型的流水线模数转换器的结构。首先是通过一个采样保持电路对输入的模拟信号进行采样,并保持这个信号传递给第一级。第一级首先经子模数转换器量化得到 B bits 的数字输出,同时也将这个信号放大 2^{B-1} 倍,再根据量化结果对信号进行加法、减法或维持不变等处理后输出给下一级,依此类推。最后信号由最后第 N 级输出到一个 Flash ADC,产生最后的数字码,所有各级的数字输出经过适当的延时对准,传递给数字校正电路。而数字校正电路对这些数字信号进行逻辑运算,从而得到最终的数字量化结果。其中每一个流水级被称为余量增益放大电路(MDAC),是流水线模数转换器中的关键模块。

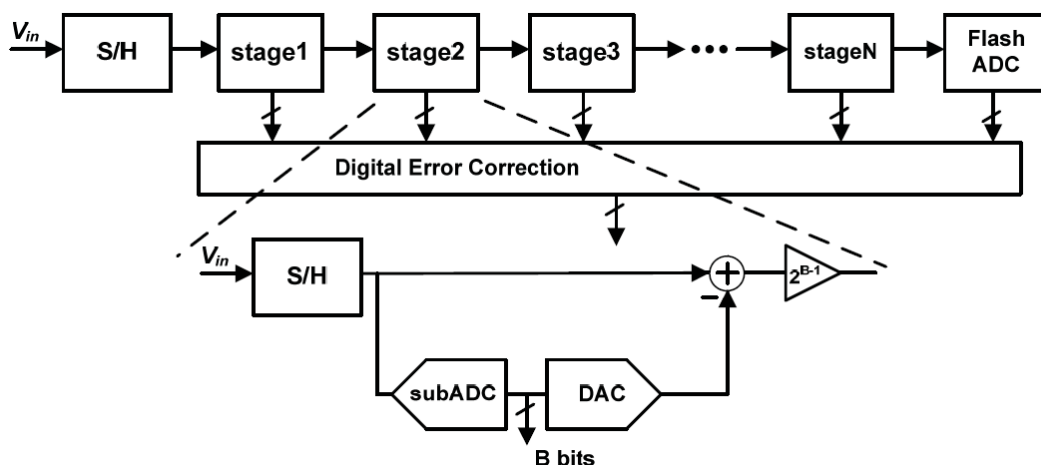


图 3.1 流水线模数转换器结构

通常对于模数转换器的设计而言,精度、速度和功耗是最基本的出发点。精度和速度这两个指标可以直观地反映一款模数转换器对于信号的处理能力和处理效率,而功耗则反映了模数转换器对于能量的利用效率。这三个指标决定了模数转换器的应用场合。

虽然对于模数转换器的要求总是希望有更高的精度和更快的速度以及更低

的功耗，但实际上，速度和分辨率都是和功耗相互制约的。提高了其中一个指标往往会以牺牲另外两个指标为代价。在此，再把第 2.2 节中性能系数列出如下

$$FOM = \frac{P}{2^{ENOB} \times f_s} \quad (3.1)$$

可以看到当速度一定时，为达到同样的性能系数，精度提高 0.5 bit 和功耗减少 40% 的效果是一样的。因此提高精度其实就是降低功耗，所以在低功耗模数转换器的设计过程中，首先应当采用各种方法来降低功耗，然后在低功耗的基础上，分析电路存在的影响系统精度的问题，从提高精度的方向入手，进一步提高电路的整体性能。

模数转换器的性能通常认为主要是受到工艺的限制，比如匹配性和本征频率。但是若不考虑工艺水平，仅仅从纯物理的角度来看，模数转换器也受到各种各样的限制。在信号频率比较低的时候，热噪声限制了所能获得的信噪比；而在较高的频率下，采样的信号也会由于时钟信号的抖动(jitter)产生不同程度的误差；而在更高频率，比如几十 GHz 级别时，比较器再生开关效应等不确定性则成了限制信噪比的主要因素；而在更遥远的将来，频率达到极高的程度时，其限制因素则会主要有海森堡测不准原理来决定了。

为了提高模数转换器的精度和降低功耗，人们进行了大量的研究工作。其中，对于提高精度而言，最成功的莫过于 Lewis 在 1992 年提出的每级 1.5bit 的数字校正算法[1]；而就降低功耗来说，最有效的则是级间运放共享技术[2]，下面的章节会分别进行介绍和详细分析。

3.2 高精度设计

对于流水线型模数转换器来说最重要的操作有两个：一个是信号的精确传递，另一个是信号的准确量化，因此实现高精度的技术和方法其出发点也正基于这两个方面[1-9]。

从信号的传递上来考虑，除了合理选择电容以实现匹配要求之外，较为常用的做法有三种：

- 1) 使用采样保持电路。采样保持电路的功能是将连续变化的模拟信号通过一定时间间隔的采样，转化为离散的模拟信号，再将信号保持一定的时间供后级量化和传递。这样一来，每一级量化单元接收到的实际上已经不是一个变化的信号，而是一个确定的信号，对确定的信号的传递和量化就相对来说容易很多了。值得注意的是，由于每一级 MDAC 都存在采样的功能，因此出于降低功耗的角度考虑，往往会省去前端专用的采样保持电路[3]，但是这往往对第一级 MDAC 的版图布局有很高的要求，

从而以牺牲一定的精度为代价。

- 2) 底极板采样技术[9]。由于控制对输入信号采样的 MOS 开关并不是一个理想的开关,它自身所具有的物理特性会导致沟道电荷注入和时钟馈通效应等。因此可以在采样电容的底极板与地之间增加采用略有超前的时钟控制的另一个开关,使得在采样结束时先于采样开关断开。由于此时底极板上的电荷失去泄放回路,因此保持恒定,不受采样开关沟道电荷注入和时钟馈通的影响。底极板采样开关本身也会产生电荷注入,从理论上来说,如果能保证开关两端完全对称,那么电荷注入也会是完全对称。
- 3) 采用栅压自举开关[5-7]。输入采样开关的导通电阻是一个与信号相关的量,输入信号的变化会引入非线性误差和相移误差,从而制约了电路的带宽与信噪比,也限制了信号的输入范围。而栅压自举开关是通过自举电路在开关导通的时候,保持开关的栅源电压为一个恒定且较高的电压,从而不受输入信号变化的影响,保证良好的线性度。在亚采样模数转换器中,甚至起到了决定整个电路性能的作用。

3.2.1 数字校正算法分析

从量化的角度来说,误差来源主要是比较器的失调,但是比较器的失调由于工艺和物理的限制是无法完全消除的。因此, Lewis 在 1992 年提出了每级 1.5bit 的数字校正算法,通过增加少量比较器等电路的代价可以很大程度上消除比较器失调的影响,从而极大地提高模数转换器的精度。

以图 3.1 所示结构的 10-bit 的流水线型模数转换器为例,一到八级用 MDAC 实现,其中每个 MDAC 包括一个 1.5 bit 子模数转换器(subADC),这个子模数转换器中有两个比较器,用于对上一级的输出结果进行量化,并输出相应的数字码,同时对数字码进行处理,控制子数模转换器(subDAC)。而最后一级是一个含有三个比较器的 2-bit Flash ADC,用于对最后一级(第八级)MDAC 的输出进行量化,并输出相应的数字码。

首先设 ADC 输入信号为 $-V_R$ 到 $+V_R$, 即满幅为 V_{FS} , 有 $V_{FS}=2V_R$ 。来看第一级,令第一级中的两个比较器阈值分别为 $-1/4V_R$ 和 $1/4V_R$, 不考虑比较器失调的情况下,第一级的量化可以用下面的式来表示,其中 Bin 表示二进制, Dec 表示十进制。

$$\begin{cases} -V_R \leq V_{in} < -\frac{1}{4}V_R & \Rightarrow d_1 = 00(Bin) = 0(Dec) \\ -\frac{1}{4}V_R \leq V_{in} < \frac{1}{4}V_R & \Rightarrow d_1 = 01(Bin) = 1(Dec) \\ \frac{1}{4}V_R \leq V_{in} < V_R & \Rightarrow d_1 = 10(Bin) = 2(Dec) \end{cases} \quad (3.2)$$

接着,根据第一级子模数转换器的量化结果,对输入信号进行加减法的操作,同时对余量放大一倍,从而得到第一级的输出也就是第二级的输入,为

$$V_{r,1} = 2V_{in} - (d_1 - 1)V_R \quad (3.3)$$

这里的 d_1 采用十进制,取值为 0、1、2。分别控制下级做减法、不做运算或做加法。即当 $d_1=0$ 时,下级需要加上 V_R ; 当 $d_1=2$ 时,下级需要减去 V_R ; 当 $d_1=1$ 时,则不做运算。

依次类推,可以得到以后的每一级量化和余量的表达式分别为

$$\begin{cases} -V_R \leq V_{r,i-1} < -\frac{1}{4}V_R & \Rightarrow d_i = 00(Bin) = 0(Dec) \\ -\frac{1}{4}V_R \leq V_{r,i-1} < \frac{1}{4}V_R & \Rightarrow d_i = 01(Bin) = 1(Dec) \\ \frac{1}{4}V_R \leq V_{r,i-1} < V_R & \Rightarrow d_i = 10(Bin) = 2(Dec) \end{cases} \quad (3.4)$$

和

$$V_{r,i} = 2 \left(V_{r,i-1} - \frac{d_i - 1}{2} V_R \right) \quad (3.5)$$

同样,在式(3.5)中 d_i 也采用十进制。在式(3.4)和式(3.5)中,当 $i=1$ 时,就成了第一级的情况,此时 $V_{r,0}$ 就是 V_{in} ,即采样保持电路的输出信号。

到了最后一级,即 2bit Flash ADC 中,则有三个比较器,在此,取比较器阈值分别为 $-1/2V_R$ 、0、 $1/2V_R$,则其对应的输入输出为

$$\begin{cases} -V_R \leq V_{r,8} < -\frac{1}{2}V_R & \Rightarrow d_9 = 00(Bin) = 0(Dec) \\ -\frac{1}{2}V_R \leq V_{r,8} < 0 & \Rightarrow d_9 = 01(Bin) = 1(Dec) \\ 0 \leq V_{r,8} < \frac{1}{2}V_R & \Rightarrow d_9 = 10(Bin) = 2(Dec) \\ \frac{1}{2}V_R \leq V_{r,8} < V_R & \Rightarrow d_9 = 11(Bin) = 3(Dec) \end{cases} \quad (3.6)$$

此时 9 组量化结果均已得到,为了方便下文分析,仍需要表示余量 $V_{r,9}$ 。为

此, 采取的方法是根据第 9 级的数字输出, 得到其对应的模拟值, 再用输入信号与此模拟值的差来表示本级的余量。即

$$V_{r,9} = V_{r,8} - \frac{d_9 - 2}{2} V_R \quad (3.7)$$

注意到, 此时 $0 < V_{r,9} < 1/2 V_R$ 。

根据每一级输出的粗量化值错位相加, 即可得到最终的量化结果, 如图 3.2 所示, 其中 $d_{i,1}$ 表示第 i 级二进制输出的高位, $d_{i,0}$ 表示第 i 级二进制输出的低位。

$$\begin{array}{cccccccc}
 & d_{1,1} & d_{1,0} & & & & & \\
 & & d_{2,1} & d_{2,0} & & & & \\
 & & & d_{3,1} & d_{3,0} & & & \\
 & & & & \cdots & & & \\
 & & & & & \cdots & & \\
 & & & & & & d_{8,1} & d_{8,0} \\
 + & & & & & & & d_{9,1} & d_{9,0} \\
 \hline
 b_9 & b_8 & b_7 & \cdots & b_2 & b_1 & b_0
 \end{array}$$

图 3.2 错位相加操作示意

如果将结果转化成十进制, 可以表示为

$$\begin{aligned}
 B &= 2^9 b_9 + 2^8 b_8 + \cdots + 2b_1 + b_0 \\
 &= 2^8 d_1 + 2^7 d_2 + \cdots + d_9
 \end{aligned} \quad (3.8)$$

下面来证明这种算法的正确性, 首先列出 10bit ADC 的标准量化关系, 如式 (3.9) 所示, 其中 V_{in} 为输入信号, D 为其量化后的数字输出。

$$\left(\frac{n}{2^9} - 1 \right) V_R < V_{in} < \left(\frac{n+1}{2^9} - 1 \right) V_R \Rightarrow D = n, (n = 0, 1, 2, \dots, 2^{10} - 1) \quad (3.9)$$

从图 3.3 中可以更清晰地看出这一关系, 图中横轴为输入信号, 纵轴为数字输出结果, 以 10 进制表示。值得注意的是, 每个量化区间为 1 LSB。

证明的思路是对比任一信号在标准量化关系中与在数字校正算法中的数字输出。若两数字输出相同, 即可证明此算法是正确的。

首先设任意输入值 V_{in} , 将 V_{in} 代入式 (3.3)、式 (3.5) 和式 (3.7), 并将 V_{in} 用每级输出的数字 d_i 和最后一级余量 $V_{r,9}$ 以及 V_R 来表示, 可以得到

$$V_{in} = \frac{1}{2^8} V_{r,9} + \left(\frac{2^8 d_1 + 2^7 d_2 + \cdots + 2d_8 + d_9}{2^9} - 1 \right) V_R \quad (3.10)$$

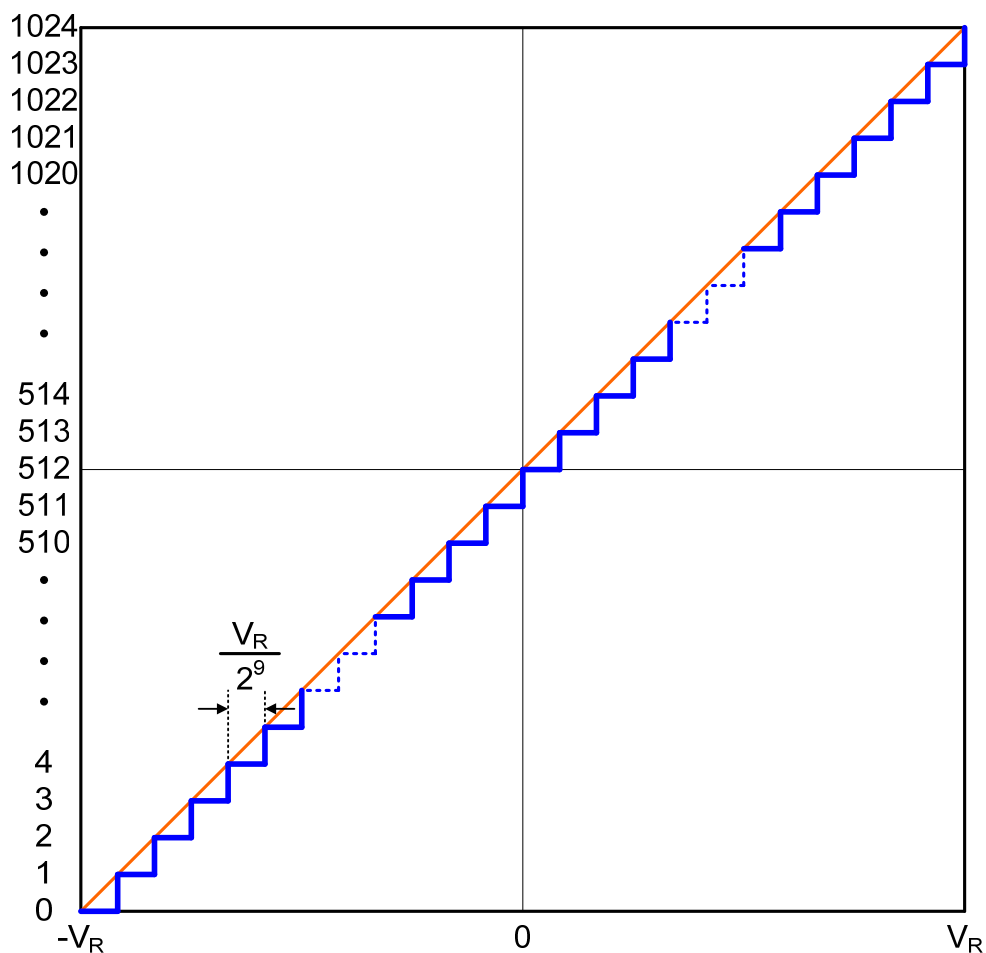


图 3.3 标准 10bit 量化曲线

如前所述，对于最后一级输出的余量 $V_{r,9}$ 有

$$0 < V_{r,9} < \frac{1}{2}V_R \quad (3.11)$$

考虑到 $V_{FS}=2V_R$ ，则有

$$0 < \frac{1}{2^8}V_{r,9} < \frac{1}{2^9}V_R \quad (3.12)$$

将式(3.10)代入式(3.9)，可以得到

$$D = n = 2^8 d_1 + 2^7 d_2 + \cdots + d_9 = B \quad (3.13)$$

从而可以证明，采用此数字校正算法获得的结果，和式(3.9)所代表的标准量化编码完全吻合。

3.2.2 子模数转换器失调误差校正

之所以要采用这种数字校正算法，由于比较器的设计中，失调是一个无法克服的问题。由于制造过程中的工艺偏差，比较器失调往往只能尽量减小而不能完全消除，而且减小失调往往需要较为复杂的电路和很大的面积来实现。这种数字校正算法可以以增加较少功耗为代价换取对子模数转换器较大失调误差的容忍，在不考虑其他误差影响时，如果子模数转换电路中比较器的失调 δ 在 $1/2 V_R$ 之内，通过这种算法，可以完全消除比较器失调对 ADC 的影响。这样一来，面积小、无静态功耗、结构简单的比较器就可以很容易地满足失调在 $1/2 V_R$ 之内地要求。

为了分析校正算法的作用，首先假设一个子模数转换电路中两个比较器的失调分别是 δ_1 和 δ_2 ，其量化阈值则变成了 $1/4V_R+\delta_1$ 和 $-1/4V_R+\delta_2$ 。为了直观地解释这个问题，可以观察图 3.4。图中横座标为第 i 级输入的信号，而纵座标为余量增益后第 $i+1$ 级输入的信号，在两个座标轴上都标注了相应区间所对应的数字输出。其中粗线表示没有失调时的情况，其对应的数字输出码写在图下方；而细线表示存在失调时的情况，其对应的数字输出用斜体写在图上方。出于方便分析考虑，先假设第 $i+1$ 级量化参考电压为理想值。

可以看到，当比较器存在失调 δ 时，阈值线(图中垂直的虚线)也随之在 X 轴上产生 δ 大小的偏移。观察其对应的数字输出码可以知道，当偏移的基准线落在“次级校正”的区间内时，若在第 i 级产生了误码，则会在第 $i+1$ 级的时候被完全消除，这时比较器失调所对应的范围为

$$\begin{aligned} -\frac{3}{8}V_R < \delta_{i,0} < 0 \\ 0 < \delta_{i,1} < \frac{3}{8}V_R \end{aligned} \quad (3.14)$$

而当基准线落在“传递校正”范围内时，则第 i 级的误差没有在第 $i+1$ 级完全消除，而是继续往下一级传递，即在第 $i+1$ 级产生 1 或者 -1 的数字输出误差，及 $-V_R$ 或 V_R 的余量误差。依此类推，当输入信号传递到最后一位时，由于最后一位用两个比较器来完成最后一位的输入校正数字，所以可以抵消前面所传递下来的所有失调误差，若最后一位量化器也存在失调，则只会在数据的最低位产生误差。这时比较器失调所对应的范围为

$$\begin{aligned} -\frac{1}{2}V_R < \delta_{i,0} < -\frac{3}{8}V_R \\ \frac{3}{8}V_R < \delta_{i,1} < \frac{1}{2}V_R \end{aligned} \quad (3.15)$$

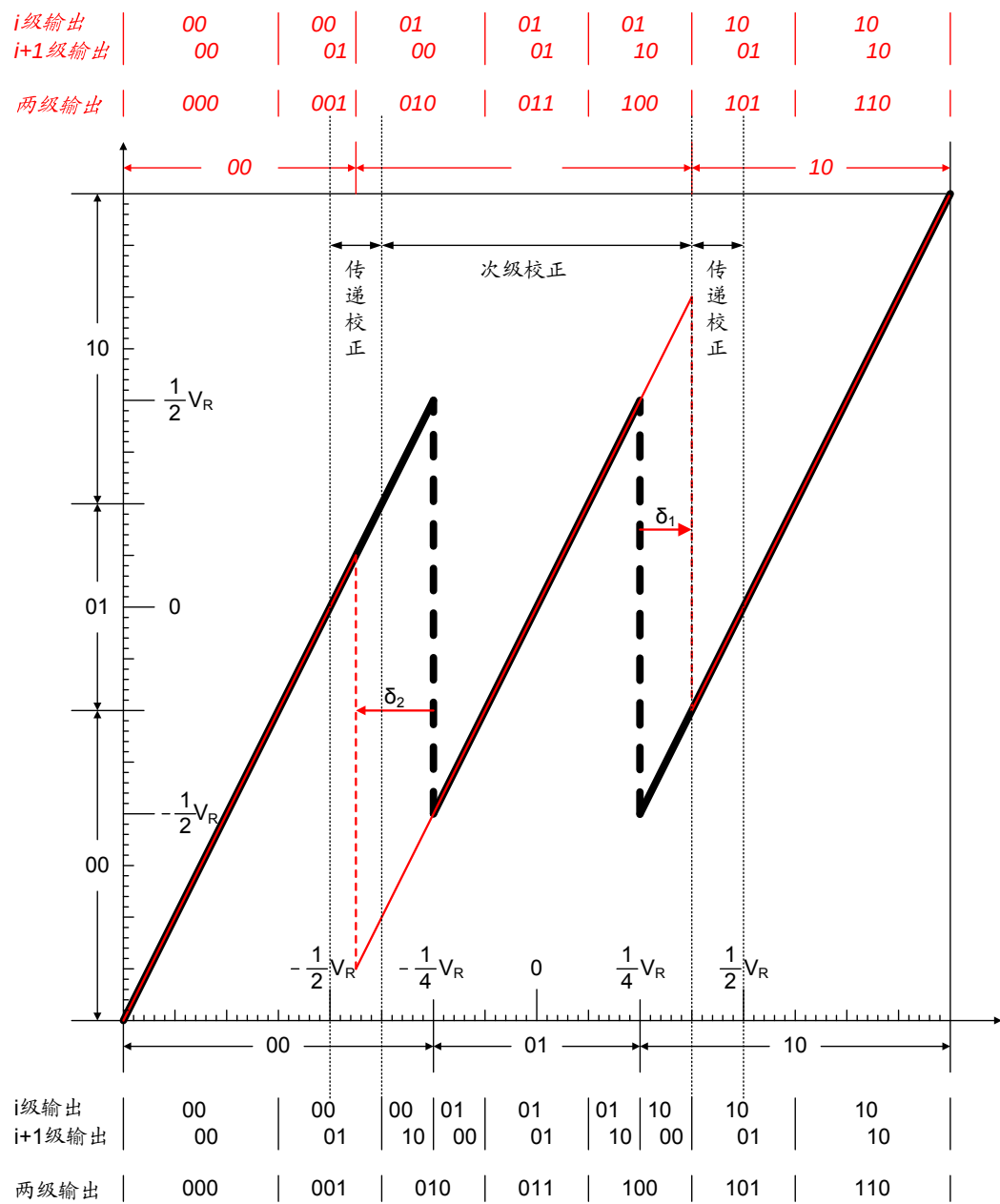


图 3.4 数字校正原理示意

此外，当基准线落在上述两个区域之外的部分，则会产生 2 bit 的误差，从而无法得到校正，但只要比较器设计合理，一般均可以完全满足失调小于 $1/2 V_R$ 。

值得注意的是，最后一级 2bit Flash ADC 中的比较器失调是无法校正的，所以对于其比较器的电路设计和版图均应当仔细，尽量减小其失调。但由于其仅影响最低位的误差，也不会对电路精度造成较大的影响。

上述分析也可以得出每级 1.5 位流水线 ADC 的一个重要的特点，即 DAC 的失调不会引入非线性误差，因此它具有固有的高线性度。而其他结构的流水线 ADC 如每级 2.5-bit、3.5-bit 等则不具备这种特性。

为了说明这个问题，首先将 DAC 的余量关系式表示如式(3.16)

$$V_{r,i} = 2(V_{r,i-1} - V_{DAC}) = 2\left(V_{r,i-1} - \frac{d_i - 1}{2}V_R\right) \quad (3.16)$$

在理想情况下，ADC 的量程是 $-V_R \sim V_R$ ，而 V_{DAC} 的三个取值分别为 $-1/2V_R$ 、 0 、 $1/2V_R$ ，比较器的参考电压是 $-1/4V_R$ 和 $1/4V_R$ 。如果 V_{DAC} 存在失调 ε ，则其三个取值分别为 $-1/2V_R - \varepsilon$ 、 0 、 $1/2V_R + \varepsilon$ (在全差分结构中，比较器的参考电压和 DAC 的参考电压关于原点对称)，此时，若设 $V_R' = V_R + 2\varepsilon$ ，并设新量程为 $-V_R' \sim V_R'$ ，则在新量程下，正确的量化参考电平应是 $-1/4V_R - 1/2\varepsilon$ 和 $1/4V_R + 1/2\varepsilon$ 。可见，DAC 的失调转变成了新量程下比较器参考电压的失调。根据上文的分析，在新量程下，只要满足关系式

$$\delta < \frac{1}{2}V_R' = \frac{1}{2}(V_R + 2\varepsilon) \quad (3.17)$$

就可以保证量化后的数字输出达到要求的精度。

3.2.3 底极板采样技术

在高速高精度模数转换器中，采样保持电路被广泛采用，其作用是使得第一级 MDAC 中传递的信号与 subADC 量化的信号最大程度上保持一致。最简单的采样保持电路可以由一个 NMOS 开关和一个电容构成，如图 3.5 所示。在采样阶段，ck 为高电平，开关导通，电容上的电压跟随输入信号而变化；而在保持阶段，ck 为低电平，开关关断，电容上的电压不再变化，保持前一刻的输入信号。

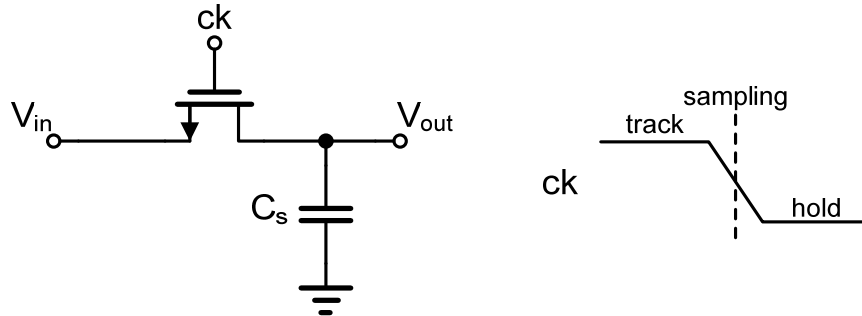


图 3.5 简单的采样保持电路

但是由于 NMOS 并不是一个理想的开关，它自身所具有的物理特性会导致沟道电荷注入和时钟馈通效应等，从而对这个简单的电路产生不利的影响，如图 3.6 所示。

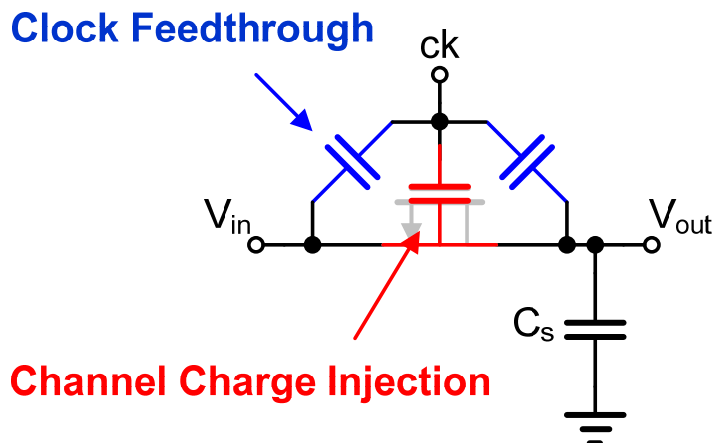


图 3.6 沟道电荷注入和时钟馈通效应

这两种主要误差来源，可以通过一种称为“底极板采样”的方法来消除。底极板采样技术的原理如图 3.7 所示。电容的上极板与信号相连，底极板连接到输出，在电容的底极板与地之间增加了另一个开关 $M2$ ，用一个比 ck 略有所超前的时钟 ck' 来控制。当采样的过程即将结束时， ck' 先变为低电平， $M2$ 首先关断，随后 ck 变为低电平， $M1$ 再断开。在这一过程中，由于底极板与地之间的通路首先被关断，底极板上的电荷因此失去泄放通路，从而保持恒定。此后当 $M1$ 关断时，沟道电荷泄放和时钟跳变仅能对上极板产生影响，从而可以很好地抑制这两种误差。

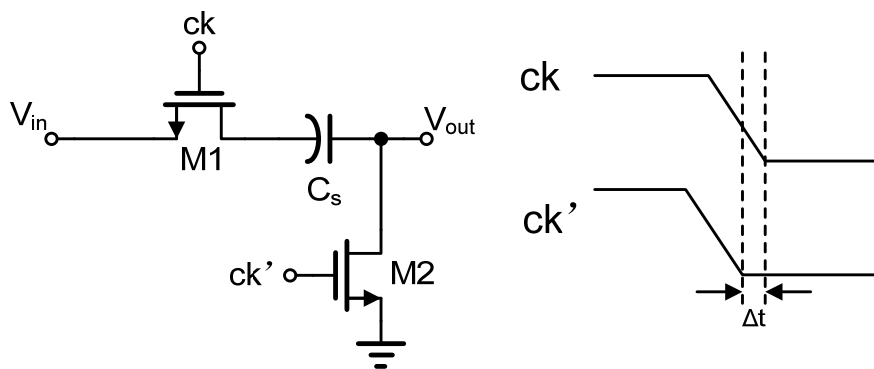


图 3.7 底极板采样技术

当然，在 $M2$ 关断的时候，也会对电容的底极板产生电荷注入和时钟馈通影响，但 $M2$ 的源漏接的是固定电压，仅会造成一个直流偏移，与输入信号无关，不会产生非线性的误差。

3.3 低功耗设计

由于运放消耗了模数流水线型模数转换器中绝大部分的功耗，目前用于流水

线结构的低功耗设计主要都是以降低运放功耗为出发点的，主要有两种思路：

而另一种思路则是利用了流水线结构每级都用半个周期来采样，半个周期进行信号保持和量化的特点，如图 3.8 所示。这样的工作方式使得运放仅在进行信号保持的半个周期内才是真正有效工作的，而在采样的半个周期里实际处于闲置状态，白白消耗了能量。而时分复用技术[4]和运放共享技术等出发点正是基于此。时分复用技术采用了双通道的 ADC，运放在两个通道之间分时复用，结合不同的采样设计，还能作为一个速度翻倍的单通道 ADC 使用。然而这种技术会导致两个通道之间的不匹配，这个缺点会很大地影响模数转换器的性能，因而需要采取各种技术来克服这一缺点。而运放共享技术则是在两级流水线结构中(通常是相邻两级)共同使用一个运放，成为目前降低功耗最常用最有效方法。

一种思路是采用各种技术来降低对运放建立精度的要求，从而降低运放的功耗。代表性的方法有逐级递减技术、伪差分结构、相关双采样技术等等[4,8]，其中的逐级递减技术是最简单有效的，从而得到了广泛采用，这是由流水线的原理所决定的，由于流水线结构依次将每级的余量放大再进行量化，这样一来，对于逐级误差的容忍程度也随之按比例增大。这样，运放的负载电容可以由于匹配要求放宽而逐级减小，同时运放有限的增益和带宽所导致的建立精度要求也会逐级放宽，这两种原因都会导致运放的功耗也随之按一定比例逐级递减，从而有效地利用能量，达到减小功耗的目的。

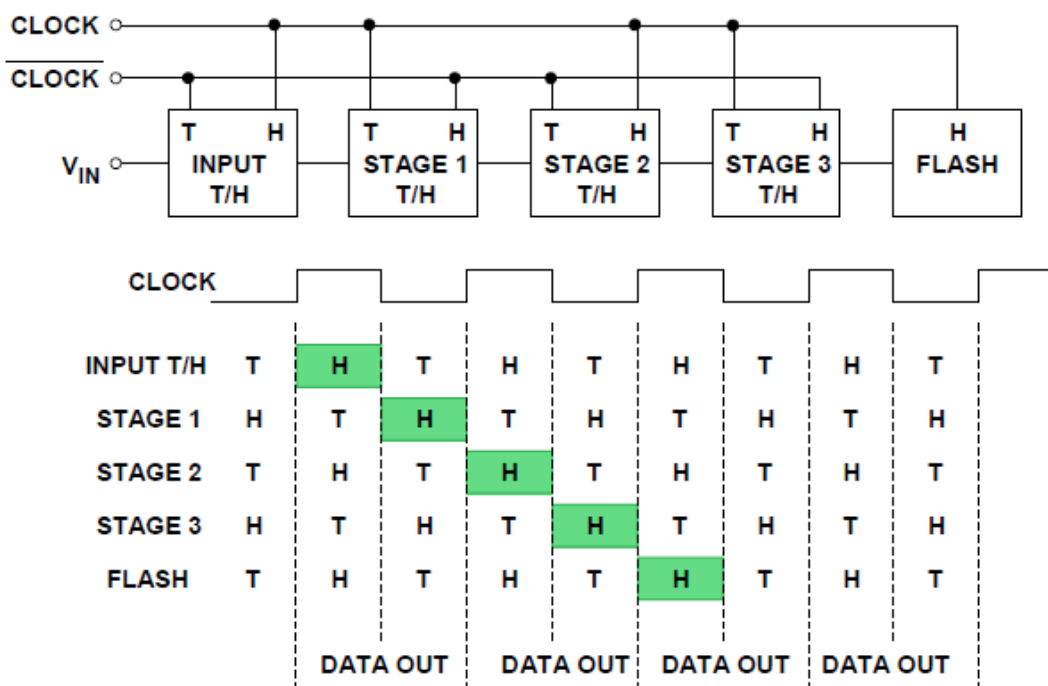


图 3.8 流水线操作时序示意

3.3.1 级间运放共享

具体实现相邻两级采用运放共享的电路结构如图 3.9 所示，两级之间通过运放共享开关轮流使用运放进行保持操作，各个开关的时钟控制信号分别如图中所标示。为了方便说明，把第一级称为 S-A，把第二级称为 S-B，当 $\Phi 2$ 为高电平时， $\Phi 1$ 为低电平时，S-A 进行保持操作，其输出 $V_{outA}=V_{inB}$ ，其中 V_{outA} 为 S-A 输出的余量放大信号，并作为 S-B 的输入信号 V_{inB} 。而当半个周期后， $\Phi 1$ 为高电平时， $\Phi 2$ 为低电平时，这时，运放为 S-B 信号的保持进行工作，将本级的余量增益信号输出，并作为后续一级的输入信号。对运放共享开关的控制上则采用双相非交叠时钟，以确保 $\Phi 1$ 和 $\Phi 2$ 控制的时钟信号不会同时导通，造成电容的电荷泄露。这样一来，每相邻的两级可以共用一个运放，从而降低了接近一半的运放功耗，有效地降低了整个系统的功耗。

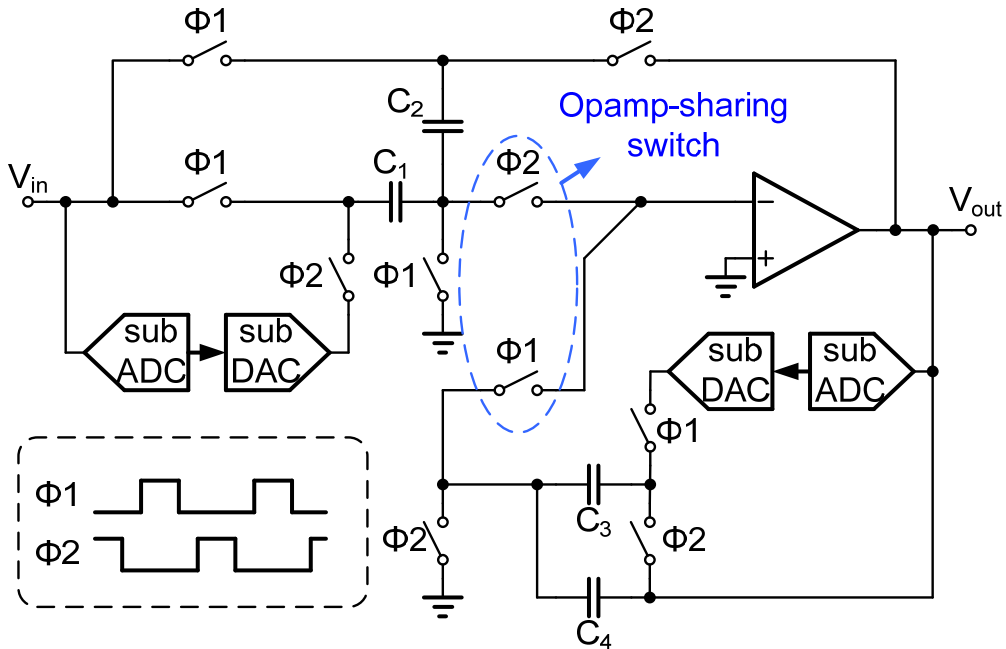


图 3.9 相邻两级之间运放共享结构示意图

3.3.2 逐级递减

由于各级流水线都对余量信号放大后再进行量化，因此存在等效输入误差逐级减小的现象。以图 3.1 中的流水线结构为例，采样保持电路和各级 MDAC 的误差都会对整个 ADC 的误差产生贡献，设采样保持电路的增益为 1，且误差等效到信号输入端为 e_{SH} ，各级 MDAC 的增益为 G_i ，且误差等效到本级输入端为 e_i ($i=1,2,3,4,\dots$)，再假设这些误差均是彼此独立，则最坏情况下，ADC 的等效输入误差为

$$e_{in} = e_{SH} + e_1 + \frac{e_2}{G_1} + \frac{e_3}{G_1 G_2} + \frac{e_4}{G_1 G_2 G_3} + \dots \quad (3.18)$$

可以看到，由于各级的分辨率依次减小，所要求的电容匹配精度也随之逐级减小，因而电容值也逐级减小，这样一来，各级 MDAC 中运放的负载也同时按比例缩小，由于单级运放的负载和功耗通常为正比，所以运放功耗也可以按比例缩小。而且由于负载减小，不但对运放的速度要求逐级降低，对于运放的增益要求也逐渐降低，从而进一步降低功耗。

若使得每级等效到 ADC 输入的噪声相同的话，理论上对于每级 1.5bit 结构，缩小因子应当为 0.5。但是如果按照 0.5 的比例缩小，那么在最后几级中会出现几 fF 甚至更小的电容，这显然是不合理的，因为采用如此小的电容会增大与寄生电容匹配的难度，因此这个比例因子往往需要根据噪声和匹配等要求进行折中后确定，并且减小到一定程度之后在随后的流水级中不再继续减小。

3.4 非理想因素分析

3.4.1 电容误差

在 ADC 设计中，电容的误差是需要首先考虑的。电容对电路的影响主要有噪声和匹配两个方面。

由于作为采样开关的 MOS 管具有导通电阻，从而会产生热噪声，其功率谱密度为

$$\overline{dv_n^2} = 4kTRdf \quad (3.19)$$

其中，k 是波耳兹曼常数，其值为 1.38×10^{-23} J/K，T 为温度，单位为 K，室温下取 300K，R 是采样开关的导通电阻。导通电阻和采样电容构成了一个低通滤波器，噪声也被低通滤波器进行滤波，因此，通过电阻噪声频谱密度被低通滤波函数相除积分得到电容上的均方根噪声为

$$\overline{V_n^2} = 4kTR \int_0^\infty \frac{1}{1 + (2\pi RCf)^2} df = \frac{kT}{C_s} \quad (3.20)$$

可以看到，这个值与电阻的大小无关，因为大的电阻噪声虽然会变大，但是带宽会减小，其积分值不变。因此，若要降低输入噪声，只要增大电容就可以了。由式(3.20)可知，电容取 1pF 时噪声约为 6.4×10^{-5} V_{rms}。对于噪声的要求一般是要远小于量化噪声。

而匹配存在两种情况，一种是受工艺的限制，实际的电容和所要求的理想电容之间总会有误差，这个误差是由工艺参数所决定的，在半导体制造工艺中，需

要根据给出的精度范围，决定所采用的电容尺寸，从而将误差控制在可接受的范围内。

假设误差均在 C_S 上，其误差为 ΔC ，单位为 F/F ，则有

$$\frac{C_s}{C_f} = 1 + \Delta C \quad (3.21)$$

从而对余量误差产生影响，有

$$V_\varepsilon = \begin{cases} \Delta C V_i + \Delta C V_R, & V_i < -\frac{1}{4}V_R \\ \Delta C V_i, & -\frac{1}{4}V_R < V_i < \frac{1}{4}V_R \\ \Delta C V_i + \Delta C V_R, & \frac{1}{4}V_R < V_i \end{cases} \quad (3.22)$$

当 V_{in} 在 $-V_R/4$ 或 $V_R/4$ 时，得到最大的余量误差为 $\pm \frac{3}{4}\Delta C V_R$ ，而对于一个每级 1.5bit 的 ADC 来说，各级误差对整个 ADC 的影响逐级下降一半，所以，要保证差分非线性不大于 0.5LSB，则要有

$$|V_{\varepsilon i}| < \frac{V_R}{2^{N-i}} \quad (3.23)$$

其中 i 表示第 i 级，当 $i=0$ 时则为采样保持电路模块。若仅考虑电容匹配带来的误差时，各级精度必须满足

$$\frac{3}{4}|\Delta C_i|V_R < \frac{V_R}{2^{N-i}} \quad (3.24)$$

值得注意的是，在晶圆代工厂给出的工艺参数中，电容匹配误差往往表示为

$$\text{Sigma} = \text{Slope} / \text{Area} \quad (3.25)$$

其中 **Sigma** 为匹配误差，单位为%，**Slope** 是与工艺有关的参数，单位为 $\% \times \mu\text{m}^2$ ，比如对于 SMIC 0.18- μm 工艺中的 MIM 电容，其值为 64.6 $\% \times \mu\text{m}^2$ ，**Area** 是芯片面积，单位为 μm^2 。此时电容失配定义为

$$\text{Sigma} = \frac{C_1 - C_2}{(C_1 + C_2) / 2} \quad (3.26)$$

这与上文分析中采用的失配定义略有差异，但差异不大，从而不影响对电容取值的分析结果。

另一种匹配要求则是采样电容同其他寄生电容之间的匹配，因为寄生电容也会参与采样保持电荷的转移过程，因而寄生电容上储存的电荷与信号相关，会增

加电路的非线性，所以一般要求采样电容远远大于寄生电容。电路里的寄生电容主要是各管的寄生电容，其值根据管子的宽长比不同，大约在十几到几百 fF 之间。

从以上分析可以看到，对于电容误差的选择需要兼顾满足噪声和失配的要求。目前，由于工艺条件的限制，一般流水线中前几级满足工艺匹配要求的电容，其噪声已经远远小于量化噪声，因此其工艺匹配是影响电容取值的最主要因素，一般满足了工艺匹配的要求，也就能满足其他方面的要求。同时，若单考虑工艺匹配的要求，随着对电容失配要求的逐级递减，到后面几级的时候，所需要的电容值已经很小，此时噪声和与寄生电容的匹配便会成为影响精度的主要因素，所以实际采样电容不可能是按照一半逐级减小，而是按照根据匹配和噪声共同的要求按照一定的比例逐渐减小。此外，电容的选取还和形状有较大关系，一般应尽量选择接近正方形，可以有最大的面积周长比，从而提高工艺精度。国内外许多研究人员提出了各种各样的技术来克服电容不匹配对电路的影响[10-18]。

3.4.2 运放增益误差

在采样保持电路和 MDAC 中，运放的有限增益会对采样的精度有直接的影响。在采样保持电路中，根据电荷守恒原理，输入输出的关系为

$$V_{out} \approx \frac{C_s}{C_f} \left(1 - \frac{1}{Af} \right) V_{in} \quad (3.27)$$

其中 $f = \frac{C_f}{C_f + C_s + C_p}$ ，为电路的反馈系数， C_p 为运放输入端总的寄生电容。

为了满足精度指标，增益误差需要满足一定的精度要求，如

$$\frac{1}{\beta A_0 + 1} \leq \frac{1}{2^{N+1}} \quad (3.28)$$

其中 β 为反馈因子，是采样电容和保持电容的比值， N 为位数。综合考虑功耗、芯片面积等原因，在采样保持电路中 β 一般取 0.8~1.2，而在 MDAC 中需要根据每级的分辨率来决定。

3.4.3 信号建立精度

对于运放而言，还要求足够的压摆率(SR)和单位增益带宽(GBW)，使电路在有限的时间(一般为半个时钟周期)内，将采样得到的信号在保持阶段建立到给定的精度，这个时间由模数转换器的速度要求决定，而精度则由分辨率决定，对于通常采用的双相非交叠的时序而言，实际上用于放大保持的时间还要小于半个周

期。

为了预估设计指标,通常假设在保持过程中开始时由 **SR** 决定,之后由 **GBW** 决定,有

$$T_{set,tol} = T_{set,SR} + T_{set,GBW} \quad (3.29)$$

其中 $T_{set,tol}$ 是总的建立时间,而 $T_{set,SR}$ 和 $T_{set,GBW}$ 分别是由 **SR** 和 **GBW** 决定的建立时间,一般 $T_{set,SR}$ 和 $T_{set,GBW}$ 可以按照一定的比例(如 3:5)来进行预估性计算。

对于采样保持电路的运放而言,由于每周期有半个周期信号归零,其最大信号是由零到 V_{REF} ,而对于 **MDAC** 中的运放,则最大信号变化是在 $+V_{REF}$ 和 $-V_{REF}$ 之间变换。以套筒式运放为例,信号在 **SR** 过程的最大建立时间由下面两式分别表示

$$\text{采样保持:} \quad T_{set,SR} = \frac{V_{ref}}{SR} \quad (3.30)$$

$$\text{MDAC:} \quad T_{set,SR} = \frac{2V_{ref}}{SR} \quad (3.31)$$

则对于采样保持电路而言,运放的 **SR** 应当满足

$$SR = \frac{I}{C_L} > \frac{V_{REF}}{T_{set,SR}} \quad (3.32)$$

同时对于 **MDAC** 而言,则有

$$SR = \frac{I}{C_L} > \frac{2V_{REF}}{T_{set,SR}} \quad (3.33)$$

而由 **GBW** 决定的建立时间为

$$T_{set,GBW} = (N+1) \frac{2}{\omega_u} \ln 2 \quad (3.34)$$

所以运放的 **GBW** 应当满足

$$GBW = \frac{2I}{V_{dsat} C_L} > (N+1) \frac{2}{2\pi T_{set,GBW}} \ln 2 \quad (3.35)$$

SR 和 **GBW** 的要求应当同时满足。但是值得注意的是,建立精度未必越高越好,这是因为对于各种结构的运放而言,**GBW** 和 **SR** 一般都和电流成正比,见式(3.33)和式(3.35)。所以如果对建立时间要求过于严格,通常都需要通过增加运放的工作电流来实现,这样反而造成功耗的浪费。尤其对于低功耗设计而言,选取适当的指标以达到性能与功耗的合理平衡是需要着重考虑的。

3.4.4 流水线级误差分析

一个理想流水线级的传递函数为

$$V_{out} = 2^{B-1}V_{in} - \sum_{j=1}^{j=n} m_j V_R \quad (3.36)$$

参考之前的分析, 若考虑电容失配、运放失调、运放有限增益和寄生电容、运放有限建立时间、参考电压误差, 则 MDAC 中这些确定性误差(不考虑运放共享误差)均表示在式(3.37)中[19], 有

$$V_{out,d} = \left(2^{B-1}V_{in} - \sum_{j=1}^{j=n} m_j V_R + \frac{\sum_{j=1}^{j=n} \Delta_j}{C_f} V_{in} - \frac{\sum_{j=1}^{j=n} m_j \Delta_j}{C_f} V_R + 2^{B-1}V_{OS} \right) \frac{1}{1 + \frac{1}{Af_{fb}}} (1 - e^{-\omega_{-3dB}^s t_s}) \quad (3.37)$$

$$\approx \left(2^{B-1}V_{in} - \sum_{j=1}^{j=n} m_j V_R + \frac{\sum_{j=1}^{j=n} \Delta_j}{C_f} V_{in} - \frac{\sum_{j=1}^{j=n} m_j \Delta_j}{C_f} V_R + 2^{B-1}V_{OS} \right) \left(1 - \frac{1}{Af_{fb}} - e^{-\omega_{-3dB}^s t_s} \right)$$

其中 B 为每级 B bit 结构; V_{in} 是输入信号; m_j 为子模数转换器控制系数, 依输入不同取 $-1, 0, 1$; $n=2^{B-1}-1$ 为单位电容的个数; Δ_j 是采样电容与反馈电容失配差值, ϵ 为实际 V_R 与理想 V_R 的比值; V_R 则是参考电压; 而 A_0 、 f_{fb} 、 ω_{-3dB} 和 t_s 分别为运放的直流增益、闭环反馈系数、 $-3dB$ 带宽和建立时间。

由式(3.37)可以看到, 表达式为三项的乘积, 第一项中前两个为理想值, 接着两个为电容误差, 最后一个为运放 Offset; 乘积项中第二项为有限增益误差; 最后一项为有限 GBW 的误差。而对于这些种种误差的改进和消除技术, 都是 ADC 领域研究的热点问题。

3.4.5 时钟抖动

除了上文介绍到的系统误差之外, 时钟抖动(Jitter)的影响在高速高精度模数转换器中也是需要着重考虑的, 如图 3.10 所示, 时钟抖动会使采样得到的信号偏离理想值, 从而引入误差。

因为时钟抖动恶化的信噪比为

$$SNR_{jitter} = -20 \lg(2\pi f_{in} \Delta t_{rms}) \quad (3.38)$$

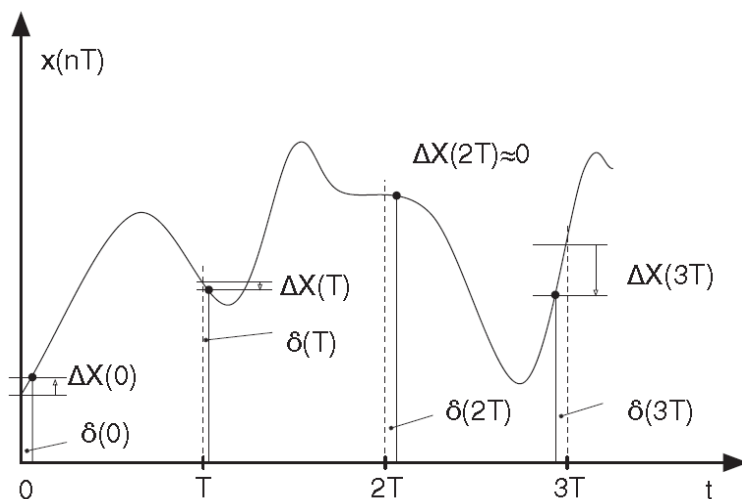


图 3.10 采样时钟抖动造成的误差

其中 Δt_{rms} 为时钟抖动，将这个信噪比折合为等效分辨率，再经过计算可以得到对于时钟抖动的要求为

$$\Delta t_{rms} < \frac{0.13}{2^N f_{in}} \quad (3.39)$$

可以看到，输入信号频率每增加一倍，时钟抖动就应当减小一半；而分辨率每增加一位，时钟抖动也应当减小一半。在不同的信噪比和输入信号频率条件下对钟抖动的要求如图 3.11 所示。

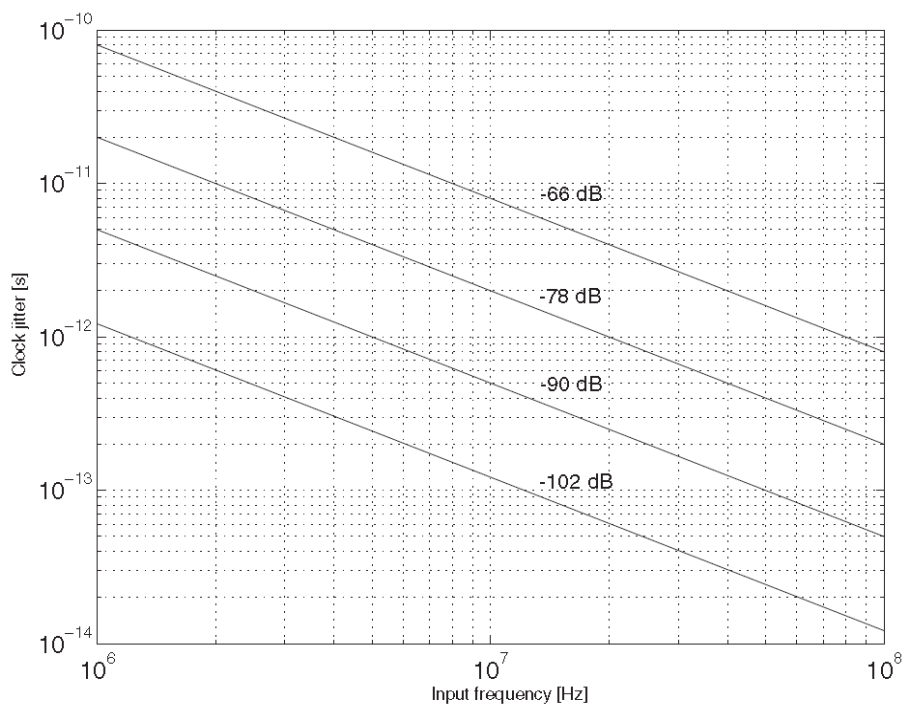


图 3.11 不同精度和输入信号频率下对时钟抖动的要求

3.5 Matlab 行为级模型

如前所述,模数转换器的设计中存在着许多需要考虑的设计因素,这些因素往往彼此之间也存在着各种各样的影响,从而对于电路设计有很大的挑战。忽视其中任何一个因素都有可能导致整个工作功败垂成。因此,很有必要在行为级层面上,搭建流水线模数转换器的模型,从而更深刻地理解电路和系统。同时,通过观察各种非理想因素对行为级模型的影响,指导具体的电路设计工作。

本论文采用 Matlab 软件首先搭建了一个理想的 10bit 流水线模数转换器行为级模型,模型中采用了每级 1.5-bit 数字校正的结构,如图 3.12 所示。

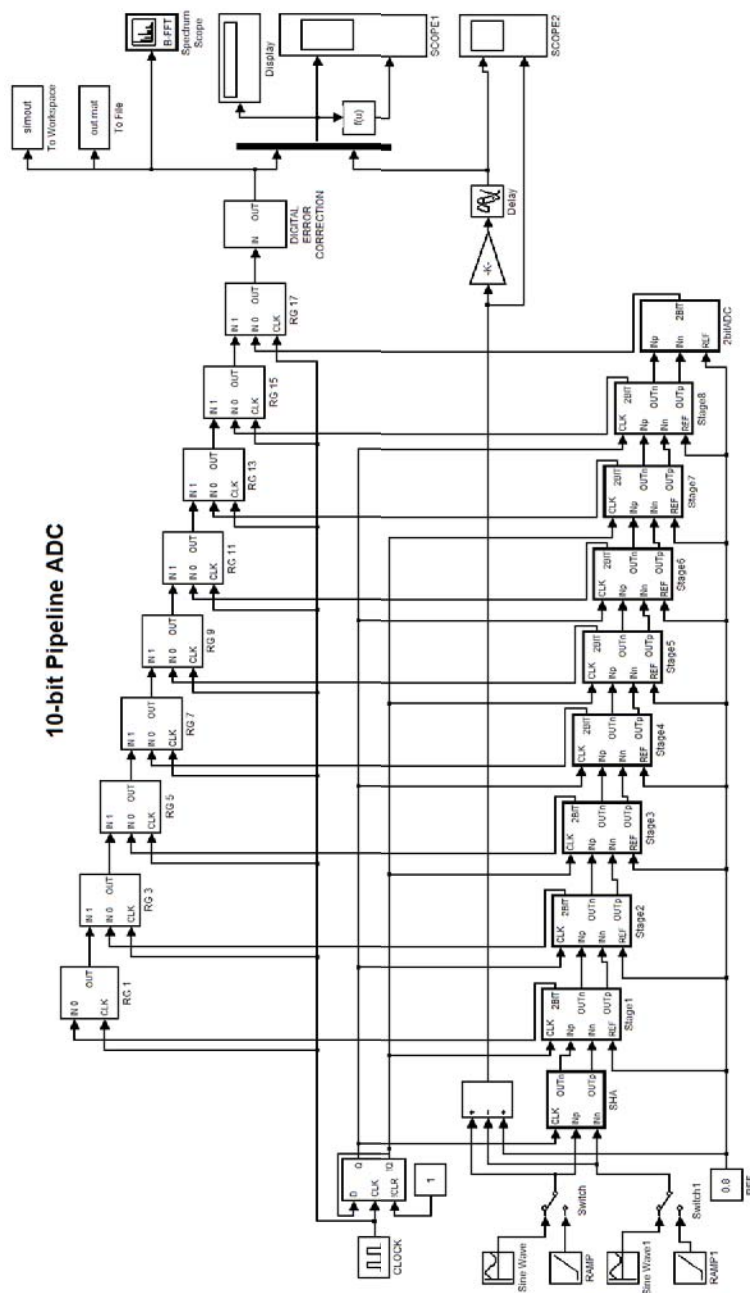


图 3.12 流水线模数转换器行为级模型

从图中可以看到，模型中模数转换器由一个采样保持电路和八级 MDAC 电路以及一个 2-bit Flash ADC 构成了流水线模数转换器的信号传递和量化主体。左下方可以设置差分形式的输入信号，信号可以设置为正弦波或者是斜波。各级的量化结果被送到寄存器中，经过一定的延时被送入数字校正模块，为了方便对得到的数字输出结果进行观察和处理，这个数字校正模块除了完成错位相加的操作之外，还同时将二进制码转换成了十进制输出。当设置输入信号为满幅正弦波时的结果如图 3.13 所示。其中输入信号经过一定比例放大和延时，用来和输出直观地对比。

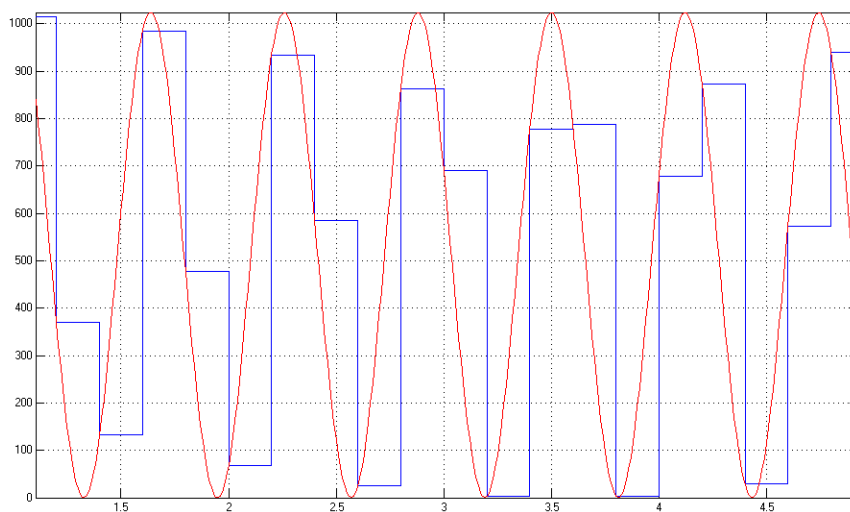


图 3.13 输入信号与量化结果

此外，量化的结果还可以直接进行 FFT 运算，得到频谱分析曲线，同时保存为文本文件和 Matlab 的工作空间内，用于进行后续的处理。

完成理想的行为级模型搭建后，需要在模型中添加各种非理想因素。首先是采样保持电路，其模型结构如图 3.14 所示。其中引入了时钟抖动、采样电容噪声、运放噪声、增益误差等非理想因素，这些非理想因素都是结合实际电路来进行设置的。如电容噪声就是按照 kT/C 来计算的，仿真中，只要填入电容的值，就可以自动计算出噪声，而电容失配造成的增益误差也是根据反馈电容与采样电容之间的比值得到的。

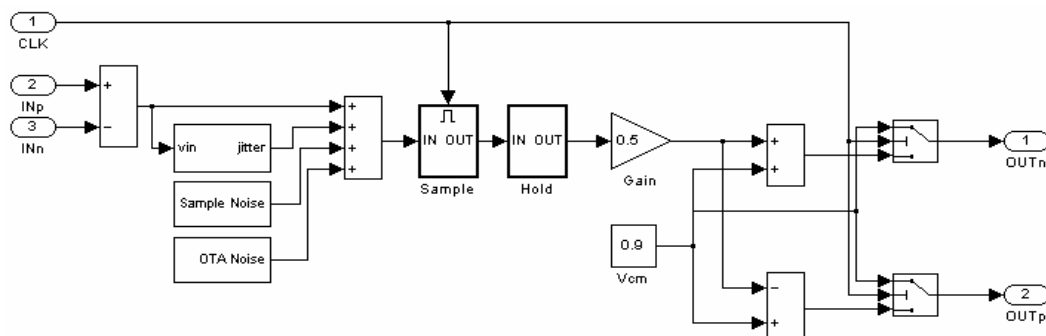
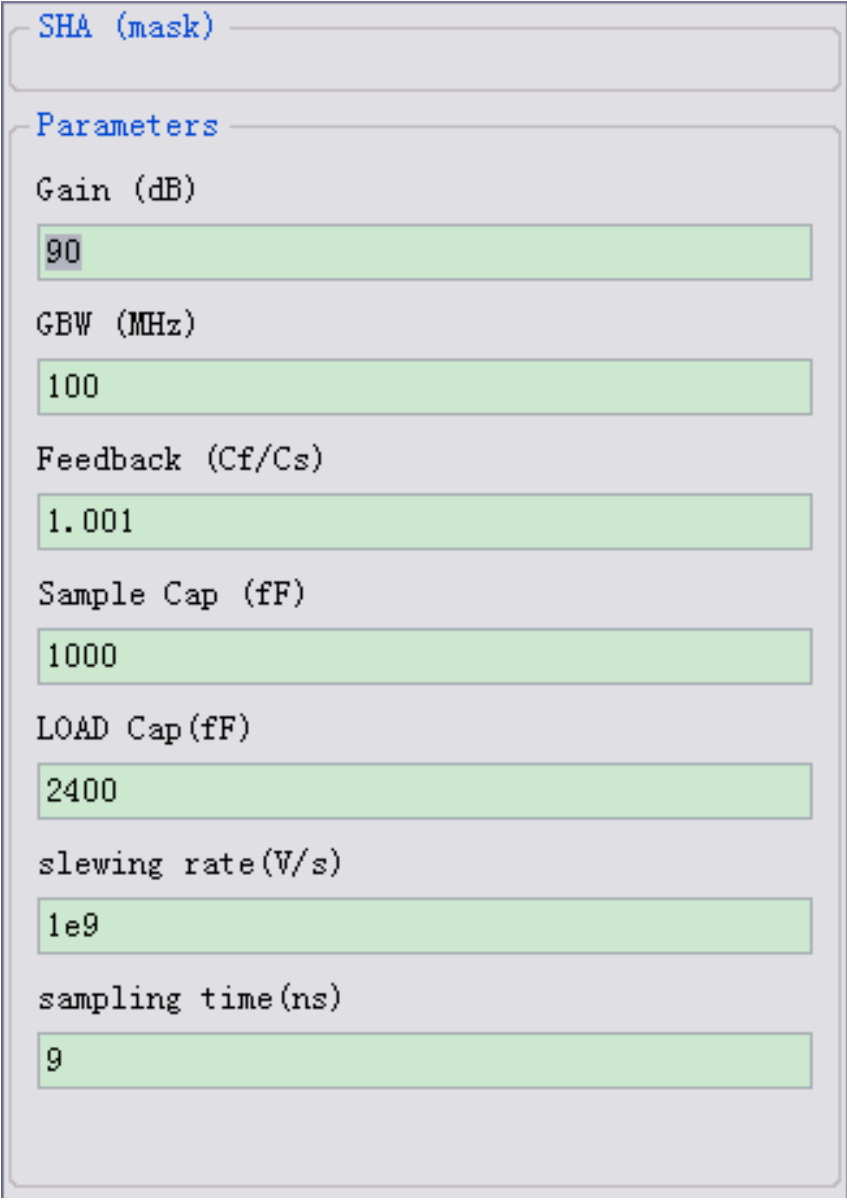


图 3.14 采样保持电路模型

图 3.14 中采样模块(Sample)用时钟触发控制来实现对信号的采样,而后面保持模块(Hole)则是对采样得到的信号在充分考虑了压摆率、增益、单位增益带宽乃至负载等条件对信号建立的影响下,通过精确计算的传递函数来对信号进行处理,从而也为将来电路中运放的设计提供指导和参考。

图 3.15 就是采样保持模块的参数设置对话框,可以看到,运放的增益、单位增益带、反馈因子、采样电容、运放压摆率、采样时间都可以很方便地根据不同的情况进行配置。在设计电路之前,可以根据此模型,预估各个电路模块的设计参数,而在电路设计完成后,也可以根据得到的仿真结果,代入此模型中,用以检验电路设计。



The image shows a software interface for configuring a SHA (mask) block. It features a 'Parameters' section with several input fields, each with a green background and a black border. The parameters and their values are as follows:

Parameter	Value
Gain (dB)	90
GBW (MHz)	100
Feedback (Cf/Cs)	1.001
Sample Cap (fF)	1000
LOAD Cap (fF)	2400
slewing rate (V/s)	1e9
sampling time (ns)	9

图 3.15 采样保持模型参数设置

而 MDAC 除了进行和采样保持电路中一样的信号传递工作之外，由于具有量化操作，因此增加了对应的设计。如图 3.16 所示，模型的信号传递结构与采样保持电路模型基本一致，如增益仍由采样电容与反馈电容的比值来决定。此外还含有子模数转换器和子数模转换器来实现对信号量化和对余量进行加减法操作。

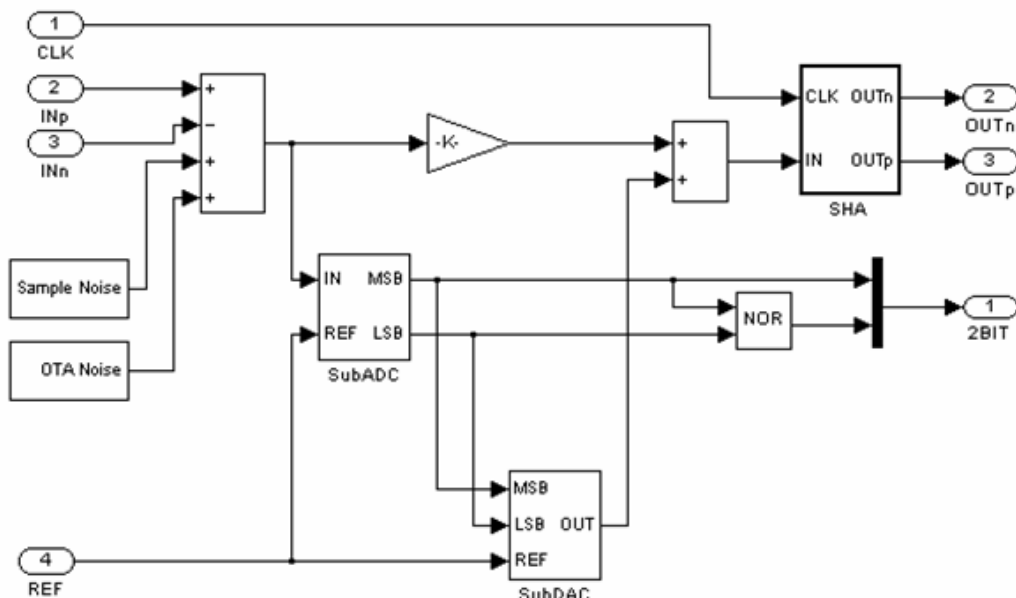


图 3.16 MDAC 电路模型

子模数转换器的模型也一并列出如图 3.17 所示，其中比较器的阈值也是可以调节的，同时增加了比较器失调的设置。

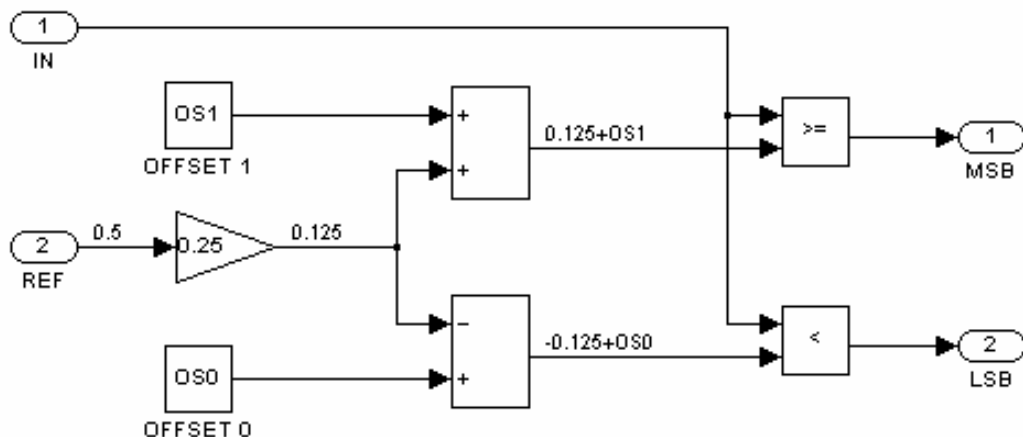


图 3.17 子模数转换器模型

图 3.18 是 MDAC 模块的参数设置对话框，可以看到除了运放的增益、单位增益带、反馈因子、采样电容、运放压摆率和采样时间等参数之外，两个比较器的失调以及电容的工艺误差也都可以根据不同的情况进行配置。

MDAC of Pipeline ADC (mask)

Multiplying Digital-to-Analog Converter

Parameters

Gain (dB)

70

GBW (MHz)

500

Feedback

0.500

Sample Cap (fF)

1400

Offset of LSB Comparator (V)

0.05

Offset of MSB Comparator (V)

0.05

load cap(fF)

2000

slewing rate(V/s)

1e9

sampling time(ns)

9

cap mismatch(deltaC/C)

0.0005

图 3.18 MDAC 模型参数设置

最后,通过对非理想参数的分析和计算,之后又通过在实际电路设计中的情况和仿真结果,确定了模型中各个参数的设置,在此条件下进行仿真,得到的FFT频谱分析结果如图3.19所示。结果显示,在采样时钟频率为80MHz,输入信号为37.5MHz的条件下,整个流水线模数转换器可以实现9.63bit的有效位。

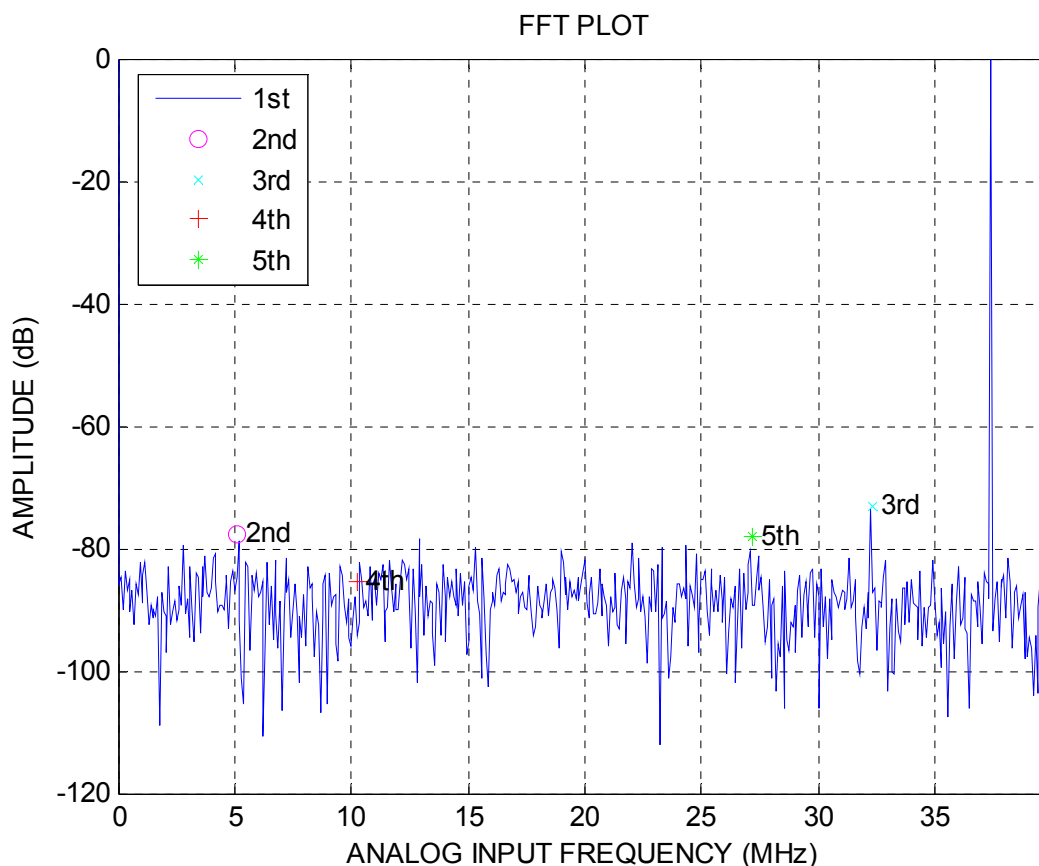


图 3.19 模型 FFT 分析结果

参考文献

- [1] S. H. Lewis, H. S. Fetterman, G. F. Gross Jr., R. Ramachandran, and T. R. Viswanathan. A 10-b 20-Msample/s analog-to-digital converter [J]. IEEE J. Solid-State Circuits, vol. 27, pp. 351–358, Mar. 1992.
- [2] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger. A 250-mW, 8-b, 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers [J]. IEEE J. Solid-State Circuits, vol. 32, pp. 312–320, Mar. 1997.
- [3] J. Li and U.K. Moon. A 1.8-V 67-mW 10-bit 100-MSs pipelined ADC using time-shifted CDS technique [J]. IEEE J. Solid-State Circuits, vol. 39, pp. 1476–1468, Sept. 2004.
- [4] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu, and J. Barbollla. Low-Power Pipeline ADC for Wireless LANs [J]. IEEE J. Solid-State Circuits, vol. 39, pp. 1338–1340, Aug. 2004.
- [5] M. Abo and P. R. Gray. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter [J]. IEEE J. Solid-State Circuits, vol. 34, pp. 599–606, May 1999.
- [6] T. Brooks et al. A cascaded sigma-delta pipeline A/D converter with 1.25 MHz signal bandwidth and 89 dB SNR [J]. IEEE J. Solid-State Circuits, vol. 32, no. 12, pp. 1896–1906, Dec. 1997.

- [7] U.Moon et al. Switched-Capacitor Circuit Techniques in Submicron Low-Voltage CMOS [C]. IEEE Int. Conf. On VLSI and CAD, ICVC99, pp. 349-358, 1999.
- [8] D. Miyazaki, S. Kawahito and M. Furuta. A 10-b 30-MSs low-power pipelined CMOS AD converter using a pseudodifferential architecture [J]. IEEE J. Solid-State Circuits, vol. 38, pp. 369-373, Feb. 2003.
- [9] Y. Kim, N. Kusayanagi and A. A. Abidi. A 10-b, 100-MS/s CMOS A/D Converter. IEEE J. Solid-State Circuits [J], vol. 32, no. 6, pp. 302-11, Dec. 1997.
- [10] P. W. Li, M. J. Chin, P. R. Gray, R. Castello. A ratio-independent algorithmic analog-to-digital conversion technique [J]. IEEE Journal of Solid-State Circuits, vol. SC-19, no. 6, pp. 828-836, Dec. 1984.
- [11] H. Onodera, T. Tateishi, and K. Tamaru. A cyclic A/D converter that does not require ratio-matched components [J]. IEEE Journal of Solid-State Circuits, vol. 23, pp. 152-158, Feb. 1988.
- [12] S.-Y. Chin, C.-Y. Wu. A CMOS ratio-independent and gain-insensitive algorithmic analog-to-digital converter [J]. IEEE Journal of Solid-State Circuits, vol. 31, no. 8, pp. 1201-1207, Aug. 1996.
- [13] B.-S. Song, M. F. Tompsett, K. R. Lakshmikumar. A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter [J]. IEEE Journal of Solid-State Circuits, vol. 23, no. 6, pp. 1324-1333, Dec. 1988.
- [14] Y. Chiu. Inherently linear capacitor error-averaging techniques for pipelined A/D conversion [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 47, no. 3, pp. 229-232, Mar. 2000.
- [15] H.-S. Chen, B.-S. Song and K. Bacrania. A 14-b 20-Msamples/s CMOS pipelined ADC [J]. IEEE Journal of Solid-State Circuits, vol. 36, pp. 997-1001, Jun. 2001.
- [16] J. Wu, B. Leung, and S. Sutarja. A mismatch independent DNL pipelined analog to digital converter [C]. IEEE International Symposium on Circuits and Systems, vol. 5, pp. 461-464, 1994.
- [17] P. C. Yu, H.-S. Lee, A 2.5-V, 12-b, 5-MSample/s pipelined CMOS ADC [J], IEEE Journal of Solid-State Circuits, vol. 31, no.12, pp.1854-61, Dec. 1996.
- [18] Y. Ren, B. H. Leung, and Y.-M. Lin. A mismatch-independent DNL pipelined analog-to-digital converter [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 46, pp. 517-526, May 1999.
- [19] 李建. 低功耗低电压 CMOS 流水线模数转换器的结构研究与实现[D]. 复旦大学. 2008 pp.34
- [20] Shinagawa, Y. Akazawa and T. Wakimoto. Jitter Analysis of High-Speed Sampling Systems [J]. IEEE J. of Solid-Sate Circuits, vol. 25, no. 1, pp. 220-4, Feb. 1990.

第四章 双输入开关内置运放共享 MDAC

级间运放共享是实现低功耗最有效的方法之一，然而传统的级间运放共享 MDAC 结构中存在着几个主要影响系统精度的问题。本章首先详细的分析了这些问题，之后介绍了前人为解决这些问题提出的一些方法，分析了这些方法的优势和不足。最后，本论文提出了一种双输入开关内置运放共享 MDAC 电路，在不增加功耗、面积和额外复位时钟信号的条件下，有效消除了上述问题，从而实现在低功耗的基础上提高电路精度的目的。

4.1 传统运放共享结构存在的问题

4.1.1 记忆效应

由于运放的输入管存在寄生电容，如图 4.1 所示。当上一次保持操作完成之后，会在输入管的寄生电容上残留有电荷，切换到下一次时，残留的电荷会参与本次信号的保持，从而产生误差，而且这个误差与信号相关，没有办法通过差分结构进行消除，从而降低了精度，被称为记忆效应[1-4]。为了便于分析，将时钟 $\Phi 1$ 和 $\Phi 2$ 重绘并标注了时刻，但实际上仍是非交叠的。

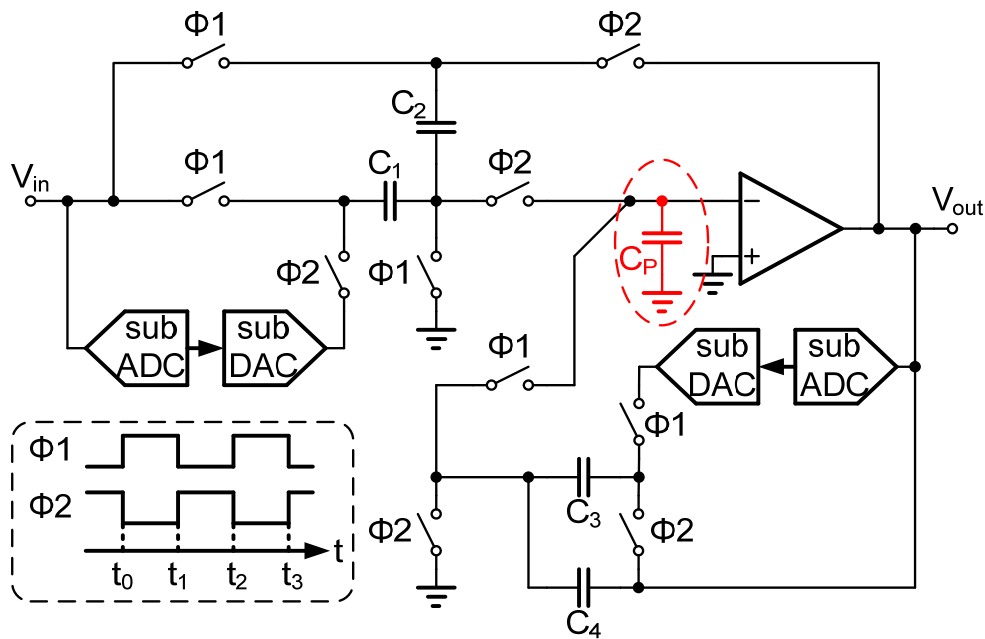


图 4.1 记忆效应分析示意图

理想情况下，图中 V_x 点的电压由于虚地，这时，两级的传递函数为

$$V_{in+1}[n] = \frac{C_1 + C_2}{C_2} \left[V_{in}[n] - V_{subDACB} \left(\frac{C_1}{C_1 + C_2} \right) \right] \quad (4.1)$$

$$V_{in+2}[n] = \frac{C_3 + C_4}{C_4} \left[V_{in+1}[n] - V_{subDACB} \left(\frac{C_3}{C_3 + C_4} \right) \right] \quad (4.2)$$

而由于运放的有限增益 A ，有

$$V_x = -\frac{V_{out}}{A} \quad (4.3)$$

在 t_0 时刻，运放的输出为

$$V_{out} = V_{in+1}(t_0) \quad (4.4)$$

因此有

$$V_x = -\frac{V_{in+1}(t_0)}{A} \quad (4.5)$$

其中 A 为运放的增益，此时，运放由 $S-A$ 切换至 $S-B$ ，有

$$V_{out} = V_{in+2}(t_1) \quad (4.6)$$

而其中由于寄生电容 C_p 引入的电荷为

$$Q_p = -\frac{C_p V_{in+1}(t_0)}{A} \quad (4.7)$$

综合以上算式，根据电荷守恒定理，有

$$\begin{aligned} C_4 V_{in+2}(t_1) &= (C_3 + C_4) V_{in+1}(t_0) - C_3 V_{subDACB}(t_1) \\ &\quad - \frac{(C_3 + C_4 + C_p) V_{in+2}(t_1)}{A} + \frac{C_p V_{in+1}(t_0)}{A} \end{aligned} \quad (4.8)$$

式中 $V_{subDACB}$ 是 $S-B$ 中子模数转换器的输出电压，整理上式可以计算得到 $S-B$ 的传递函数为

$$V_{in+2}[n] = \frac{C_3 + C_4 + C_p / A}{C_4 + (C_4 + C_3 + C_p) / A} \left[V_{in+1}[n] - V_{subDACB} \left(\frac{C_3}{C_3 + C_4 + C_p / A} \right) \right] \quad (4.9)$$

其中 V_{in+i} 的下脚标表示第 i 次的余量信号传递，而方括号里的 n 为表示处理的是第 n 个周期时的输入信号。

当运放由 S-B 切换至 S-A，参考前文的分析，此时寄生电容 C_p 引入的电荷为

$$Q_p = -\frac{C_p V_{in+2}(t_0)}{A} \quad (4.10)$$

因此，同样根据电荷守恒有

$$\begin{aligned} C_2 V_{in+1}(t_2) = & (C_1 + C_2) V_{in}(t_1) - C_1 V_{subDACA}(t_2) \\ & - \frac{(C_1 + C_2 + C_p) V_{in+1}(t_2)}{A} + \frac{C_p V_{in+2}(t_1)}{A} \end{aligned} \quad (4.11)$$

式中 $V_{subDACA}$ 是 S-A 中子模数转换器的输出电压，整理上式同样可以计算得到 S-A 的传递函数为

$$\begin{aligned} V_{in+1}[n] = & \frac{C_1 + C_2}{C_2 + (C_1 + C_2 + C_p)/A} \left[V_{in}[n] - V_{subDACB} \left(\frac{C_1}{C_1 + C_2} \right) \right] \\ & + \frac{C_p / A}{C_2 + (C_1 + C_2 + C_p)/A} V_{in+2}[n-1] \end{aligned} \quad (4.12)$$

结合式(4.9)和式(4.12)可以看到，由于运放的输入管在两级之间不断切换，输入管寄生电容的存在会导致与上次操作有关的建立误差，对于偶数级来说，这个记忆效应增大了本级的误差，但是对于奇数级来说(S-A)，这个误差和上一组输入信号有关，表现出与之前操作有关的记忆效应。为了消除这个误差，往往会增加额外的复位时钟，在一定时间内使输入管连接到一个固定电平进行复位，但是这样会缩短运放的有效建立时间，降低了整个系统的转换速度，同时会增加控制电路的复杂度，从而降低模数转换器的效率[2]。

4.1.2 级间串扰

除了记忆效应之外，运放共享开关存在的寄生电容会使得两级之间存在一个信号串扰通路[5]，如图 4.2 所示。当前级在采样的时候，后级正在保持，这时，任何在前级输入端变化的信号，比如前级输入端的保持信号，或者是比较器的反馈噪声等等都会通过寄生通道传递到运放的输入而影响后级保持信号的准确度。同样，当前级在保持，后级在采样时，任何在 V_{out} 变动的信号，也通过反向的寄生电容串扰通路影响到前级的精度。

寄生电容级间串扰通路的存在，还使得必须要对各个开关的时钟信号以及比较器控制信号的时序进行严格的控制和优化，不单共享运放的两级之间，所有各级 MDAC 时钟之间的同步和延迟也要仔细考察，从而避免非预期的信号跳变对信号传递精度的影响。

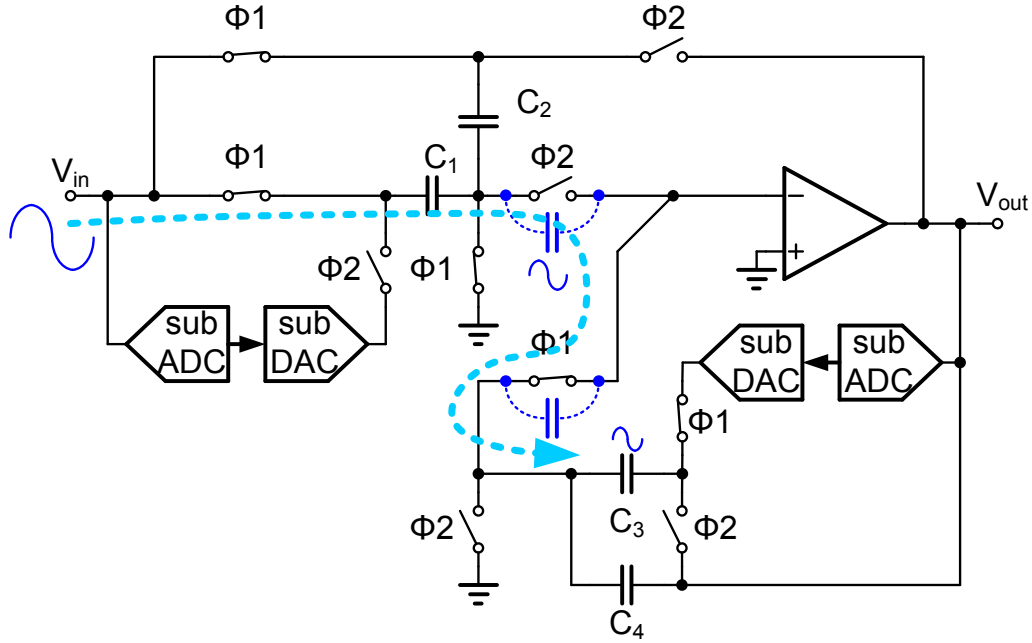


图 4.2 运放共享的 MDAC 中开关寄生电容串扰通路示意

4.1.3 运放共享开关的电荷注入和时钟馈通

在传统的运放共享结构中，由于运放共享开关往往是由 NMOS 构成，这个开关由于寄生电容的存在会产生电荷注入和时钟馈通等效应[6,7]，图 4.3 表示了第一级运放共享开关的寄生效应，包括导致电荷注入的沟道寄生电容和导致时钟馈通效应的栅源、栅漏寄生电容。

在开关关闭时刻，MOS 管栅氧和沟道界面尚未存在反型层，因而无积累电荷。当开关导通的时候，MOS 管栅氧和沟道界面会产生反型层，积累一定的电荷。这些积累的电荷是通过源极和漏极向两端抽取得到的，其中一端从运放的输入抽取，不会产生误差，而另一边端则会从采样电容底极板上抽取，导致电容上的电压产生误差。这个现象被称为沟道电荷注入效应。

下面来具体分析沟道电荷注入效应对电路的影响。在 $\Phi 2$ 刚变成高电平的时刻，由于开关刚刚导通， C_1 底极板上的电压为 $V_{\text{subDAC}} - V_{\text{in}}$ 。假设在最坏的情况下，沟道电荷全都从采样电容 C_1 的底极板瞬间抽取，对于 NMOS 开关，其反型层从电容底极板抽取的电荷为

$$Q = WLC_{\text{ox}}(V_{\text{ck}} - V_{\text{subDAC}} + V_{\text{in}} - V_{\text{TH}}) \quad (4.13)$$

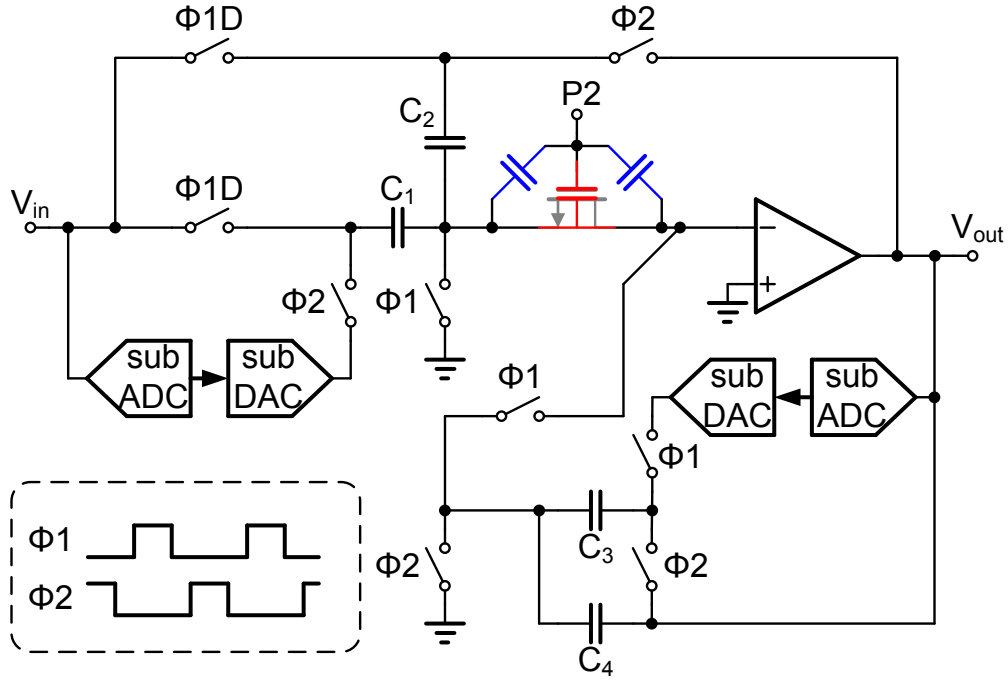


图 4.3 运放共享开关电荷注入和时钟馈通效应示意图

其中， W 和 L 分别为 MOS 管栅的宽度和长度， C_{ox} 为寄生的栅电容， V_{ck} 为时钟高电平的电压， V_{in} 是输入电压， V_{TH} 是 MOS 管的阈值电压。以第一级为例，有

$$C_2 V_{out} - WLC_{ox}(V_{ck} - V_{subDAC} + V_{in} - V_{TH}) = (C_1 + C_2)V_{in} - C_1 V_{subDAC} \quad (4.14)$$

从而有

$$V_{out} = \frac{(C_1 + C_2)V_{in} - C_1 V_{subDAC}}{C_2} - \frac{WLC_{ox}(V_{ck} - V_{subDAC} + V_{in} - V_{TH})}{C_2} \quad (4.15)$$

可以看到，输出产生了一个 $\frac{WLC_{ox}(V_{ck} - V_{subDAC} + V_{in} - V_{TH})}{C_2}$ 的误差，这个误

差是一个和输入信号有关的量，从而会导致非线性。要减小这个误差，在工艺一定的情况下，只能增大电容或减小开关管尺寸。但是增大电容会导致运放功耗增加，减小开关尺寸会导致较大的串联寄生电阻。

其次，由于 MOS 固有的栅源和栅漏寄生电容，会将时钟信号跳变耦合到采样电容上，这个误差称为时钟馈通效应，它与输入电压无关，表现为固定的失调。

此外，共享开关引入了串联寄生电阻，这个寄生电阻和运放的输入电容一起，会构成一个低通的滤波器，影响电路的建立特性，寄生电阻还会导致运放产生失调。为了减小开关的寄生电阻，可以把开关的尺寸取的较大一些，但大尺寸的开关会增大由电荷注入和时钟馈通导致的误差。

综上所述，虽然级间运放共享可以很有效的降低系统功耗，但是也引入了记

忆效应、级间串扰、电荷输入和时钟馈通等问题。这些问题会导致整个流水线模数转换器的精度下降，从而削弱了采用级间运放共享结构取得的功耗降低的优势。

4.2 前人的解决方案

4.2.1 增加隔离开关

文献[5]中提出了一种增加两组隔离开关的方法来解决级间信号串扰通路的问题，如图 4.4 所示，虚线框中就是增加的两组隔离开关。当 $\Phi 1p$ 为高电平时，寄生电容 C_{p1} 的右侧被接到地，因此隔断了寄生通路。类似的，当 $\Phi 2p$ 为高电平时，寄生电容 C_{p2} 被接到地，因此也隔断了寄生通路。但是添加的开关增大了串联寄生电阻，同时有可能会增大失调电压。虽然通过增大尺寸开关可以减小这个电阻，然而大尺寸开关会增大时钟馈通和电荷注入效应。此外这种方法也没有解决记忆效应。

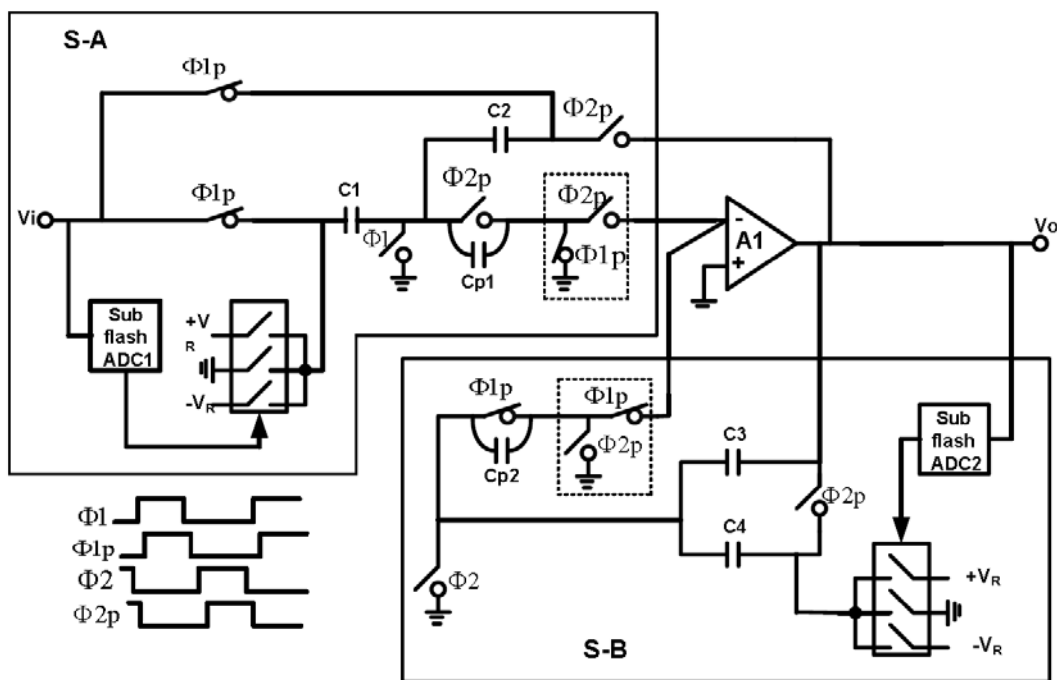


图 4.4 增加隔离开关降低运放共享级间干扰[5]

4.2.2 运放电流复用

文献[8]中采用了一种电流复用技术，文中设计了一个运放，如图 4.5 所示。当 NMOS 工作时，PMOS 作为负载，同时接到一个固定电压。同理，当 PMOS 工作时，NMOS 接到一个固定电压。

这样一来，由于两对输入管分别交替使用，在接固定电压的时候其实是一个

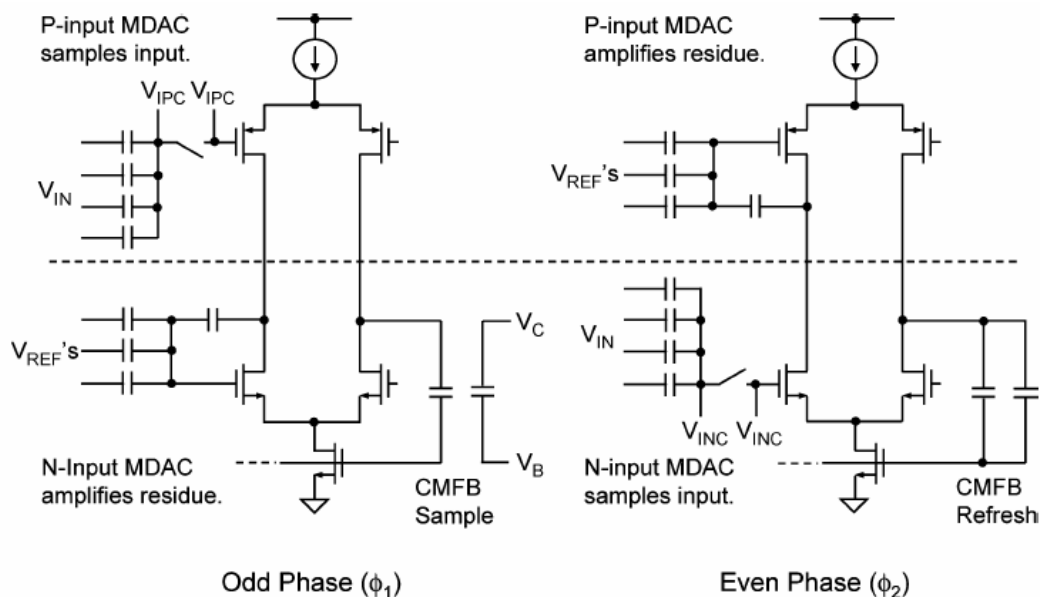


图 4.5 电流复用技术运放示意图[8]

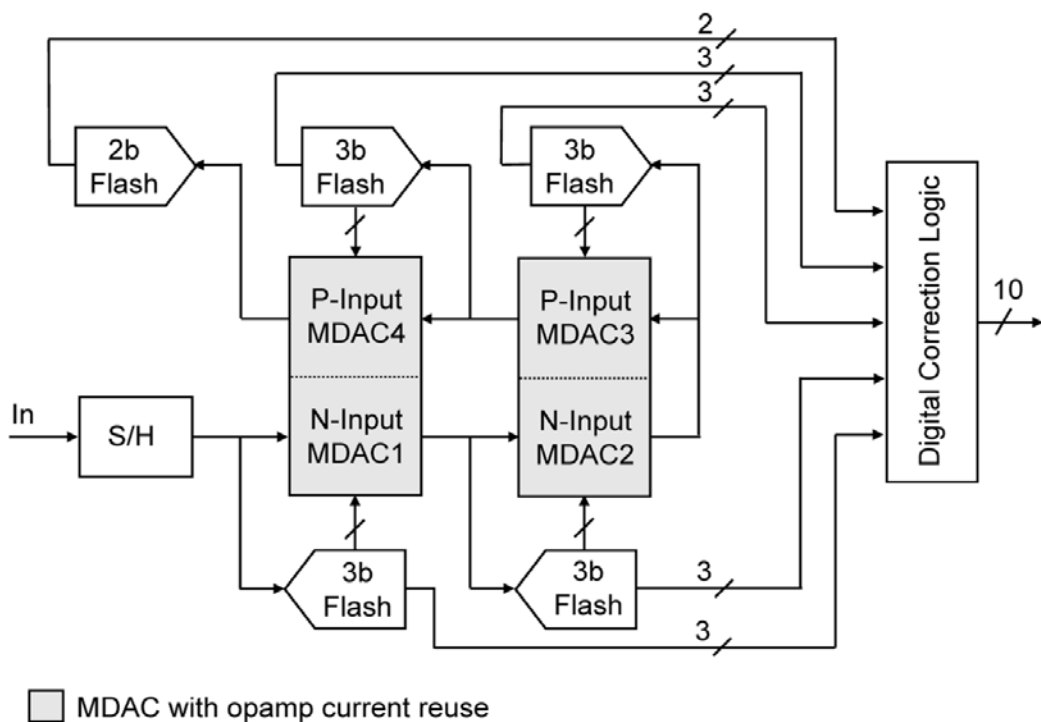


图 4.6 采用电流复用运放共享的流水线结构[8]

复位的过程，因此，输入管再进行下一次保持操作时，寄生的电荷是一个与输入信号无关的量，降低了对建立的影响。但是由于 PMOS 的跨导相对较小，因此，在相同电流下，采用 PMOS 输入的运放性能要降低很多，不能被相邻两级共享，仅能适用与整个 ADC 的最后两级，因此文中不得不采用了如图 4.6 所示的共享结构。

因此，采用这种方法虽然可以消除记忆效应和一定的级间干扰，但是由于需

要对输入信号电平进行转换，增加了设计复杂度，而且采用 PMOS 做输入管，实际上也大大降低了对电流的利用效率。

4.2.3 串联双输入差分对运放

文献[9]采用了一种串联式双 NMOS 输入差分对运放的方法来解决这个问题，其运放的结构如图 4.7 所示。

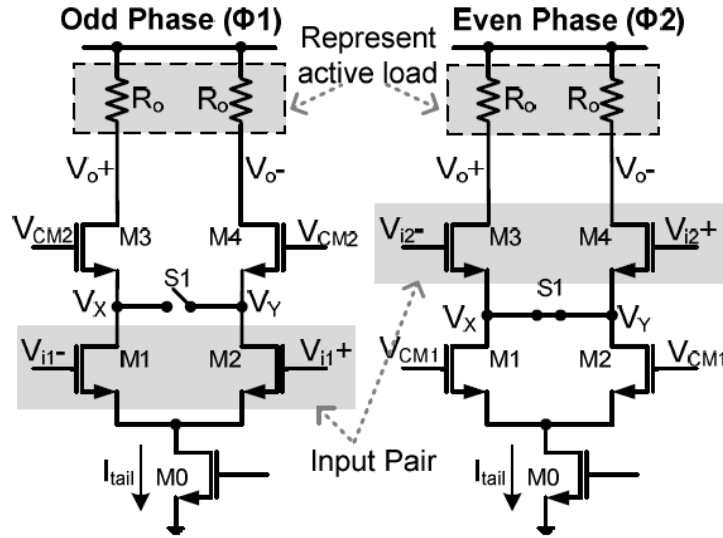


图 4.7 采用串联双输入的运放结构[9]

这种方法较前一种比起来，各级都采用了 NMOS 作为运放的输入管，从而可以提高电流的利用效率，同时也通过双输入交替工作和复位至共模电压来解决记忆效应等问题。但是由图可以知道，由于不工作时的上下串联的两对输入管需要接到各自不同的共模电压，因此在电路中就要增加至两组共模电压；同时，两个串联的输入管还会降低运放的输出摆幅，尤其是对于低功耗的套筒式运放更为致命；此外，当运放工作在第二级也就是 $\Phi 2$ 为高电平时，开关 S1 闭合，其寄生电阻会降低运放的增益和 GBW。假设用作输入的两对 NMOS 管有相同的尺寸，而开关的寄生电容为 R_s ，则有

$$g_{m\phi 2} = \frac{g_{m3,4}}{1 + g_{m3,4} R_s / 2} \quad (4.16)$$

这样一来，就必须仔细地设计开关的尺寸，来减小寄生电阻，从而获得满足要求的运放性能。

4.3 双输入开关内置运放共享 MDAC

4.3.1 双输入开关内置运放共享 MDAC 的结构和原理

为了解决上述问题，同时能够在不增加额外功耗的条件下提高电路的精度，本论文中提出了一种新型的运放共享 MDAC 结构[10]。这种新型结构采用了双输入差分对共享开关内置的结构，如图 4.8 所示。由图可以看到，这种结构采用了双输入差分对的运放，同时将传统的运放外的共享开关内置到运放当中，通过切换运放中的共享开关来分别在共享运放的两级之间切换使用。MDAC 中的开关和运放中内置的开关时序由图 4.9 给出，可以看到这种结构没有增加额外的复位时钟。

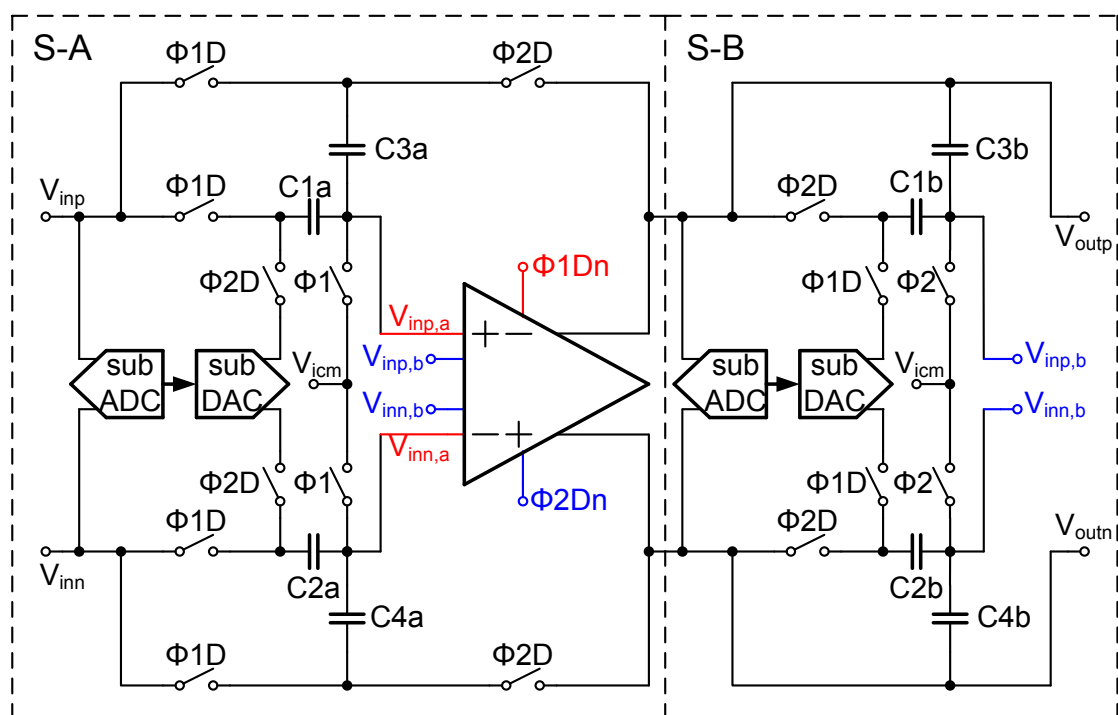


图 4.8 采用双输入对运放共享的 MDAC 结构示意图

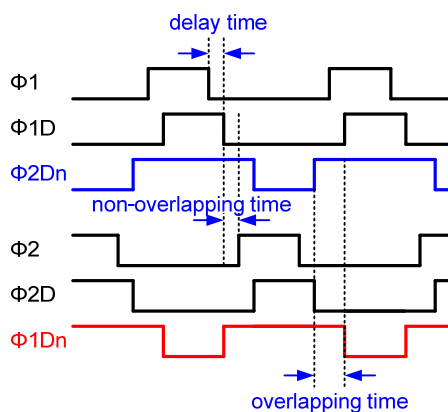


图 4.9 MDAC 中开关控制信号时序

接下来从运放入手，详细分析此运放共享的 MDAC。运放结构如图 4.10 所示，出于低功耗的要求，本设计采用的是各种运放结构中最低功耗的单级套筒式运放，通过增益自举电路来提高增益。特别的是，针对运放共享的要求，本结构中采用双输入差分对的配置，图中 M1 与 M2、M3 与 M4 分别是两组输入对管，分别连接 $V_{\text{inp},a}$ 、 $V_{\text{inn},a}$ 和 $V_{\text{inp},b}$ 、 $V_{\text{inn},b}$ 输入信号。输入管分别与各自的控制开关串联，来切换两组输入对的工作状态。当 $\Phi1Dn$ 为高电平时，开关 M5 与 M6 导通，M1 与 M2 作为运放的输入管处于工作状态；而当 $\Phi2Dn$ 为高电平时，开关 M7 与 M8 导通，M3 与 M4 作为运放的输入管处于工作状态。

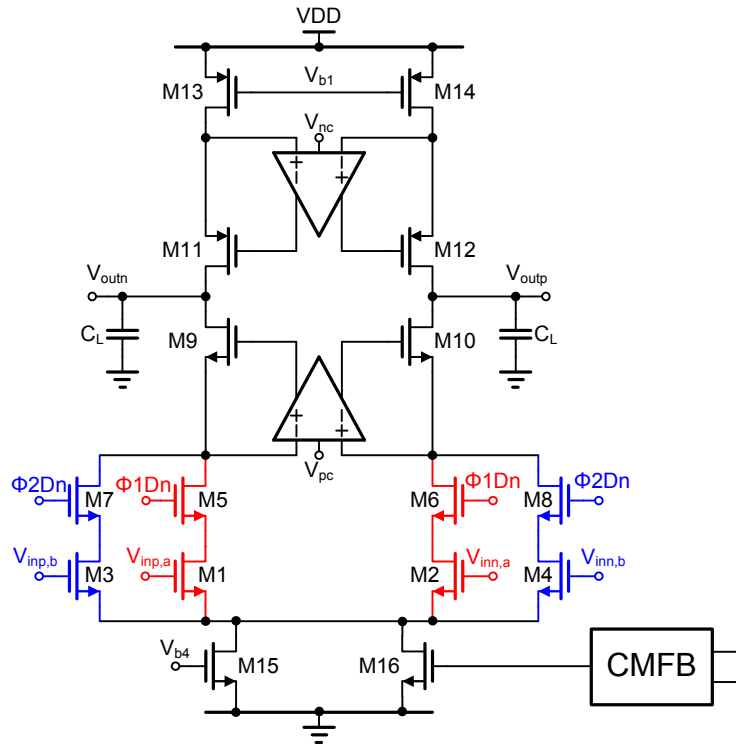


图 4.10 双输入套筒式运放

将运放代入图 4.8 来分析 MDAC 的工作情况。当 $\Phi1$ 为高电平时， $V_{\text{inp},a}$ 与 $V_{\text{inn},a}$ 都被连接至共模输入电压 V_{icm} 进行复位。当 $\Phi1D$ 为高电平时，连接 C_{1a} 和 C_{2a} 的采样开关导通，开始对输入信号采样，这时运放工作在 S-B 的保持模式；在采样过程结束时， $\Phi1$ 先于 $\Phi1D$ 变为低电平，实现底极板采样，在底极板采样断开之后，采样电容上的电荷就固定了，不再受输入信号的影响，而此时由于 $\Phi1D$ 仍为高电平，输入信号依然处于保持状态，此时子模数转换器(图中 S-A 级的 subADC)开始进行量化操作，比较器在 $\Phi1D$ 变为低电平之前完成比较，将结果传递给数字校正电路，同时根据比较结果，进行逻辑运算，来决定子数模转换器的输出。此后，由于 $\Phi1Dn$ 与 $\Phi2Dn$ 同时处于高电平，运放的两对输入管同时工作，但是电流只有在单独工作时的一半，但是仍处于饱和区。当 $\Phi2D$ 为高

电平时, 信号传递通路才被打开, 这时, **M3** 与 **M4** 由于电流被截断, 停止工作, $V_{inp,a}$ 与 $V_{inn,a}$ 成为唯一有效的输入对管, 运放工作在 **S-A** 的保持模式下。

由以上的分析可以看到, 采用这种新型双输入开关内置的 **MDAC** 可以在不增加额外的复位时钟, 不增加任何功耗, 同时也几乎没有增加额外面积(仅仅是两个输入管的面积, 与整个版图相比可与忽略不计)的条件下, 消除了多种制约 **MDAC** 精度的误差来源, 从而有效提高系统精度, 具体表现在:

- 1) 由于两对输入管的栅极被交替地连接到共模输入电压进行复位, 因此, 记忆效应被完全消除, 并且不需要额外的复位时钟。
- 2) 由于运放共享开关被内置到了运放的内部, 而不是直接连接在运放的输入与电容之间, 这样一来, 级间寄生电容的串扰通路也被有效消除了。
- 3) 同样由于运放共享开关没有直接连接在输入和电容之间, 开关导通和关断时的电荷注入和时钟馈通效应不会对运放的寄生电容和采样电容造成影响, 从而不会影响信号的建立精度。
- 4) 采用此结构还可以有效抑制比较器的回馈噪声。比较器的回馈噪声对本级来讲可以通过底极板采样开关来消除, 但是却可以通过串扰通路对邻级造成影响。通常为了抑制比较器的回馈噪声, 会采用带预放大运放电路的结构, 但是预放大运放会产生一定的静态功耗。由于采用此结构消除了比较器回馈噪声到邻级的通路, 因此可以选择无静态功耗的动态比较器来进一步降低功耗。
- 5) 由于运放共享开关被内置到了运放的内部, 消除了传统结构中采用外置开关所带来的寄生电容和寄生电阻对运放失调和建立特性的影响。
- 6) 内置共享开关的寄生电阻与信号无关, 通过合理设置开关尺寸, 仅仅表现为一个固定寄生电阻, 从而不会对运放的增益和带宽产生任何不利影响。
- 7) 内置的共享开关仅仅消耗约 **30mV** 左右的电压裕度, 也不会影响运放的输出摆幅。

需要指出的是, 这种结构还可以很方便地移植到其他类型的流水线模数转换器, 比如多通道 **ADC**、分时复用 **ADC** 或是每级多 **bit** 的流水级结构等等, 同样也可以很好地解决以上这些类型 **ADC** 中存在的同样问题。

值得注意的是, 在本设计中根据按比例缩减的原则, 出于留有一定的裕量的考虑, 对前四级 **MDAC** 的电容按照 **0.7** 的因子进行逐级缩减, 之后的四级则不再继续缩减。

4.3.2 运放共享开关控制时序

需要指出的是, 本论文中的运放共享开关采用的是双相交叠时钟控制, 而非

传统的双相非交叠时钟。因为如果 MDAC 主运放输入通路选择控制信号不采用双输入交叠时钟而是采用非交叠的时钟的话,在输入信号大于一定幅值时,信号的建立会出现“过冲”现象,从而使得信号建立到所需精度的时间大大加长,如图 4.11 所示。图中的两条曲线分别是输入信号为 $2V_{pp}$ 时和 $1V_{pp}$ 时的建立特性曲线。

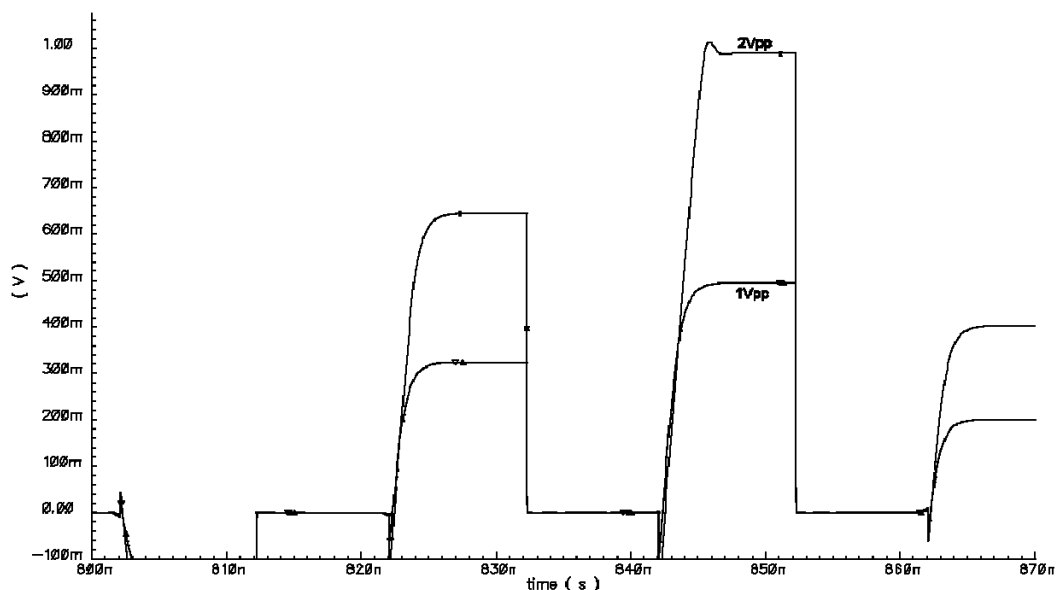


图 4.11 不同信号幅值下 MDAC 建立特性

究其原因,是由于运放在双相非交叠时钟控制下,当两相时钟均为低电平时,主运放下半通路截止,而上半部分电流源仍在工作,如图 4.12 所示。这就使电流没有对地的泄放通路,转而对负载电容输入电流进行充电,这样一来,电容上的电荷堆积会导致两差分负载电容电压同时抬高,因而在输入信号摆幅较大时导致差分输出端电压较高的一侧对应的输出节点电压高于设计的最大值,此时输出节点以上的 PMOS 管漏源电压 V_{ds} 会小于过驱动电压 V_{dsat} ,从而使管子进入线性区。当运放开关打开时,管子就需要从线性区出来,因此大信号建立时间会相应增加,而差分输出端电压较低的一侧可能还来不及进入线性区(因为双相非交叠的时间较短),因此导致差分信号两端建立不同步,出现“过冲”的现象。因此,采用双相交叠时钟则由于在任何时刻都保留有对地的电流通路,因而可以很好地解决这个问题。

值得注意的是,传统的采用双相非交叠时钟是为了避免采样和保持阶段开关同时导通引起的电荷泄露,然而在此结构下采用双相交叠时钟控制的运放共享开关由于没有直接连接在电容与运放输入之间,没有电荷泄放通路,因而不会对信号的传递和量化产生不利的影响。一方面,就建立而言,运放在 $\Phi1D$ 或 $\Phi2D$

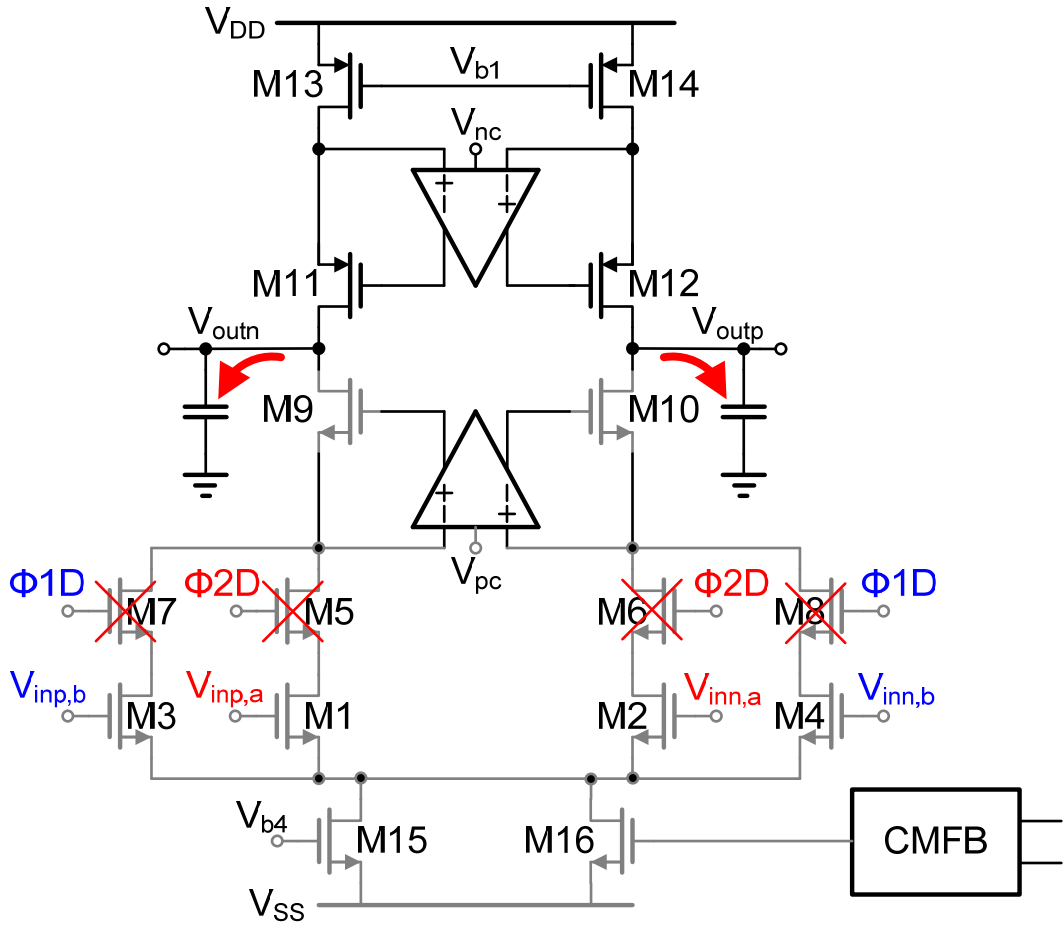


图 4.12 开关全部关闭时运放的工作状态

变为高电平之前虽然两对输入管都处于打开状态，但是由于其他的信号通路开关仍旧没有打开，所以实际上保持操作还没有进行，直到信号通路打开，其中一组输入管关断，这时运放才开始建立。由于输入管在交叠时间的状态依然处于饱和区，实际上会减少运放由线性区出来所耗费的时间从而加快了建立速度。另一方面，就量化而言，由于比较操作是在 $\Phi 1$ 与 $\Phi 1D$ (以及 $\Phi 2$ 与 $\Phi 2D$) 之间就已经完成了，所以双输入对同时导通也不会对量化造成任何影响。

4.3.3 运放偏置电路

由于此运放增加了两对开关管，因此对偏置电路进行了优化，如图 4.13 所示。偏置电路主体采用了宽摆幅设计[11]，然而用来偏置主运放的支路中增加了与开关管相匹配的管子 NM19，并把其栅极接电源电压，从而达到偏置电路与被偏置结构的完全匹配。

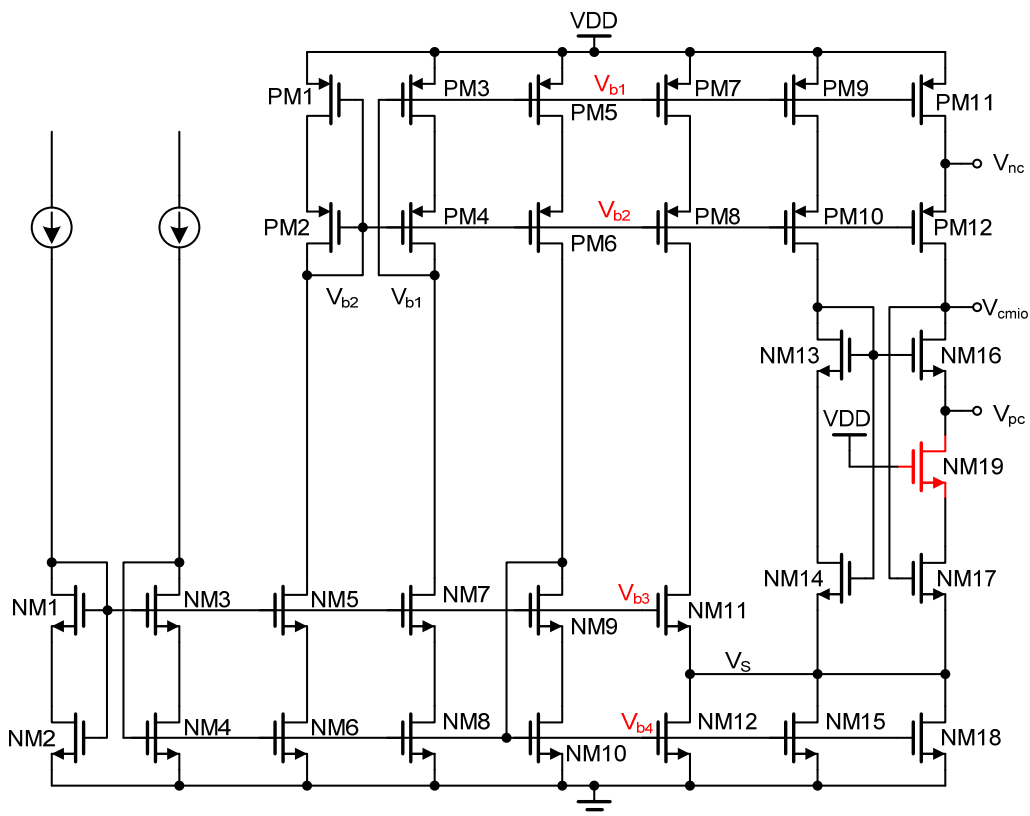


图 4.13 MDAC 中双输入对运放采用的偏置电路

4.3.4 共模反馈电路

出于均衡共享运放的两级 MDAC 负载和更好的建立特性考虑, 运放中采用如图 4.14 所示的开关电容共模反馈电路(SC-CMFB)[12]。这样一来, 在运放的复用期间, 每相时钟内均有共模反馈作用, 使得运放的共模电压在每半个周期都会进行稳定, 同时负载也得到有效均衡。

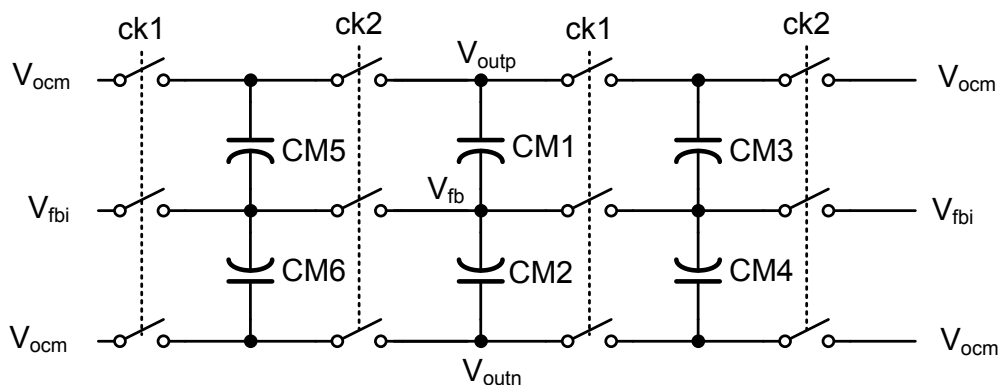


图 4.14 MDAC 中负载均衡 SC-CMFB

4.4 电路仿真

为了评估 MDAC 的性能,需要对 MDAC 中信号的建立情况进行考察。为此,在共享运放的一、二级 MDAC 输入端施加不同幅度的信号,观察其输出信号在给定时间的建立精度。下表就是 MDAC 中第一级和第二级输出的建立特性,值得注意的是第二级与第一级输出之间有加减法操作。表格第一列为第一级的输出,也就是第二级的输入,第二列为第二级输出,第三列为根据式(3.7)计算得到的理想输出结果,第四列为理想值和实际值的误差。

表 4.1 MDAC 建立特性仿真

V_{in} (mV)	V_{out} (mV)	理想 V_{out} (mV)	误差(mV)
-799.60	-799.00	-799.20	0.2
-607.00	-413.90	-414.00	0.1
-351.11	97.75	97.78	0.03
-95.17	-190.30	-190.34	0.04
32.80	65.58	65.60	0.02
288.73	-222.48	-222.54	0.06
608.80	417.54	417.60	0.06
799.87	799.60	799.74	0.14

由上表可以看到,各种输入信号幅度下,建立误差均小于 0.2mV,对于 1.6V_{pp} 的输入信号幅度而言,等效到 ADC 输入可以实现小于 1/8 LSB 的建立精度,这也是采用双输入的结构的优势,通过对仿真结果的对比,相对于传统的 MDAC 结构,本文中提出的双输入开关内置结构的 MDAC 可以有效将相同时间内的建立精度误差由 0.5%左右降低到 0.03%以下。

参考文献

- [1] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger. A 250-mW, 8-b, 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers [J]. IEEE J. Solid-State Circuits, vol. 32, pp. 312–320, Mar. 1997.
- [2] M.M. Byung, P. Kim, F.W. Bowman, et al. A 69-mW 10-bit 80-MSample/s Pipelined CMOS ADC [J]. IEEE J. Solid-State Circuits, 2003, 38(12): 2031-2039
- [3] Beom-Soo Park, Seung-Hak Ji, Min-Ho Choi, et. A 10b 100MS/s 25.2mW 0.18μm CMOS ADC With Various Circuit Sharing Techniques [C]. Int. SoC Design Conference, Nov. 2009, Busan. pp 329 - 332
- [4] John P. Keane, Paul J. Hurst, Stephen H. Lewis. Digital Background Calibration for

- Memory Effects in Pipelined Analog-to-Digital Converters [J].IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 53(3), MARCH 2006, pp.511-525
- [5] Li, J., Zeng, X., Xie, L., Chen, J., Zhang, J., Guo, Y. A 1.8-V 22-mW 10-bit 30-MS/s Pipelined CMOS ADC for Low-Power Subsampling Applications [J]. IEEE J. Solid-State Circuits, 2008, 43, (2), pp. 321-329
- [6] Y. Kim, N. Kusayanagi and A. A. Abidi. A 10-b, 100-MS/s CMOS A/D Converter[J] IEEE J. Solid-State Circuits, vol. 32, no. 6, pp. 302-11, Dec. 1997.
- [7] Y.-M. Lin, B. Kim, and P. R. Gray. 13 b, 2.5 MHz self-calibrated pipelined A/D converter in 3-micron CMOS [J].IEEE J. Solid-State Circuits, vol. 26, no. 4, pp. 628–636, 1991.
- [8] S. Ryu, B. Song, K. Bacrania. A 10-bit 50-MS/s Pipelined ADC with Opamp Current Reuse[J]. IEEE J. Solid State Circuits, pp. 475-485, vol. 42, No. 3, March 2007.
- [9] K. Chandrashekar and B. Bakkaloglu. A 10b 50MS/s Opamp-Sharing Pipeline A/D With Current-Reuse OTAs [C]. IEEE CICC, Sep. 2009, pp.263-266
- [10] Yin R., Wen X., Liao Y., Zhang W., Tang Z. Switch-embedded opamp-sharing MDAC with dual-input OTA in pipelined ADC[J]. Electronics Letters, 2010 ,Vol.46 (12), 831-832
- [11] J. Li, J. Zhang, B. Shen, X. Zeng, Y. Guo and T. Tang. A 10BIT 30MSPS CMOS A/D Converter For High Performance Video Applications [C].Proc. Eur. Solid-State Circuits Conf. (ESSCIRC), 2005, pp. 523-526.
- [12] Paul J. Hurst, Stephen H. Lewis. Determination of Stability Using Return Ratios in Balanced Fully Differential Feedback Circuits [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. Vol.42(12),1995.pp.805 - 817

第五章 ADC 设计和仿真

结合上一章的分析, 本章根据提出的新型 MDAC 电路, 采用每级 1.5bit 带数字校正的流水线模数转换器的结构, 在 SMIC 0.18- μm 、1.8V 电源电压、单层多晶硅六层金属的标准 CMOS 工艺下完成了整个流水线模数转换器电路设计和版图布局, 给出了仿真方法和结果。

5.1 流水线模数转换器结构

本论文的目标是研究和设计高精度、低功耗的流水线模数转换器, 根据第三章对低功耗和高精度设计的分析, 采用第四章中提出的双输入开关内置运放共享的 MDAC, 最终选择每级 1.5bit 带数字校正的流水线模数转换器结构, 如图 5.1 所示。

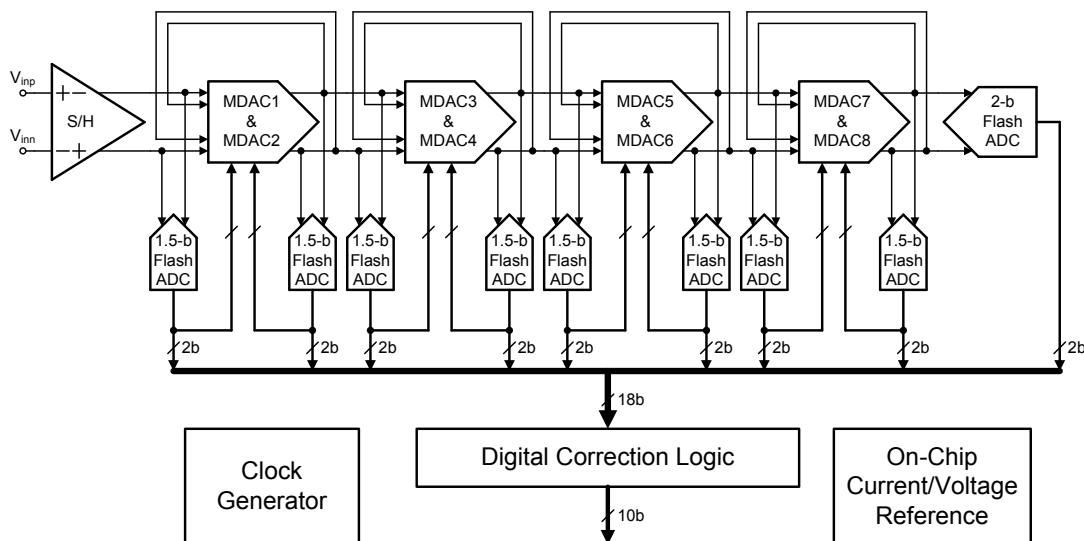


图 5.1 每级 1.5bit 带数字校正运放共享的流水线模数转换器结构

在此结构中, 差分信号首先经采样保持电路(S/H)采样并保持某一时刻的信号, 再经含有两个比较器的子模数转换器量化得到 2bit 数字输出, 然后将数字输出送给数字校正模块, 同时将模拟信号传递给第一级 MDAC。第一级 MDAC 首先将输入信号放大两倍, 再根据前级的量化结果对信号进行加法、减法或维持不变等处理, 然后同样令输出信号经子数转换器量化得到两位数字码输出, 然后将数字输出送给数字校正模块, 同时将模拟信号传递给第二级 MDAC, 依此类推。最后信号由第八级 MDAC 输出到采用了三个比较器的 2bit Flash ADC, 经过量

化产生最后两位数字码，传递给数字校正电路。而数字校正电路在接收到这 9 对数字码后，经过同步处理，将其错位相加，得到最终的 10bit 数字输出。在电路设计过程中，本论文也把许多相关领域的研究论文作为设计时的参考[1-28]。

5.2 采样保持电路设计

采样保持的功能是将连续的模拟信号通过一定时间间隔的采样，转化为离散的模拟信号，再将信号保持一定的时间供后级量化和传递，采样保持电路是确保后继模块均是对同一时刻的信号值进行转换最终得到可信数字信号的关键。由于模拟信号首先通过采样保持电路进行精确采样，供后继电路进行量化处理，所以采样保持电路的精度和速度决定了整个模数转换器的最高精度和速度，是整个模数转换器设计的重点。

5.2.1 采样保持电路结构

常用的采样保持电路的结构有两种：一种是电容翻转结构，另一种是电荷再分布结构，如图 5.2 所示。

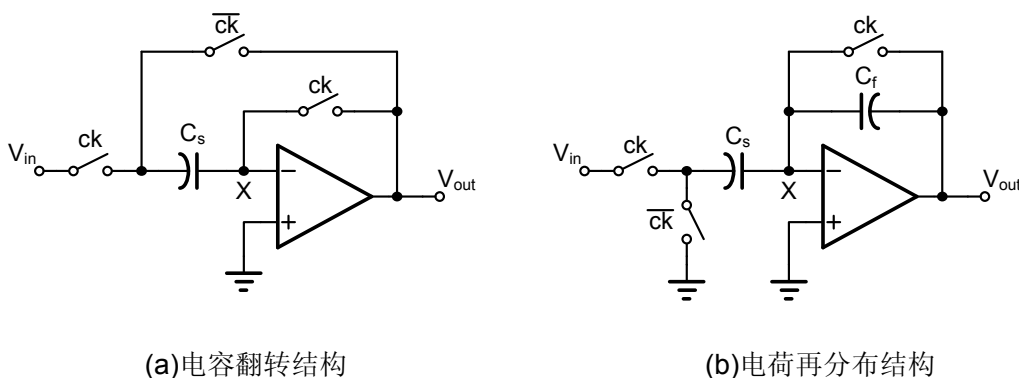


图 5.2 采样保持电路结构

电容翻转式结构反馈因子大，可以获得更快的建立速度，而且没有电容匹配的问题，但是这种结构需要运放输入共模电压和输出共模电压相等，不能很好地抑制共模电压的漂移。

而电荷再分布结构中，由于反馈电容 C_f 隔离了输入与输出的共模电压，从而可以很好地抑制信号的共模漂移。其输出端的共模电压可以通过设定电压调节。不过这种电容存在着电容匹配的问题。在图 5.2 中，两种结构示意图中都是单端输入，而在实际高精度应用中通常都采用全差分结构。采用全差分结构可以很好地消除直流偏移和偶次谐波失真，抑制衬底噪声。

本论文选择全差分电荷再分布结构，如图 5.3 所示，每个开关旁边标注了

其控制时钟。

在电路中，用到了 6 路时钟信号： $\Phi 1$ 、 $\Phi 1D$ 、 $\Phi 1Dn$ 、 $\Phi 2$ 、 $\Phi 2D$ 和 $\Phi 2Dn$ ，其时序如图 5.4 所示。其中 $\Phi 1$ 和 $\Phi 2$ 是双相不交叠时钟，以避免两个开关同时导通所造成的电荷泄漏。 $\Phi 1D$ 和 $\Phi 2D$ 分别比 $\Phi 1$ 和 $\Phi 2$ 略微延时，用来实现底极板采样， $\Phi 1Dn$ 和 $\Phi 2Dn$ 分别是 $\Phi 1D$ 和 $\Phi 2D$ 的反相时钟。采样阶段，时钟 $\Phi 2$ 和 $\Phi 2D$ 导通，信号通过开关施加在采样电容 C_S ，以电荷的形式保持在采样电容上。

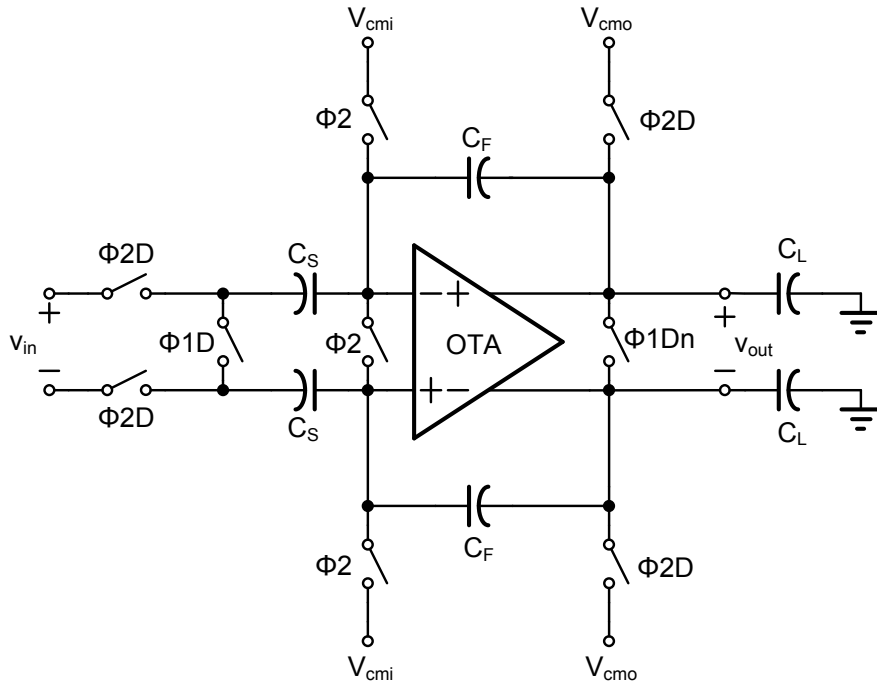


图 5.3 全差分电荷再分布结构的采样保持电路

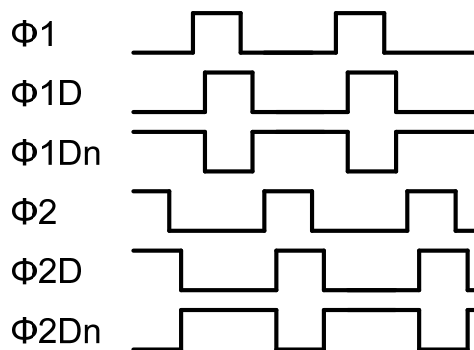


图 5.4 双相非交叠时钟组示意

在采样阶段即将结束的时候， $\Phi 2$ 控制的连接两个采样电容底极板的开关先于 $\Phi 2D$ 控制的连接信号和采样电容的开关断开，在连接两个采样电容底极板的开关断开以后，运放的正负两个输入端的结点完全处于开路的状态，所以这两个

结点上储存的电荷差值就不会再改变。但实际上，这个开关断开时的电荷注入仍会对电容底极板电荷造成误差。从理论上讲，只要运放的正负两端完全对称，对两端的电荷注入误差应当相等。但实际上由于运放的输入端 V_{in+} 和 V_{in-} 并不一定能够完全相等，因此在瞬态过程中运放的正负端仍然会存在电压差。到了保持阶段，电压差会从采样电容 C_s 上转移到保持电容 C_f 上，也即转移到 V_{out} 的差值上，造成误差，实际上也表现为一种记忆效应。因此，连接两个采样电容底极板的开关管是造成电荷注入误差的主要元件，所以在版图上要尽量对称，而且宽长比要小，但是这样又会增大寄生电容，因此需要仔细设计。

保持阶段， $\Phi 1D$ 为高电平，同时运放的短接开关全部断开，通过电荷的重新分配，将输入信号通过保持电容 C_f 转移到输出端，再差分电压输出达到稳定值以后，保持过程结束。若选择 $C_s = C_f$ ，则采样保持电路的增益为 1。

由于运放在采样的时候处在开环状态，所以运放的两个输出端也通过开关进行短路，并且被同时接到了共模输出电压 V_{ocm} ，否则的话，在采样过程中，运放的两个输入端虽然被短路到共模输入电平，但是由于开关具有一定的电阻，所以正负输入端会有一定的电压差，在运放的开环情况下，该电压差被放大，会使得运放的差分输出电压很大，以致于运放进入线性区。在运放开始保持阶段的时候，如果必须先从线性区出来的话，就会使得总的建立时间大大增加。

值得注意的是，这个运放的输出短接开关，在本设计中被设计为与 $\Phi 1D$ 反相的 $\Phi 1Dn$ 来控制，而不是通常所采用的 $\Phi 2D$ 。这是因为短暂的非交叠时间内，上述问题依然存在，由于运放的极高的开环增益，影响依然较大，因此，通过设置与闭环工作同步的反相时钟来使得电路不会受到运放短暂开环工作的影响。

综上所述，在采样阶段，运放的输入端和共模输入电压 V_{icm} 直接连接，运放不工作，由采样电容 C_s 上面的电压差跟踪输入电压 v_{in} 。在保持阶段，运放处于负反馈的工作状态，而且假设运放的增益足够高，那么其输入端为虚短的状态。在本论文中，取 $C_s = C_f$ ，设运放稳定以后的输入端电压为 v_x ，而 v_y 是保持阶段 C_s 底极板的电压，根据电荷守恒定律，有

$$\begin{cases} (v_{in+} - V_{icm}) + (V_{ocm} - V_{icm}) = (v_y - v_x) + (v_{out-} - v_x) \\ (v_{in-} - V_{icm}) + (V_{ocm} - V_{icm}) = (v_y - v_x) + (v_{out+} - v_x) \\ 2(v_y - v_x) = (v_{in+} - V_{icm}) + (v_{in-} - V_{icm}) \end{cases} \quad (5.1)$$

同时，由于全差分运放的共模反馈的存在，可以保证电路保持时的输出共模电压为 V_{icm} ，即 $v_{out+} + v_{out-} = 2V_{ocm}$ ，则有

$$\begin{cases} v_{in} = (v_{in+} + v_{in-}) / 2 \\ V_{icm} = V_x \\ v_{out-} - v_{out+} = v_{in+} - v_{in-} \end{cases} \quad (5.2)$$

根据上面的等式可知，通过设置 V_{ocm} 和 V_{icm} 的值，可以调整运放输入端的稳定工作电压。其次，信号的输入共模电压不影响运放的工作状态。这正说明本电路的最大优点就是可以抑制输入信号的共模漂移，从而避免了输入信号共模电压的变化对电路产生影响，可靠性强。

5.2.2 运放设计

5.2.2.1 增益自举的单级套筒式运放

针对低功耗设计，本论文在采样保持电路中采用增益自举的单级套筒运放。结构套筒式运放在所有的运放结构中具有最小的功耗和最大的带宽，然而由于套筒式运放所得到的增益不能满足系统要求，因此还需要通过增加两个增益自举的辅助运放来提升整个运放的增益。带增益自举的套筒式运放整体结构如图 5.5 所示，其中 A1 和 A2 是增益自举辅助放大器，结构分别表示在主运放两边。

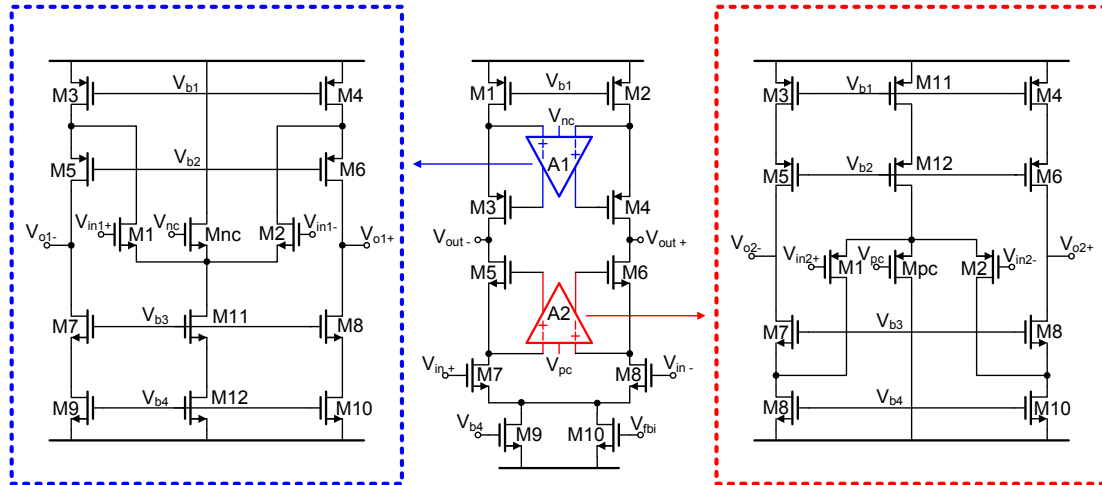


图 5.5 增益自举套筒式运放结构示意图

先来分析主运放。套筒式运放由于输出节点上面有两个管子，下面有三个管子，所以设计难点在于得到尽可能大的输出摆幅，在确保每个管子都工作在饱和区的前提下，其最大输出摆幅可以表示为

$$V_{swing} = 2(V_{DD} - 5V_{dsat} - 3V_{margin}) \quad (5.3)$$

假设每个管子的过驱动电压 V_{dsat} 为 150mV，再留 50mV 的裕量，这样就可以得到 $V_{swing}=2 V_{pp}$ 的输出摆幅。出于稳定性和设计裕量的考虑，本论文中将输出点的变化范围取在 0.6V~1.4V 的电压区间，再将共模点设在 1 V 位置，实现了 1.6V_{pp} 的输出摆幅，能够满足绝大多数的系统应用。

由于采用了增益自举结构，所以主运放的增益并不需要很大，而重要的是运

放的压摆率和单位增益带宽需要满足建立时间的要求，对于单极点运放而言，压摆率和单位增益带宽都和运放的电流成正比，因此也和功耗成正比，在设计中需要仔细进行折中考虑。

再来看噪声，由于 M3~M6 的源端阻抗很小，其对噪声的影响可以忽略，而 M9 和 M10 在电路平衡时对两条支路来说噪声是共模的，也可以忽略，即使在不平衡时，其贡献也还是可以忽略的。所以在此仅考虑 M1、M2 和 M7、M8 的输入等效噪声，为

$$\overline{dv_{ieq}} = \sqrt{2 \times \frac{8}{3} kT \left(\frac{1}{g_{m1}} + \frac{g_{m7}}{g_{m1}^2} \right)} \approx 2.4 \text{ nV}/\sqrt{\text{Hz}} \quad (5.4)$$

然而在采样保持电路里，采样电容的噪声为主要的噪声源，当采样电容为 1pF 时，等效输入噪声约为 64 μV_{RMS} ，远大于运放的噪声。

值得注意的是，运放的次极点最好是 GBW 的 4 倍以上。由于电路中的 PMOS 管流过的电流是恒定的，不在信号的通路上，所以它们不贡献极点。因此此电路仅含有一个非主极点，位于 M3 和 M4 的源端。非主极点的值为

$$p_{nd} = \frac{g_{m3}}{C_{gs3} + C_{gd1} + C_{bs3}} \quad (5.5)$$

其中 C_{gs3} 为 M3 的栅源电容， C_{gd1} 为 M1 的栅漏电容， C_{bs3} 为 M3 的源到衬底的寄生电容。如果忽略掉电容后两项的贡献，那么次极点的位置就是 M3 的本征频率 f_T ，当管子工作在饱和区时，此值可以表示为

$$f_T = \frac{3\mu_n}{4\pi L^2} (V_{GS} - V_T) \quad (5.6)$$

增益自举是通过增加输出阻抗来增加整个运放的增益大小。其中辅助放大器 A1 和 A2 采用标准的折叠套筒结构，主要是出于对输入速度和输入输出电压指标的要求。对于两个增益自举辅助运放来说，其负载很小，分别为主运放的 M3、M4 和 M5、M6 管寄生电容，根据管子尺寸的不同，其值大约在 $10 \sim 10^2 \text{ fF}$ 数量级，而且输入信号的摆幅也很小，同时也不需要非常高的增益，对其的设计较为简单。可以看到，辅助放大器中有第三个输入端 (V_{nc} 及 V_{np})，用来设定主运放电路中 M1、M2 和 M7、M8 的漏端电压值，并作为反馈回路，稳定折叠级联 OTA

的共模输出值。由于 A2 用于驱动 N 管栅电容负载，其负载会比驱动 P 管栅电容负载的 A1 有所减小，因此可以分别仔细调节两辅助运放的各自的电流，从而降低功耗。

5.2.2.2 偏置电路

为了实现较高的运放输出摆幅，而且同时能够偏置主运放和辅助运放，所采用的偏置电路如图 5.6 所示[11]，此偏置电路可以提供包括主运放和辅助运放在内所需要的所有偏置电压，其思路在于：采用与被偏置运放结构(见图 5.5)相同的电路来进行精确的偏置，同时通过 V_{nc} 、 V_{pc} 来设置自举电路共模输入电压。偏置电路还可以提供主运放的共模输入电压 V_{icm} 。为了获得较大的输出摆幅，图中 NM1~NM4 与 PM1~PM4 采用了传统的 cascode 高摆幅偏置电路结构，其中利用 NM12 管产生的 V_s 来设置 NM15 和 NM18 的漏源电压，使其刚刚处于饱和区，避免消耗额外的电压裕度。

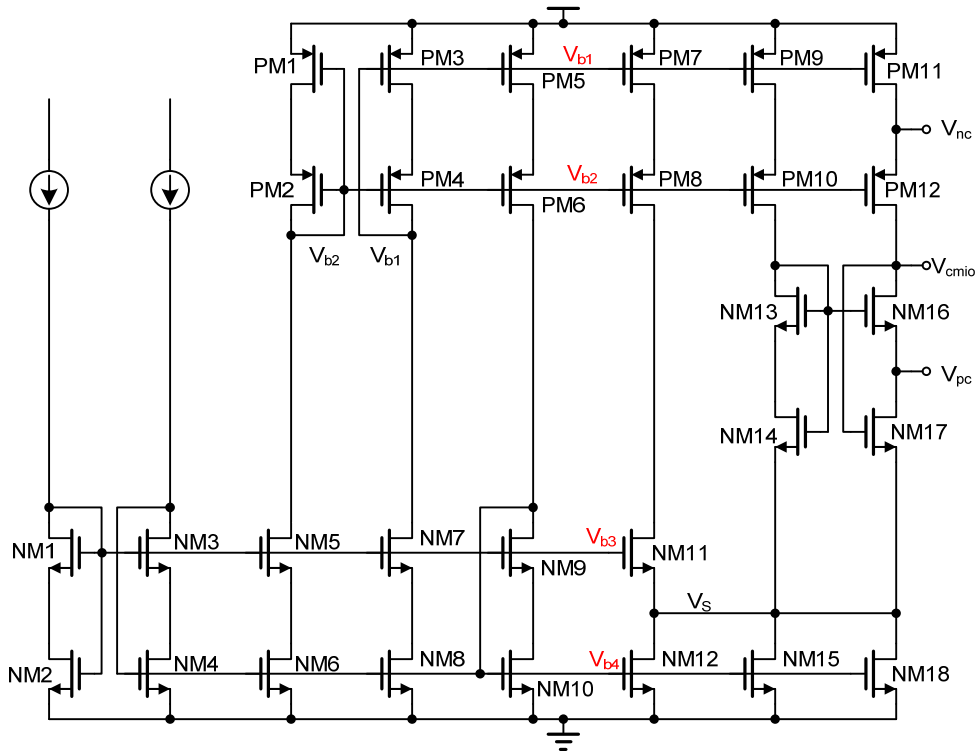


图 5.6 偏置电路[11]

5.2.2.3 开关电容共模负反馈

由于电路是全差分结构，需要有共模反馈电路来确定其共模输出电平。与连续时间共模负反馈电路相比，开关电容共模负反馈(SC-CMFB)电路对于输入的最大差分信号没有限制，不会引入寄生极点，具有很高的动态范围和较高的线性度。在采样保持电路中，不需要增加额外的时钟就可以方便地采用开关电容共模负反馈电路[24]，而且由于运放仅在半周期工作，可以相对 MDAC 中的共模反馈电路减少两个电容。

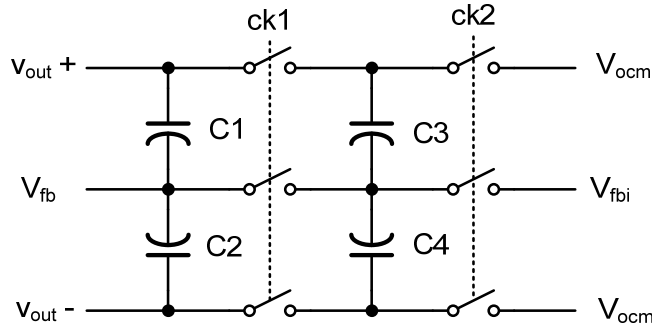


图 5.7 开关电容共模反馈电路

图 5.7 是 SC-CMFB 的电路，该电路是基于电荷分配原理得到的。 C_1 和 C_2 大小相等，用来保持共模输出电压与运放反馈偏置电压 V_{fb} 的差值， C_3 和 C_4 大小相等，在每次 $ck2$ 为高电平的时候储存 V_{ocm} 与 V_{fbi} 差值的初始电压，然后 $ck2$ 关断， $ck1$ 打开的时候将储存的电荷分配给 C_1 和 C_2 ，有

$$(v_{out+} - V_{fb})C_1 + (v_{out-} - V_{fb})C_2 = C_3(V_{ocm} - V_{fbi}) + C_4(V_{ocm} - V_{fbi}) \quad (5.7)$$

如果使得 V_{fbi} 上加的偏置电压和 V_{fb} 上的电压相同或者非常接近，也就达到了控制共模输出电压的目的。在电路运行几个周期后，共模反馈电路就可以达到稳定值，略有轻微摆动。因此， C_3 和 C_4 的取值可以比 C_1 和 C_2 小一些，这样每次调节的幅度不会太大，减小对输出的扰动，还可以减小共模反馈电路给运放带来的额外负载。

5.2.2.4 运放仿真

通过前文的分析和设计，需要通过对运放各种性能仿真，来评估其是否达到了设计要求。运放的仿真结果如下表所示。

表 5.1 采样保持电路运放仿真结果

参数	仿真结果
A_0	90.66 dB
GBW	1.028 GHz
PM	82.9 degree
SR	412 V/ μ s
T_{settling}	4.3 ns ($\Delta=0.01\%$)
THD	-105.6 dB@1M input -73.7 dB@50M input
Power Consumption	7.8 mW

各个参数仿真曲线分别如图 5.8、图 5.9 和图 5.10 所示。其中图 5.8 是运放频率特性,包括单位增益带宽和相位裕度的仿真结果;图 5.9 是分别在 1MHz、8MHz、25MHz 和 50MHz 的输入信号下运放的非线性,用总谐波失真(THD)来表示;图 5.10 为运放在输入为满幅时的建立曲线, x 轴为建立时间, y 轴为输出电压。两个点分别表示建立到满足系统要求所需精度以及最终精度的建立时间。从上述仿真结果可以看到,运放的设计完全满足 10bit 80MSps 的设计要求。

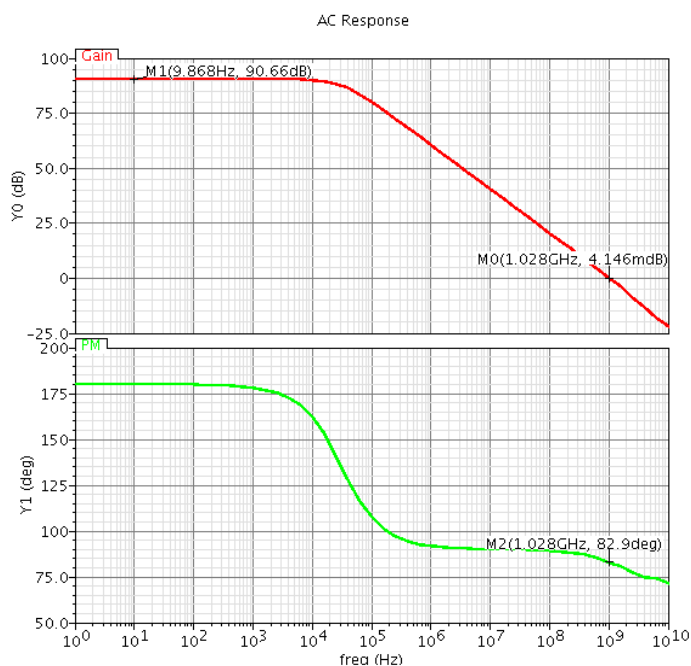


图 5.8 采样保持运放频响特性

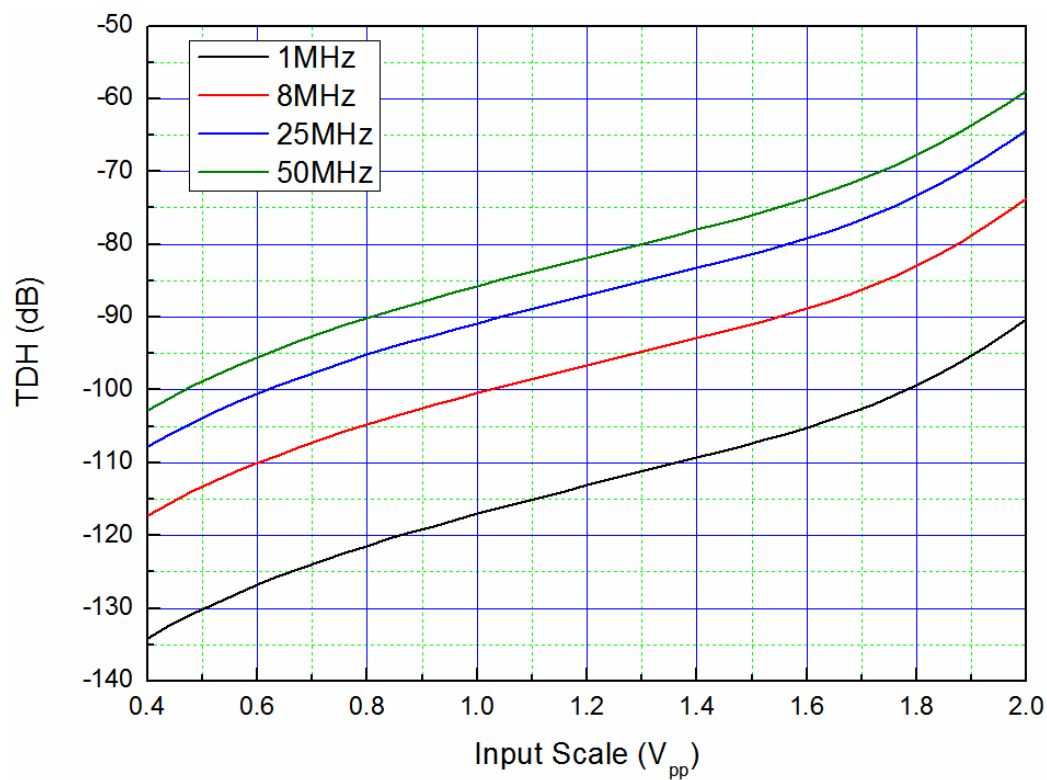


图 5.9 运放线性度

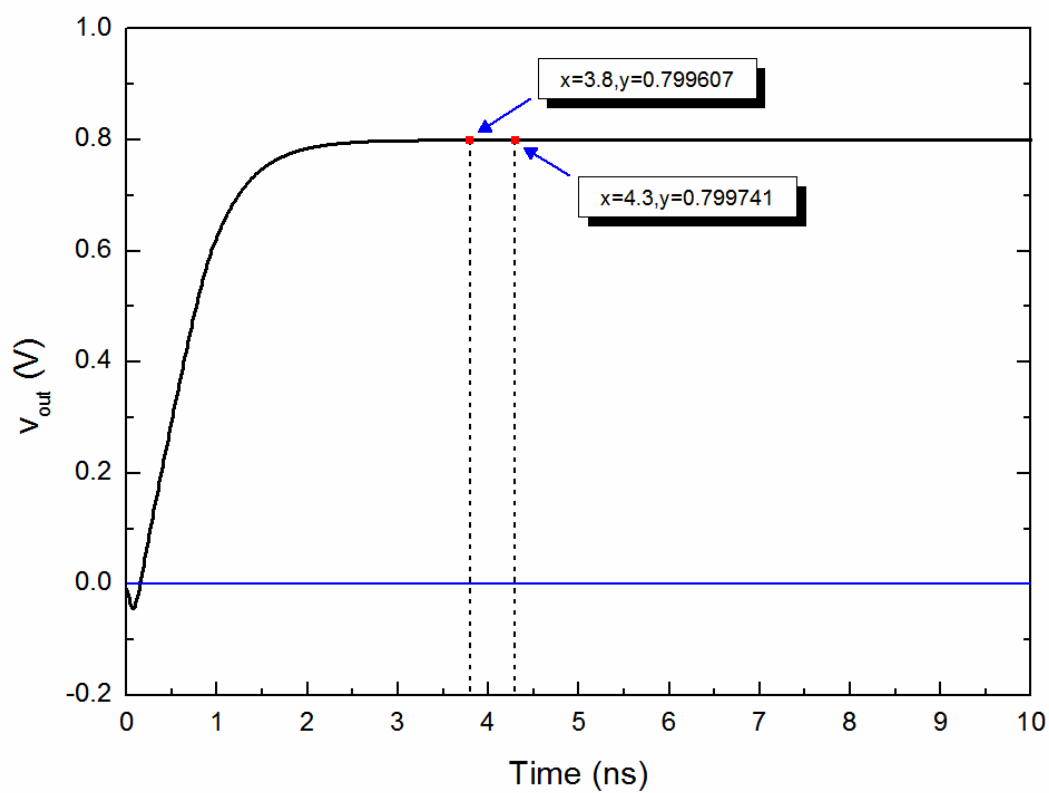


图 5.10 运放建立时间

5.2.3 开关设计

无论是在采样保持电路还是在 MDAC 中都需要用到许多开关。根据设计要求，不同位置的开关应当满足不同的要求，因而需要选择不同的结构。以图 5.3 中的采样保持电路开关为例，根据开关结构不同，有 NMOS 开关、CMOS 开关和栅压自举开关；根据功能不同，有采样开关、底极板采样开关、反馈开关和短接开关等等，下面分别介绍。

5.2.3.1 NMOS 开关

NMOS 开关如图 5.11 所示，栅极接时钟信号，当高电平时开关打开，低电平时开关闭合。这种开关结构简单，对称性好，可以用来当做底极板采样开关、设置输入共模电压开关和短接开关等等。

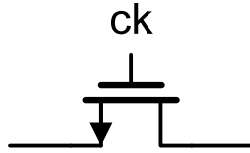


图 5.11 NMOS 开关

NMOS 开关的导通电阻由下式给出

$$R_{on} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_G - V_{in} - V_T)} \quad (5.8)$$

开关电容

$$C_{GS} = \frac{2}{3} W L C_{ox} \quad (5.9)$$

由上式可见，导通电阻的大小与输入信号有关。因此，一方面输入信号经过开关以后，幅度有少量的衰减，这个衰减不但是由于导通电阻本身所引起，而且还因为导通电阻和输出端的电容构成了一个低通滤波器，信号经过该滤波器后其幅度根据其频率得到相应地衰减，并出现相移；另一方面，由于导通电阻的大小与输入信号有关，从而使输出信号出现了非线性失真。可以看到，为了获得更低的导通电阻，可以采取加大管子宽长比的方法，但是这样一来，寄生电容也会随之增加。此外 NMOS 开关的关断电阻不是无穷大，如果用作采样开关，则保持电容上的电荷会通过这个有限关断电阻泄漏一部分。不过这个效应可以通过底极板采样的方法，结合合理的时钟控制时序得到消除或减小。此外，从式(5.8)还可以看出，开关的导通电阻还受到 NMOS 管阈值电压的影响。如果 NMOS 管的衬

底接到地(或电势最低点), 衬底偏置电压将随着 NMOS 管的源极电压变化, 也就是随着输入信号变化, 从而导致开关电阻的变化, 显然, 这种变化是非线性的, 致使开关电阻呈现非线性, 给输出信号引入了非线性失真。

5.2.3.2 CMOS 开关

CMOS 开关的结构如图 5.12 所示, 它具有结构简单、导通电阻小、动态范围大等优点。电路中保持电路的导通开关, 输出共模电压设置开关和 MDAC 中的采样开关等都采用这种结构, 因为后级的余量增益电路采样的是前级的保持输出, 带宽要求不高。

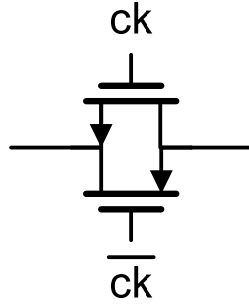


图 5.12 CMOS 开关

对于 CMOS 开关, 其等效电阻可以表示为

$$\begin{aligned}
 R_{on,eq} &= \frac{1}{\mu_n C_{ox} \left(\frac{W}{L} \right)_n (V_{DD} - V_{in} - V_{tn})} // \frac{1}{\mu_p C_{ox} \left(\frac{W}{L} \right)_p (V_{in} - |V_{tp}|)} \\
 &= \frac{1}{\mu_n C_{ox} \left(\frac{W}{L} \right)_n (V_{DD} - V_{tn}) - \mu_p C_{ox} \left(\frac{W}{L} \right)_p |V_{tp}| - \left[\mu_n C_{ox} \left(\frac{W}{L} \right)_n - \mu_p C_{ox} \left(\frac{W}{L} \right)_p \right] V_{in}}
 \end{aligned} \tag{5.10}$$

可以看到, 理论上可以通过合理设置 NMOS 和 PMOS 管的宽长比, 使得 $\mu_n C_{ox} \left(\frac{W}{L} \right)_n = \mu_p C_{ox} \left(\frac{W}{L} \right)_p$ 的话, 则 CMOS 开关的导通电阻就与输入信号无关, 从而可以获得良好的线性度。

但是以上的分析仅仅考虑了基本模型参数, 在实际电路中, CMOS 开关还受到各种高阶模型参数的影响。为此, 设置 NMOS 尺寸为固定值, 扫描 PMOS 的沟道宽度, 施加固定电压, 由仿真结果可以得到在 PMOS 与 NMOS 的沟道长度一样的情况下, 沟道宽度约为 3.3:1 的时候, CMOS 开关具有最好的对称性。

5.2.3.3 栅压自举开关

输入采样开关的非线性导通电阻会引入非线性误差和相移误差，从而制约了电路的带宽与信噪比，也限制了信号的输入范围。采用栅压自举开关可以减小非线性误差，提高信号的输入范围。

栅压自举开关是通过自举电路在开关导通的时候，提供给 MOS 开关一个恒定的栅源电压，其大小为接近电源电压或者更高，且不受输入信号变化的影响。原理如图 5.13 所示，首先在保持阶段对电容充电至 V_{DD} ，然后在采样阶段将电容从电源断开，连至 MOS 管的栅源两端，使得栅源电压 V_{GS} 保持在 V_{DD} ，从而克服了信号的影响。

值得注意的是 MOS 开关的导通电阻和采样电容实际上是构成了低通滤波器，在设计时要根据输入信号的带宽确定 MOS 管的导通电阻。一般 L 应当取最小值以减小寄生电容，从而在设计电路中可以适当选取 W 的值满足设计要求。

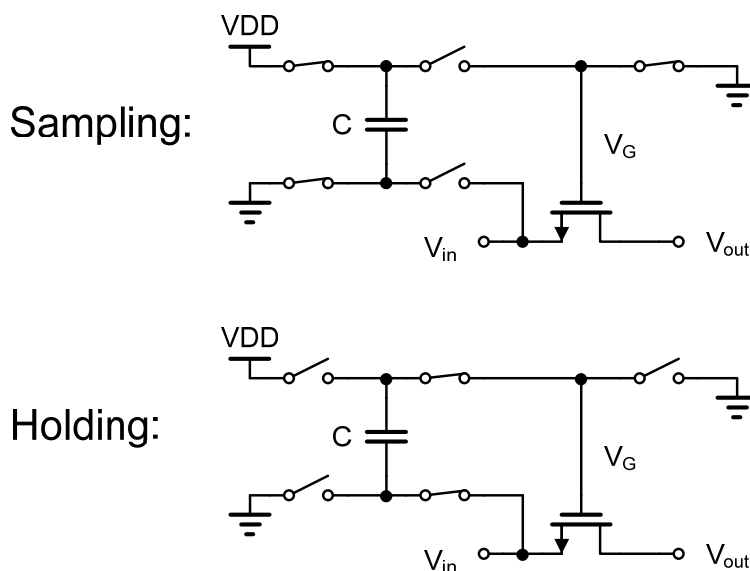


图 5.13 栅压自举开关原理示意图

(a) 传统栅压自举开关

传统的电路实现如图 5.14 所示。电路中， $C1$ 、 $C2$ 、 $M1$ 、 $M2$ 产生一个低电平为 V_{DD} 、高电平为 $2V_{DD}$ 的时钟，控制 $M3$ 的导通，使得 $C3$ 在 $M3$ 导通时可以充电至 V_{DD} 。

当 ck 为低电平的时候， $M10$ 导通， $M11$ 的栅极通过串接的 $M7$ 和 $M10$ 连接到地，开关断开。同时 $M3$ 和 $M6$ 导通， $C3$ 两端的电压充电至 V_{DD} ，起电荷储存的功能， $M8$ 和 $M9$ 在 $C3$ 充电的时候对开关 $M11$ 进行隔离。

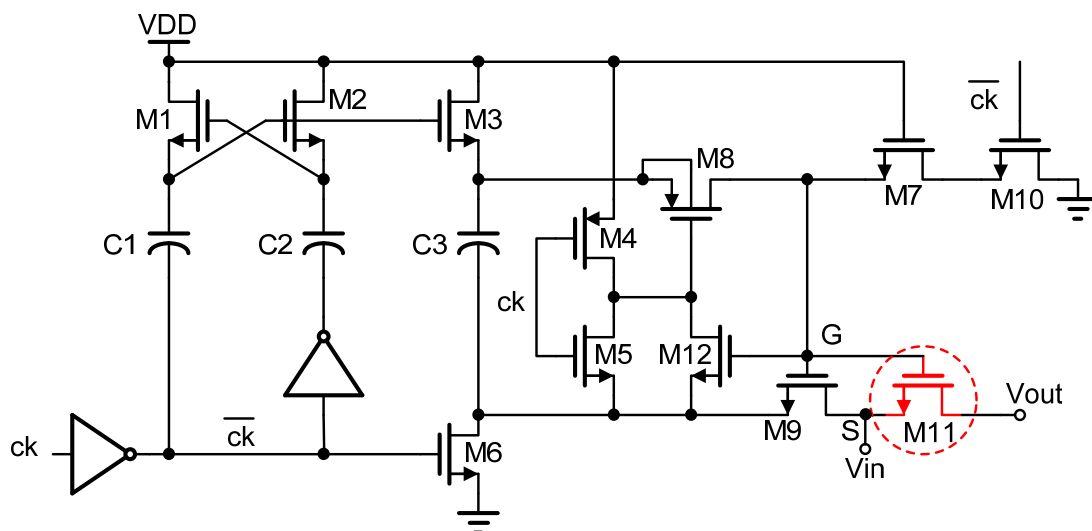


图 5.14 栅压自举电路

当 ck 为高电平的时候， $M5$ 将 $M8$ 的栅压拉低，使得 $M10$ 、 $M3$ 、 $M6$ 断开， $M8$ 和 $M9$ 导通，这样 $C3$ 保持的电压加到 $M11$ 的栅源两端，即 $V_{GS}=VDD$ ，不受输入信号的影响。此外，为了克服寄生电容的影响，应当减小 $M11$ 的导通电阻。

$M7$ 和 $M12$ 是基于可靠性的考虑而加入的。 $M7$ 的 L 可以取的稍大，增加放电通路的电阻，防止 $M10$ 由于漏源电压过大而击穿。而 $M12$ 是在 $M11$ 导通的时候避免 $M8$ 的栅源电压超过 VDD 。

对于电容的选取，考虑到面积因素，希望尽可能小，但是要保证电容的大小足够将负载充电到需要的值，要有足够大的值，从而克服寄生电容和 $M11$ 栅电容的影响。 $C3$ 的典型值是 0.5 pF 到 1.8 pF ，是其他寄生电容总和的 6 倍以上。而且 $C1$ 和 $C2$ 要取足够大的值，分别使得 $M3$ 和 $M1$ 的栅电压可以被提升到接近 $2VDD$ ，使其工作。电容的取值不影响负载端上升和下降的时间。

$M3$ 和 $M6$ 要采用较大的管子，而 $M8$ 和 $M9$ 对负载端的上升时间有很大影响，需要选择较大的宽长比以得到较短的上升时间。 $M7$ 和 $M10$ 则与下降时间有关。

(b) 改进的栅压自举开关

图 5.14 中的栅压自举开关中有三个电容，面积较大。因此在设计中，采用改进的单电容栅压自举开关，原理和传统的栅压自举开关基本是一样的，其电路如图 5.15 所示。

其仿真结果如图 5.16 所示，可以看到，栅压随输入信号变化而等量改变，所以采样开关导通时，栅源电压基本保持不变，不受输入信号的影响。

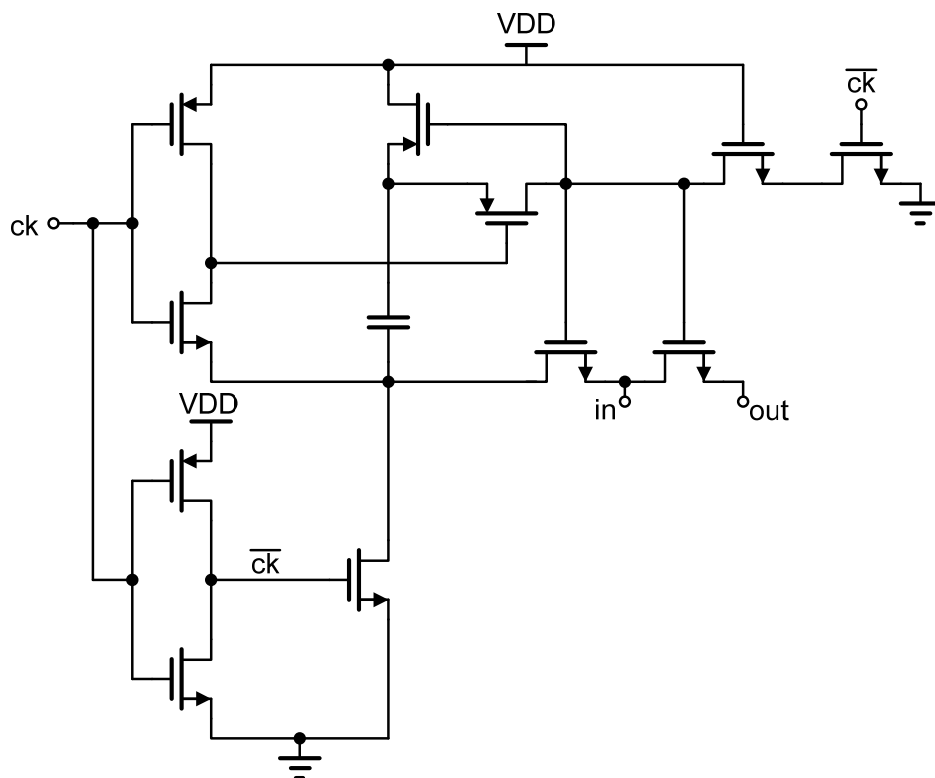


图 5.15 单电容栅压自举开关

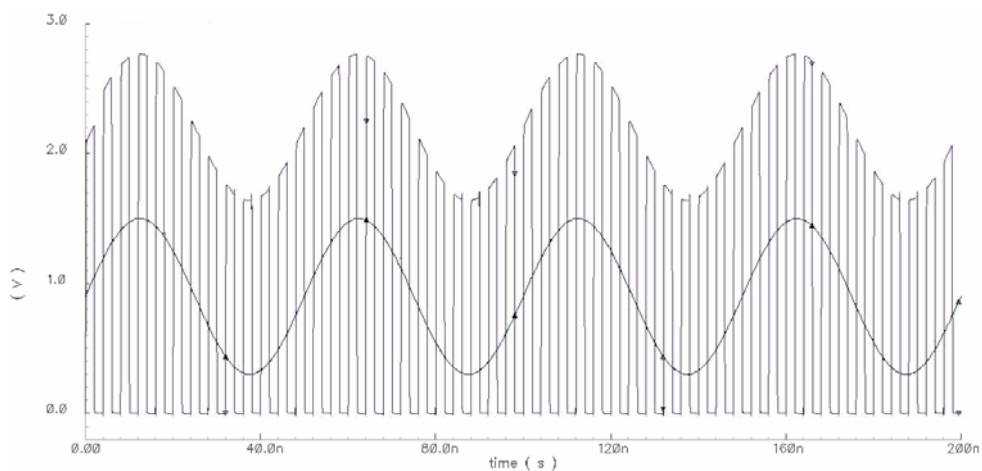


图 5.16 栅压跟随信号的波形

(c) 底极板采样栅压自举开关

根据前文中的分析，接在运放差分输入两端的开关为底极板采样开关，在采样周期快要结束时，底极板采样开关首先断开，如图 3.7 中 M2 的作用。这个开关需要有很高的线性度，从而锁定采样电容上底极板的电荷不随输入信号改变，同时也不受时钟馈通的影响。但是如果采用图 5.15 中的栅压自举开关则会导致在开关闭合时，开关管寄生电容向差分输入两端注入的电荷不同，因而难以被差

分结构所消除。因此，可以采用图 5.17 中的电路来改进这一影响[11]。

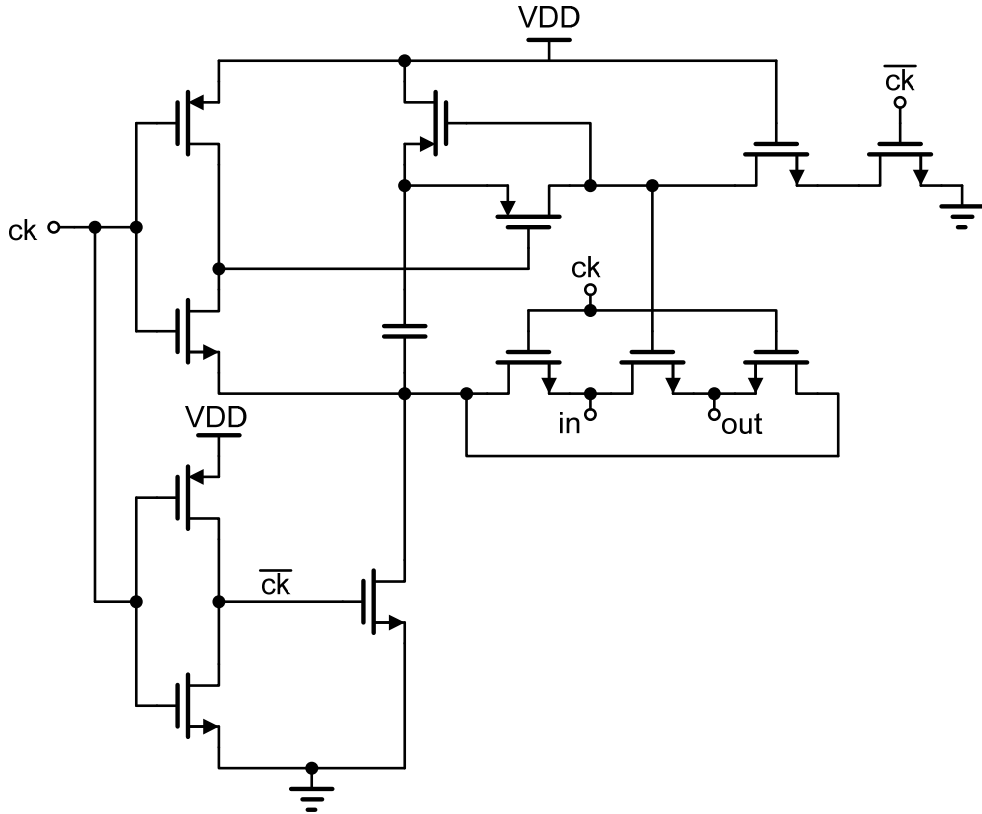


图 5.17 应用于底极板采样的栅压自举开关

5.2.4 采样保持电路仿真

衡量采样保持电路的指标和 ADC 基本一样，如 SNR，THD 等等。而为了仿真这些性能指标，则需要通过对采样保持电路或 ADC 输出的数据进行快速傅立叶变换(FFT)后经过一定计算后得到。

值得注意的是，在仿真和测试采样保持电路时，对于输入信号的选择要符合一定要求，需要满足

$$\frac{f_{in}}{f_s} = \frac{M}{N} \quad (5.11)$$

其中 N 为采样的点数，M 一般为一个小于 N/2 的质数。

在 80MHz 采样频率下，令输入信号为 10 MHz 时仿真结果如图 5.18 所示。由于电路仿真中不存在电容失配等一些非理想因素，SINAD 达到了较高的水平。尽管如此，从仿真结果仍可以看到，由于运放良好的性能设计，同时对于采样开关和其他开关的设置也较为合理，因此采样保持电路的性能可以达到设计要求。

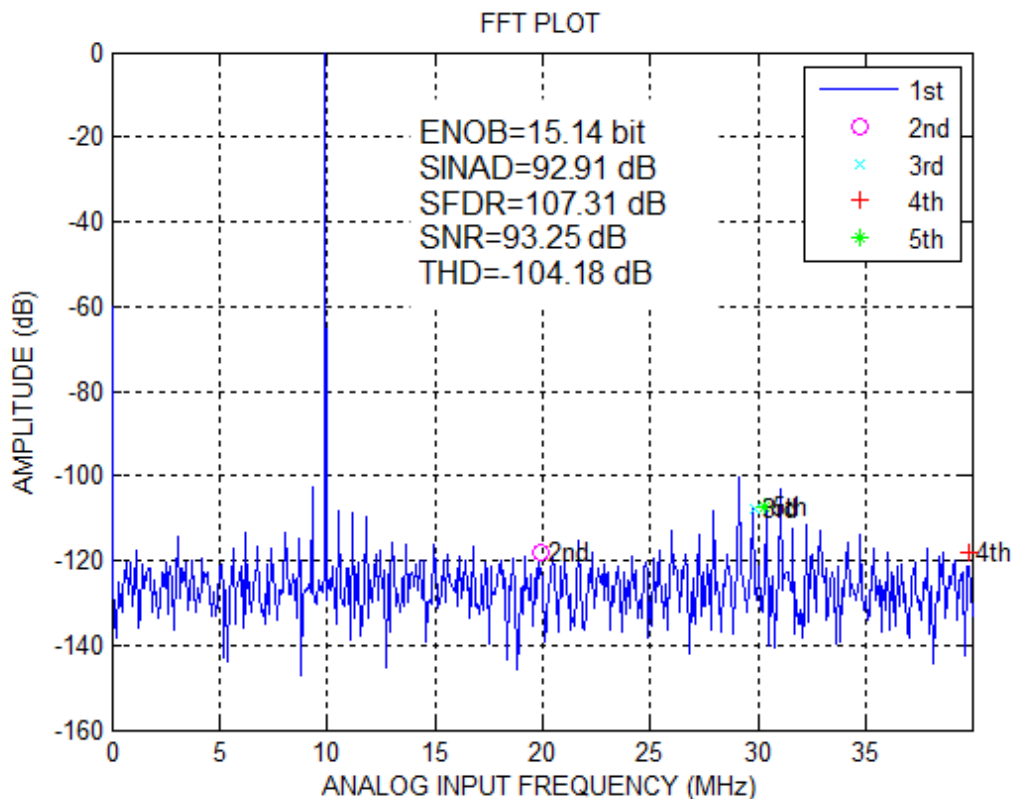


图 5.18 采样保持电路 FFT 仿真结果

5.3 比较器

由前文 3.2 节的分析可以知道，由于采用了数字校正算法，所允许的比较器失调可以很大。因此出于低功耗的设计的目的，本论文在子模数转换器中采用无静态功耗的动态比较器，如图 5.19 所示。当 V_{latch} 信号为高时，比较器开始工作，由于输入管的漏端为电源电压，因此这时输入管 M1~M4 被偏置在饱和区，比较器的阈值电压由 M1~M4 管子的宽长比来设定。

这种结构的比较器具有无静态功耗、比较速度快、失调电压小等优点，但缺点是比较器输出点的跳变可以通过输入管的寄生电容耦合到输入信号，回馈噪声很大。通常为了解决这样问题往往要增加一个前置预放大的运放来隔离这个反馈噪声通路，但是运放的引入会产生静态功耗。因此，在本设计中，比较器的时钟选择在下一级底极板采样开关已经断开之后，而运放还保持本级输出信号的时段进行比较，也就是在 $\Phi 1$ 和 $\Phi 1D$ 以及 $\Phi 2$ 和 $\Phi 2D$ 下降沿之间进行比较，从而不会影响本级信号的传递。而且由于采用了开关内置的运放，其回馈噪声也不会对相邻的 MDAC 产生影响。

在实际电路设计过程中，由于寄生效应的影响，阈值电压不可能精确为设计值，但由于数字校正的作用，只要大致在所需要的阈值附近即可。

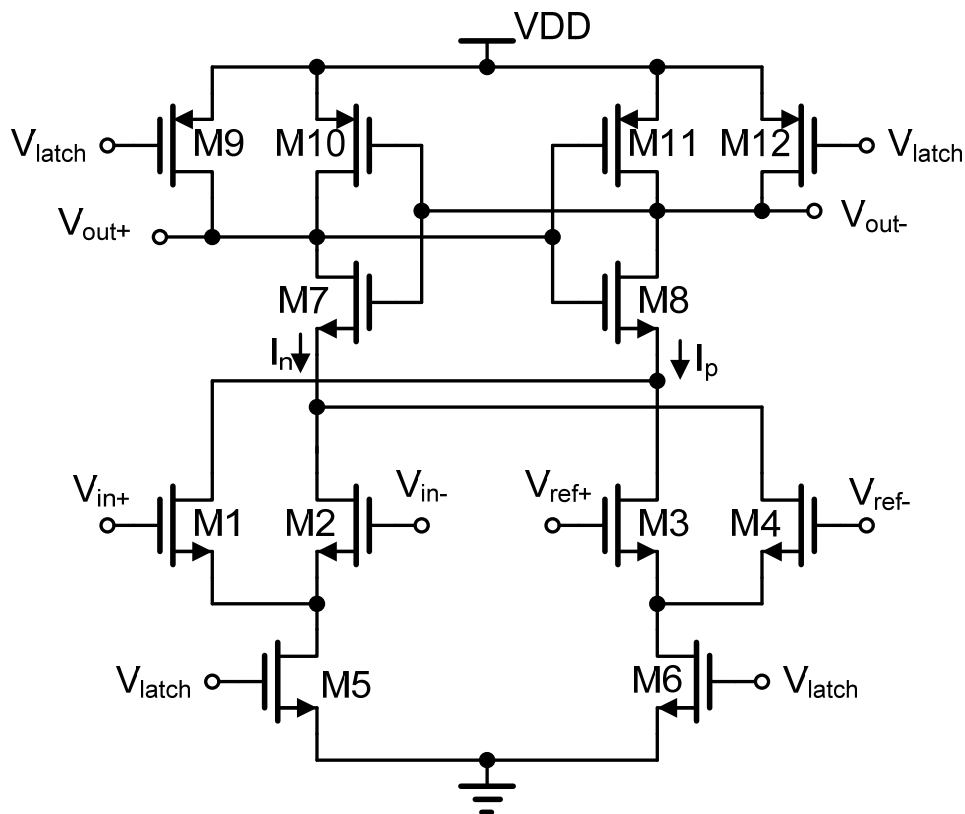


图 5.19 比较器结构

5.4 时钟生成电路

如前所述，ADC 使用的是基本时钟是双相非交叠时钟及其反相时钟，采样保持电路中的时钟产生电路如下图所示。

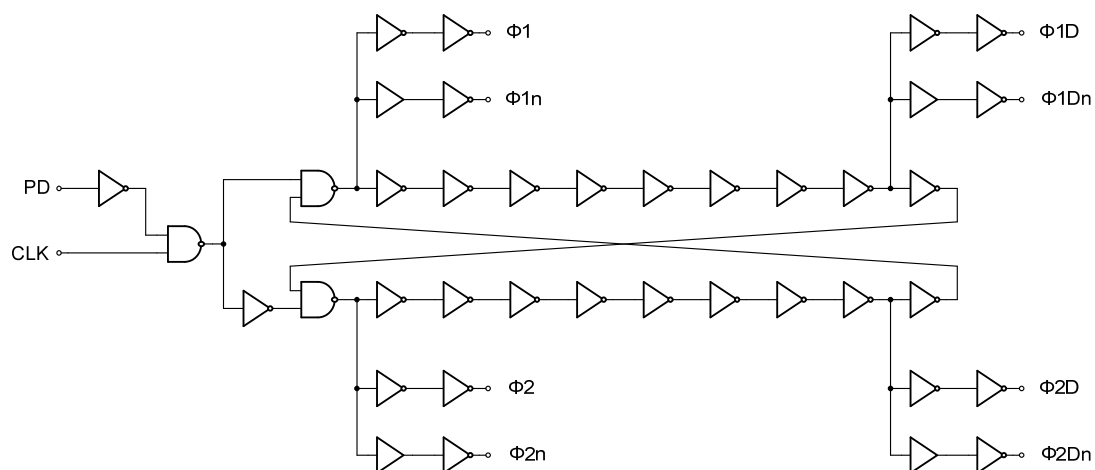


图 5.20 时钟产生电路

在 MDAC 中的时序上还要考虑到比较器比较的时刻，应当是在本级保持阶段最后，同时又是下级底极板采样开关关断之后才进行比较，以避免比较器抽取

电流，影响下级采样信号的精准。需要注意的是，控制 MDAC 中开关的时钟信号要与比较器输出所控制的参考电压开关的时钟信号保持同步，因此还需要有延时模块来对各个时钟进行同步校准。时钟产生电路如图 5.20 所示，图中未包含同步校准的延时模块。为了保证各项时钟与其反相时钟的同步，在各反相时钟前增加了延时对准单元。此外，控制相邻两级子模数转换器中比较器的两路 latch 信号则分别由 $\Phi 1n$ 和 $\Phi 2n$ 再接适当延时模块来产生。最后，为了实际应用考虑增加了 Power Down 开关，当 PD 为高电平时，所有输出均不再跳变，从而节省由时钟控制的数字电路部分功耗。

由于时钟信号是双相非交叠时钟，然而非交叠部分时长增加，则电路对信号的建立时长就会相应减少，因此要求更快的建立速度，从而消耗额外的功耗；但若非交叠时间不足，则有可能无法满足底极板采样和量化操作的时间差要求，从而造成电路性能下降。因此，需要根据电路正常工作的需要进行仔细的权衡以得到最优的时钟分配。

此外，各相时钟信号输出管的驱动能力也是需要考虑的，应该根据被驱动开关栅电容的大小进行估算，尽量减小由于驱动能力不够所带来的延时，避免不同步现象的发生。

5.5 数字校正电路

每级 1.5bit 的数字校正电路结构相对较为简单，只需将各级输出数字信号通过 D 触发器进行同步，再通过加法器错位相加即可。

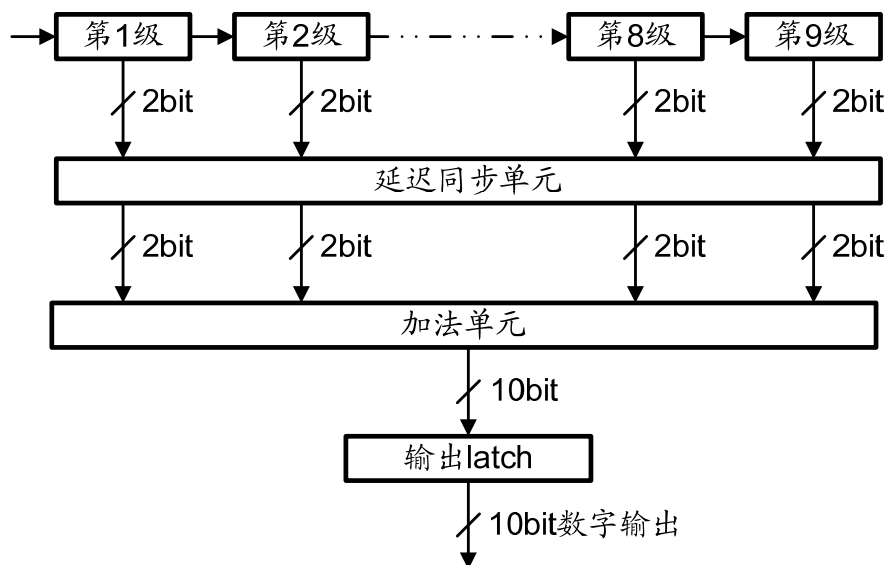


图 5.21 数字校正模块示意图

此外，二进制数也有不同的编码方式，在本设计中设置了 TWOS 开关，以

增加对后级数字极点电路的兼容性。当 **TWOS** 开关为低电平时，采用的是自然二进制码输出；当 **TWOS** 开关为高电平，可以将输出码转化为含符号的二进制反码。两种编码方式和其对应的十进制数如表 5.2 所示。

表 5.2 ADC 输出编码格式

自然二进制	对应十进制	二进制反码	对应十进制
0000	0	1000	-8
0001	1	1001	-7
0010	2	1010	-6
0011	3	1011	-5
0100	4	1100	-4
0101	5	1101	-3
0110	6	1110	-2
0111	7	1111	-1
1000	8	0000	0
1001	9	0001	1
1010	10	0010	2
1011	11	0011	3
1100	12	0100	4
1101	13	0101	5
1110	14	0110	6
1111	15	0111	7

5.6 参考电压电流产生电路

除上述介绍的各个模块之外，电路中还设计了带隙基准源以及参考电压和偏置电流产生电路。本设计中参考电压的驱动 **buffer** 电路中采用了电流镜式运放，因为电流镜运放可以提供很大的摆幅和较低的输入阻抗。同时，为了在低功耗参考电压产生电路下仍旧可以保证电路中参考电压的稳定，设计为接片外电容，以减少因为驱动过大的负载和比较器抽取电流对参考电压的影响。

5.7 整体 ADC 仿真

首先考察各级的输出保持信号的建立过程，其中采样保持电路的输出曲线如图 5.22 所示。仿真结果表明，无论是采样保持电路还是各级 **MDAC**，其建立到足够精度的时间都在 **6ns** 之内，可以满足 **80MSps** 下高精度的要求。

其次，为了考察 **ADC** 的静态特性，在输入加从 $V_R \sim -V_R$ 的斜波信号，设置采样频率使得每个周期输入的模拟信号改变 **1 LSB**。这样根据数字输出，可以考察 **ADC** 有没有失码和错码的现象。仿真结果如图 5.23 所示，由于页面显示范围有限，只截取一部分表示。可以看到，从 **1023** 开始，每个输出码都会很均匀地出现，在整个波形上都没有出现失码错码现象。其中波形中毛刺是二进制码转化为十进制时采用的算法电路产生的，与电路无关。

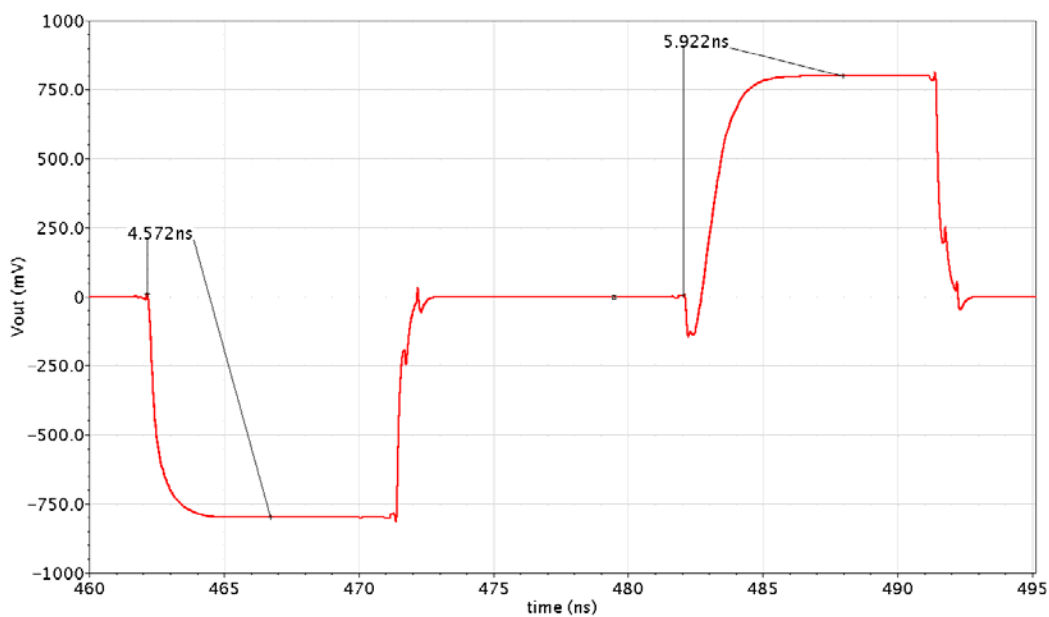


图 5.22 采样保持电路建立曲线

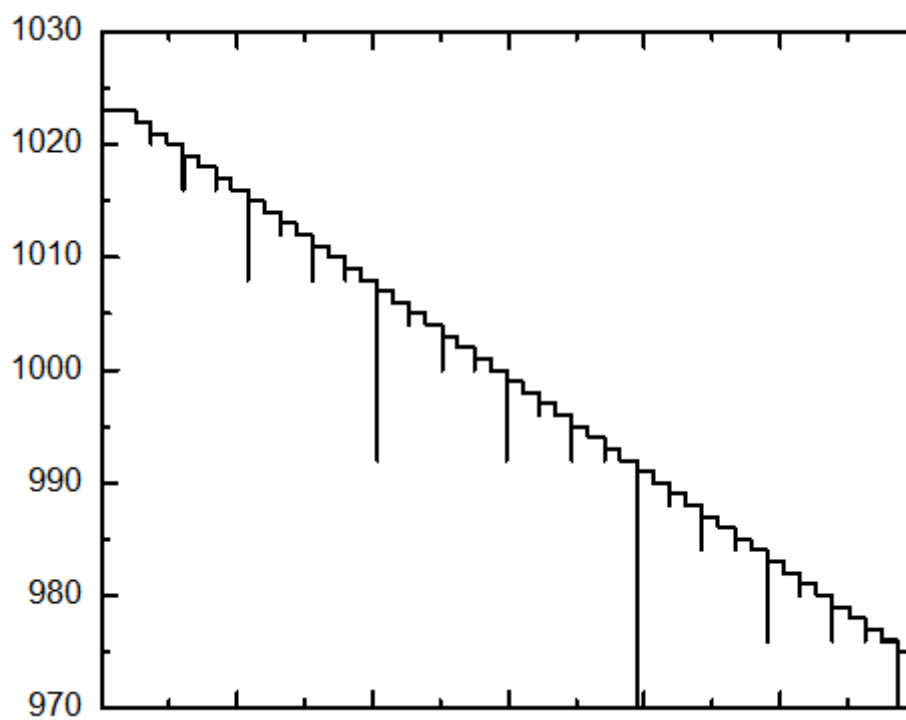


图 5.23 ADC 量化台阶

接下来需要考察 ADC 的动态特性。设置输入信号为 8MHz 左右的正弦波，在采样频率为 80MHz 的情况下进行一定时间的瞬态仿真，保存数字输出，之后进行 FFT 分析，结果如图 5.24 所示。

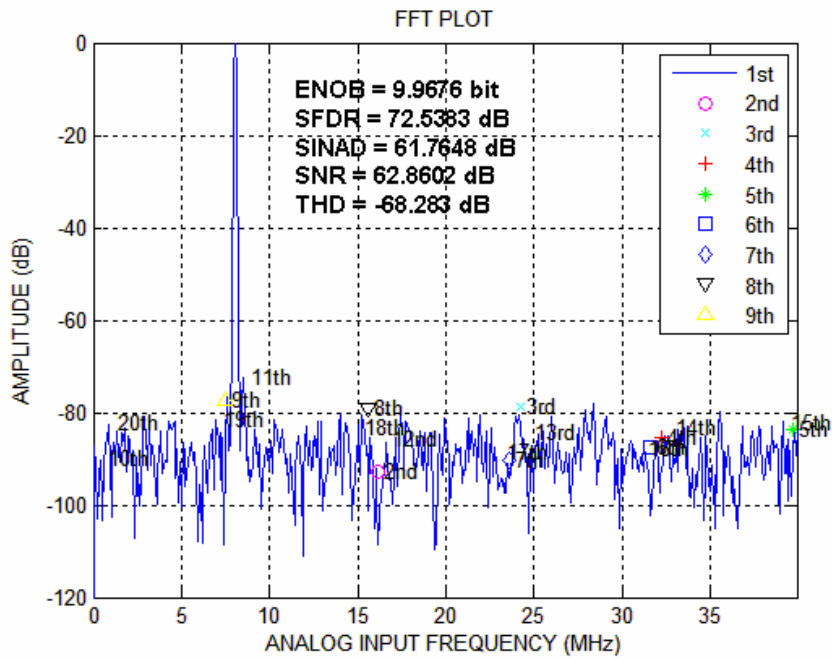


图 5.24 80MSps 下 ADC 动态特性 FFT 仿真结果

继续提高采样频率,在 100MHz 的采样频率下进行动态特性分析,如图 5.25 所示,可以看到电路依然可以达到较好的动态特性。

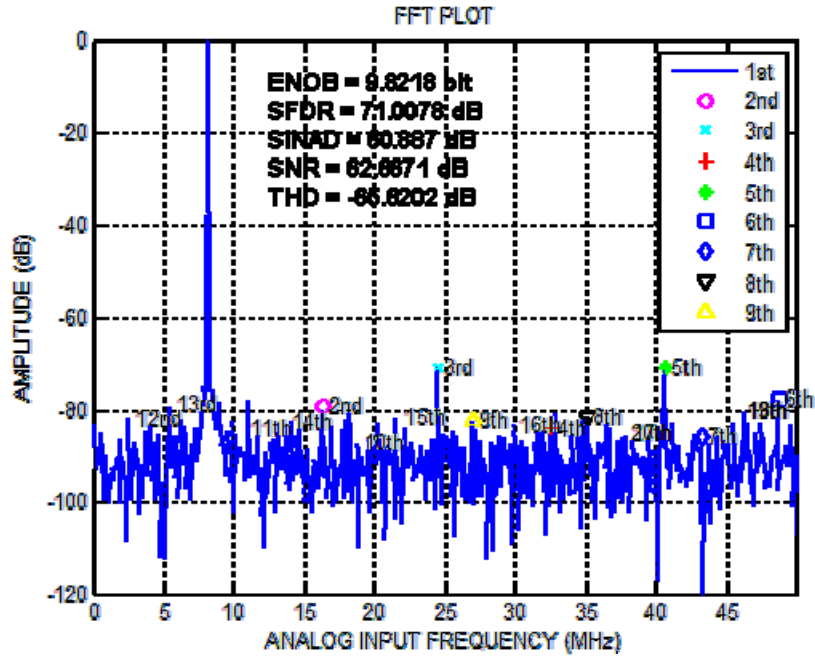


图 5.25 100 MSps 下 ADC 动态特性 FFT 仿真结果

在整个电路实现中,出于实际应用考虑,增加了待机信号(Power Down),当 Power Down 设置有效时,电路中绝大多数模块电流被关断,从而达到控制

功耗的目的，整个芯片的设计功耗为 32mW，待机模式下电流小于 100 μ A。

5.8 ADC 版图设计

为了保证流片结果与电路仿真结果一致，对版图设计提出了很高的要求，由于版图设计原因引入的误差会进一步影响电路的性能，本章介绍了流水线模数转换器的版图设计原则和方法[29,30]，通过对关键电路版图的仔细设计，在 SMIC 0.18- μ m、1.8V 电源电压、单层多晶硅六层金属的标准 CMOS 工艺下完成了整个系统版图的设计工作。

5.8.1 版图基本原则

良好的版图布局一般应当遵循以下几点设计规则：

(a) 奇、偶层金属分别走水平、垂直连线

由于在原理图设计中，为了方便查看和修改，往往会采取对连线命名的方法。也就是说即使两条或多条线之间没有实际连接，但只要它们的电气名称是相同的，那就表示这些线是互相连通的，因此连线可以做得非常美观。但在版图设计中，所有的连线都是真正的物理连接，任何在原理图通过命名方式连接的线，在版图中都必须确实可靠地连接上。这就为版图布局带来了很大的挑战，因此，多层布线也就应运而生。在版图设计中，首先需要明确的是，除非有特殊要求或情况，要尽量采取奇数层金属水平走线、偶数层金属垂直走线(或偶数层金属水平走线、奇数层金属垂直走线)的方法，从而提高布线便捷度和连通率。

(b) 网格布线保证连线间距

在版图设计中，由于受到工艺限制，各种有源区、金属、通孔等物理区域之间不可避免地会存在尺寸和间距等限制，为此，可以通过查阅工艺手册，本着留有一定余量的原则，确定一个或几个针对不同对象的网格设置，布线和元件仅在格点或格点之间连线上。因为网格间距易于观察和控制，根据网格布线，可以很大程度上提高布局布线的可靠性和可读性。

(c) 良好的匹配

匹配是模拟电路设计中最为重要的因素，优异的性能必须要依靠良好的匹配来完成。在版图设计中，匹配也是极为重要的，除了电路级的匹配之外，依靠一些良好的匹配技术，可以尽量减小由于工艺所带来的不确定性因素。除了使需要匹配的元件尽可能近地同向摆放之外，包括偏置电路与运放的匹配、差分输入管

对之间的指型匹配、电容间的共质心匹配等等也都是很好的选择。

(d) 分析电流密度保证 IR 压降

版图中所对应的是芯片上真实的物理存在，因此，各种非理想因素尤其是连线所能承受的电流密度和电阻，则会相当程度上影响电路的工作状态。不像数字电路，在模拟电路中信号线中较大电流是随处可见的，这时就不能仅仅用最小的线宽来进行布线，而需要仔细地了解和分析每条连线上所承载的电流，同时根据工艺文件中连线所能承受的安全的电流密度来决定线宽，否则，当电流密度过大，会引起发热、电迁移等各种失效状态。此外，当连线过长时，电阻也相应较大，因而导致在连线上出现了 IR 压降。因此，在保证适当电流密度的情况下，还要使得在连线上的压降尽可能小，一般要小于 10mV，甚至更低。

(e) 寄生参数。

在实际物理电路中，寄生电容、寄生电阻、寄生电感等寄生参数无处不在，为此，必须要在设计版图之前就要有所预见，仔细分析电路中寄生效应影响较大的节点和通路；在版图设计过程中也应当根据出现的情况，尽力避免或减小寄生效应不利的影响；版图完成后要及时通过后仿结果修正版图，以达到性能要求。

(f) 电源和地尽可能粗，采用多层金属

由于电源线和地线是所有电路的命脉，也是影响电路性能的重要因素，因此，如果可能的话，尽量加粗电源线和地线。采用多层金属，并用大片通孔良好连接也是很好的方法。

(g) 避免在电路上面走线

正如上面提到的寄生参数，永远都无法准确预计在电路上面走线会对电路产生怎样的影响，因此，要尽量避免在电路上面走线。

(h) 哑元(dummy)

为了避免在边缘的器件因过度刻蚀而造成与中心器件的不匹配，可以有意的在器件周围增加一些虚设器件，也叫哑元，使得所有需要良好匹配的元件都在中间，避免过度刻蚀和周围环境不同引起的失配。

(i) 隔离噪声

数模混合电路遇到的很大的问题就是数字电路产生的噪声会影响到模拟电路的性能。为此，可以用一大圈接地的衬底接触把每个数字和模拟模块分别包围

起来，使得噪声不能逸出和进入其他模块。

5.8.2 各模块版图布局和设计

对于 ADC 而言，在同一块芯片上既有模拟电路，又有数字电路，还有时钟电路，所以在版图设计方面最重要的隔离就是电源之间的隔离，本设计采用了四组电源，分别是模拟电源、数字电源、时钟电源和保护环电源。此外，模拟和数字及时钟各个模块电路的之间也需要良好的隔离。以采样保持电路为例，如图 5.26 所示

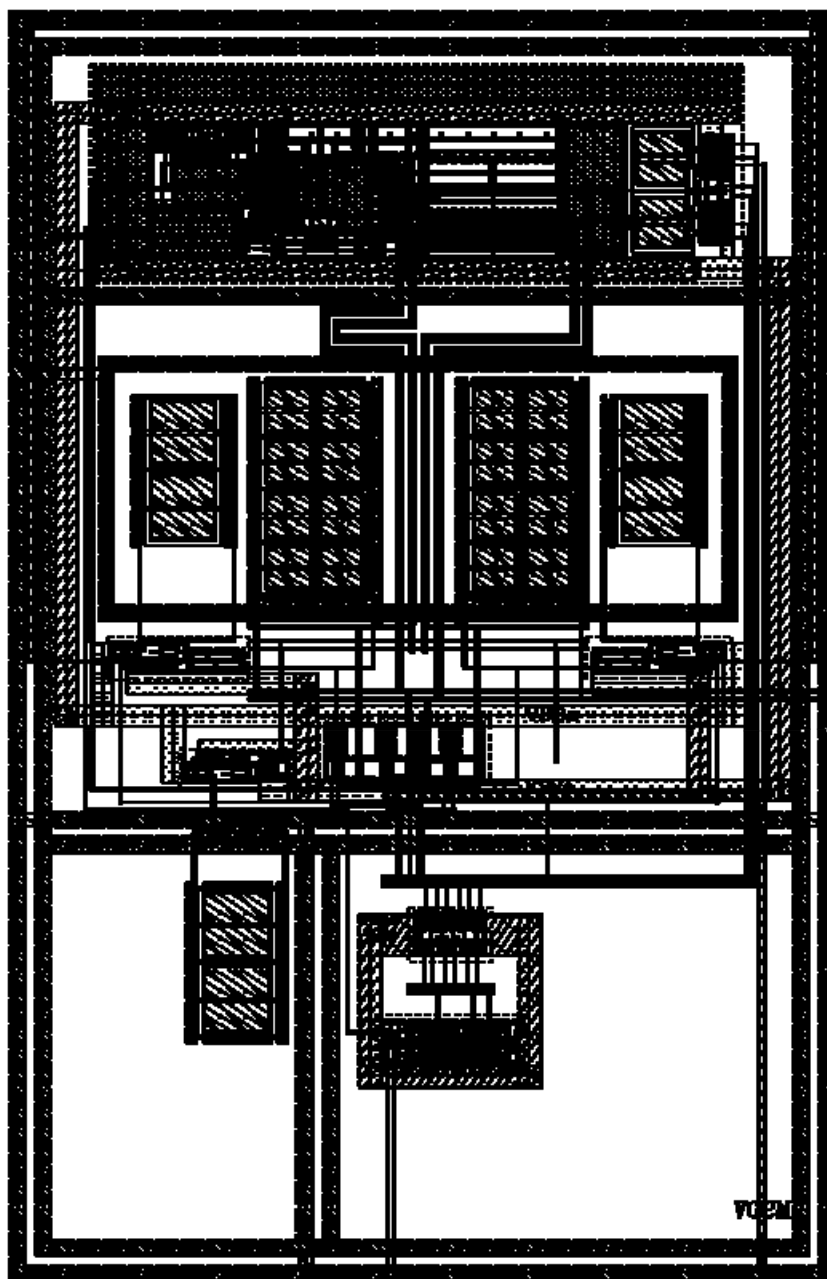


图 5.26 采样保持电路版图

可以明显看到, 整个电路被大范围地分成四个区域, 区域之间由接地的 P 阱和接电源的 N 阱(guard-ring)进行隔离。上部是模拟电路部分, 包括运放、偏置和共模反馈电路。运放的差分连线中一端刻意进行了绕线以匹配另一端的走线长度, 获得良好的差分传输特性; 中部是电容和开关, 其中电容也被一圈保护环包围, 因为金属与地之间的寄生电容不能消除, 因此这个寄生电容也要达到很高程度的匹配, 保护环就是保证电容下面的衬底有一个干净的电位, 避免受到衬底噪声的影响。包括栅压自举开关和普通 CMOS 开关等电路则在模拟电路保护环和电容保护环之间; 而下部的左边是栅压自举开关的电容, 右面则是时钟产生电路。

其中, 出于高匹配的设计要求, 运放的输入管被设计成共质心的插指结构, 如图 5.27 所示。可以看到, 运放的两个输入管被分成了上下两个部分, 每个部分都由 M1 和 M2 通过插指的结构设计, 每个部分的左右两端还增加了哑元管以获得更好的边缘匹配。上下两个部分共质心对称, 输入线分别由两侧引出, 这样一来, 就可以实现输入差分对管的完全对称。

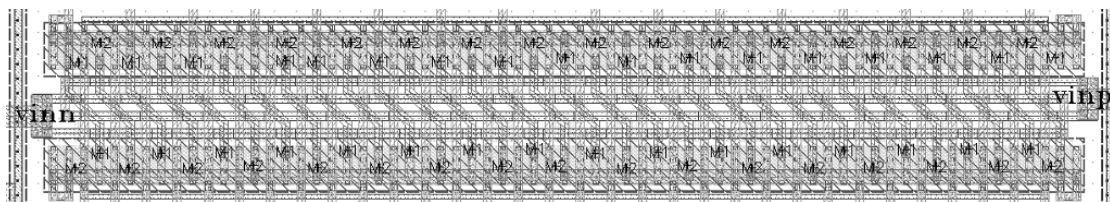


图 5.27 运放输入管版图

版图上相互靠近的同类型的 MOS 管也都采用隔离环进行衬底接地或衬底接电源, 一方面是降低彼此之间由于衬底噪声和衬底压降带来的误差; 另一方面, 也是为了使管子周围的环境近似, 实现良好的匹配。

在 MDAC 中, 由于没有了栅压自举开关, 同时又增加了比较器等数字电路, 因此版图的下部为数字电路和时钟产生电路等。比较器之所以也在这个区域里, 是因为比较器在比较的瞬间抽取电流很大, 会对模拟信号造成一定的干扰, 其版图如图 5.28 所示。

可以看到, 版图中数字电路和模拟电路的距离较大, 这是为了避免数字电路对模拟电路的干扰, 同时保证版图良好的可读性。

为了更好地匹配采样电容和保持电容, 本设计中采用了如图 5.29 所示的布局, 将每个电容分成相等的四个正方形, 蛇形排列。这样的同质心结构不仅能够工艺上得到良好的匹配, 同时也有着相同的寄生电容。

电路的其他部分, 也都遵循一开始提到的各种设计原则, 通过仔细地考虑进行合理的布局和摆放。其中, 电源线设计得比较粗, 并采用多层金属走线。

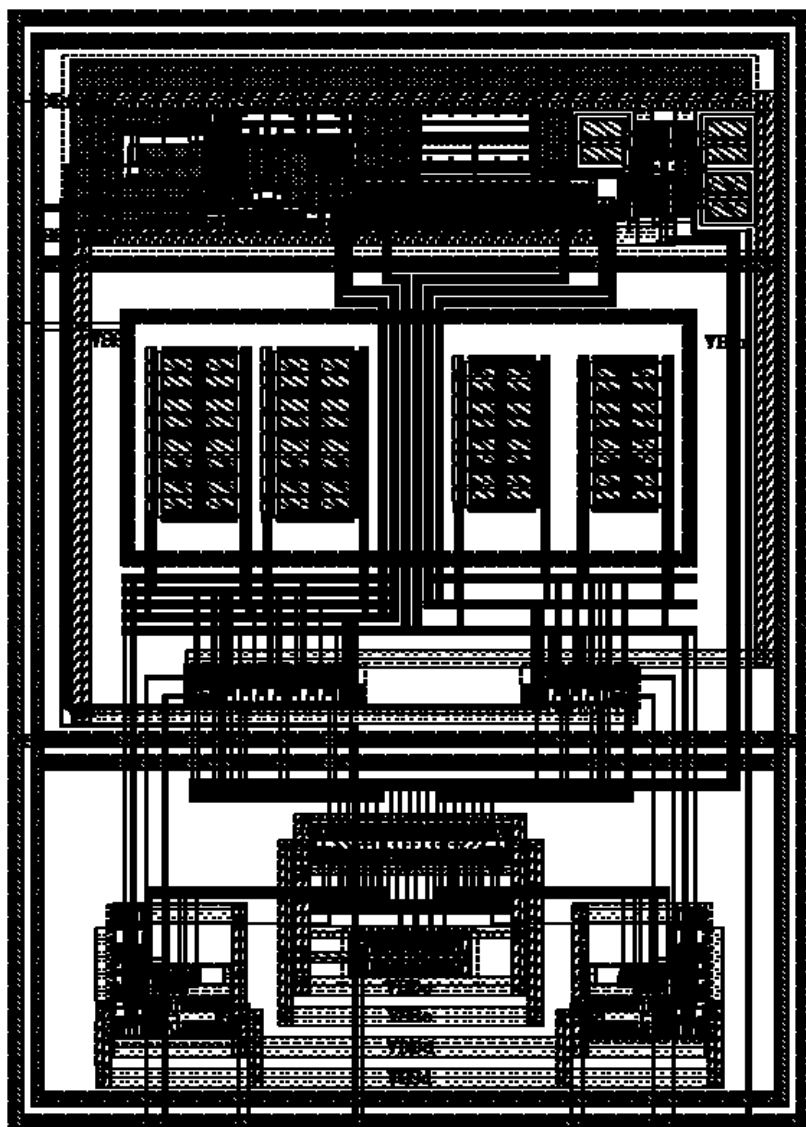


图 5.28 第 1/2 级 MDAC 布局

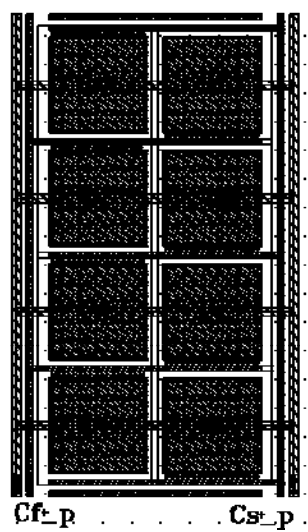


图 5.29 采样电容和保持电容的布局

5.8.3 ADC 整体版图布局

最终芯片版图如图 5.30 所示,可以明显地看到电路分为六个部分:从左到右依次为 bandgap 和参考电压产生电路、采样保持电路、第一二级 MDAC、第三四级 MDAC、第五六级 MDAC 和第七八级 MDAC。右下角为 2bit Flash ADC 和数字校正电路。

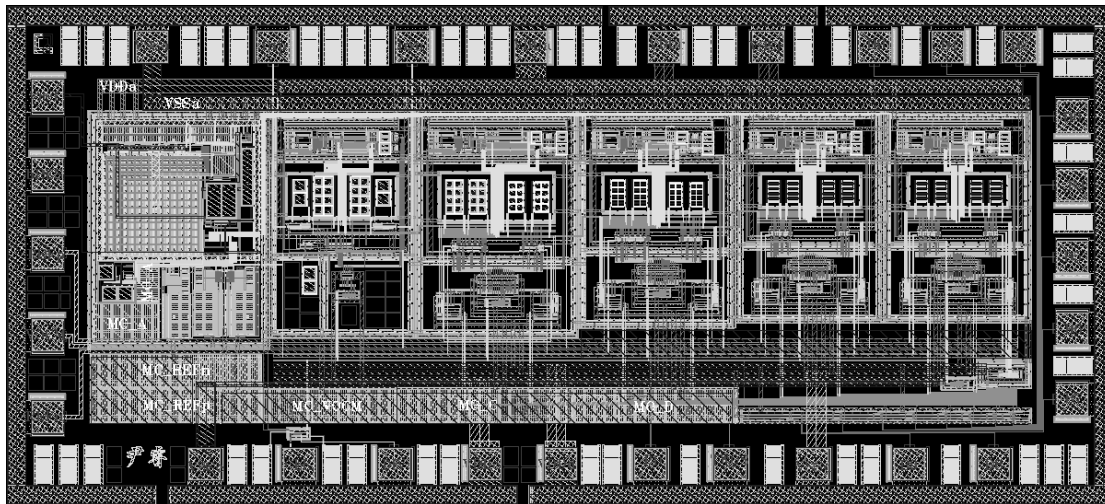


图 5.30 芯片布局

此外,由于在电路设计时就对各种设计参数如电容的取值、运放的带宽和增益等留有了一定的裕量,因此为了验证电路实际所能实现的精度,在上述 10bit ADC 的基础上,不更改各级电容的取值,仅在第七、八级 MDAC 与 2bit Flash ADC 之间增加了与第七、八级 MDAC 同样的第九、十级 MDAC,从而得到了一个 12bit 的 ADC,作为测试时的参照,其核心功耗为 31 mW。

参考文献

- [1] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu, and J. Barbolla. Low-Power Pipeline ADC for Wireless LANs [J]. IEEE J. Solid-State Circuits, vol. 39, pp. 1338–1340, Aug. 2004.
- [2] Y. Chiu, P. R. Gray, B. Nikolic. A 14-b 12-MSs CMOS pipeline ADC with over 100-dB SFDR [J]. IEEE J. Solid-State Circuits, vol. 39, pp. 2139–2151, Dec. 2004.
- [3] H.O. Hsin, D.L. Bin. A 1-V 9-bit, 2.5-Msample/s pipelined ADC with merged switched-opamp and opamp-sharing techniques [C]. IEEE International Symp. Circuits and Systems. Kobe, Japan: IEEE Circuits and Systems Society, 2005, 1972–1975.
- [4] B. Ginetti and P. G. A. Jespers. A 1.5 Ms/s 8-bit pipeline RSD A/D converter [C]. ESSCIRC Dig. Tech. Papers, Sept. 1990, pp. 137–140.
- [5] J. Li and U.K. Moon. A 1.8-V 67-mW 10-bit 100-MSs pipelined ADC using

- time-shifted CDS technique [J]. IEEE J. Solid-State Circuits, vol. 39, pp. 1476-1468, Sept. 2004.
- [6] S. H. Lewis, H. S. Fetterman, G. F. Gross Jr., R. Ramachandran, and T. R. Viswanathan. A 10-b 20-Msample/s analog-to-digital converter [J]. IEEE J. Solid-State Circuits, vol. 27, pp. 351-358, Mar. 1992.
- [7] M. Abo and P. R. Gray. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter [J]. IEEE J. Solid-State Circuits, vol. 34, pp. 599-606, May 1999.
- [8] T. Brooks et al. A cascaded sigma-delta pipeline A/D converter with 1.25 MHz signal bandwidth and 89 dB SNR [J]. IEEE J. Solid-State Circuits, vol. 32, no. 12, pp. 1896-1906, Dec. 1997.
- [9] H. Pan, M. Segami, M. Choi, et al. A 3.3-V 12-b 50-MS/s A/D converter in 0.6 μ m CMOS with over 80-dB SFDR [J]. IEEE J. Solid-State Circuits, 2000, 35(12): 1769-1780
- [10] M. Choi, A. Asad. A 6-b 1.3-Gsps AD Converter in 0.35 μ m CMOS [J]. IEEE J. Solid-State Circuits, 2001, 36(12): 1847-1858
- [11] 李建. 低功耗低电压 CMOS 流水线模数转换器的结构研究与实现[D]. 复旦大学. 2008 pp. 34
- [12] Y. M. Lin, B. Kim, P. R. Gray. A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3- μ m CMOS. IEEE J. Solid-State Circuits, 1991, 26(4): 628-636
- [13] D. A. Mercer. A 12b 750ns Subranging A/D Converter with Self-Correcting S/H. IEEE J. Solid-State Circuits, 1991, 26(12): 1790-1799
- [14] Shinagawa, Y. Akazawa and T. Wakimoto. Jitter Analysis of High-Speed Sampling Systems [J]. IEEE J. of Solid-State Circuits, vol. 25, no. 1, pp. 220-4, Feb. 1990.
- [15] Li, J., Zeng, X., Xie, L., Chen, J., Zhang, J., Guo, Y. A 1.8-V 22-mW 10-bit 30-MS/s Pipelined CMOS ADC for Low-Power Subsampling Applications [J]. IEEE J. Solid-State Circuits, 2008, 43, (2), pp. 321-329
- [16] T. Brooks et al. A cascaded sigma-delta pipeline A/D converter with 1.25 MHz signal bandwidth and 89 dB SNR [J]. IEEE J. Solid-State Circuits, vol. 32, no. 12, pp. 1896-1906, Dec. 1997.
- [17] S. Ryu, B. Song, K. Bacrania. A 10-bit 50-MS/s Pipelined ADC with Opamp Current Reuse [C]. IEEE J. Solid State Circuits, pp. 475-485, vol. 42, No. 3, March 2007.
- [18] K. Chandrashekar and B. Bakkaloglu. A 10b 50MS/s Opamp-Sharing Pipeline A/D With Current-Reuse OTAs [C]. IEEE CICC, Sep. 2009, pp. 263-266
- [19] Rudy van de Plassche. CMOS integrated analog-to-digital and digital-to-analog converters [M], 2nd Edition, Kluwer Academic publishers, 2003.
- [20] Stephen H. Lewis and Paul R. Gray. A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter [J]. IEEE J. Solid-State Circuits, 1987, SC-22(6): 954-961.
- [21] Stephen H. Lewis. Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications [J]. IEEE Trans. Circuits and Systems II: Analog and digital signal processing, 1992, 39(8): 516-523.
- [22] Lauri Sumanen, Mikko Waltari, and Kari A. I. Halonen. A 10-bit 200-MS/s CMOS parallel pipeline A/D converter [J]. IEEE Journal of Solid-State Circuits, July 2001, 36: 1048 - 1055.
- [23] Y. B. H. Leung, B. H. Lin. A mismatch-independent DNL pipelined analog-to-digital converter [J]. IEEE Trans Circuits Syst. II: Analog Digital Signal Processing, 1999, 46(S): 517-526

- [24] Paul J. Hurst, Stephen H. Lewis. Determination of Stability Using Return Ratios in Balanced Fully Differential Feedback Circuits [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. Vol.42(12),1995.pp.805 - 817
- [25] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu, and J. Barbolla. Low-Power Pipeline ADC for Wireless LANs [J]. IEEE J. Solid-State Circuits, vol. 39, pp. 1338–1340, Aug. 2004.
- [26] Y. Chiu. Inherently linear capacitor error-averaging techniques for pipelined A/D conversion [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 47, no. 3, pp. 229-232, Mar. 2000.
- [27] H.-S. Chen, B.-S. Song and K. Bacrania. A 14-b 20-Msamples/s CMOS pipelined ADC [J]. IEEE Journal of Solid-State Circuits, vol. 36, pp. 997-1001, Jun. 2001.
- [28] P. C. Yu, H.-S. Lee, A 2.5-V, 12-b, 5-MSample/s pipelined CMOS ADC [J], IEEE Journal of Solid-State Circuits, vol. 31, no.12, pp.1854-61, Dec. 1996.
- [29] B. Nauta and G. Hoogzaad. How to Deal with Substrate Noise in Analog CMOS Circuits [C], Proc. ECCTD.97, Sept. 1997
- [30] M. Ingels and M. S. J. Steyaert. Design Strategies and Decoupling Techniques for Reducing the Effects of Electrical Interference in Mixed-Mode IC's [J] IEEE J. Solid-State Circuits, vol.32, pp.1136-1141, July. 1997

第六章 流片测试与电路改进

本章设计了测试模数转换器的测试方案，并进行了电路板设计，搭建了测试平台。对本论文设计流片的模数转换器进行了动态特性和静待特性测试，给出了测试结果和分析。测试结果证明了本论文提出的设计思路具有良好的可行性。因此为了进一步降低功耗，提出了一种采样保持电路与第一级 MDAC 共享运放结构的 ADC，完成了其电路和版图设计，给出了仿真结果。

6.1 测试方案

本论文设计中 ADC 测试方案示意如图 6.1 所示。

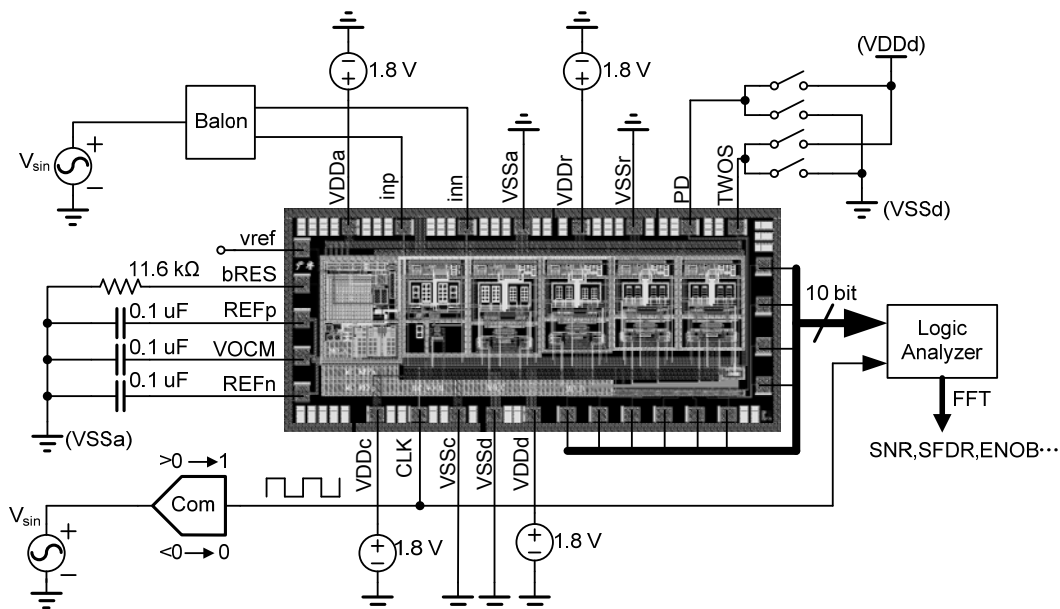


图 6.1 ADC 测试方案示意图

具体到信号的输入如图 6.2 所示。图中，信号发生器接板外滤波器到板上 SMA 头进 balun，balun 将单端输入转成差分信号输出，直流共模电平通过外接电压给出。差分信号在进 ADC 芯片之前，可以接一个很小的电容到地，这是因为采样保持电路中信号进入 ADC 后首先通过的是采样开关，采样开关在通断切换时会发生电荷注入，产生毛刺，从而影响信号。接小电容则可以吸收采样开关的寄生电荷。R3 和 R4 则是用来匹配芯片的输入阻抗，需要根据芯片的开关电阻以及导线电阻和电容在一定频率下的等效电阻来确定。

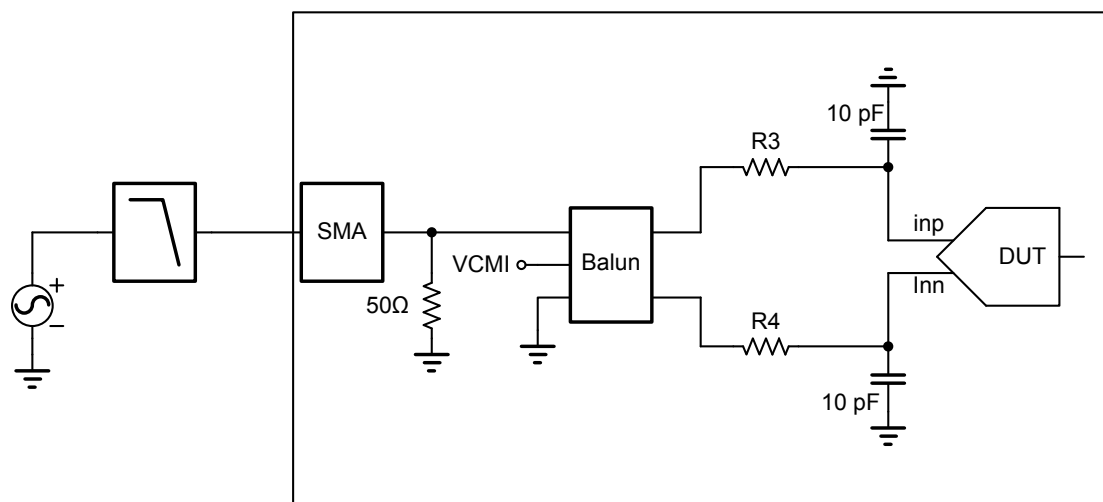


图 6.2 信号输入示意

由于电路输入端接的是开关电容电路，因此其输入阻抗是动态的，与采样频率有关。输入阻抗可以根据式(6.1)来计算

$$Z_{in} = \frac{1}{f_s \times C_s} \quad (6.1)$$

其中， C_s 是采样电容， f_s 是采样频率。

6.2 PCB 设计

在 PCB 设计中，需要注意的就是模拟和数字时钟的分离，最好采用四层板，顶层和底层为信号线，中间两层分别为电源和地。简化的话可以采用两层板，顶层走信号线和电源线，底层为少量信号线以及地覆铜平面。在测试板上，模拟电源和数字以及时钟电源分别由独立的 LDO 芯片供电，每组电源在进入芯片的时候都在离芯片较近的地方增加了退耦电容，以获得更好的电源质量。输入信号线尽量做到差分对称，同时到芯片的距离尽可能地短一些。而时钟实际上采用了两种方案：一种是如图 6.1 所示的，将信号发生器产生的正弦波输入板上的比较器，通过与固定电压的比较，产生方波信号，作为时钟输入至芯片；另一种则是直接采用晶振提供时钟。对于比较器和晶振都要满足一定的 jitter 要求，减小其误差对系统的影响。图 6.3 为所设计的模数转换器测试 PCB 板。

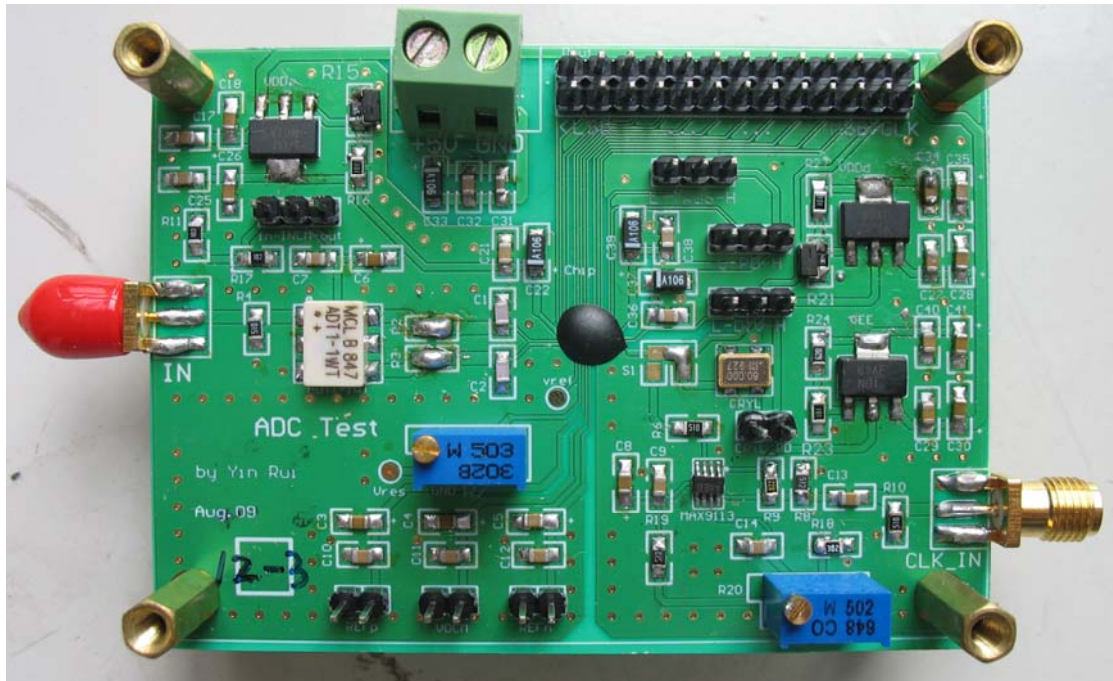


图 6.3 模数转换器测试 PCB 板照片

芯片采用 COB(Chip on Board)封装, 上图 PCB 板中央滴胶的部分就是芯片, 没有滴胶时的照片如图 6.4 所示。

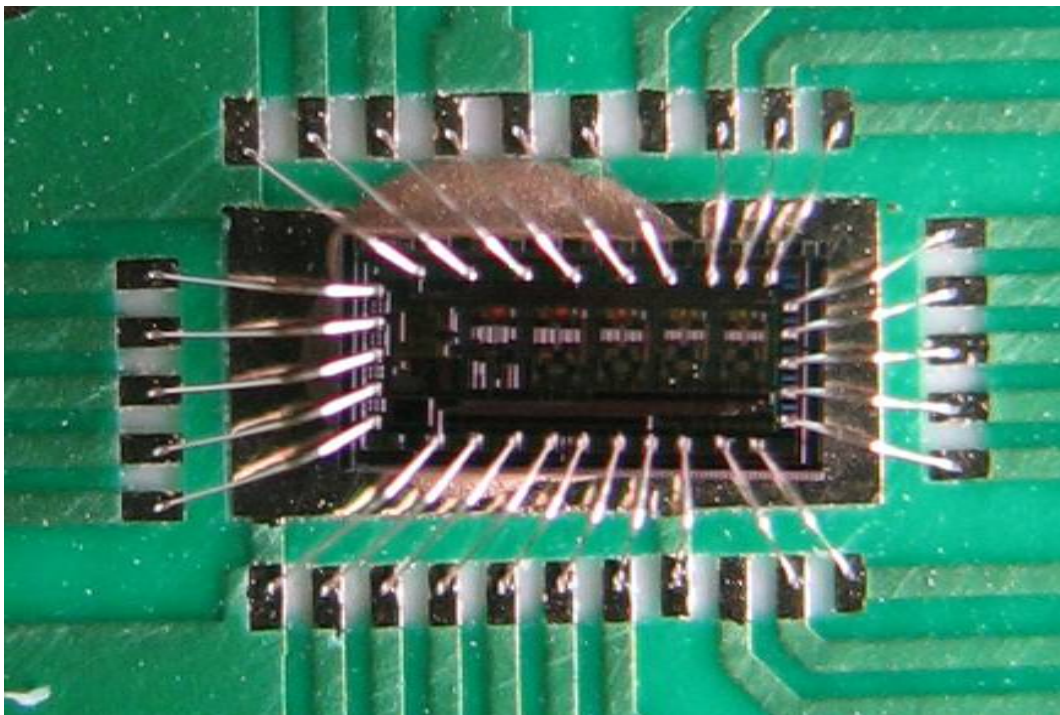


图 6.4 未滴胶时芯片的绑定照片

6.3 测试平台

在实际的 ADC 的测试中，除了前面提到的信号发生器、逻辑分析仪等测试仪器以外，还需要电源、示波器等其他设备。本论文中采用的逻辑分析仪是泰克公司的 TLA715，信号发生器是安捷伦公司的 E8257D。其他的设备也均满足测试要求。

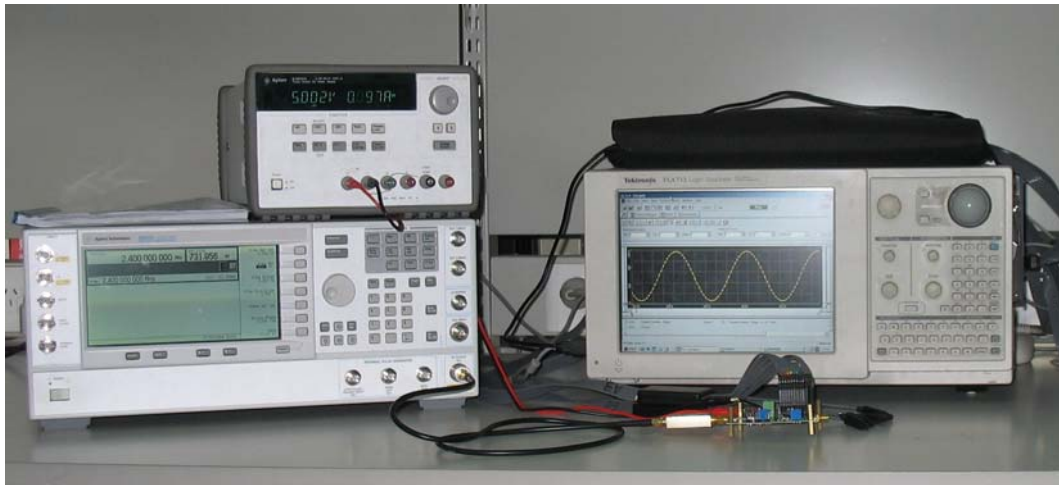


图 6.5 测试平台照片

此外，由于信号发生器产生的正弦波的纯度不能达到系统的要求，为了得到接近理想的输入信号，还需要对信号发生器的输出进行滤波，因此测试中还需要不同频率下的带通或低通滤波器。图中连接在 PCB 和信号线之间的就是滤波器。

6.4 测试结果

依照前文分析的测试原理，搭建测试平台对本论文所设计的 10-bit 80 MSps 模数转换器进行测试，每次动态参数测试结果取 131072 个点，设置输入信号为满足式(2.11)的非相干信号频率。

图 6.6 和图 6.7 分别是 80 MSps 采样频率下，低频下和接近奈奎斯特频率下的动态特性测试结果。可以看到，本论文实现的 ADC 的有效位可以达到 9.69 bit，SFDR 可以达到 76 dB，实现了非常低的噪声和非常高的线性度性能。

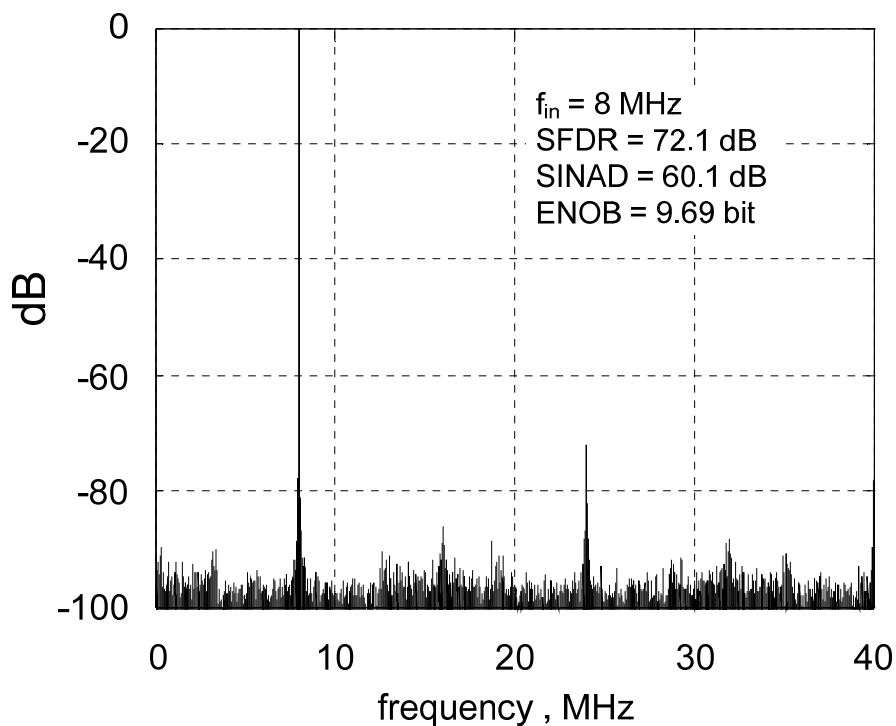


图 6.6 输入信号为 8MHz 时的 FFT 结果

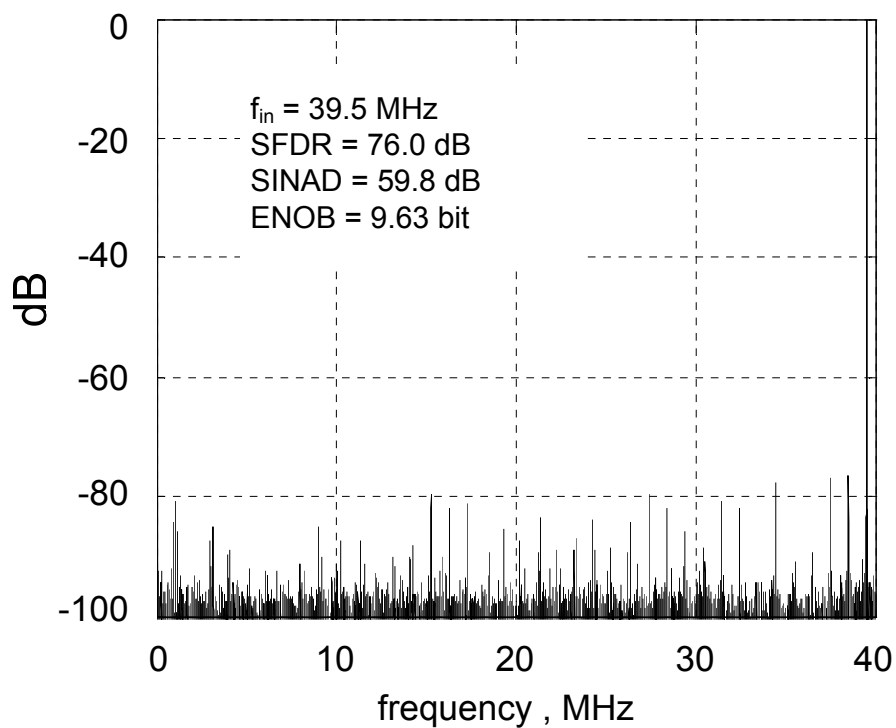


图 6.7 输入信号为 39.5MHz 时的 FFT 结果

通过对比图 6.7 和图 3.19 可以看到, Matlab 模型的仿真结果和测试的结果一致, 这表示本论文设计的 Matlab 模型与测试结果还是相当契合的。

而图 6.8 和图 6.9 分别是微分非线性(DNL)和积分非线性(INL)的测试结果。可以看到 DNL 和 INL 分别小于 0.37 LSB 和 0.87LSB。

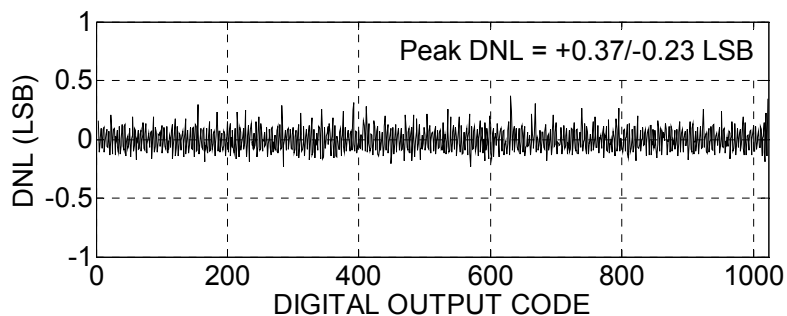


图 6.8 DNL 测试结果

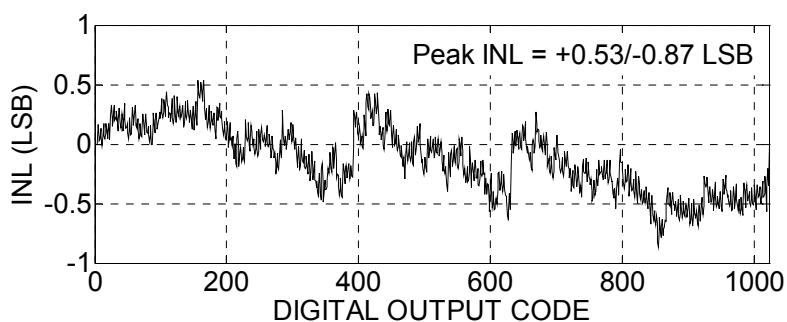


图 6.9 INL 测试结果

在 80MSps 的采样频率下, 设置不同输入信号频率, 考察其动态特性随输入信号频率的变化, 结果如图 6.10 和图 6.11 所示。可以看到, 本论文设计的模数转换器不但在低输入信号频率下可以实现很高的精度, 而且在整个奈奎斯特带宽内都保持着 9.62bit 以上的 ENOB。当输入信号超过奈奎斯特频率, 甚至接近采样频率时, ENOB 仍可以达到超过 9.47 bit 的精度。

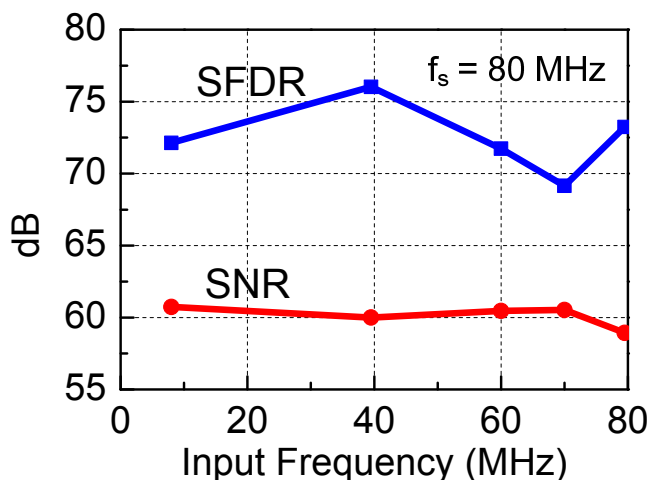


图 6.10 SFDR 与 SNR 在不同输入信号频率下的变化

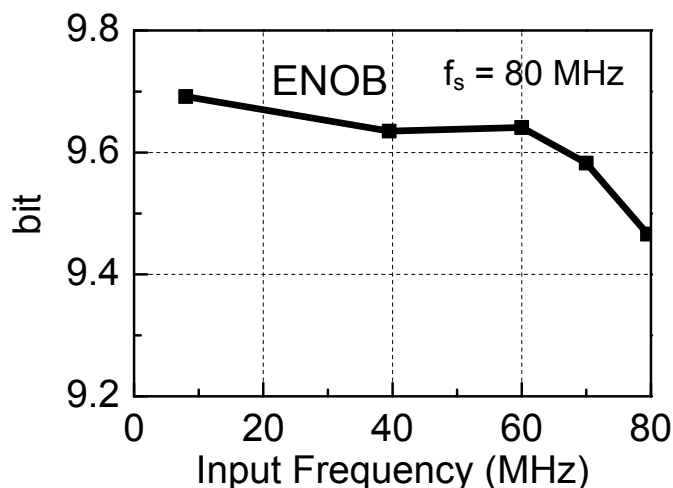


图 6.11 ENOB 在不同输入信号频率下的变化

通过以上测试结果还可以看到，测试结果中 $f_{in}=39.5$ MHz 的 SFDR 指标高于 $f_{in}=8$ MHz，这有可能是所采用的滤波器性能的原因。由于本 ADC 采用了差分结构，二次谐波远远小于三次谐波，因此 SFDR 主要是由三次谐波决定的，三次谐波的产生主要有两个方面：一个是电路产生的，包括从测试板和芯片内部的各种因素；另一个就是输入信号的纯度。为此，信号进测试板之前需要串联滤波器以求获得更好的质量，通过对滤波器的测试，发现所采用的 40MHz 的带通滤波器的带外抑制和自身的信号非线性都优于 8MHz 的带通滤波器。图 6.10 中各个频点的测试结果，是因为仅有这些频点的滤波器，而且这些滤波器型号也分低通与带通、国产与进口，所以各频点的 SFDR 值会有一些不规律的情况出现。除了滤波器的原因之外，在输入信号接近 80MHz 时(测试时为 79.5MHz)，此时信号的线性度就片内而言主要是受到最前端包含栅压自举开关的采样电路的影响，通过对栅压自举开关进行了仔细的设计，使其在较高输入信号频率的条件下仍有很好的线性度。根据采样定理，此时反而看到的是一个很低频的信号 (0.5MHz)，因此 SFDR 会有所上升。

接下来，在 8MHz 的输入信号频率下，设置不同采样频率，考察其动态特性随采样频率的变化，结果如图 6.12 和图 6.13 所示。当采样频率提高到 100MSps 时，本设计的流水线模数转换器仍可以达到超过 9.1 bit 的有效位。此时，模数转换器的精度主要是受到了运放建立时间不足的限制。由于本结构可以抑制共模输入电压的变化，因此考察不同共模输入电压时电路的动态特性，结果如图 6.14 所示。可以看到，在共模输入电压在 0.6V 和 1.4V 之间变化时，动态特性的变化很小。

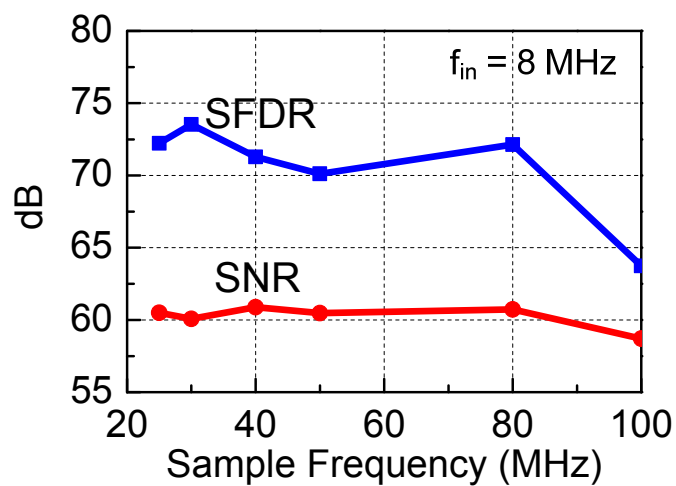


图 6.12 SFDR 与 SNR 在不同采样频率下的变化

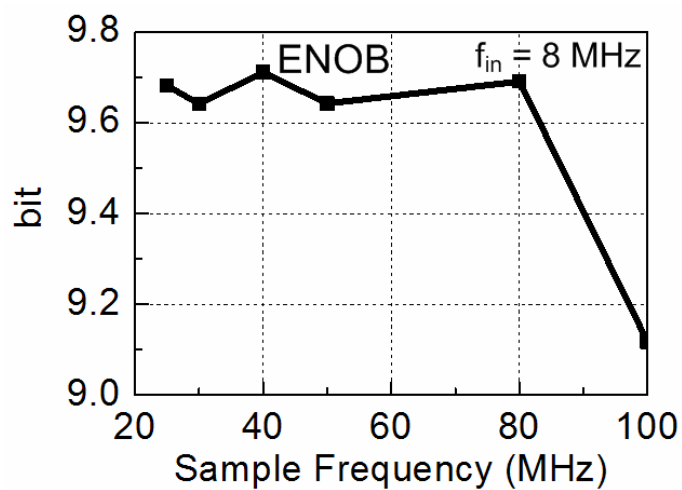


图 6.13 ENOB 在不同采样频率下的变化

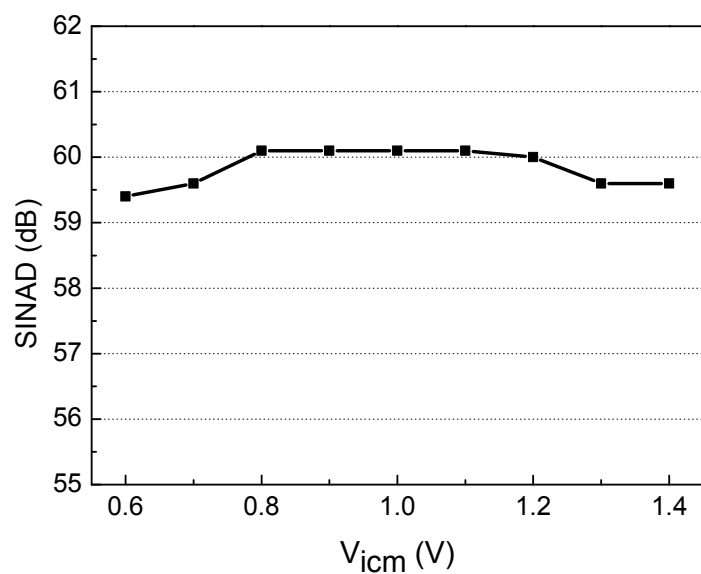


图 6.14 SINAD 随共模输入电压的变化

芯片照片如图 6.15 所示, 可以看到, 整个芯片的有效面积为 1.4mm^2 , 其中不含 bandgap 和参考电压电路的核心面积为 1.1mm^2 , 芯片在 80MSps 的采样率下, 总功耗为 32.4mW , 核心功耗为 28mW , 将测试结果带入 FOM 的计算式

$$FOM = \frac{P}{2^{ENOB} \times f_s} \quad (6.2)$$

可以得到芯片的 FOM 为 0.42pJ/step 。

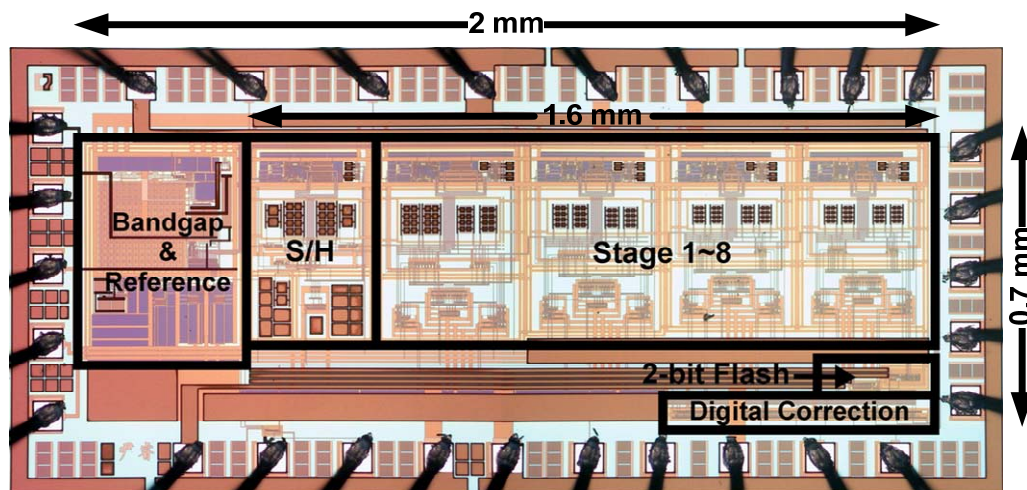


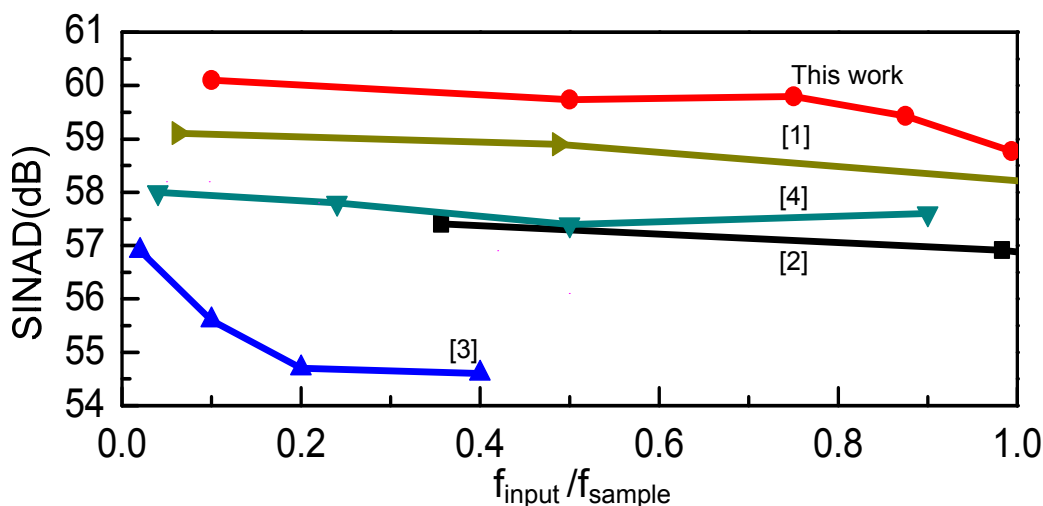
图 6.15 芯片照片

芯片各项性能指标的总结如表 6.1 所示。

表 6.1 芯片性能总结

Technology	0.18- μm CMOS
Resolution	10 bit
Conversion Rate	80 MS/s
Input Range	$1.6 V_{pp,diff}$
Supply Voltage	1.8 V
Power	32.4 mW (Core: 28 mW)
Active Area	1.4mm^2 (Core: 1.1mm^2)
ENOB	9.69 bit @ 8 MHz Input 9.63 bit @ 39.5 MHz Input 9.64 bit @ 60 MHz Input
SFDR	76.0 dB @ 39.5 MHz Input
Peak DNL	+0.37/-0.23 LSB
Peak INL	+0.53/-0.87 LSB
FOM	0.42 pJ/step

将本设计的流水线模数转换器的测试结果与近年来发表在 ISSCC 和 JSSC 以及 CICC 等国际期刊杂志上相同分辨率 ADC 的研究成果进行对比[1-4], 其中包含了第四章中介绍的三种前人提出的方法, 为了方便在不同采样频率的 ADC 之间进行对比, 通过把横坐标取为输入信号频率与采样频率的比值来进行了归一化, 比较结果如图 6.16 所示。从对比结果可以看到, 本论文设计的 ADC 精度在整个奈奎斯特带宽均高于其他文献, 而性能系数也处于较高的水平。



Ref.	Process	V_{DD} (V)	f_s (MS/s)	FOM (pJ/step)	SFDR (dB)	ENOB (bit)
[1]	0.18 μm DGO CMOS	3	80	1.21	74	9.47
[2]	0.18 μm CMOS	1.8	30	1.19	69	9.24
[3]	0.18 μm CMOS	1.8	50	0.61	70	9.2
[4]	0.18 μm CMOS	1.8	50	0.29	74	9.3
This work	0.18 μm CMOS	1.8	80	0.42	76	9.69

图 6.16 本论文设计的 ADC 与国际研究水平的对比

此外, 还对作为参照的 12bit ADC 进行了测试, 测试结果显示, 电路可以实现 10.22 bit 的有效位, 其 FOM 为 0.325 pJ/step。此外, 若分别取其高 11 位、高 10 位和高 9 位的数字输出得到的有效位分别为 10.06 bit、9.65 bit 和 8.89 bit。其中取高 10 位时的有效位与 10bit ADC 的测试结果相当。这说明在设计中, 根据电容匹配的要求所选择的电容值具有一定裕量, 同时对于电容版图进行的设计较为仔细, 提高了电容的匹配精度, 同时对于电路的误差源控制也较为严格, 因此具有实现更高精度的能力。

6.5 电路改进

在上述 10-bit 流水线模数转换器中, 出于验证所提出的新型运放共享 MDAC 的目的, 在低功耗方面主要考虑了 MDAC 之间的运放共享和逐级缩减等方法, 并没有涉及到采样保持电路的功耗优化。

采样保持电路的作用是使得第一级 MDAC 中传递的信号与 subADC 量化的信号最大程度上保持一致。因此采样保持电路需要处理信号精度要求最高, 直接影响整个电路的精度, 从而导致采样保持电路往往要消耗很大的功耗, 占用较大的面积[5]。而且为了避免其他电路对采样保持电路的影响, 一般均令采样保持电路单独使用一个运放。但实际上, 采样保持电路也存在着仅半个周期工作的特点, 因此在采样操作时运放处于无效工作状态, 从而浪费了一半的功耗。

由于 MDAC 实际上也具有采样保持的功能, 为了进一步降低系统功耗, 比较常用的方法是省去采样保持电路, 然而这样虽然可以很大程度上进一步降低功耗和面积, 因而导致需要 MDAC 与 Sub-ADC 直接对连续变化的输入信号进行处理, 由于两者之间难以精确同步, 因此会导致转换误差大到不可接受。

匹配两个通道之间时间常数的方法可以减小这个误差[6], 但是这种匹配需要非常精确的版图和走线, 对时钟驱动和信号通路带宽等都有极高的要求, 而且考虑到包括工艺参数、寄生效应、温度和电压变化等各种因素, 以至于在高速高精度 ADC 性能要求下几乎无法实现。另一方面, 匹配要求还限制了 MDAC 与 Sub-ADC 具有类似的采样网络, 因而也限制了比较器结构。

测试结果显示, 本论文提出的运放共享 MDAC 电路可以确实有效的隔离相邻两级之间的互扰, 消除记忆效应、电荷注入和时钟馈通等因素的影响, 从而很大程度上提高电路精度。因此可以利用这种良好的隔离性, 令采样保持电路与第一级 MDAC 电路共享一个双输入的运放。而且由于采样保持电路和第一级 MDAC 均消耗的运放功耗最大, 因此可以节省相当可观的功耗。由于同时避免了因省去采样保持电路所带来的对版图匹配过高的要求。采样保持电路与第一级 MDAC 运放共享结构如图 6.17 所示。

系统中其余的电路皆仍旧采用前文中的双输入运放共享结构, 即第二、三级, 第四、五级, 第六、七级和第八、九级各两两复用一個运放, 加上最后一级 2-bit Flash ADC, 这样就构成了一个所有运放均被共享的 11bit 流水线型 ADC, 如图 6.18 所示。

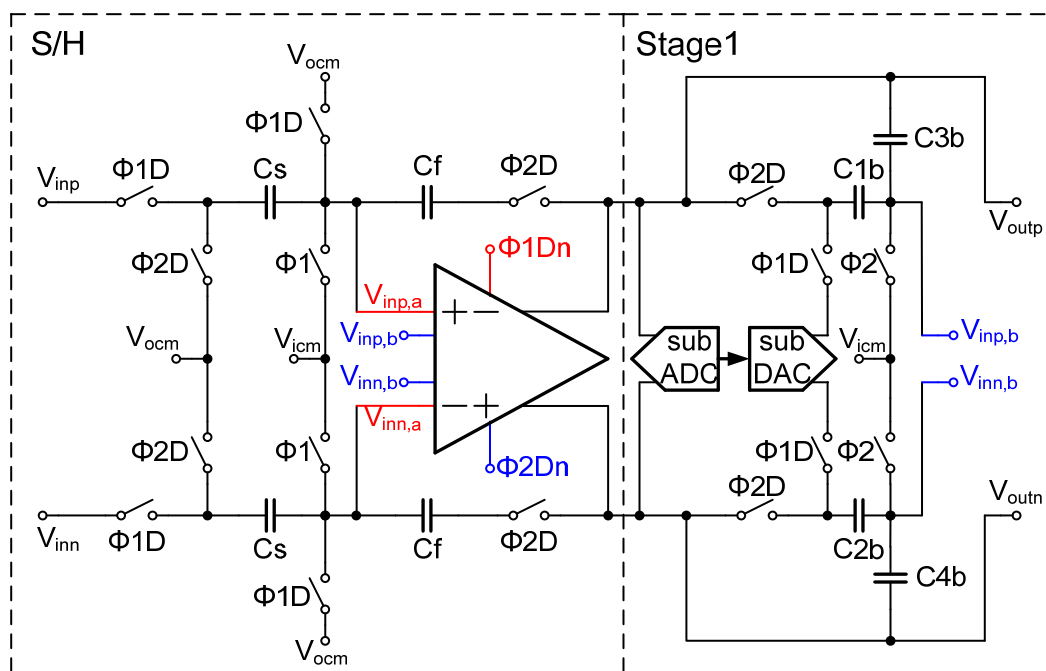


图 6.17 采样保持电路与第一级 MDAC 运放共享结构示意图

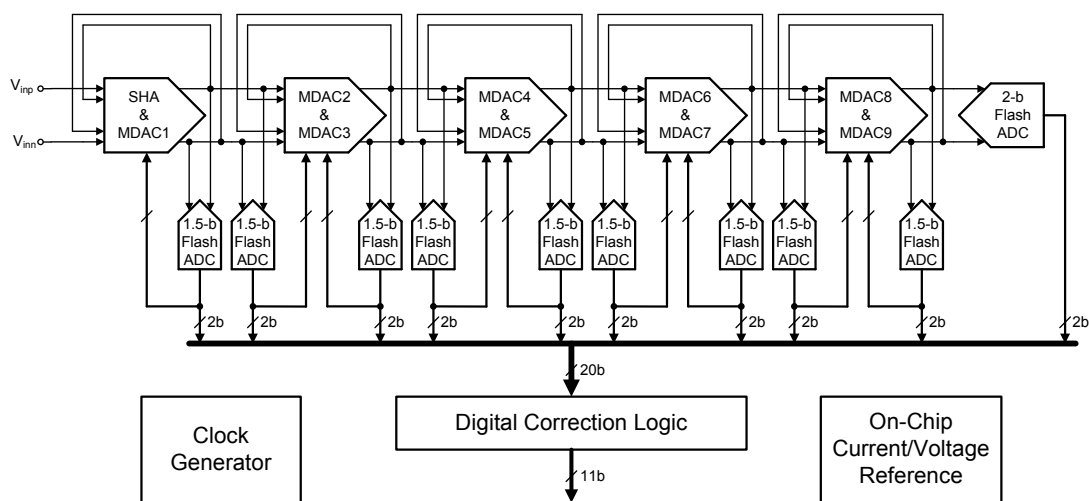


图 6.18 全运放共享的 11bit 流水线 ADC 结构示意图

基于此结构，设计了一款 11bit 40MSps 的流水线模数转换器，其结构如图 6.18 所示。由于在之前 10bit 模数转换器的设计中，对于功耗留有了较大的裕量，因此在本次改进中，首先根据 11bit 的精度要求，重新优化了各级电容的取值；其次根据建立精度要求结合仿真结果对各级运放进行了仔细的设计，使得在保证高精度的前提下进一步降低功耗。最终整个 11bit 模数转换器的核心电路(不包括参考电压产生电路)所需电流为 7 mA，功耗仅为 12.6 mW。

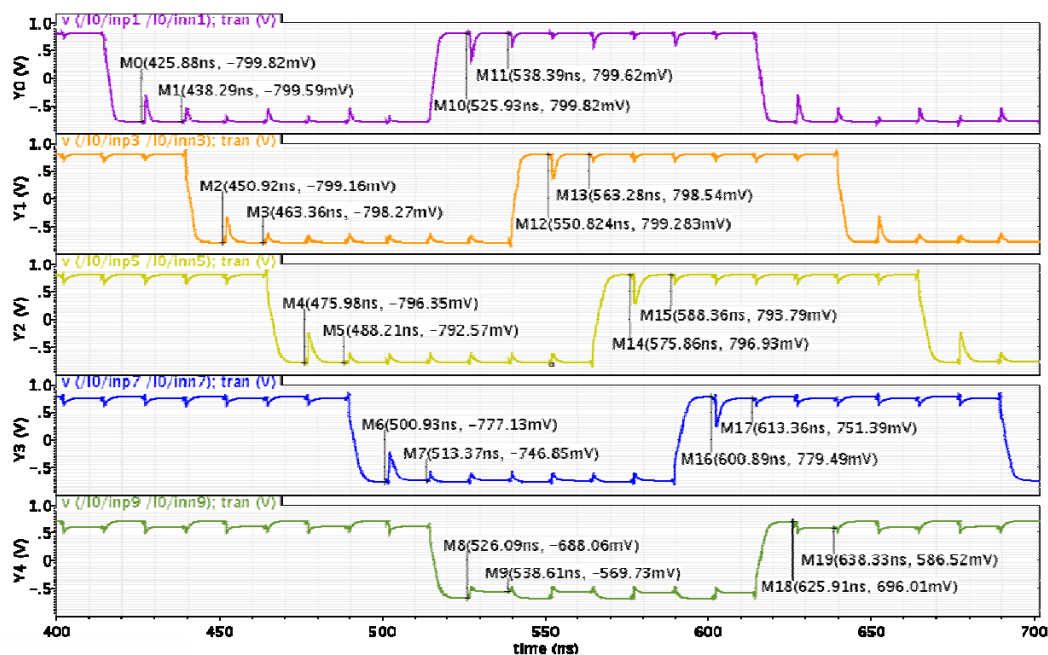


图 6.19 满摆幅下各级输出结果

由于对 ADC 整个系统后仿所消耗的服务器资源和时间都非常巨大，因此以现有的服务器条件无法进行后仿，仅列出前仿结果。图 6.19 是输入为满摆幅下采样保持电路和各级 MDAC 的输出结果，标记的点中 M0 到 M9 分别是采样保持电路到第九级 MDAC 在输入为 $-V_{FS}$ 时的建立值，而 M10 到 M19 分别是采样保持电路到第九级 MDAC 在输入为 V_{FS} 时的建立值，可以看到各级 MDAC 等效到输入的建立误差均小于 $1/8$ LSB。

其次，为了进一步考察电路特性，输入首先在 $+V_{FS}$ 和 $-V_{FS}$ 之间突然切换，从而考察电路在输入摆幅最大跳变时的建立特性，然后分别选取 $+V_{FS}$ 、0 和 $-V_{FS}$ 附近渐变的输入信号，以考察电路在进行加减法操作时的信号传递精度。仿真结果如图 6.20 所示，在满幅切换时，均可以得到 0 和 2047 的输出码，在输入信号渐变时，输出均无失码错码现象。

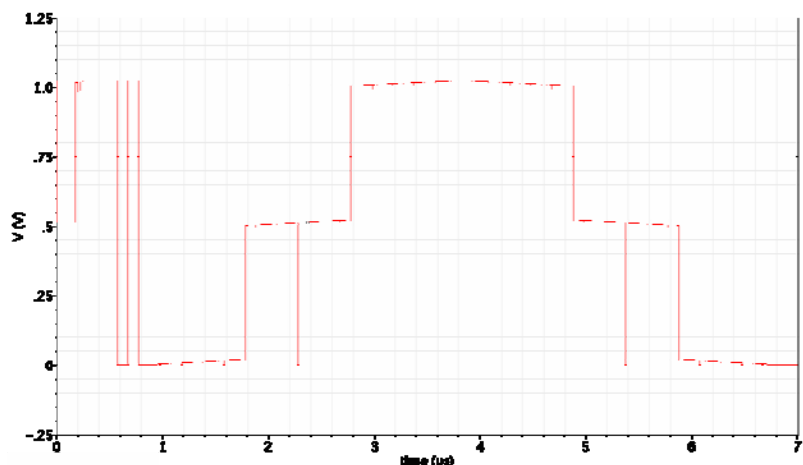


图 6.20 ADC 建立特性仿真结果

最后，设置输入为接近满幅的正弦波，以考察其动态特性。仿真结果如图 6.21 所示。

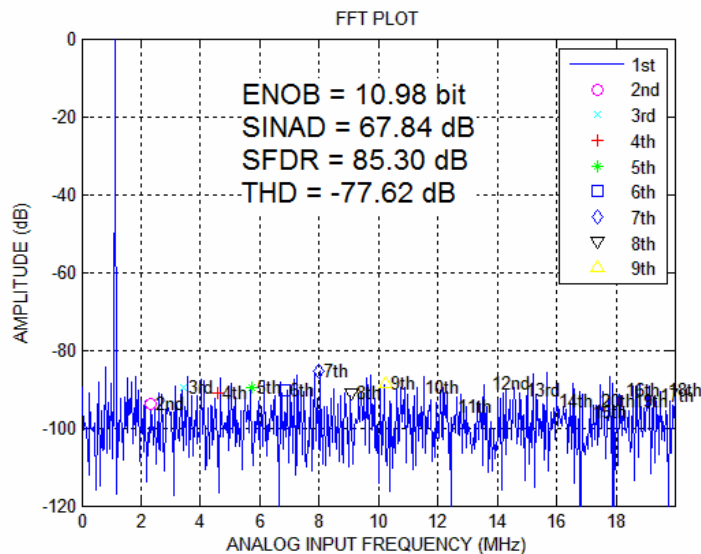


图 6.21 11bitADC 动态特性仿真结果

根据仿真结果，这种改进的 11bit 模数转换器的 FOM 仅为 0.15 pJ/step，但实际上考虑到各种误差来源，实际测试结果并不能达到仿真值。因此以 12bit ADC 测试中取高 11bit 时的实际测试结果为预估值，即有效位为 10 bit，此时 FOM 可达到 0.29pJ/step，相比于 10bit 的 ADC 降低了 31%。实际上，由于本次改进设计中对电路的精度要求更为严格，因此预期能够得到更好的流片测试结果。

在版图设计方面，主要优化了数字电路和时钟电路等，使其面积更加紧凑，而模拟与数字仍保持较远距离同时采用保护环隔离。芯片版图如图 6.22 所示，核心面积仅为 0.4mm²，相比于 10bit ADC 减小了约 63%。

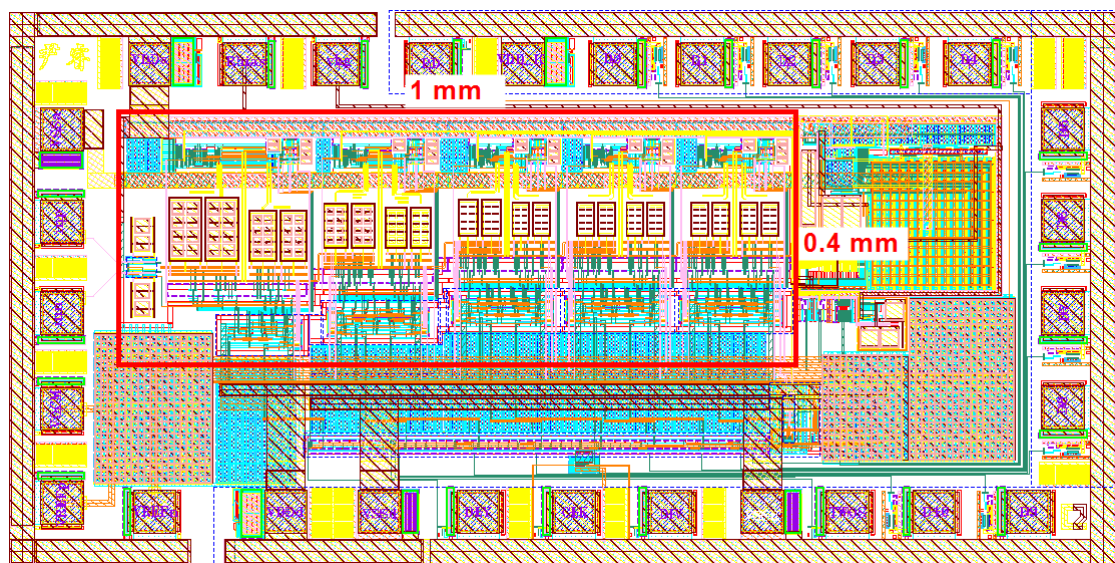


图 6.22 改进的 11bit ADC 版图

参考文献

- [1] B. Min , P. Kim , D. Boisvert, A. Aude. A 69mW 10b 80MS/s Pipelined CMOS ADC[C]. ISSCC Digest of Technical Papers, Feb. 2003, 324-325
- [2] J. Li , X. Zeng , L. Xie, J. Chen , J. Zhang , Y. Guo. A 1.8-V 22-mW 10-bit 30-MS/s Pipelined CMOS ADC for Low-Power Subsampling Applications [J]. IEEE J. Solid-State Circuits, 2008, 43, (2):321-329
- [3] S. Ryu, B. Song, K. Bacrania. A 10-bit 50-MS/s Pipelined ADC with Opamp Current Reuse [J]. IEEE J. Solid State Circuits, 2007,42(3): 475-485
- [4] K. Chandrashekar and B. Bakkaloglu. A 10b 50MS/s Opamp-Sharing Pipeline A/D With Current-Reuse OTAs[C]. IEEE CICC, Sep. 2009, 263-266
- [5] K. Gulati, M. S. Peng, A. Pulincherry, C. E. Muñoz, M. Lugin, A. R. Bugeja, J. Li, and A.P. Chandrakasan. A Highly Integrated CMOS Analog Baseband Transceiver With 180 MSPS 13-bit Pipelined CMOS ADC and Dual 12-bit DACs [J]. IEEE J. Solid-State Circuits, vol. 41, Aug. 2006, 1856- 1866
- [6] Mehr and L. Singer. A 55-mW 10-bit 40-Msample/s Nyquist-rate CMOS ADC [J]. IEEE J. Solid-State Circuits, vol. 35, Mar. 2000, 318–325

第七章 总结与展望

随着日益增长的数字机顶盒、数字高清电视和液晶平板电视的迅猛发展,作为数字视频接收器中的关键模块,流水线型模数转换器成为非常重要的角色。目前,为了增加手持移动终端电池的使用寿命和对真实世界和信号传输中的模拟量尽可能真实还原的要求,低功耗和高精度成为整个系统中两个关键的设计目标。

通常低功耗设计和高精度设计是一种此消彼长的过程。由评价模数转换器的性能系数可以看到,在速度和性能系数一定的条件下,精度每提高 0.5 bit 就相当于减少 40%的功耗。因此,精度的提高从另一个侧面来说就是降低功耗。所以在高精度低功耗电路的设计过程中,应当首先采用各种方法来降低功耗,然后在这个较低功耗的基础上,分析并解决电路存在的各种影响精度问题,从而提高电路的整体性能。

7.1 总结

论文基于上述思路,主要研究了应用于数字视频领域的流水线型模数转换器的低功耗及高精度实现,通过详细分析流水线模数转换器中用来实现降低功耗和提高精度的方法,在此基础上搭建了流水线模数转换器 Matlab 模型,并添加了各种非理想因素参与行为级仿真,从而指导实际电路设计。论文中采用运放共享等多种方法来降低功耗,然后在这个较低功耗的基础上分析了影响精度的各种问题,提出了新的结构来解决这些问题,从而实现高性能的模数转换器。最后在 SMIC 0.18- μm 、1.8V 电源电压、单层多晶硅六层金属的标准 CMOS 工艺下完成了整个流水线模数转换器电路设计、版图布局、仿真以及测试等工作。

本论文主要的创新技术和研究成果有以下几个方面:

- 1) 采用了级间运放共享技术,在显著降低系统功耗的同时,针对传统级间运放共享结构,详细分析了其中存在的记忆效应、级间信号串扰通路以及共享开关引入的电荷注入和时钟馈通等各种影响电路精度的因素。介绍了前人了解决上述问题提出的技术和方法,并分析了这些方法的优势和不足。为了消除这些因素的影响,本论文提出了一种新的双输入开关内置运放共享结构的 MDAC 电路。
- 2) 采用两组输入差分对管的结构,共享运放的两流水级各使用一组,每组差分对管在保持时段交替参与运放工作,而在采样时段则交替的连接到共模输入电压进行复位,从而完全消除记忆效应,并且不需要额外的时钟相位。

- 3) 提出将运放共享开关嵌入在运放内部, 有效地消除了级间信号串扰通路; 开关产生的电荷注入和时钟馈通效应不会对信号建立精度造成影响; 此外也消除了传统结构中采用外置开关所引入的寄生电阻对运放失调的影响。内置的共享开关仅仅消耗约 30mV 的电压裕度, 也不会影响运放的输出摆幅。
- 4) 提出采用双相交叠时钟来控制运放共享开关, 解决了采用传统非交叠时钟导致的大信号建立恶化的问题。通过采用与被偏置电路一致的结构, 改进了宽摆幅运放偏置电路, 与系统中各个运放都能获得更好的匹配。
- 5) 从传递函数的角度建立了流水线 ADC 的 Matlab 系统级模型, 并引入了诸如电容失配、噪声、运放单位增益带宽、运放压摆率、时钟抖动以及比较器失调等非理想因素影响的设置, 从而指导电路设计。模型仿真结果与流片结果契合。
- 6) 本设计综合采用了逐级递减、栅压自举开关、底极板采样等方法, 进一步降低系统功耗, 提高系统精度。
- 7) 由于本设计采用了单级套筒式的运放, 结构简单清晰, 可以很容易地通过按比例改变运放中 MOS 管的宽长比和电流来设定 ADC 的转换速率, 方便修改为适应不同采样速率的要求。
- 8) 在 SMIC 0.18- μm 、1.8V 电源电压、单层多晶硅六层金属的标准 CMOS 工艺下完成了一款 10 bit 80 MSps 的流水线型模数转换器的电路设计、版图布局、仿真验证以及芯片测试等工作。
- 9) 利用双输入开关内置运放良好的级间隔离特性, 在保证电路精度的条件下, 对电路进行了改进, 令采样保持电路与第一级 MDAC 共享运放, 设计了一款 11bit 的 ADC, 其中所有运放均实现共享, 从而在保证电路精度的条件下进一步降低系统功耗。

论文中第四章对其中的创新技术进行了详细的分析和描述。采用这种新型双输入开关内置运放共享的 MDAC 结构可以在不增加额外功耗、面积、时钟的条件下, 消除多种制约 MDAC 精度的误差来源, 从而有效提高系统精度。

芯片测试结果显示, 本论文设计的 10-bit 模数转换器在 80 MSps 的采样率下有效位(ENOB)可以达到 9.69 bit, 无杂散动态范围(SFDR)可以达到 76 dB, 并且在整个奈奎斯特带宽内都保持着 9.62bit 以上的 ENOB。当输入信号超过奈奎斯特频率, 甚至接近采样频率时, ENOB 仍可以达到超过 9.47 bit 的精度。此外, 当采样频率提高到 100MSps 时, 本设计的流水线模数转换器仍可以保持 9.1 bit 的有效位。芯片核心功耗为 28mW, 性能系数(FOM)为 0.42pJ/step。其中 ENOB 和 SFDR 两项指标优于近几年收录在 JSSC、ISSCC 和 CICC 等国际核心期刊会议上相同分辨率流水线模数转换器的研究成果, FOM 达到了这些研究

成果中的较高水平，能够实现低功耗高精度的数字视频及 SOC 嵌入式等应用。

7.2 未来工作展望

对设计的 11bit ADC 进行流片及测试。

利用本论文中共享运放的良好独立性，设计采样保持电路运放共享的双通道 ADC，其中运放分别在两通道的采样保持电路中复用，除了节省功耗之外，还可直接应用于需要同时处理 I/Q 两路信号的视频系统。

由于本论文中对于设计参数留有一定的裕量，比如逐级缩减因子为 0.7，对电容失配也是按照工艺厂商给出的最坏值计算得到的。因此，可以进一步优化各级功耗，从而提高能量利用效率，实现更佳的性能系数。

致谢

光阴荏苒，岁月如梭，在此论文完成之际，万千思绪涌上心头。首先要诚挚地感谢我的导师张卫教授和唐长文副教授在我攻读博士期间对我悉心的教导和无私的关怀，他们对学术敏锐的洞察力，给我指引了正确的方向。两位恩师孜孜不倦、严谨求实的态度必将对我的一生产生深刻的影响，将激励我在未来的工作和学习中走得更远。还要感谢洪志良老师、闵昊老师、任俊彦老师、曾晓洋老师、王俊宇老师和丁世进老师在课程学习和项目研究上对我的指导和帮助。

感谢徐敏、廖友春、卢磊、袁路、金黎明、邹亮、韩科峰、宫志超、孟令部、赵薇、温晓珂、余永长、黄兆磊等兄弟姐妹，在学术上与他们热烈的讨论使我获益良多，在生活中正是有他们的陪伴才显得丰富多彩。

论文的顺利完成还要感谢中芯国际杨立吾、多新中和王昕宇提供流片支持；感谢 Cadence 公司的张建云、陈诚和郭亚伟对我的帮助和指点。

在复旦求学的日子，妻子王珺给了我无微不至的关怀和温柔体贴的照顾，正是她的支持和鼓励，不断给我前进的信心和勇气。执子之手，与子偕老，得妻如此，夫复何求！

三十年来，我的父母对我倾注了无穷的心血，寄予了殷切的希望。他们永远是我坚强的后盾。我在人生道路上取得的任何一点成就，都是源自于他们对我的精心养育和谆谆教诲。最后，谨以此文献给我挚爱的父母。

发表论文及专利

- [1] Yin R.,Wen X.,Liao Y.,Zhang W.,Tang Z. Switch-embedded opamp-sharing MDAC with dual-input OTA in pipelined ADC. Electronics Letters, 2010 ,Vol.46 (12), 831-832 (SCI)
- [2] Yin Rui, Liao Youchun, Zhang Wei and Tang Zhangwen. A 10-b 80-MS/s Opamp-Sharing Pipelined ADC with Switch-Embedded Dual-Input MDAC. Chinese Journal of Semiconductors (Accepted)
- [3] 尹睿，唐长文，一种双输入运算放大器共享的余量增益放大电路，2010 年，专利申请号：201010191621.4

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名：

日期：

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名：

导师签名：

日期：