

学校代码： 10246  
学 号： 052021048

復旦大學

硕 士 学 位 论 文

超高频射频识别读写器接收机  
载波消除射频前端的研究与设计

院 系： 信息科学与工程学院  
专 业： 微电子学与固体电子学  
姓 名： 倪熔华  
指 导 教 师： 闵 昊 教授  
完 成 日 期： 2008 年 5 月 5 日

复旦大学硕士学位论文

超高频射频识别读写器接收机  
载波消除射频前端的研究与设计

倪熔华

导 师：

闵 昊 教 授

指导小组：

闵 昊 教 授

孙承绶 教 授

王俊宇 副教授

唐长文 副教授

复旦大学信息科学与工程学院微电子学系

## 目录

摘要.....	III
Abstract.....	IV
第一章 引言.....	1
1.1 研究背景.....	1
1.2 UHF RFID 读写器的研究进展 .....	2
1.2.1 UHF RFID 系统的协议及频率规范 .....	2
1.2.2 UHF RFID 读写器的研究现状及技术难点 .....	3
1.3 论文的主要工作及组织结构.....	6
第二章 UHF RFID 读写器接收机载波消除射频前端系统架构.....	8
2.1 UHF RFID 系统分析及读写器接收机系统指标 .....	8
2.1.1 UHF RFID 系统协议分析 .....	8
2.1.2 UHF RFID 系统信道分析 .....	10
2.1.3 UHF RFID 读写器接收机系统指标 .....	11
2.2 UHF RFID 读写器接收机系统架构 .....	13
2.2.1 UHF RFID 读写器接收机前端载波泄漏分析 .....	13
2.2.2 UHF RFID 读写器接收机系统架构 .....	15
2.3 UHF RFID 读写器接收机载波消除射频前端系统架构 .....	16
2.3.1 UHF RFID 读写器接收机载波消除射频前端系统架构 .....	16
2.3.2 UHF RFID 读写器接收机载波消除射频前端系统指标 .....	17
第三章 载波消除低噪声放大器的设计与实现 .....	21
3.1 LNA 的原理及应用 .....	21
3.2 载波消除 LNA 的设计与实现 .....	22
3.2.1 载波消除 LNA 的设计难点 .....	22
3.2.2 载波消除 LNA 的电路结构 .....	23
3.2.3 带中心抽头的差分叠层电感的设计.....	24
3.2.4 载波消除 LNA 性能分析 .....	28
3.3 载波消除 LNA 的测试考虑和版图后仿 .....	31
3.3.1 测试考虑.....	31
3.3.2 版图设计.....	32
3.3.3 版图后仿.....	33

<b>第四章</b>	<b>正交下变频混频器的设计与实现</b>	<b>35</b>
4.1	Gilbert 混频器的性能分析	35
4.1.1	Gilbert 混频器结构	35
4.1.2	Gilbert 混频器性能分析	36
4.1.3	Gilbert 混频器设计准则	43
4.2	正交下变频混频器的设计	43
4.2.1	正交下变频共用跨导级的性能分析	43
4.2.2	MGTR 技术提高混频器线性度的原理分析与电路实现	50
4.2.3	寄生垂直 NPN BJT 在混频器中的应用	52
4.2.4	正交下变频混频器的设计及优化	54
4.2.5	版图设计	57
4.3	正交下变频混频器的测试与分析	58
4.3.1	PCB 设计	58
4.3.2	芯片测试与分析	61
<b>第五章</b>	<b>载波消除检测电路的设计与射频前端的系统仿真</b>	<b>65</b>
5.1	亚阈值 MOS 管峰值检测器	65
5.1.1	工作原理	65
5.1.2	电路设计	67
5.1.3	版图后仿	68
5.2	低失调比较器	70
5.2.1	性能指标及电路结构	70
5.2.2	比较器电路设计	71
5.2.3	非交叠时钟发生器设计	75
5.2.4	版图设计及后仿	77
5.3	射频前端的系统仿真	80
<b>第六章</b>	<b>总结与展望</b>	<b>83</b>
6.1	总结	83
6.2	展望	84
<b>附录 A</b>	<b>标签天线散射能量与入射能量的比值</b>	<b>85</b>
	<b>参考文献</b>	<b>86</b>
	<b>致谢</b>	<b>89</b>

## 摘要

本文基于 EPC Global Class-1 Gen-2 协议对 UHF RFID 读写器接收机进行了研究，提出了载波消除射频前端的系统架构，并在 SMIC 0.18um RF 1P6M 标准 CMOS 工艺下实现了完整的射频和载波消除检测链路。

论文首先分析了 UHF RFID 系统协议接收链路的数据特征和系统信道，计算出了读写器接收机的性能指标；然后对读写器接收机前端特有的载波泄漏进行了定量分析，给出了接收机的系统架构；接着提出了载波消除射频前端的系统架构，并进行了系统分析和计算，为各模块制定了设计目标。

其次，设计了带载波消除功能的低噪声放大器。分析了载波消除 LNA 的设计难点并给出了解决方案，接着为射频电路的版图设计提供了一些设计规则。同时讨论了带中心抽头的差分电感的设计、仿真、建模及拟合。

再次，对 Gilbert 混频器进行了详细的性能分析，为基于 Gilbert 单元的有源混频器的设计提供了准则。分析了正交下变频混频器共用跨导级结构较传统结构的性能优势，并讨论了多栅晶体管（MGTR）技术提高混频器的线性度和寄生垂直 NPN Bipolar 管降低混频器闪烁噪声的原理及电路实现。最后给出了详细的混频器的测试和结果分析。

论文还设计了载波消除检测电路的各模块。先介绍了亚阈值 MOS 管峰值检测器的工作原理，并进行了电路实现。其次利用自较零技术、预放大器和锁存器级联结构实现了低失调比较器，并对非交叠时钟发生器进行了讨论与设计。

最后，论文对载波消除射频前端链路存在  $5\text{dBm}$  载波泄漏的情况下进行了系统仿真。仿真结果表明，射频前端具有  $11\text{dB}$  的双边带噪声系数、 $5.3\text{dBm}$  的 IIP3 和  $40\text{dBm}$  的 IIP2，可以达到  $-80\text{dBm}$  的灵敏度和较好的抗邻道干扰能力，达到和超过了系统指标，能有效地解决载波泄漏问题，实现高性能的单芯片读写器。

**关键词：** 射频识别 超高频 读写器 单芯片 标准 CMOS 工艺 载波泄漏

低噪声放大器 正交混频器 峰值检测器 低失调比较器

**中图分类号：** TN492

## Abstract

Based on EPC Global Class-1 Gen-2 protocol, this thesis investigates the receivers of UHF RFID readers and proposes a system architecture of the carrier-leakage cancellation RF front-end. The entire RF front-end and detection link is designed and implemented in SMIC 0.18 $\mu$ m RF 1P6M standard CMOS process.

According to the analysis of the signal characteristics for return link and the channel of UHF RFID systems, the system specification for receiver is calculated. The carrier-leakage special to UHF RFID readers is analyzed in quantity and the system architecture for receiver is proposed. Then the carrier-leakage RF front-end system is presented and system analysis and calculation are done to settle the module specifications.

In the design of carrier-leakage cancellation LNA (Low Noise Amplifier), the design challenges are analyzed and the solutions proposed. Some design rules for RF layout design are summarized. Besides, the design, simulation, modeling and fitting of differential inductor with centre tap are also discussed here.

The performance of Gilbert mixers are analyzed in detail, with a concluded guideline for the design of active mixers. The performance of quadrature mixers with shared gm stage is analyzed, and the MGTR (Multiple Gated Transistor) configuration which improves the mixer's linearity and the parasitic vertical NPN Bipolar transistors which reduce the mixer's flicker noise are discussed. The testing setup and results analysis are then given in detail.

The carrier-leakage cancellation detection link is also designed. The principle of sub-threshold MOS peak detector is stated and the circuit is implemented. The low offset comparator with auto-zeroing is designed in cascaded configuration of preamplifier and latch to gain high speed. Non-overlapping clock generator is also discussed and designed.

Finally, the proposed RF front-end is simulated with  $5dBm$  carrier leakage. The results show a DSB NF of  $11dB$ , an IIP3 of  $5.3dBm$  and an IIP2 of  $40dBm$ , which demonstrates a sensitivity of  $-80dBm$  and good anti-interference capacity. The results exceed the system specification and indicate its effectivity in solving the carrier-leakage problem and implementing high performance single chip readers.

**Key Words:** Radio Frequency Identification; Ultra High Frequency; Reader; Single Chip; Standard CMOS Process; Carrier-Leakage; Low Noise Amplifier; Quadrature Mixer; Peak Detector; Low-Offset Comparator

# 第一章 引言

## 1.1 研究背景

射频识别(Radio Frequency Identification, RFID)是一种非接触式的自动识别技术,以磁场或电磁场为媒介进行能量和信息传递,完成主机与被测物体之间的信息交互。和条形码、磁卡、接触 IC 卡等自动识别技术相比,RFID 由于具有非接触性、读取速度快、识别效率高、可同时处理多个标签、安全不易攻击、易编写修改、可在苛刻条件下工作等优点,被广泛应用于门禁、物流、安全、防伪、军事、医疗、自动生产等各个领域,有着广阔的发展前景。

一个典型的 RFID 系统由两个基本部分组成:读写器(Reader/Interrogator)和标签(Tag/Transponder)。一台典型的读写器包含有高频模块(收发机)、控制单元以及与标签连接的耦合元件。此外,很多读写器还都有附加的接口(RS 232、RS 485、I<sup>2</sup>C 等)与另外的系统(个人计算机、机器人控制装置等)进行数据传输。标签是 RFID 系统真正的数据载体,通常由片上芯片和耦合元件组成。读写器和标签由主机来控制,通过两者耦合元件(线圈或天线)之间的耦合来实现射频信号和能量的空间传递(如图 1.1 所示)<sup>[1]</sup>。

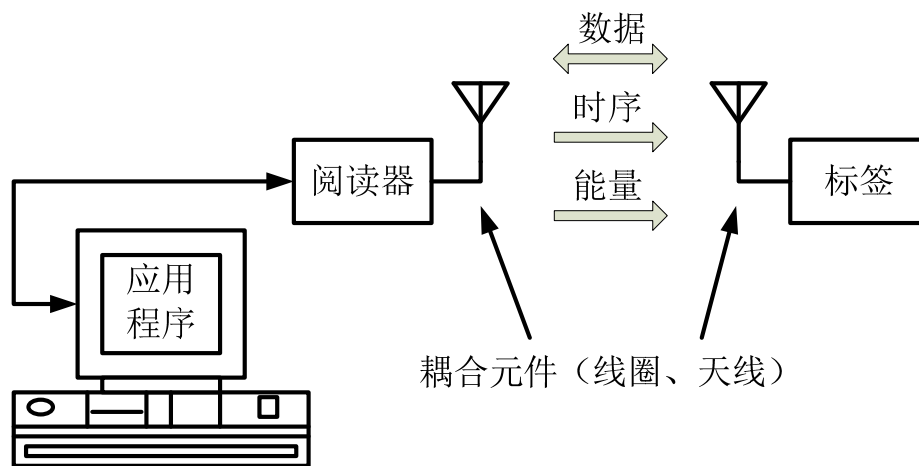


图 1.1 典型的 RFID 系统组成

RFID 系统按照工作频率可以划分为低频、高频、超高频和微波四个频段,各个频段的工作特性如表 1.1 所示。其中,基于电磁场耦合的超高频(Ultra High Frequency, UHF) RFID 系统具有识别距离远、通信速度快、尺寸小、信息容量大等特点,更适合未来物流等领域的应用,因此成为当前 RFID 系统研发的重点和热点。

表 1.1 各频段 RFID 系统的工作特性

工作频段	典型工作频率	典型波长	能量传递方式	典型通信距离
低频(LF)	125-134 kHz	~2 千米	电感耦合	<10 厘米
高频(HF)	13.56 MHz	~20 米		<1 米
超高频(UHF)	860-960 MHz	~30 厘米	电磁场耦合	1-10 米
微波段(Microwave)	2.4-2.45 GHz	~12 厘米		1-3 米

## 1.2 UHF RFID 读写器的研究进展

### 1.2.1 UHF RFID 系统的协议及频率规范

UHF RFID 系统主要存在两大标准和协议的制定者：EPC Global 和 ISO（国际标准化组织）。EPC Global 针对电子产品编码(Electronic Product Code, EPC)的 UHF RFID 系统制定了 EPC Global Generation-2 (Gen-2) 协议, 而 ISO 针对物品管理用 UHF RFID 制定了 ISO/IEC 18000-6 标准<sup>[2]</sup>（分 A 类和 B 类两种）。2006 年 7 月, ISO 组织经过修改通过 EPC Global Class-1 Generation-2 协议, 宣布将其作为 ISO/IEC 18000-6 标准的 C 类<sup>[3]</sup>。这一标准的合并意味着基于 Gen-2 协议开发的 UHF RFID 系统可以得到全球范围的认可和市场, 从而促进无源 UHF RFID 系统的竞争和发展, 最终为用户带来更低的成本。

EPC Global 目前定义了五种电子标签, 分别为 Class-0 - Class-4<sup>[4]</sup>。Class-0~Class-2 是无源标签, 采用背向散射技术向读写器返回数据。其中 Class-0 是只读标签; Class-1 是读写标签, 内含 EEPROM, 可多次读写; Class-2 在 Class-1 的基础上扩充了更多功能, 如可选存储空间等。Class-3 为半有源标签, 通过背向散射或者负载调制技术向读写器返回数据, 内部集成的电源可以对标签和传感器供电。Class-4 为有源标签, 有电源供电, 因此可以对读写器或其他标签发起通信。

表 1.2 EPC Global Class-1 Generation-2 主要物理层参数

方向	通信频率	调制方式	编码方式	数据率
R ⇒ T	860-960 MHz	DSB-ASK,SSB-ASK,PR-ASK	PIE	26.7kbps-128kbps
T ⇒ R	860-960 MHz	ASK,PSK	FM0	40kbps-640kbps
			Miller	5kbps-320kbps



本文研究的读写器基于 EPC Global Class-1 Generation-2 协议，工作在 860MHz~960MHz，由读写器发起通信，无源标签通过背向散射返回数据，其主要的物理层参数如表 1.2 所示。

UHF RFID 的频率规范不尽相同，全球大致可以分为三大区域：一是美国区域，只要落在 902-928MHz 的范围内；二是欧洲区域，落在 865.6-867.6MHz 的范围内；第三是亚太部分，频段的确定较为复杂，有些国家除了开放 900MHz 的范围外，还增加了 860MHz 的频段，如新加坡、香港等。中国也于 2007 年公布了 UHF RFID 的频率规范，从而在法律上确定了 UHF 频段在中国用于 RFID 的合法性和必须满足的频率要求。频率的最终确定将有利于推动 UHF RFID 的应用，同时国际的 UHF RFID 产品也将可以合法地进入中国(只要符合频率规范)。表 1.3 所示是全球主要国家的 UHF RFID 频率规范<sup>[5]</sup>。

表 1.3 全球主要国家的 UHF RFID 频率规范

国家	频率	功率	技术
美国、加拿大	902-928MHz	4W eirp	FHSS
巴西	902-907.5MHz	4W eirp	FHSS
	915-928MHz	4W eirp	FHSS
澳大利亚	920-926MHz	4W eirp	
英国、法国、德国	865.6-867.6MHz	2W erp	LBT
印度	865-867MHz	4W erp	
日本	952-954MHz	4W eirp	
韩国	908.5-910MHz	4W eirp	LBT
	910-914MHz	4W eirp	FHSS
中国	920.25-924.75MHz,840.25-844.75MHz	2W erp	FHSS
	920-925MHz,840-845MHz	0.5W erp	FHSS

## 1.2.2 UHF RFID 读写器的研究现状及技术难点

随着深亚微米工艺的不断发展，标签芯片的制造成本不断降低，然而读写器的设计和制造一直停留在分立器件的板级实现上，居高不下的制造成本严重限制了其普及。表 1.4 列举了国内外部分 UHF RFID 读写器供应商，目前只有 WJ Communications 提供了读写器的单芯片实现方案 WJM 3000，与现在市场上可以买到的组件相比，它使用的分立元件减少了 60%。可以预见，随着 RFID 的广泛应用，读写器单芯片的实现势在必行，而电路设计经验的积累和电路制造工艺的发展也为其提供了可能。

表 1.4 UHF RFID 读写器部分供应商

供应商	典型产品	工作频率(MHz)	协议	实现方式
Alien	ALR-9800	902-928	EPC C1G1,C1G2	分立器件
	ALR-8800	865.6-867.6	EPC C0/C0+/C1 G2	
AWID	MPR-2010AN	902-928	EPC C1G2 ISO 18000-B	分立器件
	MPR-3014	922-928	EPC C0/C0+/C1 G2 ISO 18000-B	
Intermec	IP4	UHF	EPC C1G1/C1G2	分立器件
	IF5	865/915/950	EPC G2 ISO 18000-6B	
Impinj	CSL 4-port	915	ISO 18000-6C	分立器件
	CSHL 4-port	符合 ISO 18000-6C	ISO 18000-6C	
瑞福科技	RFS-2300	902-928	ISO 18000-6C	分立器件
	RFS-1500	902-928	ISO 18000-6B/C	
WJ Communications	WJM 3000	902-928	EPC C1G2	芯片
	WJC 200	860-960	ISO 18000-6B/C	

目前,国内外在 UHF RFID 读写器接收机的 CMOS 单芯片集成方面的科学文献不多,主要是其实现中存在着一些不同于 GSM、CDMA 等收发机系统的技术难点。突出的几点如下:

### (1)、载波泄漏

在 UHF RFID 系统中,无源标签芯片工作所需的能量以及返回信号的能量均从读写器发射的载波中获得。在  $R \Rightarrow T$  阶段,读写器将命令调制在高频载波上,通过天线向外发射,处于有效场区内的标签接收到调制信号后,一方面对调制信号进行整流得到工作电压,为整个芯片提供能量,另一方面对调制信号进行检波、解调,得到命令。在  $T \Rightarrow R$  阶段,读写器继续向标签发射未经调制的连续载波,一方面标签可以从读写器获得能量,另一方面标签可以根据返回数据调节本身天线的反射系数,从而调制该连续载波,并将调制后的连续载波背向散射回读写器,完成数据的返回。因此,无论是发射还是接收数据,读写器的天线会持续发射很大的载波信号,载波信号通过环行器(Circulator)或定向耦合器(Directional Coupler)泄漏进入接收机前端,能量可以达到  $0dBm$  以上,远远大于接收信号的能量。又由于标签背向散射的返回机制决定了接收和发送信号为同一载波频率,无法在接收机前端通过射频带通滤波器将泄漏的载波

信号滤除,使得接收机前端产生减敏(desensitization)和阻塞(blocking),严重影响了接收链路的动态范围。因此,如何在保证一定灵敏度的情况下,抑制载波泄漏对接收机造成的影响,是提高读写器接收性能的关键。

### (2)、闪烁噪声

由于 UHF RFID 读写器收发同频,因此大部分读写器采用零中频结构,使得收发两路可以共用一个频率综合器。但是,从 EPC Global Class-1 Generation-2 协议中可以看到,接收信号的基带数据率不高,可能只有几十 kHz,因此受电路闪烁噪声的影响很大,从而大大恶化了接收机的灵敏度,减小了阅读距离和读取率。如何在 CMOS 工艺中减小器件闪烁噪声对接受信号的影响,改善信噪比,提高灵敏度,也是 UHF RFID 读写器接收机的一个设计难点。

### (3)、直流失调

直流失调是零中频接收机中的常见问题,主要由于本振信号通过寄生耦合到混频器输入端,与自身“自混频”,在输出端形成一个直流失调电平,破坏了后级电路的直流工作点,影响基带模拟电路的线性度等性能。在 UHF RFID 接收机中,由于接收信号中本身就混有很大的接收机泄漏过来的载波信号,直流失调问题更加严重,因此,如何避免使用片外滤波电容进行交流耦合,在片上消除下变频后的直流失调也成为设计中的一个难点和关键。

2007年,在 ISSCC(International Solid State Circuits Conference)上首次出现了3篇关于单芯片读写器设计的论文,对以上设计难点给出了一些不同的方案。在[6]中,I. Kipins 等人将天线上接收到的射频信号直接送入有源混频器的共栅级跨导管以达到较高的射频前端压缩点,使用 BJT 得到较低的闪烁噪声,同时用采样保持交流耦合电容消除直流失调,在 0dBm 载波泄漏的情况下可以达到-80dBm 左右的灵敏度,但是这一设计用 BiCMOS 工艺实现,射频前端电路采用了高达 5V 的电源电压,并且采样保持交流耦合电容仍是片外实现;在[7]中,Ickjin Kwon 等人用 CMOS 工艺,1.8V 的电源电压设计了一个具有较高线性度的接收机,这个设计中不使用低噪声放大器,直接用无源混频器将接收的射频信号下变频,并通过直流反馈回路消除直流失调电平,但由于射频前端无增益,使得整个接收机的噪声系数受基带模拟电路制约,灵敏度性能较差;在[8]中,Aminghasem Safarian 等人在 LNA 中设计了线性和非线性两条通路,线性通路放大射频信号和泄漏载波,非线性通路限幅射频信号和泄漏载波,两路在 LNA 输出端相减以消除泄漏载波,得到线性放大的射频信号,此设计采用 CMOS 工艺和 3.3V 电源电压,可以处理很大的载波泄漏,但是射频信号的线性度也受到较大的影响,使得在多读写器情况下的读取率下降。这些工作在不同的技术难点上做了一些创新性的工作,为我们的研究和设计提供了很好的思路 and 基础。

### 1.3 论文的主要工作及组织结构

本文根据 EPC Global Class-1 Generation-2 (即 ISO18000-6C) 协议进行了 UHF RFID 读写器射频前端的设计实现, 主要工作表现在以下几个方面:

第一, 提出了超高频读写器接收机载波消除射频前端的系统结构并进行了系统分析及仿真验证。对 EPC Global Class-1 Generation-2 进行了信道及信号分析, 由此计算了接收机的性能指标; 针对超高频读写器接收机存在的载波泄漏问题, 提出了载波消除的系统结构并对系统指标进行了分析和计算; 最后在电路级对载波消除射频前端的性能进行了仿真验证。结果表明, 射频前端在存在  $5\text{dBm}$  的载波泄漏时, 可以达到  $17.4\text{dB}$  的增益、 $14\text{dB}$  的噪声系数、 $5\text{dBm}$  的 IIP3 和  $40\text{dBm}$  的 IIP2, 完全达到系统指标, 对读写器抑制载波、提高灵敏度有着重要作用。

第二, 在 SMIC  $0.18\mu\text{m}$  RF 1P6M 标准 CMOS 工艺下完成了前端射频模块和检测链路模块的电路和版图设计, 包括载波消除低噪声放大器、正交下变频混频器、高频信号峰值检测器及低失调比较器。各模块的仿真结果均符合设计要求, 保证了整个接收机射频前端的性能。

第三, 在低噪声放大器的设计中, 在分析了本设计的技术难点之后, 提出了适用于载波消除的 LNA 电路结构, 并进行了电路和版图设计。仿真结果表明, 该低噪声放大器可以在高达  $5\text{dBm}$  的载波下对信号进行线性放大, 达到的  $8\text{dBm}$  的 IIP3, 并对共模输入信号有着很好的抑制。同时还讨论了带中心抽头的差分电感的建模、设计和拟合, 分析了如何在设计中提高电感的品质因素。

第四, 在正交下变频混频器的设计中, 对 Gilbert 单元进行了详细的性能分析, 为基于 Gilbert 单元的有源混频器的设计总结出了设计规则; 对正交下变频混频器共用跨导级的结构进行了详细的性能分析, 包括转换增益、噪声系数、线性度和镜像抑制比, 验证了共用跨导级结构在低功耗、高性能电路中的优势; 对采用多栅晶体管(Multiple Gated Transistors, MGTR)技术提高混频器的线性度和采用寄生垂直 NPN BJT 降低混频器的闪烁噪声进行了原理分析和电路实现。测试结果表明, 该混频器能够达到  $12.5\text{dB}$  的转换增益、 $12\text{dB}$  的单边带噪声系数、 $10\text{dBm}$  的 IIP3 和  $58\text{dBm}$  的 IIP2, 仅消耗  $2.7\text{mW}$  的直流功耗, 较近几年发表的混频器设计表现出较高的综合性能。

第五, 在峰值检测器的设计中, 对工作在亚阈值区的 MOS 管做整流的原理进行了分析, 验证了该结构功耗低、输出电压较其他结构更精确的特点; 在低失调比较器的设计中, 利用自较零技术降低失调电压, 采用预放大器和锁存器级联的结构提高速度, 并详细考虑了非交叠时钟信号的产生和开关 MOS 管在具体应用中的选择。仿真结果显示, 该比较器可以工作在  $80\text{MHz}$  的频率下, 达到  $3\text{mV}$  的输入失调电压, 平均功耗为  $750\mu\text{W}$ 。

本文的组织结构如下：

第二章，首先对 UHF RFID 系统协议和信道进行了分析，据此计算出了读写器接收机的性能指标；然后定量分析了读写器接收机前端的载波泄漏，并根据这一技术难点给出了接收机的系统架构；接着提出了载波消除射频前端的系统架构，并对系统指标进行了分析和计算，为各模块制定了设计目标。

第三章，第一部分简要介绍了低噪声放大器的基本原理及应用；第二部分介绍了载波消除 LNA 的设计与实现：首先分析了载波消除 LNA 的设计难点，其次给出了电路结构，接着介绍了带中心抽头的差分电感的设计、仿真、建模及拟合，最后对该结构的 LNA 的性能进行了具体的分析，包括电压增益、共模信号的抑制、噪声系数；第三部分给出了载波消除 LNA 的仿真结果、测试考虑及版图设计。

第四章，第一部分对 Gilbert 混频器的性能进行了详细的分析，包括电压转换增益、噪声系数、线性度，并提出了基于 Gilbert 单元混频器的设计准则；第二部分介绍了读写器中正交下变频混频器的设计：先分析了正交下变频混频器共用跨导级结构的性能，验证了其低功耗、高性能的优势，接着分析了 MGTR 技术提高混频器的线性度的原理和寄生垂直 NPN BJT 降低混频器的闪烁噪声的原理，然后介绍了产生正交信号的二分频电路的设计，最后给出了版图设计中的一些考虑；第三部分介绍了正交下变频混频器的测试与分析，包括 PCB 版图的设计、芯片测试环境与结果分析。

第五章，首先介绍了亚阈值 MOS 管峰值检测器的工作原理及电路设计；其次介绍了低失调比较器及非交叠时钟发生器的电路设计，并给出了仿真结果；最后给出了载波消除射频前端在存在  $5\text{dBm}$  载波泄漏时的仿真性能，验证了载波消除对系统性能的提高。

第六章，总结了论文的主要工作和目前的成果，并确定了下一步的工作，提出了一些实现方案和建议。

## 第二章 UHF RFID 读写器接收机载波消除射频前端系统架构

### 2.1 UHF RFID 系统分析及读写器接收机系统指标

#### 2.1.1 UHF RFID 系统协议分析

EPC Global C1 G2 协议中,  $T \Rightarrow R$  链路的信号采用 ASK 或 PSK 调制方式, 调制方式由标签来决定, 读写器必须能解调这两种调制方式中的任意一种。  $T \Rightarrow R$  链路的信号可以采用 FM0 编码或者 Miller 副载波调制编码, 编码方式由读写器决定。

$T \Rightarrow R$  的背向链路频率(Backscatter Link Frequency, BLF)为 40kHz-640kHz 连续可变, 其具体值由读写器发送的 Query 指令中的 DR(TRcal Divide Ratio)和 Query 指令前 preamble 中的 TRcal 共同决定( $BLF = DR/TRcal$ ), 同时允许的容差最大可达  $\pm 22\%$ , 如表 2.1 所示。 $T \Rightarrow R$  的数据率则由 BLF 和 Query 指令中的 M(cycles per symbol)决定, 如表 2.2 所示。

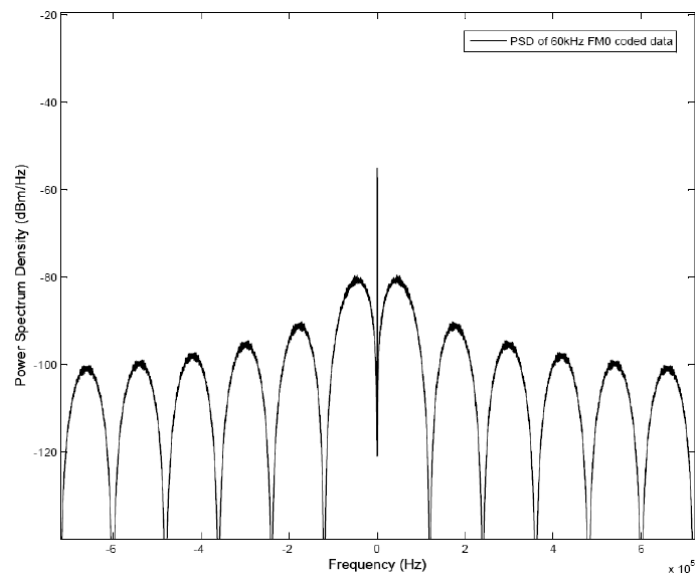
表 2.1  $T \Rightarrow R$  的背向链路频率

DR: Divide Ratio	TRcal <sup>1</sup> ( $\mu\text{s} \pm 1\%$ )	LF: Link Frequency (kHz)	Frequency Tolerance FT (nominal temp)	Frequency Tolerance FT (extended temp)	Frequency variation during backscatter
64/3	33.3	640	+/- 15%	+/- 15%	+/- 2.5%
	33.3 < TRcal < 66.7	320 < LF < 640	+/- 22%	+/- 22%	+/- 2.5%
	66.7	320	+/- 10%	+/- 15%	+/- 2.5%
	66.7 < TRcal < 83.3	256 < LF < 320	+/- 12%	+/- 15%	+/- 2.5%
	83.3	256	+/- 10%	+/- 10%	+/- 2.5%
	83.3 < TRcal $\leq$ 133.3	160 $\leq$ LF < 256	+/- 10%	+/- 12%	+/- 2.5%
	133.3 < TRcal $\leq$ 200	107 $\leq$ LF < 160	+/- 7%	+/- 7%	+/- 2.5%
200 < TRcal $\leq$ 225	95 $\leq$ LF < 107	+/- 5%	+/- 5%	+/- 2.5%	
8	17.2 $\leq$ TRcal < 25	320 < LF $\leq$ 465	+/- 19%	+/- 19%	+/- 2.5%
	25	320	+/- 10%	+/- 15%	+/- 2.5%
	25 < TRcal < 31.25	256 < LF < 320	+/- 12%	+/- 15%	+/- 2.5%
	31.25	256	+/- 10%	+/- 10%	+/- 2.5%
	31.25 < TRcal < 50	160 < LF < 256	+/- 10%	+/- 10%	+/- 2.5%
	50	160	+/- 7%	+/- 7%	+/- 2.5%
	50 < TRcal $\leq$ 75	107 $\leq$ LF < 160	+/- 7%	+/- 7%	+/- 2.5%
75 < TRcal $\leq$ 200	40 $\leq$ LF < 107	+/- 4%	+/- 4%	+/- 2.5%	

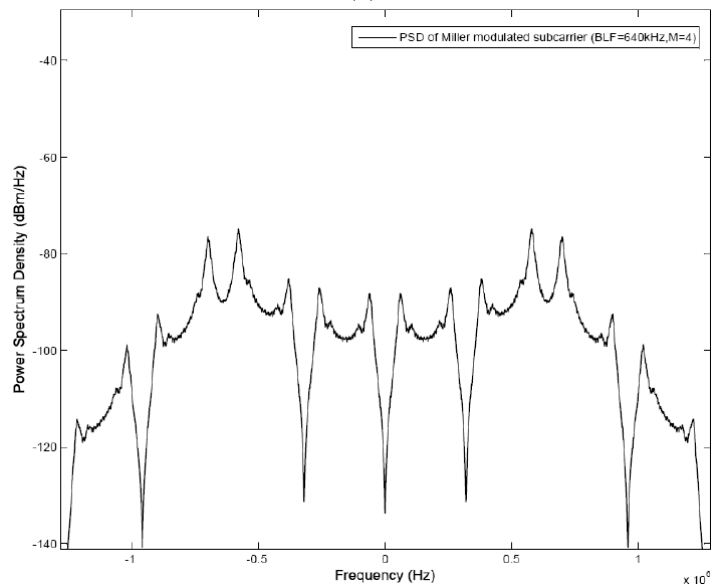
表 2.2  $T \Rightarrow R$  的数据率

M: Number of subcarrier cycles per symbol	Modulation type	Data rate (kbps)
1	FM0 baseband	LF
2	Miller subcarrier	LF/2
4	Miller subcarrier	LF/4
8	Miller subcarrier	LF/8

对 FM0 和 Miller 副载波调制编码基带信号进行频谱分析, 如图 2.1 所示<sup>[9]</sup>。可见, 两种编码在直流均没有能量。FM0 编码信号的第一零点带宽是两倍的数据率。Miller 副载波调制编码信号的第一零点带宽也是两倍的数据率, 但中心频率在 BLF 处。因此, 可以通过控制副载波的频率(BLF), 使返回信号的能量分布在特定的位置, 如相邻信道的中心或本信道的边缘。



(a)



(b)

图 2.1 (a)  $BLF = 60kHz$  时 FM0 编码数据的功率谱; (b)  $BLF = 640kHz$ 、 $M = 4$  时 Miller 副载波调制编码数据的功率谱

因此, FM0 编码时的最大基带信号带宽为  $BLF = 640kHz$ 、 $M = 1$  时:

$$f_{FM0,max} = 640kHz \times 2 = 1.28MHz \quad (2.1)$$

Miller 副载波调制编码时的最大基带信号带宽为  $BLF = 640kHz$ 、 $M = 2$  时:

$$f_{Miller,max} = 640kHz + 320kHz \times 2 = 1.28MHz \quad (2.2)$$

由于标签没有单边带调制的功能, 因此标签返回的信号为双边带(Double Sided Band, DSB)信号, 射频信号的带宽为基带信号带宽的两倍。

### 2.1.2 UHF RFID 系统信道分析

读写器和标签之间的通信会受到路径损耗(Path Loss)、多径衰落(Multipath Fading)、时延扩展(Delay Spread)、多普勒效应(Doppler Effect)等影响。由[10]分析可知, 时延扩展由于 UHF RFID 系统通信速率较低而可以忽略, 并且系统即使在最严格的条件、标签和读写器相对运动最快的情况下, 多普勒效应引入的影响仍可以忽略。因此, 读写器和标签之间的通信主要受路径损耗的影响。

根据 Friis 公式, 无线信道的路径损耗为:

$$L = \left( \frac{\lambda}{4\pi d} \right)^2 \quad (2.3)$$

其中,  $\lambda$  为电磁波的波长,  $d$  为读写器与标签之间的距离。对于典型的 UHF RFID 通信系统, 假设工作频率  $f = 900MHz$ , 读写器与标签之间的距离  $d \in [1, 10]$ , 则有:

$$\lambda = \frac{c}{f} = \frac{3 \times 10^8}{900 \times 10^6} \approx 0.33m \quad (2.4)$$

$$L|_{dB} = 20 \log \left( \frac{\lambda}{4\pi d} \right) \in [-31.5, -51.5] \quad (2.5)$$

而标签天线接收到的信号功率为:

$$P_{r,tag} = P_{EIRP} \cdot L \cdot G_{tag} \quad (2.6)$$

其中  $P_{EIRP}$  为读写器天线的等效全向辐射功率(Equivalent Isotropically Radiated Power / Effective Isotropic Radiated Power, EIRP), 是指当把天线辐射强度的最大值等效为一个假想的全向天线时, 该全向天线辐射的总功率。如表 1.3 所示, 中国 UHF RFID 频率规范规定  $P_{EIRP} = 36dBm$ 。  $G_{tag}$  为标签天线的接收增益, 假设为  $G_{tag} = 0dBi$ 。则标签天线接收到的能量为:

$$P_{r,tag}|_{dBm} = P_{EIRP}|_{dBm} + L|_{dB} + G_{tag}|_{dBi} \in [4.5, -15.5] \quad (2.7)$$

而读写器接收机前端接收到的能量为:



$$P_{r,reader} = \alpha \cdot P_{r,tag} \cdot L \cdot G_{reader} \quad (2.8)$$

其中， $\alpha$  为标签反射能量与入射能量的比值，典型值为  $\alpha = 0.2$ （具体分析请见附录 A）。 $G_{reader}$  为读写器的天线增益，典型值为  $G_{reader} = 6\text{dBi}$ 。则读写器接收机前端接收到的能量为：

$$P_{r,reader} \Big|_{\text{dBm}} = -7 + P_{r,tag} \Big|_{\text{dBm}} + L \Big|_{\text{dB}} + 6 \in [-28, -68] \quad (2.9)$$

为补偿多径衰落、读写器天线和标签天线之间的极化误差等的影响，考虑  $7\text{dB}$  左右的路径损耗裕量，则有：

$$P_{r,reader} \Big|_{\text{dBm}} \in [-35, -75] \quad (2.10)$$

因此，最大阅读距离  $d = 10\text{m}$  时要求读写器接收机的灵敏度  $Sensitivity < -75\text{dBm}$ 。并且，当标签离天线很近时，接收的能量会过大而导致整流电压过大，损坏芯片，因此标签芯片会采取措施放电，使得反射回的最大能量在  $-40\text{dBm}$  左右。

### 2.1.3 UHF RFID 读写器接收机系统指标

在读写器接收机接收最大数据率、最小能量的信号时，接收机前端天线处的信号有最小信噪比。此时信号带宽  $W = 2.56\text{MHz}$ ，信号能量  $P_{Signal} = -75\text{dBm}$ 。假设信号只受到热噪声的干扰，则信噪比为：

$$SNR_{RF,in} \Big|_{\text{dB}} = P_{Signal} \Big|_{\text{dBm}} - P_{Thermal} \Big|_{\text{dBm}} = -75 - (-174 + 10 \log W) = -75 - (-110) = 35\text{dB} \quad (2.11)$$

标签返回的数据采用 ASK 或 PSK 调制方式，不同的调制方式有不同的误比特率。如果通过匹配滤波器检测和解调，则有最佳差错性能，其误比特率如图 2.2 所示<sup>[11]</sup>，分别为：

$$P_{B,ASK} = Q \left( \sqrt{\frac{E_b}{N_0}} \right) \quad (2.12)$$

$$P_{B,PSK} = Q \left( \sqrt{\frac{2E_b}{N_0}} \right) \quad (2.13)$$

其中， $E_b / N_0$  是信噪比的归一化形式。 $E_b$  为每比特的能量，等于信号能量  $S$  与每比特持续时间  $T_b$  的乘积； $N_0$  是噪声功率谱密度，等于噪声功率  $N$  与带宽  $W$  之比。又因为  $T_b$  与数据率  $R$  互为倒数，则有：

$$\frac{E_b}{N_0} = \frac{S/R}{N/W} = SNR \cdot \frac{W}{R} \quad (2.14)$$

由图 2.2 可得，要保证  $10^{-5}$  的误比特率，ASK 解调要求的最小  $E_b / N_0 = 12.6\text{dB}$ ，

PSK 解调要求的最小  $E_b/N_0 = 9.6\text{dB}$ ，又有  $R/W = 0.5$ ，则要求数字解调输入信号的最小信噪比为：

$$SNR_{Dig,in}|_{dB} = 10\log\left(\frac{E_b}{N_0} \cdot \frac{R}{W}\right) = 12.6 + 10\log 0.5 = 9.6\text{dB} \quad (2.15)$$

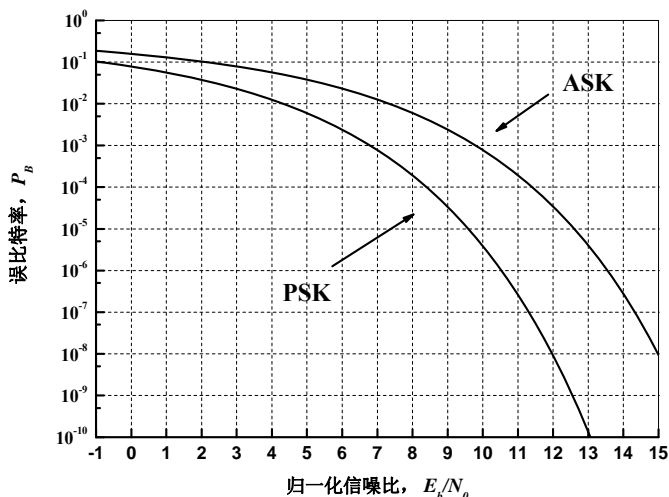


图 2.2 ASK 和 PSK 解调的误比特率

理想解调和实际解调之间考虑  $5\text{dB}$  的解调信噪比，则  $SNR_{Dig,in}|_{dB} \approx 15\text{dB}$ 。因此读写器接收机射频和模拟前端的噪声系数上限为：

$$NF_{RF,Analog}|_{dB} \leq SNR_{RF,in}|_{dB} - SNR_{Dig,in}|_{dB} = 35 - 15 = 20\text{dB} \quad (2.16)$$

则接收机射频和模拟前端的等效输入噪声功率为：

$$P_{n,in}|_{dBm} = P_{Thermal}|_{dBm} + NF_{RF,Analog}|_{dB} = -110 + 20 = -90\text{dBm} \quad (2.17)$$

接收机的输入二阶交调点和输入三阶交调点根据定义分别表示为：

$$P_{IIP2}|_{dBm} = P_{in}|_{dBm} + (P_{out}|_{dBm} - P_{IM2,out}|_{dBm}) = 2P_{in}|_{dBm} - P_{IM2,in}|_{dBm} \quad (2.18)$$

$$P_{IIP3}|_{dBm} = P_{in}|_{dBm} + \frac{P_{out}|_{dBm} - P_{IM3,out}|_{dBm}}{2} = \frac{3P_{in}|_{dBm} - P_{IM3,in}|_{dBm}}{2} \quad (2.19)$$

这里我们假设干扰信号强度  $P_{in}$  比最大返回信号高  $10\text{dB}$ （即  $-30\text{dBm}$ ），要求等效输入二阶交调量  $P_{IM2,in}$  和等效输入三阶交调量  $P_{IM3,in}$  均小于等效输入噪声功率  $P_{n,in}$ ，并考虑  $3\text{dB}$  的裕量，则有  $P_{IIP2} \geq 33\text{dBm}$ ， $P_{IIP3} \geq 3\text{dBm}$ 。

而接收机射频前端的  $1\text{dB}$  压缩点受发射机泄漏的载波信号的严重影响，因此，要达到较高的灵敏度，射频前端必须能够在接收机前端存在  $5\text{dBm}$  左右的载波信号时正常放大信号。这也是本文要解决的关键问题。

综上所述，我们得到读写器接收机射频及模拟前端的系统指标如表 2.3 所示：

表 2.3 读写器接收机射频及模拟前端系统指标

参数	指标
频率范围	840MHz ~ 925MHz
信号带宽	160kHz ~ 2.56MHz
噪声系数(NF)	20dB
灵敏度(Sensitivity)	-75dBm
输入三阶交调点(IIP3)	3dBm
输入二阶交调点(IIP2)	33dBm

## 2.2 UHF RFID 读写器接收机系统架构

### 2.2.1 UHF RFID 读写器接收机前端载波泄漏分析

由于标签采用背向散射机制返回信号，因此 UHF RFID 必须收发同频，并且为了提供给无源标签能量，发射机即使在接收信号时也一直在发射连续载波，使得接收机前端有很大的载波泄漏。如此大的信号会阻塞射频前端，影响返回信号的正常放大及线性度，它需要射频前端有高达 5dBm 以上的 1dB 压缩点，并且限制了射频前端的增益要在 0dB 以下，以使模拟前端可以正常工作。如何在载波泄漏情况下正常接收和放大返回信号是 UHF RFID 读写器接收机设计的一个难点，也是本文主要解决的问题。因此，这里首先对载波泄漏进行一个定量的分析。

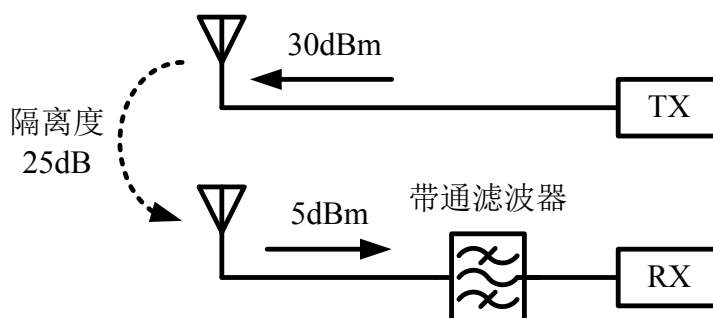


图 2.3 双天线读写器的载波泄漏

载波泄漏在双天线和单天线读写器中都存在。如图 2.3 所示的双天线读写器中，接收机天线和发射极天线间的隔离度一般有 25dB，而发射极功率放大器的输出信号功率为 30dBm，则泄漏到接收机前端的载波信号功率为  $P_{Leakage} = 30 - 25 = 5\text{dBm}$ 。

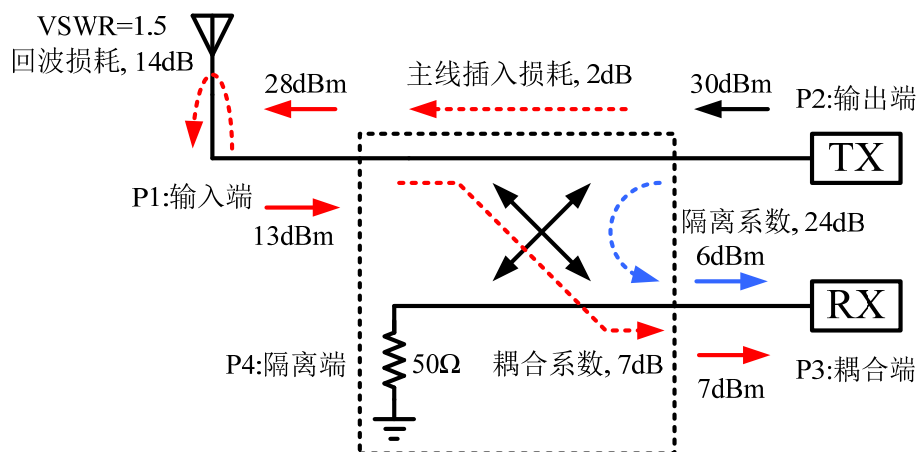


图 2.4 用定向耦合器做隔离的载波泄漏

图 2.4 所示的单天线系统中，用定向耦合器(Directional Coupler)做收发隔离。方框内是一个典型的三端口定向耦合器的示意图。P1 是主线输入端口（入射端口），P2 是主线输出端口（反射端口），P3 是耦合端口，P4 是隔离端口，在三端口定向耦合器中，P4 在内部通过  $50\Omega$  电阻接地。从 P2 到 P3 端口信号的泄漏通过两条路径：一条是通过 P2 到 P3 端口有限的隔离系数(Isolation)；另一条是通过 P2 到 P1 端口的主线插入损耗(Mainline Insertion Loss), P1 端口天线的回波损耗(Return Loss), P1 到 P3 端口的耦合系数(Coupling)。以 Mini-Circuit 公司的 DBTC-7-152+定向耦合器<sup>[12]</sup>为例，通过前一条路径泄漏的载波能量约有  $30 - 24 = 6\text{dBm}$ ，通过后一条路径泄漏的载波能量约有  $30 - 2 - 14 - 7 = 7\text{dBm}$ 。

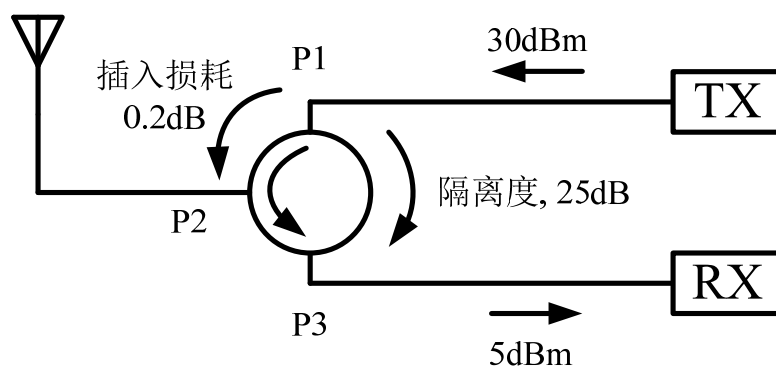


图 2.5 用环形器做隔离的载波泄漏

图 2.5 所示的单天线系统中，用环形器(Circulator)做收发隔离。环形器有三个端口，其特性是  $P1 \Rightarrow P2$ 、 $P2 \Rightarrow P3$ 、 $P3 \Rightarrow P1$  方向信号传输，其插入损耗典型值为  $0.2\text{dB}$ ， $P1 \Rightarrow P3$ 、 $P3 \Rightarrow P2$ 、 $P2 \Rightarrow P1$  方向信号隔离，其隔离度典型值为  $25 \sim 30\text{dB}$ （以 M/A-COM 公司的 MAFRIN0494 为例<sup>[13]</sup>）。因此，接收机前端泄漏的载波能量可以小于  $30 - 25 = 5\text{dBm}$ 。

由以上三种情况的分析可知，双天线系统由于体积大，成本高，不适用于手持设备及低成本设备中。而单天线系统中，环形器虽然体积大，但是隔离度较定向耦合器要好，插入损耗要小，并且定向耦合器从天线端到接收端有较大的衰减（等于耦合系数），进一步降低了信噪比，因此，在 UHF RFID 读写器中环形器用得比较多。但不管采用何种方法，目前接收机前端的载波泄漏都可能达到  $5\text{dBm}$ 。

## 2.2.2 UHF RFID 读写器接收机系统架构

目前有一些文献针对 2.2.2 中分析的载波泄漏问题给出了一些方案。Ickjin Kwon 等人在[7]即采用了无源混频器来达到高  $1\text{dB}$  压缩点，但这个结构使得模拟前端的噪声贡献就会非常突出，本质上是以牺牲噪声性能来换取线性度，因此接收机的灵敏度性能较差；而 Minghasem Safarian<sup>[8]</sup>等人提出的用 LNA 消除载波的结构也存在很大的线性度问题。

接收机的灵敏度下降导致读取距离的下降，而接收机的线性度下降降低读写器的抗邻道干扰能力，从而导致读取率的下降。因此，同时保证接收机的噪声性能和线性度性能是必要的，这就要求射频前端有一定的增益并有很高的  $1\text{dB}$  压缩点。在低功耗低成本的标准 CMOS 工艺中，最好的办法就是将泄漏入接收机前端的载波信号在进入射频前端的时候就减小到可以处理的范围。

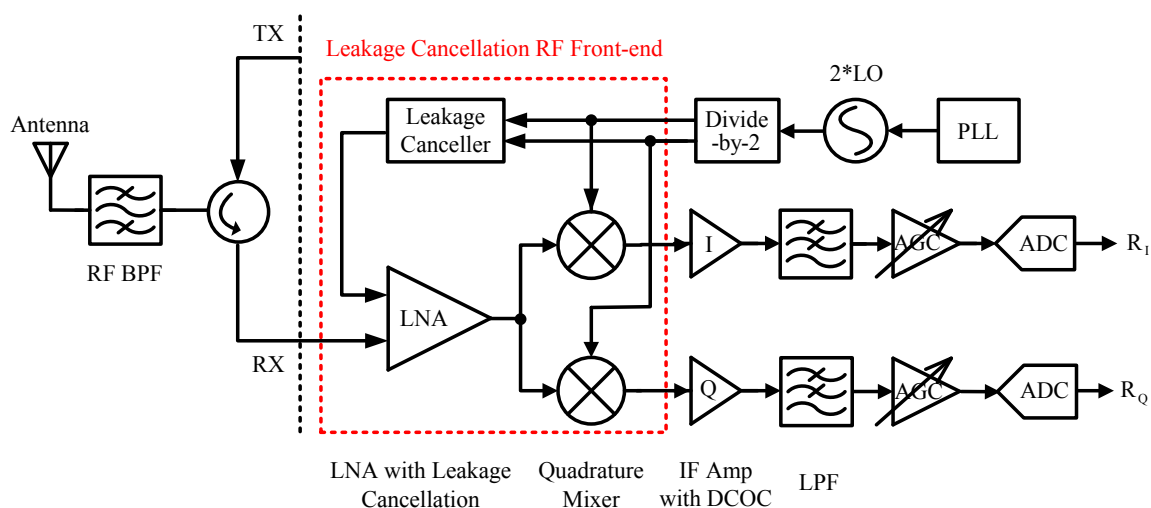


图 2.6 UHF RFID 读写器接收机系统架构

图 2.6 所示是 UHF RFID 读写器接收机的系统架构。载波消除将本振信号进行调幅和调相，得到一个与泄漏的载波接近同相、同幅的抵消信号。此信号与混有载波的接收信号经过低噪声放大器进行相减，使得输出信号中大部分的载波信号被抵消，从

而可以通过有源混频器进行高线性度的下变频。下变频后的基带信号先经过中频预放大器，一方面抑制后级低通滤波器的噪声，另一方面通过直流反馈进行直流失调电平消除。经低通滤波后的信号通过 AGC 进行幅度调整，以达到 ADC 的满幅输入。接收机本振信号与接收信号的相位不确定，在标签处于某些特定位置时，本振信号与接收信号的相位差为  $90^\circ$ ，混频后信号幅度为零。为了解决此类零点问题，接收机必须采用正交解调结构，使用正交的本振信号与接收信号混频，得到 I/Q 两路中频信号。正交的本振信号由两倍频的频率综合器输出经过二分频电路得到，二分频可以方便地得到正交信号，并且有较好的相位噪声。

本接收机采用零中频结构，原因主要有以下几点：首先，UHF RFID 读写器收发同频，采用零中频结构可以使发射机和接收机共用一个频率综合器，从而大大减小设计复杂度；其次，直接变频结构将发射机泄漏过来的载波转换到直流，可以通过直流失调电平消除电路消除，并且  $T \Rightarrow R$  链路采用的 FM0 和 Miller 编码均无直流分量，信号不会受直流失调电平消除电路的破坏；再次，零中频结构避免了超外差结构中的镜像问题，而且使得模拟前端的信号带宽降低，从而降低了模拟和基带处理的设计难度。当然，CMOS 零中频结构中的一些问题，如闪烁噪声、本振泄漏、偶次交调失真等问题，也需要在设计中考虑和解决。

方框内所示即接收机载波消除射频前端，主要包括抵消信号产生电路、带载波消除的低噪声放大器、正交下变频混频器以及载波消除检测电路。这些模块不是独立的，而是集合在载波消除的反馈回路当中。

## 2.3 UHF RFID 读写器接收机载波消除射频前端系统架构

### 2.3.1 UHF RFID 读写器接收机载波消除射频前端系统架构

载波消除射频前端的具体架构如图 2.7 所示。在载波泄漏消除支路中，抵消信号 (Leakage Canceller) 由本振差分正交的四路信号得到，这样得到的信号和发射端泄露过来的载波信号属于同源信号，两个信号的频率较为精准。抵消信号和输入信号分别输入载波消除低噪声放大器的差分输入两端，则低噪声放大器的输出信号即为两个信号之差。相减后的信号经峰值检测器 (Peak Detector) 检测，得到一个与输入信号峰值成一定正比关系的输出电压值，与设定的参考电压比较，如果峰值检测器的输出大于参考电压，说明尚未达到足够的抵消程度，则通过控制状态机 (Control State Machine) 发出控制信号，继续调节抵消信号的相位和幅度，直至通过低噪声放大器相减后的信号中，载波信号的幅度降低到所设定的值后，比较器的输出才会翻转，系统才会停止校准。

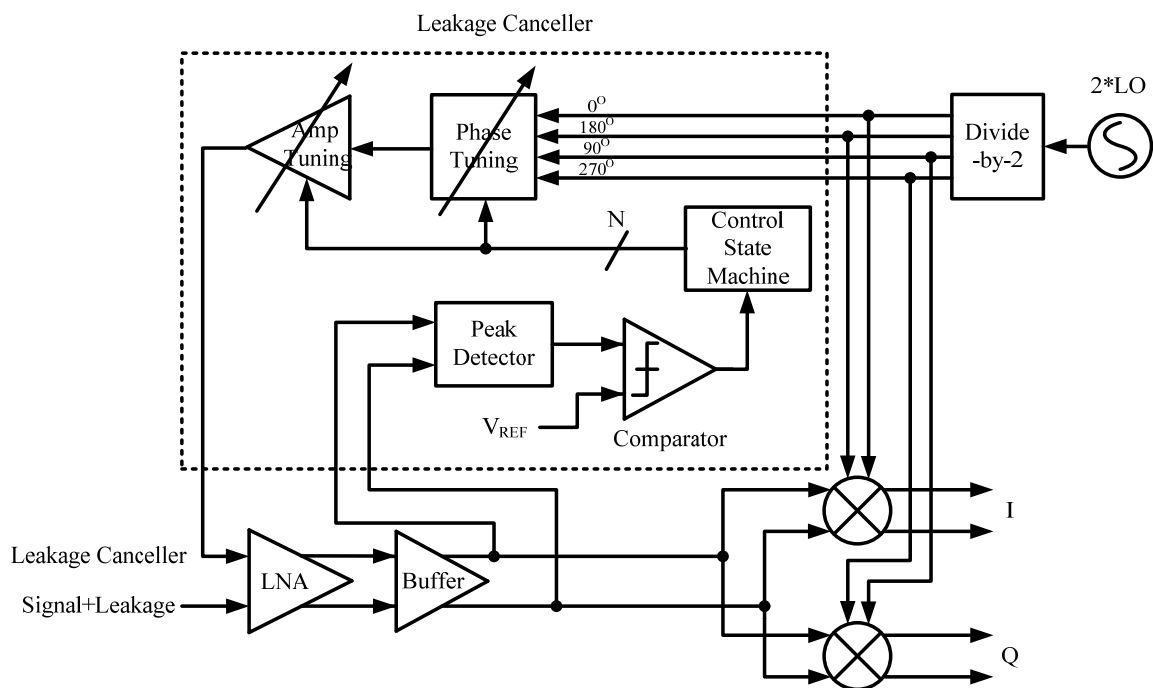


图 2.7 载波消除射频前端架构

在实际情况下，读写器的发射功率、收发隔离器以及天线一经确定，接收机前端的载波泄漏的大小也随之确定。载波消除前端在发送命令前先进行载波消除，消除程度达到设定的判断阈值之后即中止载波消除过程，读写器开始正常工作。但实际情况中，读写器的载波泄漏会随着时间和温度有一定变化，并且读写器也会每隔一段时间（几百  $ms$ ）跳频(FHSS)以减小多读写器之间的干扰，因此，可以在每次跳频后启动一次载波消除命令，一方面适应新频率的载波泄漏，另一方面适应不同时间、不同温度下的载波泄漏量。同时，由于载波消除过程完成时间相对较短( $< 1ms$ )，因此不会对读写器的正常读写造成大的影响。

在射频接收支路中，载波消除低噪声放大器要在  $5dBm$  的输入能量下实现线性放大，因此需要工作在比较高的电源电压下( $3.3V$ )，而下变频混频器的输入为载波消除后的小信号，为节省功耗，可以工作在较低的电源电压下( $1.8V$ )。为避免输入大信号造成器件等的击穿、老化等，需要在低噪声放大器和混频器之间用缓冲器隔离，这个缓冲器用源跟随器结构实现，采用  $0.33\mu m$  工艺的器件，但是工作在  $1.8V$  电源电压下。

## 2.3.2 UHF RFID 读写器接收机载波消除射频前端系统指标

### 2.3.2.1 幅度和相位的调节范围和精度

假设发射机泄漏过来的载波信号为  $A\cos\phi$ ，抵消信号为  $(A+\varepsilon)\cos(\phi+\theta)$ ，则载

波消除低噪声放大器的输入信号为：

$$\begin{aligned} V_{LNA,in} &= A \cos \phi - (A + \varepsilon) \cos(\phi + \theta) \\ &= \alpha \cos \phi + \beta \sin \phi \end{aligned} \quad (2.20)$$

其中， $\alpha = A - (A + \varepsilon) \cos \theta$ ， $\beta = (A + \varepsilon) \sin \theta$ 。则低噪声放大器输入信号的能量为：

$$P_{LNA,in}|_{dBm} = 10 \log \frac{\alpha^2 + \beta^2}{2 \times 50 \times 10^{-3}} = 10 \log \left\{ 10 \left[ A^2 + (A + \varepsilon)^2 - 2A(A + \varepsilon) \cos \theta \right] \right\} \quad (2.21)$$

显然，当泄漏的载波信号最大时， $P_{LNA,in}$  也最大。图 2.8 所示是在载波泄漏为  $5dBm$  时， $P_{LNA,in}$  与  $\varepsilon$  和  $\phi$  关系曲线。

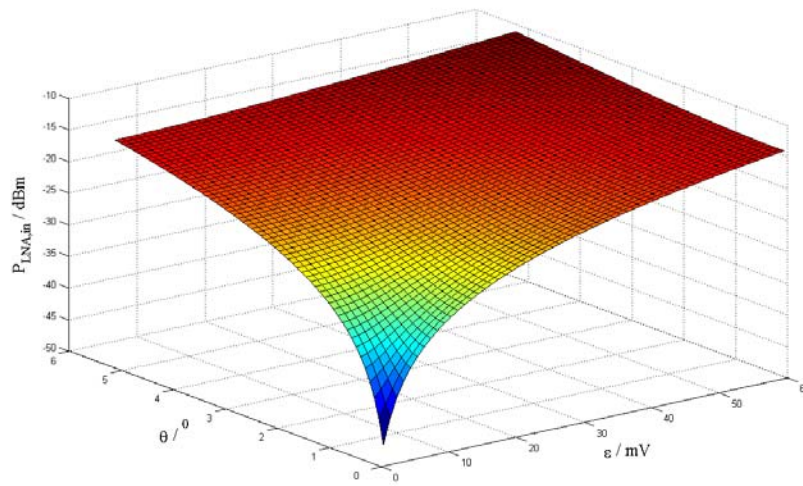


图 2.8 载波泄漏为  $5dBm$  时， $P_{LNA,in}$  与  $\varepsilon$  和  $\phi$  的关系曲线

一般有源混频器的  $1dB$  压缩点可以在  $0dBm$  左右，这就要求载波消除 LNA 的输出信号中，载波信号的能量在  $-10dBm$  以下。在设定 LNA 的增益指标时就要考虑幅度和相位的调节精度要求，因为要求  $P_{LNA,in}|_{dBm} \leq -10 - Gain_{LNA}|_{dB}$ 。LNA 的增益越大，幅度和相位调节的精度要求就越高。但 LNA 增益的提高又有助于自身和前端噪声系数的降低。因此我们要根据理论计算，权衡出一个比较合理的设计指标。图 2.9 给出了不同的 LNA 增益下，幅度和相位的调节精度要求。在 LNA 的增益大于  $10dB$  的时候，幅度和相位的调节精度比较高，大大增加了抵消信号产生电路的复杂度和锁定时间。在 LNA 的增益为  $5dB$  左右时，幅度和相位的调节精度大大降低，考虑到射频前端 NF 的设计指标不是很高，这个增益是可以承受的。因此，我们设定载波消除 LNA 的增益指标为  $6dB$ ，并权衡相位和幅度调节实现的难易程度，将幅度的调节范围和精度分别设定为  $A = 0 \sim 5dBm$  和  $\varepsilon \leq 40mV$ ，相位的调节范围和精度分别设定为  $\phi = 0^\circ \sim 360^\circ$  和  $\theta \leq 3^\circ$ 。



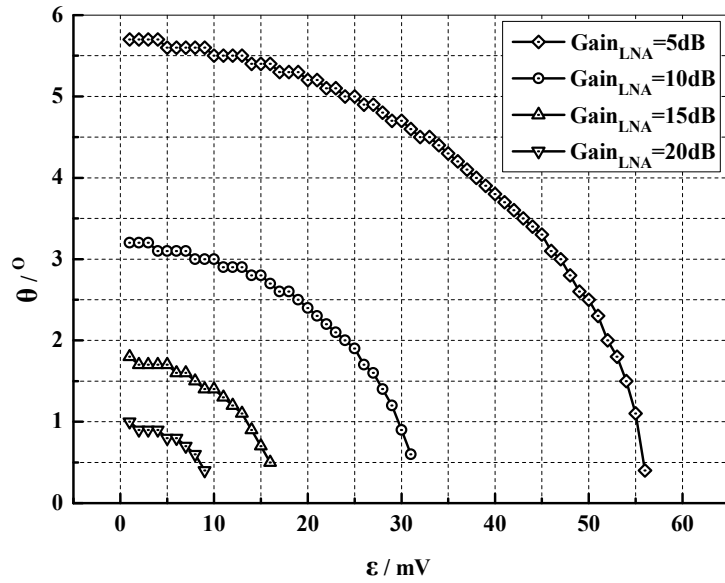


图 2.9 不同 LNA 增益下,  $\varepsilon$  和  $\phi$  的最大值

### 2.3.2.2 峰值检测电路和比较器的设计指标

峰值检测电路和比较器实现的功能是在载波消除 LNA 输出的载波信号小于  $-10\text{dBm}$  时, 给出一个载波消除完成的判断信号。因此, 峰值检测电路输入带宽要求大于  $925\text{MHz}$ , 并对  $-10\text{dBm}$  大小的输入信号, 能产生一个可以较为精确地预测的输出电平。比较器则比较实际峰值检测器的输出电平与判断的阈值电平, 因此要求有较低的失调电压以使判断电平不会有很大的偏差。

### 2.3.2.3 载波消除 LNA、缓冲器和混频器的设计指标

载波消除 LNA 在本设计中是一个比较特殊的模块。在载波消除过程中, LNA 主要是放大这两个同频信号的差异, 输出以作为载波消除程度的判断; 而在载波消除完成后, LNA 进入正常工作状态, 主要功能是放大微弱的接收信号。但此时 LNA 的差分输入端同时存在两个幅度和相位相近的载波信号, 可以看作是存在很大的共模输入信号, 这对接收信号的正常放大和输出信号的共模抑制提出了较高的要求。

缓冲器主要是用于缓冲 LNA 高压管的输出信号, 防止其过大而损坏后级低压器件。设计中主要考虑其噪声系数和线性度对系统的影响。相对来说, 由于载波消除 LNA 的增益指标为  $6\text{dB}$ , 缓冲器的噪声系数的要求更高一些。其实, 可以把缓冲器看作是载波消除 LNA 的输出级。

混频器作为射频前端的最后一级，其线性度要求是设计的考虑重点。同时，由于采用零中频结构，混频器的闪烁噪声也要尽量减小。这是有源混频器设计中比较突出的两个问题。

假设射频前端和模拟前端等效到输入端的噪声和非线性贡献相等，则我们可以得到 LNA、缓冲器和混频器链路的性能指标为： $NF_{DSB} \leq 17dB$ 、 $IIP3 > 0dBm$  及  $IIP2 > 30dBm$ 。而指标在各模块之间的分配是一个比较复杂的问题，不仅要考虑各模块性能的大致范围，还要考虑某些模块（如载波消除 LNA）的特殊性对性能达标可能的影响。

## 第三章 载波消除低噪声放大器的设计与实现

### 3.1 LNA 的原理及应用

低噪声放大器(Low Noise Amplifier, LNA)通常是接收机的第一级,其主要功能在于:一方面提供足够的增益以抑制后级噪声对系统的影响,同时自身引入尽量少的噪声;另一方面提供 $50\Omega$ 或 $75\Omega$ 等特征阻抗的匹配。根据应用频率的不同,LNA可以分为窄带LNA、多带LNA和宽带LNA三种。无论哪种类型的LNA,其主要性能指标都包括输入阻抗匹配(Input Matching)、噪声系数、线性度(IIP3、IIP2、1dB压缩点)、功耗等。对于不同的接收机系统,设计的侧重点也不一样,例如对于接收信号很微弱的GSM系统,侧重于噪声系数;而对于接收信号较强的TV Tuner系统,则更侧重于线性度的要求。

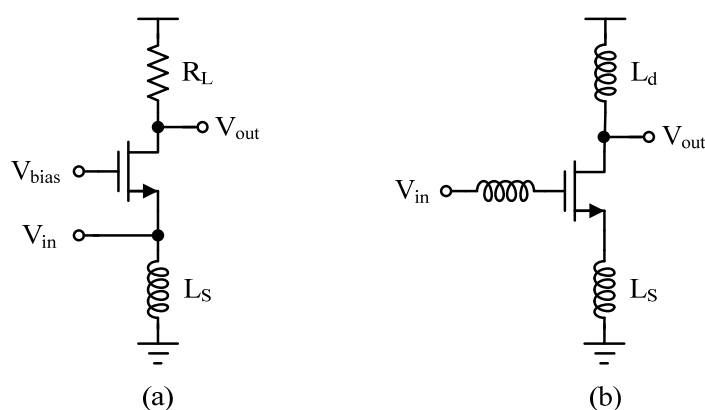


图 3.1 常用的 LNA 结构: (a) 共栅放大 LNA; (b) 带源级电感反馈的共源放大 LNA

常用的两种 LNA 结构如图 3.1 所示。其中(a)为共栅放大 LNA,源端的电感 $L_S$ 与源端的寄生电容谐振在工作频率上,因此其输入阻抗为:

$$Z_m = \frac{1}{g_m} \quad (3.1)$$

噪声系数为:

$$NF = 1 + \gamma \frac{1}{g_m R_S} + \frac{1}{g_m^2 R_L R_S} = 1 + \gamma + \frac{1}{g_m R_L} \approx 1 + \gamma \quad (3.2)$$

共栅放大 LNA 的优点在于具有较高的线性度,因此常被用在一些高线性度要求的系统中。此外,由于共栅放大结构具有很好的频率特性,通过良好的设计能够用于微波等超高频系统中。

图 3.1(b)所示为带源级电感反馈的共源放大 LNA，其输入阻抗为：

$$Z_{in} = \frac{g_m L_s}{C_{gs}} + S(L_s + L_g) + \frac{1}{SC_{gs}} \quad (3.3)$$

选择合适的  $L_s + L_g$ ，使其与  $C_{gs}$  谐振在工作频率  $\omega_o$ ，即：

$$\omega_o = \frac{1}{\sqrt{(L_s + L_g) \cdot C_{gs}}} \quad (3.4)$$

则输入为阻抗：

$$Z_{in} = \frac{g_m L_s}{C_{gs}} = \omega_T L_s \quad (3.5)$$

其中  $\omega_T = g_m / C_{gs}$  是 MOS 管的特征频率。

带源级电感反馈的共源放大 LNA 的噪声系数为：

$$NF = 1 + \frac{R_{L_s} + R_g}{R_s} + \gamma \frac{g_m R_s \omega_o^2}{\omega_T^2} \approx 1 + \gamma \frac{g_m R_s L_s^2 \omega_o^2}{Z_{in}^2} \quad (3.6)$$

其中忽略了栅极匹配电感的寄生电阻  $R_{L_s}$  和栅电阻  $R_g$  的影响。可以得出如下结论：

(1)、电路最主要的噪声源是 MOS 管的沟道噪声，且正比于 MOS 管的跨导  $g_m$ 。减小  $g_m$  有助于减小 NF；(2)、减小  $L_s$  同样可以减小 NF，这就意味着增大  $C_{gs}$ ，即增大 MOS 管的尺寸，也就意味着可以降低 MOS 管的偏置电流，降低功耗；(3)、 $L_g$  的取值要考虑到其寄生电阻不宜过大，因此品质因素要高。

由于存在 LC 谐振网络，带源级电感反馈的共源放大 LNA 只能工作在窄带情况下，但是其优点是可以同时实现阻抗匹配和噪声匹配<sup>[14]</sup>。对于宽带 LNA，可以有噪声抵消等技术来降低其 NF<sup>[15~16]</sup>。

## 3.2 载波消除 LNA 的设计与实现

### 3.2.1 载波消除 LNA 的设计难点

从 2.3.2 分析可知，UHF RFID 系统对 NF 的要求不高，载波消除低噪声放大器的 NF 指标也不高。因此，更确切地说，载波消除 LNA 的功能是在很大的共模输入幅度下实现小信号的放大。这里的设计难点主要在以下几点：

(1) 载波消除 LNA 的输入是两个需要相减的独立的输入信号（带有载波泄漏的接收信号和载波消除信号），在稳定工作状态下，这两个信号是接近同相、等幅的信号，且信号的能量会高达  $5dBm$ 。因此，电路需要共模输入到共模输出的增益 ( $A_{CM \rightarrow CM}$ ) 很小，以保证后续电路的正常工作和线性放大。

(2) 载波消除 LNA 在对输入两端的载波信号进行相减的同时，也要线性地放大接收端标签返回的微弱信号。如何在输入共模信号能量高达  $5dBm$  的情况下无失真地处理小信号，需要对 MOS 管的直流工作点进行充分的估计。

### 3.2.2 载波消除 LNA 的电路结构

载波消除 LNA 的电路如图 3.2 所示： $M_1$  和  $M_2$  为输入对管，分别与  $M_3$  和  $M_4$  形成共源共栅结构以提高 LNA 的反向隔离度。输出负载为  $L_d$  和  $C_d$  的谐振网络，有一定的选频功能，并在直流情况下不消耗电压裕度。 $M_5 \sim M_8$  为偏置电路， $M_9$  和  $M_{10}$  为 MOS 电容，可以提供较大的电容值滤除偏置电压上耦合的噪声。为在  $5dBm$  输入共模下正常工作，电路用 SMIC 0.18um 工艺中  $0.35\mu m$  沟道长度的 MOS 管，并工作在 3.3V 电源电压下。

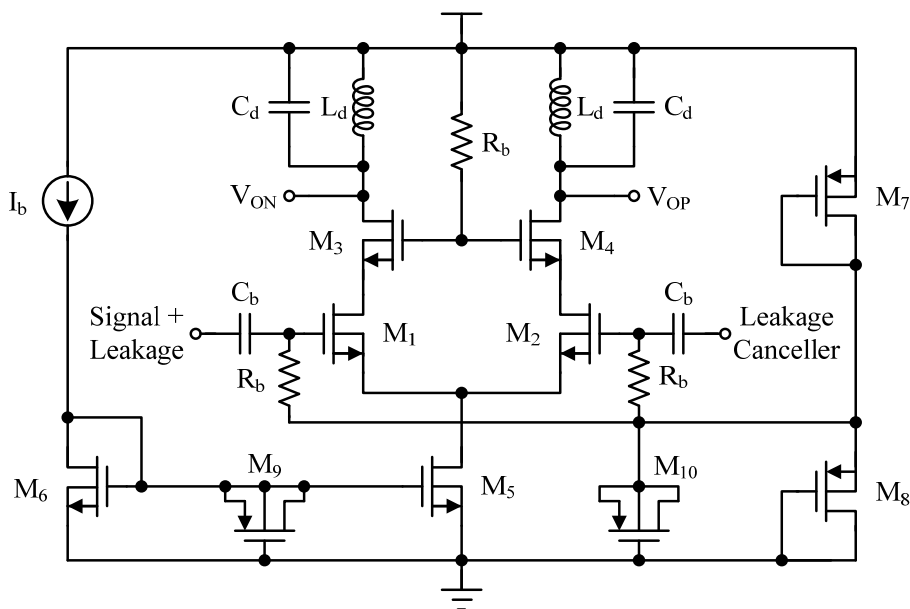


图 3.2 载波消除 LNA 电路图

当载波泄漏和载波消除信号的能量为  $5dBm$  ( $V_{p,in} = 560mV$ ) 时，LNA 要正常工作，要求输入对管  $M_1$  和  $M_2$  仍工作在饱和区，即  $M_1$  和  $M_2$  的偏置电压：

$$V_{G,M1} \geq V_{dsat,M5} + V_{TH,M1} + V_{dsat,M1} + V_{p,in} \approx 0.3 + 0.78 + 0.2 + 0.56 \approx 1.8V \quad (3.7)$$

其中沟道长度为  $0.35\mu m$  的 MOS 管的阈值电压  $V_{TH} \approx 0.78V$ ，尾电流源  $M_5$  考虑了  $0.3V$  的过驱动电压，输入对管  $M_1$  和  $M_2$  考虑了  $0.2V$  的过驱动电压。

为了使  $M_1$  和  $M_2$  在输入信号最大时不进入线性区，要求  $M_1$  和  $M_2$  漏端的电压：

$$V_{D,M1} \geq V_{G,M1} + V_{p,in} - V_{TH,M1} = 1.8 + 0.56 - 0.78 \approx 1.6V \quad (3.8)$$

共源共栅管  $M_3$  和  $M_4$  的栅极偏置越高越好，直接连接到电源电压后，为保证  $M_3$  和  $M_4$  不进入线性区，输出信号幅度限制为  $M_3$  和  $M_4$  的阈值电压以内，即  $V_{p,out} \leq 0.78V$ 。在保证比较好的共模抑制比的情况下，这是一个足够大的值，因为接收到的小信号即使通过 LNA 放大后也很微弱。

共源共栅结构提高反向隔离度是通过减小共源管输入到输出的电压增益（降为  $A_{V,M1} \approx g_{m1}/g_{m3}$ ），使得  $C_{gs,M1}$  的 Miller 效应减小而实现的。因此共栅管  $M_3$  的尺寸越大， $g_{m3}$  越大，反向隔离度越好，但同时  $M_3$  源端的寄生电容也越大，从而恶化高频性能。一般情况下，共源共栅管取相同的尺寸，有利于版图设计。

尾电流源  $M_5$  的作用主要有两个：一方面在输入共模信号变化比较大的情况下稳定电源电流，避免在电源线上形成较大的噪声；另一方面是抑制共模输入到共模输出的增益 ( $A_{CM \rightarrow CM}$ )。因此，这里用  $0.5\mu m$  的沟道长度以增大  $M_5$  的输出阻抗。

偏置电阻  $R_b$  起退耦的作用，其阻值要足够大，一方面使得输入信号尽可能地进入输入管栅极而不会通过  $R_b$  流入偏置电路，另一方面  $R_b$  也能抑制偏置电路中 MOS 管产生的噪声传递到 LNA 的核心电路。

输出电感  $L_d$  和输出电容  $C_d$  与输出端寄生电容之和谐振以提供输出阻抗。这里两个  $L_d$  采用带中心抽头的差分叠层电感实现，以较小的面积得到较大的感值和  $Q$  值。由于输出电感的参数决定了电路设计中的很多参数，因此，这里先介绍带中心抽头的差分叠层电感的设计。

### 3.2.3 带中心抽头的差分叠层电感的设计

#### 3.2.3.1 片上电感的介绍及设计准则

片上电感的  $Q$  值由其寄生串联电阻决定，自激振荡频率由其寄生电容决定。因此，片上电容一般用顶层金属实现，因为顶层金属一般较下层金属厚度要大，寄生电阻要小，并且离衬底较远，寄生电容较小。并联叠层电感将两层或者两层以上的平面电感相并联，进一步降低了电感的串联电阻，但这种叠层结构同时也增加了电感与衬底之间的电容，降低了电感的自激振荡频率。串联叠层电感则是将多层平面电感相串联构成，能够大大提高电感的感值，特别适合电感值比较大 ( $10n-100nH$ ) 的应用场合。在高频时，由于金属层之间的耦合电容比较大，加之下层金属对地的耦合的电容也较大，串联叠层电感的  $Q$  值和自激振荡频率都会降低。

片上电感的尺寸参数主要有圈数  $n$ ，金属线宽度  $w$ ，金属线间距  $s$ ，内直径  $d_{in}$  和边数  $N$ 。这些参数随着特定的应用而不同，电感的寄生电容与串联电阻等都必须进行优化和权衡。这里总结了一些一般准则<sup>[17]</sup>：

(1) 用最上层金属构建电感可以使电感和衬底之间的氧化层厚度最大，因而可以减小高频时对衬底的损耗，提高高频时的  $Q$  值。

(2) 采用工艺所允许的最小连线间距  $s$ ，这样可以使相邻的金属连线之间的磁耦合最大，从而得到最大的  $Q$  值，同时电感占据的面积也比较小。采用最小连线间距虽然也使得相邻金属连线之间的耦合电容变大，但因为在大多数工艺中金属连线厚度不会超过  $3\mu\text{m}$ ，这个耦合电容对电感整体性能的影响很小。

(3) 对于一般体硅 CMOS 工艺，工作频率 1-3GHz 时有最好  $Q$  值的最佳的金属线宽  $w$  在  $10\sim 15\mu\text{m}$ 。金属连线宽度再增加的话，电感值减小的速度会大于串联电阻减小的速度，同时对衬底的耦合也更加严重，会使  $Q$  值的最大值降低，并且自激振荡频率也会下降。

(4) 电感和周围其他的元器件之间要保持一定的距离，一般要大于 5 倍的金属线宽度。这样可以防止不必要的寄生电磁耦合。

当然，还有一些专门的技术可以有效地提高电感的  $Q$  值，如放射状地隔离层、反偏置双 PN 结隔离、电感金属的多通路并联等。

### 3.2.3.2 带中心抽头的差分叠层电感的模型

电感的差分使用可以比单端使用在高频时获得更高的  $Q$  值，原因就在于氧化层电容和衬底寄生参数发生了变化，影响了高频特性。而如今的射频电路中，譬如压控振荡器、全差分 LNA、上变频混频器等，带中心抽头的差分电感具有广泛的应用和重要的作用。

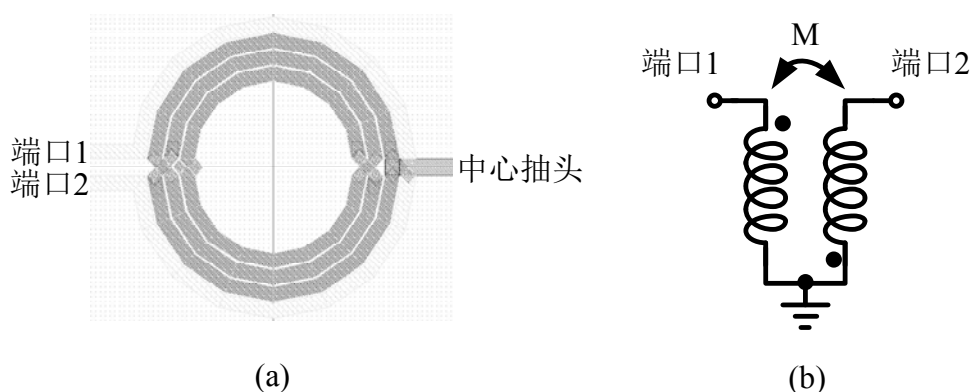


图 3.3 带中心抽头的差分电感：(a)物理版图；(b)理想模型

中心抽头差分电感的物理版图和等效电路如图 3.3 所示<sup>[18]</sup>。在忽略寄生电阻和电容的情况下，中心抽头交流接地的差分电感可以看为一个理想变压器， $M$  是互感，端口 1 和端口 2 之间的电压相位差  $180^\circ$ 。

图 3.4 是考虑了大部分寄生效应后的集总电路等效模型,其中  $L_1$  和  $L_2$  分别为差分两段的电感值,  $R_1$  和  $R_2$  分别为差分两段的串联电阻值,  $K$  表征了  $L_1$  和  $L_2$  之间的耦合系数; 电阻  $R_{s1}$ 、 $R_{s2}$  和电感  $L_{s1}$ 、 $L_{s2}$  表征金属高频下的趋肤效应,  $K_1$  和  $K_2$  表征了邻近耦合的系数; 电容  $C_s$  表示  $L_1$  和  $L_2$  之间的金属间寄生电容;  $C_{OX1}$ 、 $C_{OX2}$ 、 $C_{OX3}$  表示金属和衬底之间的氧化层电容;  $R_{sub1}$ 、 $R_{sub2}$ 、 $R_{sub3}$  和  $C_{sub1}$ 、 $C_{sub2}$ 、 $C_{sub3}$  分别表示衬底的寄生电阻和电容; 中心抽头通常接电源电压或地, 其寄生阻抗用电感  $L_{ct}$  和电阻  $R_{ct}$  的串联表示。

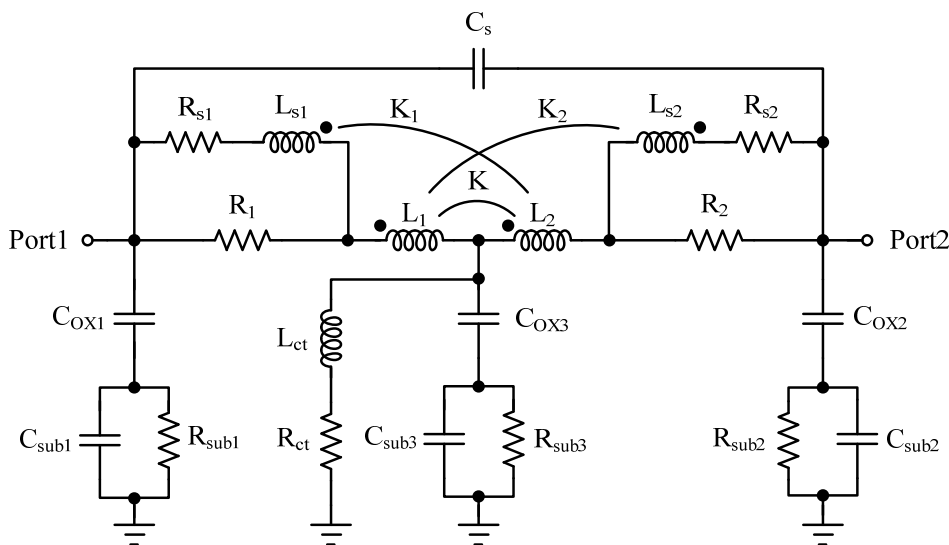


图 3.4 带中心抽头的差分电感的集总电路等效模型

### 3.2.3.3 电感的设计与仿真

载波消除 LNA 的工作频率为 900MHz, 则

$$L_d \cdot C_d = \frac{1}{\omega_0^2} = \frac{1}{(2\pi \times 900 \times 10^6)^2} \approx 31.3 \text{ nH} \cdot \text{pF} \quad (3.9)$$

LC tank 的  $Q$  值一般由电感决定, 因此一般会选择感值大的电感来提高等效并联电阻, 因为感值大的电感  $Q$  值比较高。但是感值越大, 寄生电容也越大, 自激振荡频率也越低, 而且谐振电容的大小受寄生电容的影响也较大。这里工作的频率不高, 因此可以考虑用较大的电感值, 同时考虑到寄生电容的影响,  $L_d$  的感值取在 10nH 左右,  $C_d$  的感值取在 3pF 左右。

电感的设计中将 M6、M5 两层平面电感串联以提高感值, 将 M2~M5 四层金属并联以减小串联电阻, 这样做的前提是这里的工作频率不高, 对电感的自激振荡频率要求也不高。尺寸参数为: 圈数  $n = 4$ , 金属线宽度  $w = 15\mu\text{m}$ , 金属线间距  $s = 2\mu\text{m}$ , 内直径  $d_{in} = 160\mu\text{m}$ , 边数  $N = 16$ 。版图如图 3.5 所示。



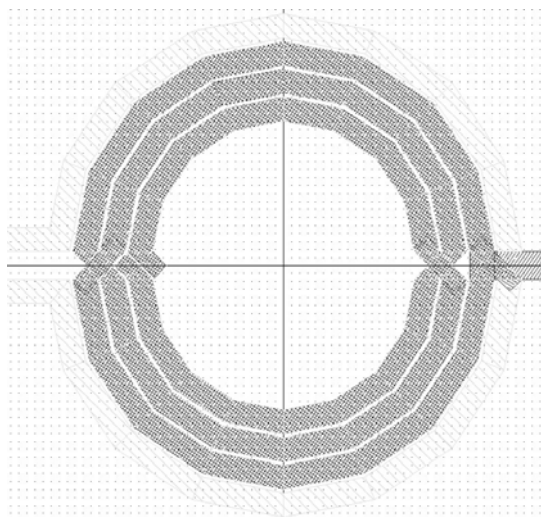


图 3.5 载波消除 LNA 中带中心抽头的差分叠层电感的版图

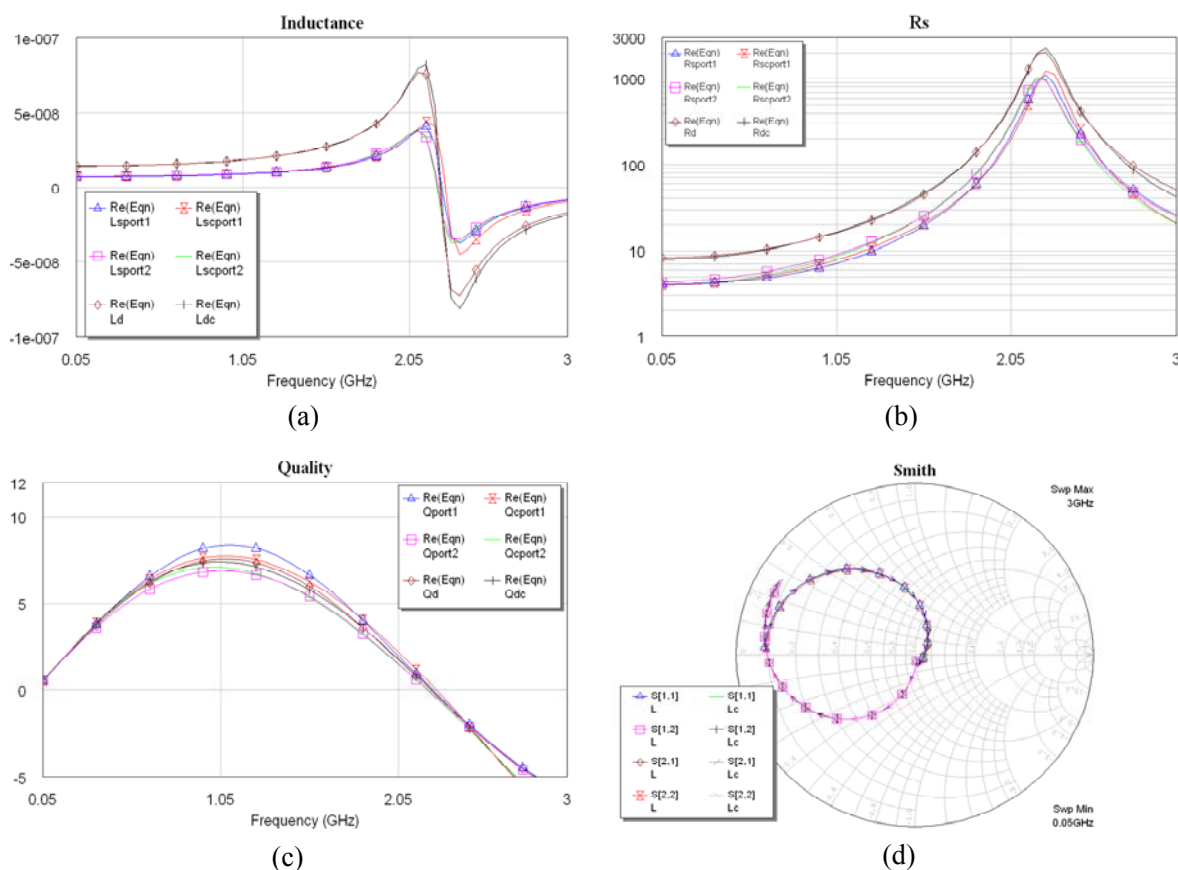


图 3.6 带中心抽头的差分叠层电感仿真和拟合结果

电感的拓扑结构在 Matlab 中设定并生成，读入 ASITIC 之后生成电感的 cif 格式文件，在 Momentum 中导入得到版图并进行仿真，得到的 S 参数文件再导入 Microwave Office 中进行拟合，将拟合的模型和参数在 SpectreRF 中制作成 symbol 来进行仿真。图 3.6 所示是本次设计的电感仿真和拟合的结果。由图可知在 900MHz 时，单端等效

电感为  $L = 8.9nH$ ，单端串联电阻为  $R_s = 6.7\Omega$ ，单端的品质因数  $Q = 7.4$ 。当然，由于差分两段电感在版图上的细微差别，使得两段电感的参数也有一些差别，但是基本可以忽略，认为两段完全对称。

### 3.2.4 载波消除 LNA 性能分析

#### 3.2.4.1 电压增益

根据图 3.2 的电路图，通过小信号分析可以得到噪声抵消 LNA 的电压增益为：

$$A_V = g_{m1} \cdot (R_p \parallel R_{o,cascade}) \approx g_{m1} \cdot R_p \quad (3.10)$$

其中  $R_p$  是电感在频率为  $\omega_0$  时的单端等效并联电阻，阻值为：

$$R_p \approx Q_L \omega_0 L_d = 7.4 \times (2\pi \times 900 \times 10^6) \times 8.9 \times 10^{-9} = 370 \Omega \quad (3.11)$$

一般片上电感的  $R_p$  远小于  $R_{o,cascade} \approx g_{m3} \cdot r_{o1} \cdot r_{o3}$ ，因此决定了 LNA 的输出电阻。

从而跨导管的跨导为：

$$g_{m1} = A_V / R_p = 2 / 370 \approx 5.4 mS \quad (3.12)$$

跨导管的尺寸不宜过大，一方面为保证大信号输入下的线性度，过驱动电压要尽量大，因此尺寸可以相对减小；另一方面，尺寸过大造成共栅管源端的寄生电容过大，从而恶化高频增益和噪声。

#### 3.2.4.2 $A_{CM \rightarrow CM}$ 和 $A_{CM \rightarrow DM}$

共模输入到共模输出的增益( $A_{CM \rightarrow CM}$ )通过两方面来减小：一方面是采用尾电流源提供共模信号的源级负反馈来减小共模信号的等效输入跨导，另一方面是利用差分电感在差分输入和共模输入时的不同特性来减小共模信号回路的输出阻抗。

共模输入到共模输出的增益可以表示为：

$$A_{CM \rightarrow CM} = \frac{g_{m1} R_{P,CM}}{1 + g_{m1} r_{o5}} \quad (3.13)$$

其中  $r_{o5}$  为尾电流源 MOS 管 M5 的交流输出阻抗， $R_{P,CM}$  是在共模输入情况下 LC tank 在 900MHz 的等效输出阻抗。

我们可以通过如图 3.7(a)所示的简化的去耦等效的中心抽头差分电感集总电路模型来直观地解释差模和共模输入时电感特性的区别<sup>[18]</sup>，虚线框内三端电感组成的 T 型网络等效了自感为  $L_1$  和  $L_2$ ，互感为  $M$  的耦合电感，衬底寄生电阻、寄生电容和氧化

层等效为与频率相关的并联电阻  $R_{p1}$ 、 $R_{p2}$  和电容  $C_{p1}$ 、 $C_{p2}$ 。当输入差分信号时，两端对交流地的电感值为  $L_1+M$ （如图 3.7(b)所示），而输入共模信号时，两端对交流地的电感值为  $L_1-M$ （如图 3.7(c)所示）。因此，在差分电感与并联电容谐振时，共模电感与并联电容远远没有满足谐振条件，从而共模等效输出阻抗较差分时低很多。

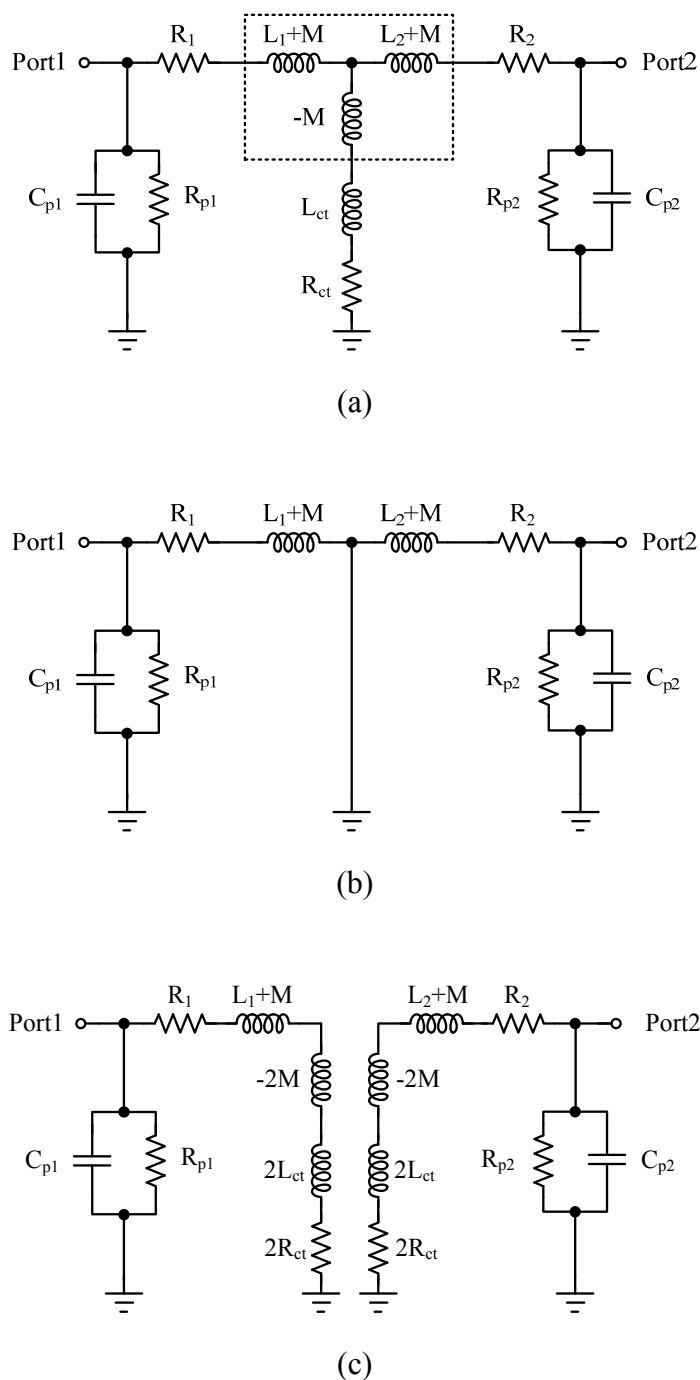


图 3.7 (a)去耦等效的中心抽头差分电感集总电路模型；(b)差分输入的交流等效模型；  
(c)共模输入的交流等效模型

共模输入到差模输出的增益  $A_{CM \rightarrow DM}$  由差分两路的不匹配造成，一方面可以通过小心的版图设计来减小，另一方面，这一现象可以等效成放大器的输入失调电压，在载波消除电路中可以通过反馈回路进行消除，因此，这里对共模抑制的要求不高。

### 3.2.4.3 噪声系数

载波消除 LNA 的噪声模型如图 3.8 所示。(a)是低频时的模型，忽略  $M_1$  的沟道长度调制效应，则  $I_{n3} + I_{D3} = 0$ ，因而  $M_3$  对输出噪声没有影响。此时的输出噪声电压为：

$$\overline{V_{n,out}^2} = 4kT \left( \gamma g_{m1} + \frac{1}{R_p} \right) R_p^2 \quad (3.14)$$

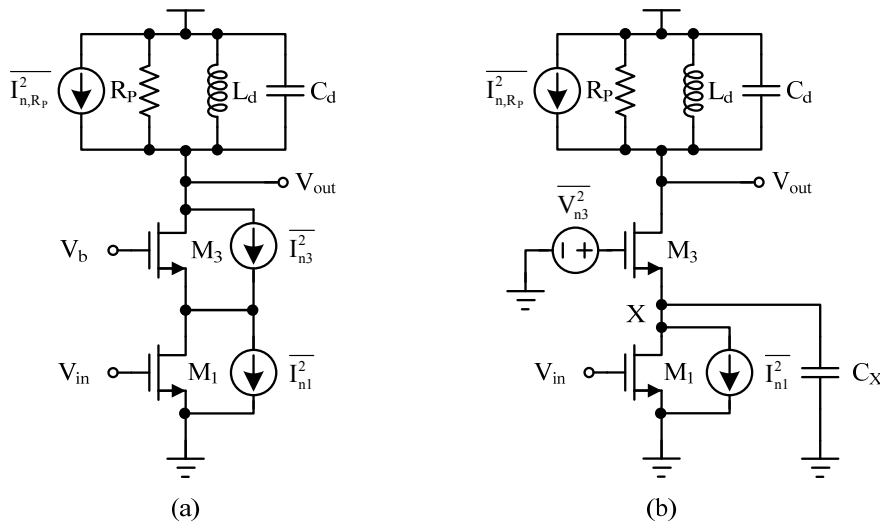


图 3.8 载波消除 LNA 的噪声模型：(a)低频等效模型；(b)高频等效模型

当工作频率较高时， $M_3$  源端的寄生电容  $C_X = C_{gs3} + C_{sb3} + C_{db1}$  会恶化噪声性能。将  $M_3$  的沟道热噪声等效为栅极的输入噪声电压  $\overline{V_{n3}^2}$ ， $C_X$  产生一个增益：

$$\frac{V_{n,out}}{V_{n3}} \approx -\frac{R_p}{1/g_{m3} + 1/(sC_X)} \quad (3.15)$$

此时，电路的噪声系数可以表示为：

$$\begin{aligned} NF &= 2 + \frac{4kT \left( \gamma g_{m1} + \frac{1}{R_p} \right) R_p^2 + \frac{4kT\gamma}{g_{m3}} \cdot \frac{R_p^2}{\left[ 1/g_{m3} + 1/(sC_X) \right]^2}}{(g_{m1} R_p)^2 \cdot 4kTR_S} \\ &= 2 + \frac{\gamma g_{m1} + \frac{\gamma}{g_{m3} \left[ 1/g_{m3} + 1/(sC_X) \right]^2} + \frac{1}{R_p}}{g_{m1}^2 R_S} \end{aligned} \quad (3.16)$$

其中，前面的 2 表征由源电阻和接在输入管栅极与地之间的匹配电阻（均为  $50\Omega$ ）引入的噪声。由等式(3.16)可知，要降低噪声系数，可以增大  $g_{m1}$  和  $R_p$ ，减小  $C_x$ 。 $g_{m1}$  的增大受功耗和增益的限制，而  $R_p$  可以通过设计高  $Q$  值的电感得到， $C_x$  的减小限制了  $M_1$  和  $M_3$  的尺寸不宜过大。

### 3.3 载波消除 LNA 的测试考虑和版图后仿

#### 3.3.1 测试考虑

由于载波消除 LNA 的输出阻抗未匹配到  $50\Omega$  的特征阻抗，后面需要一个开漏的缓冲器，在输出端外接 Bias-T 或  $50\Omega$  的电阻，再通过一个阻抗比为 2:1 的 Balun 转换成单端信号后送入测试仪器，如图 3.9 所示。此时缓冲器在 Balun 输出端的等效输出阻抗为  $50\Omega$ ，而测试仪器的  $50\Omega$  特征阻抗在缓冲器输出端的等效阻抗为差分  $100\Omega$ ，因此缓冲器的等效输出阻抗为  $25\Omega$ 。调整缓冲器放大管的尺寸和偏置，使得其跨导等于  $40mS$ ，从而保证缓冲器的增益为  $0dB$ 。而阻抗比为 2:1 的 Balun 的增益为  $-3dB$ 。缓冲器的尾电流源用共源共栅结构，一方面可以抑制沟道长度调制效应而得到较精确的偏置电流，并且降低缓冲器的  $A_{CM \rightarrow CM}$ ，另一方面可以为放大管提供合适的电压偏置，避免放大管的过驱动电压过大，功耗过大。在噪声测试中，由于 LNA 存在一定增益，并且缓冲器放大管的跨导较大，因此，缓冲器对整个电路的噪声影响可以忽略。

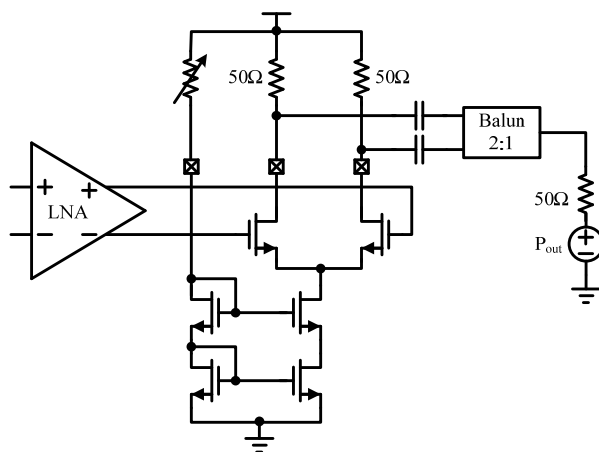


图 3.9 电压增益和噪声系数的测试电路

由于线性度受后级电路的限制，因此在测量线性度（ $1dB$  压缩点、 $IIP3$  等）的时候，载波消除 LNA 的输出直接交流耦合到一个阻抗比为 4:1 的 Balun，转换成单端信号后送入测试仪器，如图 3.10 所示。此时 LNA 的单端输出阻抗为  $R_p \parallel 100\Omega \approx 78\Omega$ ，并且 Balun 也有  $-6dB$  的衰减，但是对整个电路的线性度却几乎没有影响，因此测量结

果可以比较准确地体现载波消除 LNA 的线性度。

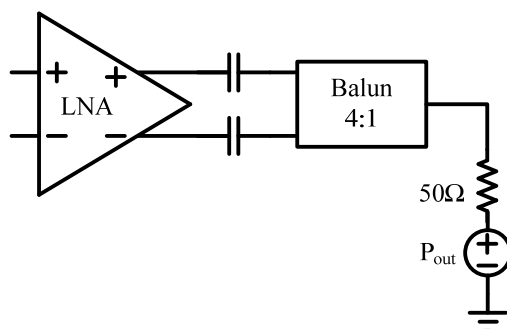


图 3.10 线性度的测试电路

### 3.3.2 版图设计

射频电路由于工作频率较高，因此在版图设计中需要注意一些特殊的问题，主要是以下几点：

(1) 射频信号要尽量挑寄生电容小的金属层走线，一般是顶层金属，并且金属宽度要足够宽以减小寄生电感，一般要有  $5\mu\text{m}$  以上；此外，射频信号走线尽量用  $45^\circ$  拐角以减小尖端放电；

(2) 差分信号要并行走线以减小共模干扰，但中间至少要有一根信号线的间隔，否则两条金属线之间会有较大的耦合，造成一定的短路；

(3) 射频电路中的衬底接触和保护环(guarding ring)并不是越多越好。射频管子外面的衬底接触或保护环不能全部接通，至少 metal 1 要断开，否则会在强射频信号的干扰下形成涡流电流；多个衬底接触或保护环要用 star routing 结构来连通，以防止各个模块之间的噪声通过衬底接触或保护环直接干扰，例如像混频器开关管外面的衬底接触噪声很大，要单独接地；在一些敏感器件或者需要高匹配的器件外面可以加保护环来减小干扰。

(4) 射频、时钟等敏感或有可能引起很大噪声的信号，走线时可以在其上下左右加接地的屏蔽，并用 GSG 结构的 pad 来进一步隔离，当然，这会增大信号线上的寄生电容，要小心使用。在分布 pad 位置时，要注意将敏感信号的 pad 远离噪声大的信号的 pad，必要时在 pad 之间用地线 pad 进行隔离。

(5) 整个电路版图中，工作在射频频段的各个器件不要挤得太紧以防止相互之间的寄生干扰，尤其是电感周围大约  $60\mu\text{m}$  以内不要放置器件。而低频和直流部分则可以靠近一些以减小寄生和节省面积。

(6) 射频电路的工作电流一般较模拟电路等大很多，一般有几毫安，一次在金属走线时要考虑金属的最小宽度，以防止电流密度过大造成的电迁移等现象。同样，

MOS 管等器件的有源区面积也要考虑是否可以承受所流经的最大电流。

(7) 为了增加版图的可读性, 方便之后的 LVS、PEX 及版图后仿真, 可以在电路图和版图中将主要信号线标志出来。

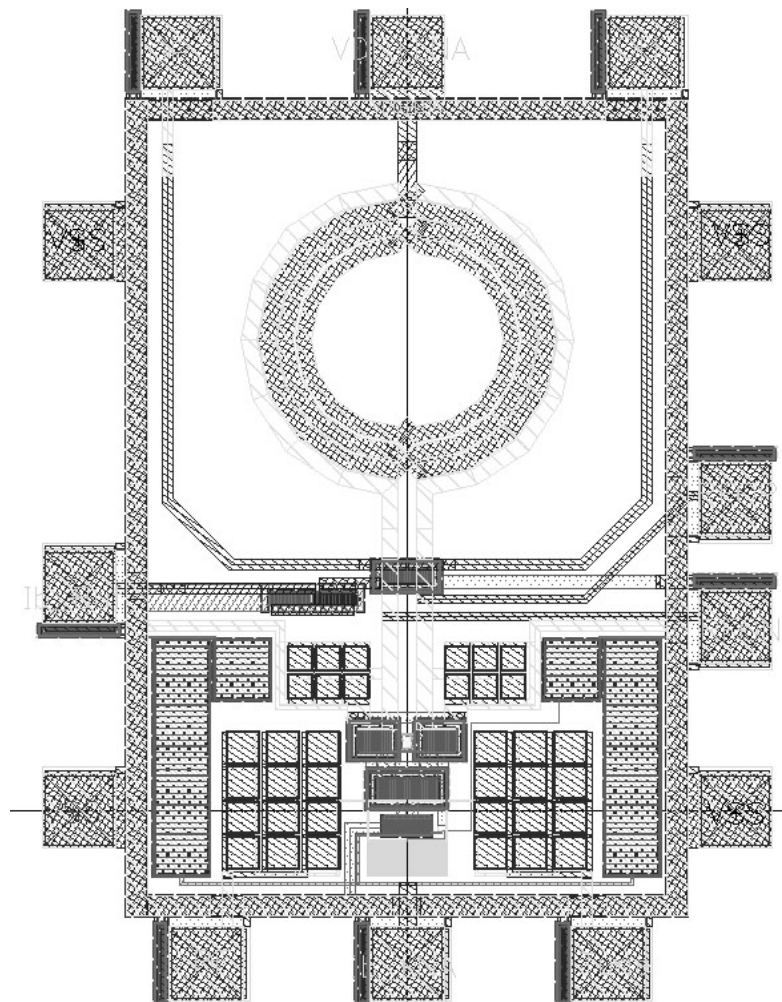


图 3.11 载波消除 LNA 的版图

图 3.11 所示是载波消除 LNA 单测的版图, 包括了输出缓冲器。包括 pad 在内的面积大约为  $700\mu\text{m} \times 930\mu\text{m}$ , 其中 LNA 的面积大约为  $480\mu\text{m} \times 720\mu\text{m}$ 。

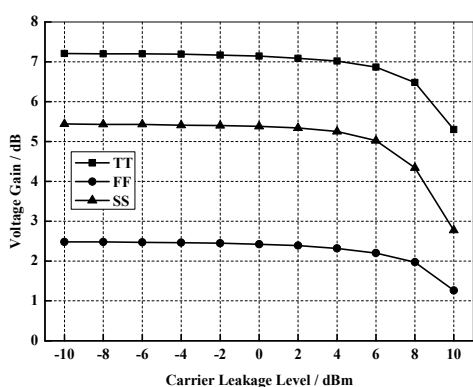
### 3.3.3 版图后仿

载波消除 LNA 的后仿环境为: 差分输入的一端为射频信号加上载波泄漏信号, 其中射频信号在仿真增益时设为  $901\text{MHz}$ , 在仿真线性度时设为  $900.4\text{MHz}$  和  $900.6\text{MHz}$  双音信号, 载波泄漏信号为  $900\text{MHz}$ , 大小为  $5\text{dBm}$ ; 差分输入的另一端为载波抵消信号, 频率为  $900\text{MHz}$ , 和载波泄漏信号的幅度和相位差按照系统仿真结果分别设定为  $40\text{mV}$  和  $3^\circ$ , 此时载波消除 LNA 输出的载波信号的大小为  $-10\text{dBm}$  左右。

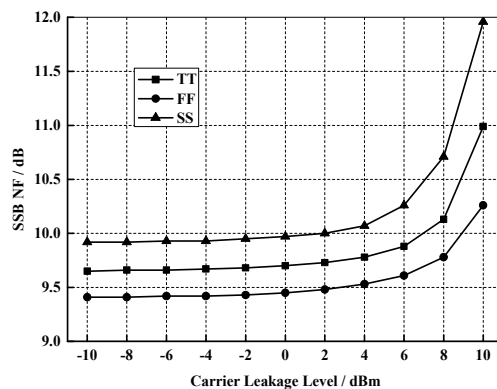
表 3.1 总结了载波消除 LNA 在各工艺角下的后仿性能。图 3.12 则给出了在不同载波功率下电路的后仿性能。可以看到，载波消除 LNA 在很大的共模输入情况下可以有效地抑制共模增益，并高线性地放大射频信号。其增益在各个工艺角下有较大的差异，主要是由于电感电容网络在不同工艺角下面的谐振点有一定偏差，实际应用中可以根据增益大小对谐振电容进行数字控制，保证 LNA 的增益达到预期大小。

表 3.1 载波消除 LNA 的后仿结果

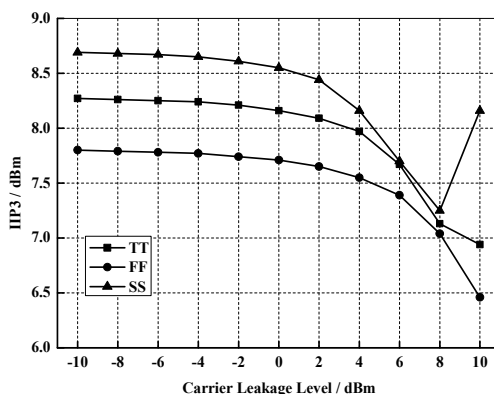
工艺角	$I_{DD}$ / mA	Gain / dB	1dB CP / dBm	SSB NF / dB	IIP3 / dBm	$A_{CM \rightarrow CM}$ / dB
TT	3.0	6.9	-2.0	9.8	7.8	-56
FF	3.2	2.3	-2.6	9.5	7.4	-57
SS	2.9	5.2	-2.5	10.1	7.9	-55



(a)



(b)



(c)

图 3.12 不同载波功率下电路的后仿性能：(a)电压增益；(b)单边带噪声系数；(c)IIP3



## 第四章 正交下变频混频器的设计与实现

### 4.1 Gilbert 混频器的性能分析

#### 4.1.1 Gilbert 混频器结构

传统的 Gilbert 混频器结构如图 4.1(b)所示, 跨导管  $M_1$  和  $M_2$  将差分输入电压转换成电流, 开关管  $M_3 \sim M_6$  在差分本振信号的控制下对电流进行开关, 使输出电流在差分的两路输出之间切换, 此时的差分输出电流为

$$I_0 = I_{O1} - I_{O2} = (I_1 - I_2) - (I_4 - I_3) \quad (4.1)$$

输出电流通过负载级转换成输出电压或者直接电流驱动后级电路。目前, 绝大部分的有源混频器结构都是基于双平衡结构的 Gilbert 单元, 这是由于双平衡结构可以有效地抑制本振信号的穿通和跨导管的偶次失真。

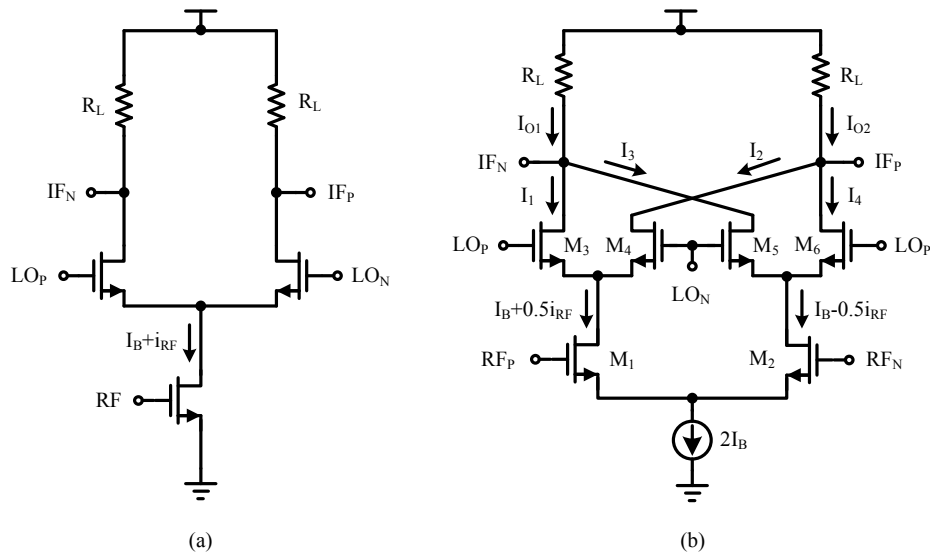


图 4.1 混频器结构: (a)单平衡; (b)双平衡(Gilbert 混频器)

简单来说, 对于单平衡和双平衡混频器而言:

- (1) 双平衡混频器较单平衡混频器能更好地抑制本振穿通和偶次失真;
- (2) 到同样的电压转换增益(Conversion Gain, CG), 双平衡混频器的偏置电流是单平衡的 2 倍;
- (3) 在同样的电压转换增益下, 双平衡混频器有更好的线性度, 而单平衡混频器有更好的噪声系数(Noise Figure, NF)。

## 4.1.2 Gilbert 混频器性能分析

### 4.1.2.1 电压转换增益(Conversion Gain, CG)

Gilbert 混频器的电压转换增益:

$$CG = g_{m,Tran} \cdot C_{SW} \cdot R_L \quad (4.2)$$

其中,  $g_{m,Tran}$  是输入跨导管的跨导,  $C_{SW}$  是开关管的转换增益,  $R_L$  是混频器的输出阻抗。

对于短沟道输入跨导管  $M_1$ 、 $M_2$  来说, 速度饱和情况下的 I-V 关系为<sup>[19]</sup>:

$$I = \beta \frac{(V_{GS} - V_{TH})^2}{1 + \theta(V_{GS} - V_{TH})} \quad (4.3)$$

其中,  $\beta = \mu_n C_{OX} (W/L)$ , 由工艺和 MOS 管尺寸决定;  $\theta$  是表征短沟道器件中的速度饱和效应(源级寄生串联电阻、栅氧化层上的垂直电场、由垂直电场导致的载流子迁移率下降等)的参数, 并有  $\theta \cdot L = 0.2 \mu m/V$  ( $L$  为沟道长度)<sup>[20]</sup>,  $L$  越小,  $\theta$  越大。可见, 短沟 MOS 管的跨导较长沟 MOS 管小, 但线性度较长沟 MOS 反而要好; 同时, 偏置电流  $I_B$  越大,  $g_{m,Tran}$  越大, 并且 MOS 管静态工作点选在临近速度饱和区的时候可以得到最大的  $g_{m,Tran}$ 。

对于一对开关对管 ( $M_3$  和  $M_4$  或  $M_5$  和  $M_6$ ) 来说, 当本振信号为正弦波时的转换增益<sup>[19]</sup>:

$$C_{SW} = \frac{2}{\pi} \cdot \frac{V_X/V_{LO}}{\sin^{-1}(V_X/V_{LO})} \quad (4.4)$$

其中,  $V_X$  是使一个开关管完全开启所需的电压,  $V_{LO}$  是本振信号的幅度峰值。  $V_X$  可以通过以下等式确定:

$$\theta V_X = \frac{J_B}{2} + \sqrt{\frac{J_B^2}{4} + J_B} \quad (4.5)$$

$$J_B = \frac{\theta^2}{\beta_{SW}} I_B \quad (4.6)$$

$$\beta_{SW} = \mu_n C_{OX} \left( \frac{W}{L} \right)_{SW} \quad (4.7)$$

其中, 可以看到,  $V_X/V_{LO}$  减小, 开关管的转换增益  $C_{SW}$  越大。减小  $V_X$  要求减小开关对管的  $\theta$  和偏置电流  $I_B$  或者增大开关对管的宽长比  $(W/L)_{SW}$ , 这样对管的工作状态更接近于开关, 转换增益  $C_{SW}$  更接近于方波的转换增益  $2/\pi$ 。

对于混频器的输出负载，可以是电阻负载，也可以是 MOS 管负载。负载电阻的阻值受电压裕度的限制：阻值太大，输出共模电平太低，使得开关管在导通时进入线性区，开关管输出电阻的阻值和线性度均会下降；阻值太小，输出电压摆幅太小，也会影响大信号输入时的增益和线性度。用 MOS 做负载则要注意它引入的闪烁噪声和它本身输出电阻的线性度问题。

#### 4.1.2.2 噪声系数(Noise Figure, NF)

混频器的跨导级、开关级和负载级都会引入噪声，在混频器的输出端表现为输出噪声电压。

##### (1) 跨导级引入的噪声

跨导管的等效输出噪声电流和输入电流一起，被开关级转换到输出端，因此，跨导管的噪声的频率转换特性和输入信号一样，即在频率为  $(2n+1) \cdot f_{LO} \pm f_{IF}$  ( $n$  为非负整数) 处的噪声被转换到中频  $f_{IF}$  输出。也就是说，当开关级完全匹配或者开关管的工作状态是理想开关状态时，跨导管在混频器输出端只贡献白噪声，不贡献闪烁噪声，其功率谱密度为：

$$\overline{V_{n,out,Tran}^2} = \overline{i_{n,Tran}^2} \cdot C_{SW}^2 \cdot R_L^2 \quad (4.8)$$

其中， $\overline{i_{n,Tran}^2}$  为跨导管的等效输出电流噪声的功率谱密度，对于单平衡混频器来说：

$$\overline{i_{n,Tran}^2} = 4kT \left( R_s + R_{g,Tran} + \frac{\gamma_{Tran}}{g_{m,Tran}} \right) g_{m,Tran}^2 \quad (4.9)$$

而对于 Gilbert 混频器来说：

$$\overline{i_{n,Tran}^2} = 4kT \left( R_s + 2R_{g,Tran} + \frac{2\gamma_{Tran}}{g_{m,Tran}} \right) g_{m,Tran}^2 \quad (4.10)$$

$R_{g,Tran}$  为一个跨导管的集总栅电阻，系数  $\gamma_{Tran}$  对于长沟道 MOS 管等于  $2/3$ ，对于短沟道 MOS 管更大，具体的值由特定的工艺和管子的偏置状态决定。理论计算可以证明：由跨导管引入的输出噪声电压中，有 81% 和 9% 分别来自于  $f_{LO} \pm f_{IF}$  和  $3f_{LO} \pm f_{IF}$  [21]。实际情况中，由于开关管的不匹配和寄生电容的存在，跨导管的闪烁噪声会泄漏到输出端，但是通过合理的版图设计可以将其控制在可以忽略的范围内。

##### (2) 开关级引入的噪声

当开关对管中的一个管子被关断时，另一个管子和下面的跨导管形成共源共栅 (cascode) 结构，输出电流仅由尾电流  $I_B$  决定，开关管不贡献噪声电流；只有当开关对

管的两个管子同时导通时，开关管的噪声才会对输出噪声有影响。在单平衡混频器中，其等效输出白噪声电压的功率谱密度为：

$$\overline{V_{n,out,SW}^2} = \overline{V_{n,SW}^2} \cdot \overline{G_{SW}^2} \cdot R_L^2 = \left[ \frac{8kT\gamma_{SW}}{g_{m,SW}} + 4kT(R_{LO} + 2R_{g,SW}) \right] \cdot \overline{G_{SW}^2} \cdot R_L^2 \quad (4.11)$$

其中， $g_{m,SW}$  是开关管在导通时的跨导， $\overline{G_{SW}^2}$  是开关对管的等效跨导  $G_{SW}^2(t)$  在一个周期内的平均值。在  $V_{LO} \gg V_X$  条件下，有

$$\overline{G_{SW}^2} = \frac{2g_{m,SW}^2 V_X}{\pi V_{LO}} \quad (4.12)$$

$$g_{m,SW} = \frac{I_B}{V_X} \quad (4.13)$$

$R_{LO}$  是本振输入端口的等效噪声电阻，用来表示本振输入信号频谱的白噪声； $R_{g,SW}$  为一个开关管的集总栅电阻<sup>[22]</sup>。

在 Gilbert 混频器中，本振输入信号的噪声是共模噪声，得到很好的抑制，由开关级引入的等效白噪声电压的功率谱密度为：

$$\overline{V_{n,out,SW}^2} = \overline{V_{n,SW}^2} \cdot \overline{G_{SW}^2} \cdot R_L^2 = \left[ \frac{16kT\gamma_{SW}}{g_{m,SW}} + 16kTR_{g,SW} \right] \cdot \overline{G_{SW}^2} \cdot R_L^2 \quad (4.14)$$

等效跨导  $\overline{G_{SW}^2}$  是一个还有直流分量，频率为  $2f_{LO}$  的函数，因此开关管等效输入噪声频谱上频率为  $(2n) \cdot f_{LO} \pm f_{IF}$  ( $n$  为非负整数) 处的噪声被转换到中频  $f_{IF}$  输出。所以开关管的闪烁噪声会直接转换到输出，恶化混频器的低频噪声性能。

### (3) 负载级引入的噪声

如果混频器是电阻负载，并且开关级的输出阻抗远远大于负载电阻值，则单平衡和 Gilbert 混频器负载级引入的等效输出噪声电压，其功率谱密度均为：

$$\overline{V_{n,out,Load}^2} = 4kTR_L \quad (4.15)$$

如果混频器是 MOS 管负载，则负载 MOS 管引入的等效输出噪声电压，其功率谱密度为：

$$\overline{V_{n,out,Load}^2} = 4kT\gamma_{Load} g_{m,Load} \cdot R_{OUT} \quad (4.16)$$

由于不存在到输出频率的频率转换，负载级在  $f_{IF}$  处的噪声对输出信号造成影响。因此，当  $f_{IF}$  较低时，负载级的闪烁噪声也会影响混频器的噪声性能。

### (4) 混频器的 NF

忽略跨导管和开关管的集总栅电阻，以及本振输入端的噪声，单平衡混频器的单

边带(Single Sided Band, SSB) NF 为:

$$NF = \frac{\overline{V_{n,out}^2}}{CG^2 \cdot 4kTR_S} = 1 + \frac{\gamma_{Tran}}{g_{m,Tran} R_S} + \frac{(4\gamma_{SW} I_B)/(\pi V_{LO})}{g_{m,Tran}^2 \cdot C_{SW}^2 \cdot R_S} + \frac{1/R_L}{g_{m,Tran}^2 \cdot C_{SW}^2 \cdot R_S} \quad (4.17)$$

Gilbert 混频器的 SSB NF 为:

$$NF = \frac{\overline{V_{n,out}^2}}{CG^2 \cdot 4kTR_S} = 1 + \frac{2\gamma_{Tran}}{g_{m,Tran} \cdot R_S} + \frac{(8\gamma_{SW} I_B)/(\pi V_{LO})}{g_{m,Tran}^2 \cdot C_{SW}^2 \cdot R_S} + \frac{1/R_L}{g_{m,Tran}^2 \cdot C_{SW}^2 \cdot R_S} \quad (4.18)$$

等式(4.17)和(4.18)右边四项分别是源电阻、跨导级、开关级和负载级贡献的噪声系数。如果输入信号为双边带信号,则混频器的双边带(Double Sided Band, DSB) NF 为等式(4.17)和(4.18)给出的 SSB NF 的1/2。

### (5) 闪烁噪声的影响

闪烁噪声是由于栅氧化层和硅衬底界面处存在缺陷,载流子被“悬挂”键随机俘获和释放形成的,可以用一个与栅级串联的等效输入噪声电压源来模拟:

$$\overline{V_{n,flick}^2} = \frac{K}{C_{OX} WL} \cdot \frac{1}{f} \quad (4.19)$$

闪烁噪声电压的功率谱密度与频率成反比,因此,混频器的输出中频  $f_{IF}$  越低,器件闪烁噪声对输出信号的影响越大。对于 MOS 管来说,闪烁噪声和白噪声的转折频率大约在几 MHz,而 BJT 的转折频率可以做到几十 kHz 左右。

从前面的分析可以看到,如果跨导级的闪烁噪声可以通过小心的版图设计来抑制,负载级的闪烁噪声也可以通过选用电阻做负载,或者加大负载 MOS 管的尺寸来控制,对混频器低频噪声构成主要影响的是开关级的闪烁噪声。

开关级的闪烁噪声通过两个不同的机制对输出信号造成影响:直接输出和间接输出<sup>[23]</sup>。直接输出机制是指开关管栅级随机的闪烁噪声调制了输出电流的占空比,使得本振输入信号在过零点的时候,在开关对管的共源级上出现噪声电流脉冲,如图 4.2 所示<sup>[24]</sup>。由于噪声电流的变化频率为  $2f_{LO}$ ,因此输出信号的频谱包括直流和  $f_{LO}$  的偶次谐波分量。直流附近的输出闪烁噪声电流的值就是图 4.2 中噪声电流脉冲的直流平均值。间接输出是指由于开关对管的共源端存在寄生电容,共源端的电压变化对此寄生电容进行充放电,形成噪声电流。同样,由于共源端电压的变化频率为  $2f_{LO}$ ,使得开关管的闪烁噪声在输出端的直流附近和  $f_{LO}$  的偶次谐波附近出现。

因此,我们可以通过以下措施来减小开关管闪烁噪声的影响:

(1) 尽量减小开关管的偏置电流  $I_B$ ,以减小直接输出机制造成的共源端噪声电流脉冲的峰值;

(2) 增大输入本振信号的幅度,或者用方波来代替正弦波,这样可以得到更好

的开关特性，增大本振信号过零点时的斜率，从而减小由直接输出机制造成的共源端的噪声电流脉冲的宽度。

(3) 适当增大开关管的尺寸以减小闪烁噪声电压的大小。当然，开关管尺寸的增大也会影响增益和线性度，会增大共源端寄生电容，从而减小输入带宽，会减小开关管在共源端的 slew rate，从而增大开关管的开关时间，增大闪烁噪声电流的直接输出和间接输出机制。

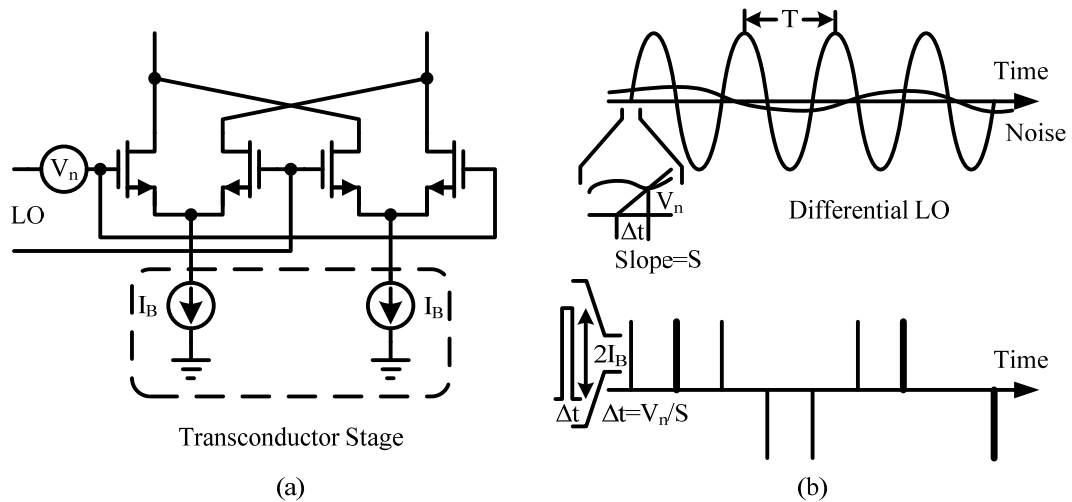


图 4.2 (a)带闪烁噪声的开关管 (b)闪烁噪声在输出造成的噪声电流

### 4.1.2.3 线性度

非线性在电路系统中表现为谐波、增益压缩、减敏和阻塞、交调和互交调等。对于射频电路，谐波分量通常被带通滤波器滤除，因此更多地考虑用增益压缩和互交调来分析其非线性特性。增益压缩和互交调往往相互关联于管子跨导的非线性，并且我们更多地注重电路在处理一定带宽的信号时，由互交调引入的落在带宽内的分量是否会破坏信号，因此我们主要考查电路的输入三阶互交调点(Third-Order Input Intercept Point, IIP3)和输入二阶互交调点(Second-Order Input Intercept Point, IIP2)。

#### (1) 三阶交调失真

##### (a) 跨导级的三阶交调失真

相较 BJT，CMOS 晶体管的跨导有较好的线性度，因此，虽然 BJT 作为跨导管的混频器中通常采用较大的“源级退耦”来提高线性度，而 MOS 管作为跨导级的混频器中较少使用。

可以用传统方法来分析跨导级的交调失真，即低频时的 Taylor 级数和高频时的 Volterra 级数。一般短沟道 MOS 管的 I-V 关系可以表示为<sup>[25]</sup>：

$$I = \beta \frac{X^2}{1 + \theta X} \quad (4.20)$$

$$X = 2\eta V_T \ln \left[ 1 + \exp \left( \frac{V_{GS} - V_{TH}}{2\eta V_T} \right) \right] \quad (4.21)$$

MOS 管强反型时，有：

$$I = \beta \frac{(V_{GS} - V_{TH})^2}{1 + \theta(V_{GS} - V_{TH})} \quad (4.22)$$

MOS 管弱反型时，有：

$$I = \beta (2\eta V_T)^2 \exp \left( \frac{V_{GS} - V_{TH}}{2\eta V_T} \right) \quad (4.23)$$

一般而言，混频器的跨导管工作在强反型区以提高跨导，降低其噪声贡献。理论推导<sup>[19]</sup>可以得到，单个共源 MOS 管的  $IIP_3$  为：

$$IIP_3 = \frac{4V_{GST} (2 + \theta V_{GST})(1 + \theta V_{GST})^2}{3\theta} \quad (4.24)$$

相应的  $OIP_3$  为：

$$OIP_3 = \frac{4V_{GST}^3 (2 + \theta V_{GST})^3}{3\theta(1 + \theta V_{GST})^2} \quad (4.25)$$

其中， $V_{GST} = V_{GS} - V_{TH}$ 。由此可见，无论是  $IIP_3$  还是  $OIP_3$ ，都随着跨导管的  $V_{GST}$  增大而单调增大。

### (b) 开关级的三阶交调失真

开关差分对管可以看成弱非线性周期时变电路，因此要用时变 Taylor 级数和时变 Volterra 级数来分析交调失真。低频时电容效应可以忽略，可以将开关对管的时不变 power series 级联上跨导管的 power series 来分析它的总交调失真；高频时则存在开关对管共源点的电容效应，则要将开关对管的时变 power series 级联上跨导管的 power series 来分析它的总交调失真。理论分析<sup>[25]</sup>和仿真可以证明：

(1) 开关管的  $I_B / \beta_{sw}$  越大，所造成的三阶交调量越小；

(2) 低频时的三阶交调量随着本振信号幅度  $V_{LO}$  的增大而单调减小；而高频时则存在一个  $V_{LO}$  的最优值，使得交调量最小。这是因为随着  $V_{LO}$  的增大，开关对管共源点的摆幅也增大，使得共源点的寄生电容有很大的电荷注入，强化了高频效应，改变了器件的周期直流工作点；

(3) 当开关对管的输出电阻值不可忽略时，开关管输出电阻的非线性也是失真的一个重要原因。

## (2) 二阶交调失真

二阶交调失真在宽带输入和零中频或低中频输出混频器中尤其重要，因为输入信号与带宽内的干扰信号形成的二阶交调分量会直接落入输出带宽内而无法滤除。二阶交调失真主要由以下三个机制造成<sup>[26]</sup>：

### (a) 半中频的自混频及开关对的非理想因素

射频信号会通过衬底、电源线、地线、寄生电容等通路耦合到本振输入端，与自身信号自混频，再与开关对的二次谐波  $2f_{LO}$  混频进入中频。如图 4.3 所示，如果在射频信号频率  $f_{RF}$  和本振信号频率  $f_{LO}$  之间的频谱上有一个干扰信号  $f_{Blocker}$ ，则干扰信号的自混频频率分量  $2f_{Blocker}$  与  $2f_{LO}$  混频后出现在中频  $f_{LO} - f_s$  附近，特别的，当  $f_{Blocker} = (f_{RF} + f_{LO})/2$  时，干扰信号就出现在  $f_{LO} - f_s$  上。理论分析表明，由此造成的输入二阶交调点为：

$$IIP_2|_{dBm} = 20 \log \left( \frac{2}{A_{RF-LO}} \right) + V_{LO}|_{dBm} \quad (4.26)$$

由此可见，要减小由此造成的二阶交调量，可以加大射频和本振端的隔离以减小自混频信号的能量，或者增大本振信号的幅度以减小开关级的二次谐波分量。

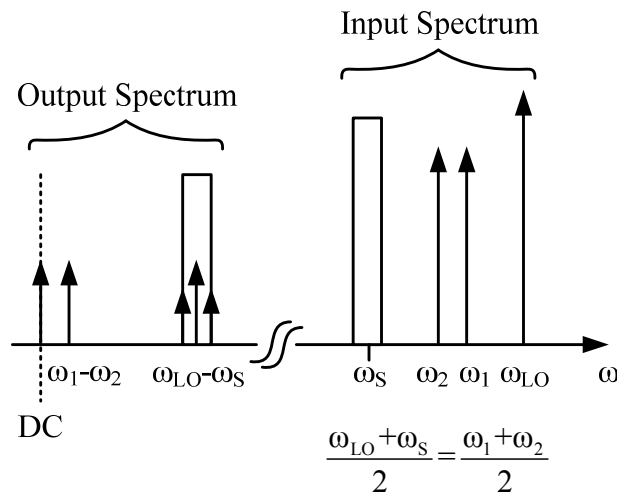


图 4.3 由自混频造成的二阶交调分量

### (b) 跨导级的非线性和开关对的不匹配

跨导级的放大管，其跨导  $g_m$  有二阶非线性，使得跨导级的输出电流含有低频二阶交调分量。理想开关情况下，这个低频二阶交调分量会被混频到  $(2n+1)f_{LO}$  ( $n$  为非负整数) 上，但是由于开关对的不匹配等非理想因素，使得部分低频二阶交调分量直接泄漏到输出端。

要减小由此造成的二阶交调分量，在跨导级方面，可以增大跨导管的过驱动电压



$V_{GST}$ ，或者采用全差分输入跨导管；在开关级方面，可以增大本振信号幅度以使得开关管工作在理想开关状态，减小开关管不匹配造成的影响；也可以将跨导级和开关级进行 AC 耦合以滤除跨导级输出的低频二阶交调分量。

### (c) 开关对的非线性和不匹配

由于开关对共源端存在寄生电容，共源端的电压频谱中会出现  $f_{LO}$  的谐波分量，跨导级中产生的低频电流成分出现在这些谐波分量附近，经过开关对混频进入基带。理论分析表明，减小寄生电容、增大开关管偏置电流可以降低交调分量。

## 4.1.3 Gilbert 混频器设计准则

电路分析的直接目的就是为电路设计提供方向和依据，综合以上对 Gilbert 混频器的性能分析，我们将设计中涉及到的各主要电路参数对其性能的影响总结如下表 4.1 所示，以作为基本 Gilbert 混频器设计的一个准则。

表 4.1 混频器电路参数对性能的影响

性能	电路参数			
	跨导级	开关级	本振输入	负载级
$CG \uparrow$	$I_B \uparrow, g_m \uparrow, L \uparrow$	$I_B \downarrow, (W/L) \uparrow$	$V_{LO} \uparrow, V_{Bias} \downarrow$	MOS 管, $R_L \uparrow$
$NF \downarrow$	$I_B \uparrow, g_m \uparrow$	$I_B \downarrow, (W/L) \uparrow$	$V_{LO} \uparrow$	$R_L \uparrow$
$IIP3 \uparrow$	$V_{GST} \uparrow, L \downarrow$	$I_B \uparrow, (W/L) \downarrow$	—	Poly 电阻
$IIP2 \uparrow$	$V_{GST} \uparrow, \text{差分}$	$I_B \uparrow, (W/L) \downarrow$	$V_{LO} \uparrow$	Poly 电阻

由表可以看出，混频器的 CG 和 NF 基本上随着参数向同一个方向变化，但是和线性度有着很大的折衷，这主要体现在开关级参数的选取上，因此在设计中要根据设计指标和仿真结果进行调整。表中信息对单平衡混频器的设计同样适用。

## 4.2 正交下变频混频器的设计

### 4.2.1 正交下变频共用跨导级的性能分析

正交下变频可以通过如图 4.4 所示的两种结构实现：共享跨导级的 I/Q 混频器 (Quadrature mixer with shared transconductor stage, Q-Mixer) 和传统的 Gilbert 混频器对 (Conventional Gilbert mixer pair, G-Mixer)<sup>[27~29]</sup>。为了对这两种结构的混频器进行有效的性能对比，我们使两个电路的功耗相等。这就意味着在电路偏置完全相同的情况下，

Q-Mixer 中跨导管的尺寸是 G-Mixer 中跨导管尺寸的两倍，而开关级和负载级完全相同。同时，我们可以合理地假设这两种结构的混频器均工作在电流开关状态，因为在实际电路中，由频率综合器产生的本振信号通过分频器或缓冲驱动器之后一般是一个比较大的正弦信号，足以使开关管工作在开关状态。

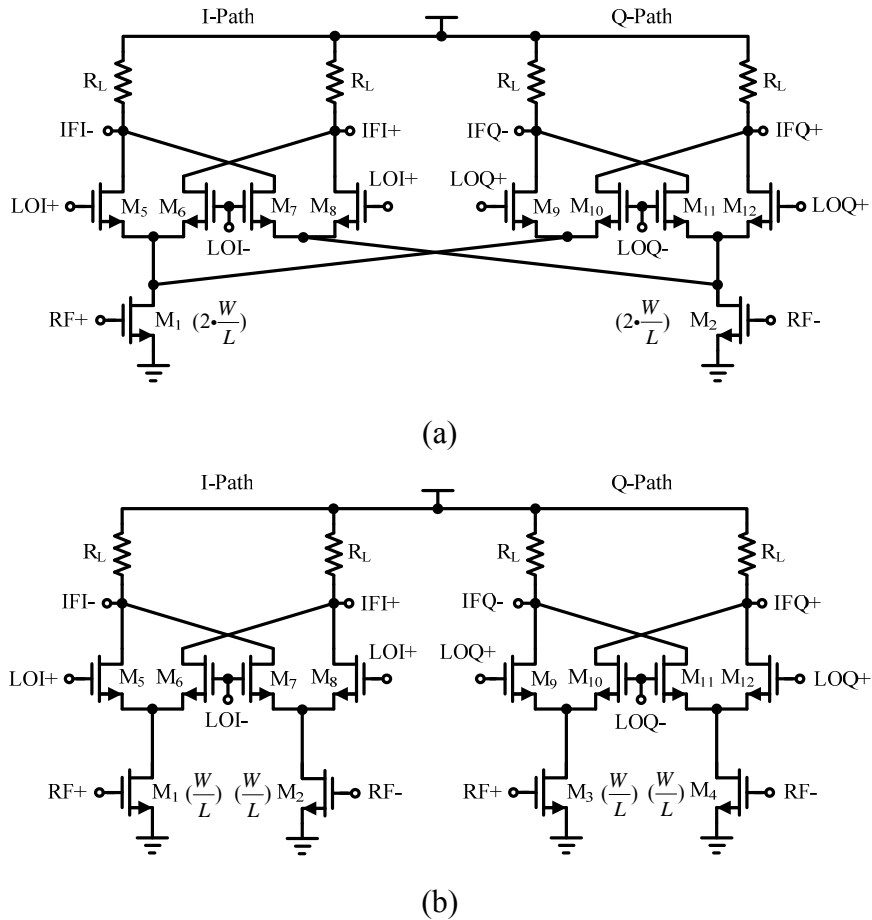


图 4.4 正交下变频的两种结构:(a)共享跨导级的 I/Q 混频器(Q-Mixer)和传统的 Gilbert 混频器对(G-Mixer)

#### 4.2.1.1 电压转换增益 (CG)

根据等式 (4.2)，G-Mixer 的 CG 为：

$$CG_G = g_{m,G} \cdot C_{sw,G} \cdot R_L \quad (4.27)$$

Q-Mixer 每路中频输出的 CG 为：

$$CG_Q = g_{m,Q} \cdot C_{sw,Q} \cdot R_L \quad (4.28)$$

其中， $g_{m,G}$  和  $g_{m,Q}$  分别是 G-Mixer 和 Q-Mixer 中每个跨导管的跨导， $C_{sw,G}$  和  $C_{sw,Q}$  分别是 G-Mixer 和 Q-Mixer 中每对开关对管的转换增益。根据两个电路的偏置和尺寸，

可以得到:

$$g_{m,Q} = 2g_{m,G} \quad (4.29)$$

而  $C_{SW,G}$  和  $C_{SW,Q}$  的值可以通过图 4.5 所示的开关对的理想转换波形图计算得到。在 G-Mixer 中, 跨导级漏端的输出电流先后每半个周期流经开关对管两个管子中的一个, 因此, 跨导级的输出电流被乘以一个方波。方波的 Fourier 级数展开为:

$$f_G(t) = \sum_{k=-\infty}^{\infty} \frac{\sin(k\pi/2)}{k\pi/2} \cdot e^{jk\omega_{LO}t} \quad (4.30)$$

在 Q-Mixer 中, 跨导级漏端的输出电流先后每 1/4 个周期流经两对开关对管四个管子中的一个, 因此, 跨导级的输出电流被乘以一个如图 4.5 所示的波形, 其 Fourier 级数展开为:

$$f_Q(t) = \frac{1}{4} \sum_{k=-\infty}^{\infty} \frac{\sin(k\pi/4)}{k\pi/4} \cdot (1 - e^{-jk\pi}) \cdot e^{jk\omega_{LO}t} \quad (4.31)$$

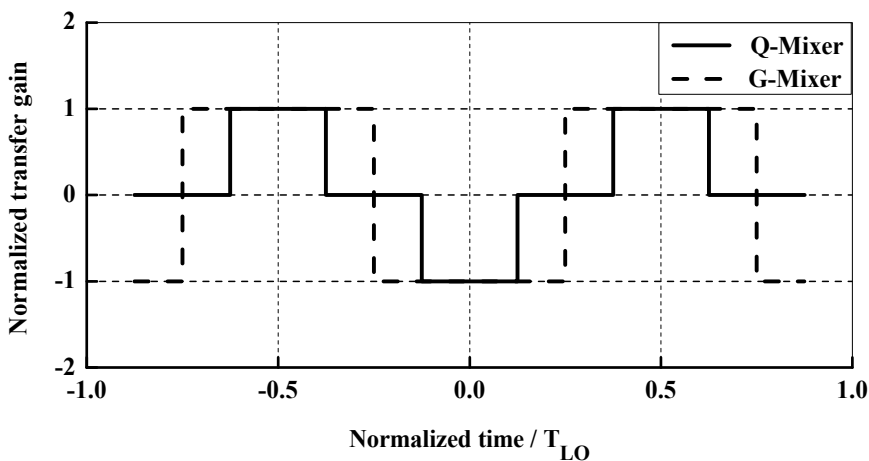


图 4.5 两种结构混频器中开关对的理想转换波形

开关对的转换增益等于相对应的波形的基频 Fourier 系数, 因此, 有:

$$C_{SW,G} = 2/\pi \quad (4.32)$$

$$C_{SW,Q} = \sqrt{2}/\pi \quad (4.33)$$

$$C_{SW,Q} = C_{SW,G}/\sqrt{2} \quad (4.34)$$

联合等式(4.27)、(4.28)、(4.29)和(4.34), 可以得到:

$$CG_Q = \sqrt{2}CG_G \quad (4.44)$$

因此，在电流开关工作状态下，Q-Mixer 的 CG 比 G-Mixer 大 3dB。图 4.6 给出了两种结构混频器的仿真 CG 随本振信号幅度  $V_{LO}$  变化的曲线。可见当本振信号幅度不大，混频器工作在非电流开关状态下时，Q-Mixer 和 G-Mixer 的 CG 相近，但当本振信号幅度增大到使混频器工作在电流开关状态下时，Q-Mixer 的 CG 比 G-Mixer 大大约 2.8dB，未达到理论的 3dB 是由于 Q-Mixer 开关管共源端的寄生电容较 G-Mixer 大，导致增益稍有下降。

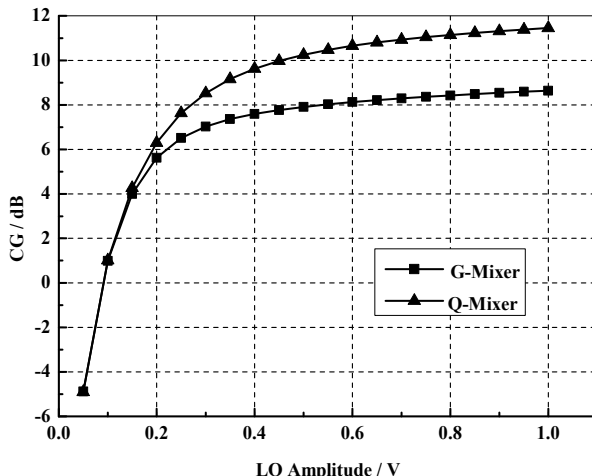


图 4.6 两种结构混频器的仿真 CG 随本振信号幅度变化的曲线

#### 4.2.1.2 噪声系数 (NF)

忽略跨导管和开关管的栅电阻以及本振输入端口的噪声, Gilbert 混频器的 SSB NF 如等式(4.18)所示, 等式右边四项分别为源电阻、跨导级、开关级和负载级引入的噪声系数, 在这里分别列出以便逐一比较:

$$NF_{Tran} = \frac{2\gamma_{Tran}}{g_{m,Tran} \cdot R_S} \quad (4.45)$$

$$NF_{SW} = \frac{(8\gamma_{SW} I_B) / (\pi V_{LO})}{g_{m,Tran}^2 \cdot C_{SW}^2 \cdot R_S} \quad (4.46)$$

$$NF_{Load} = \frac{1/R_L}{g_{m,Tran}^2 \cdot C_{SW}^2 \cdot R_S} \quad (4.47)$$

对于跨导级引入的噪声系数  $NF_{Tran}$ , 由(4.29)可以得到:

$$NF_{Tran,Q} = NF_{Tran,G} / 2 \quad (4.48)$$

对于开关级引入的噪声系数  $NF_{SW}$ , 由(4.29)和(4.34)可以得到:

$$NF_{SW,Q} = NF_{SW,G}/2 \quad (4.49)$$

对于负载级引入的噪声系数  $NF_{Load}$ ，由(4.29)和(4.34)可以得到：

$$NF_{Load,Q} = NF_{Load,G}/2 \quad (4.50)$$

综合等式(4.48)、(4.49)、(4.50)和(4.18)，考虑到混频器中  $NF_{Tran} + NF_{SW} + NF_{Load} \gg 1$ ，可以得到：

$$NF_Q \approx NF_G/2 \quad (4.51)$$

即 Q-Mixer 的 NF 比 G-Mixer 的 NF 小  $3dB$ 。需要指出的是，实际情况下 Q-Mixer 中开关级引入的噪声要比等式(4.18)估计的高，这是因为在 Q-Mixer 中，只要不是工作在绝对理想的开关状态下，每个开关管的噪声电流会同时注入到 I 路和 Q 路输出。如图 4.4(a)所示， $M_5$  的噪声电流不但输出到 IFI-，也会输出到 IFQ+ 和 IFQ-。开关管的闪烁噪声也存在同样的影响。因此，在考虑开关管引入的噪声时，Q-Mixer 中 Q 路混频器的输出噪声比 G-Mixer 中 Q 路混频器的输出噪声大。当然，由等式(4.46)也可以看到，通过增大本振信号幅度  $V_{LO}$  可以减小开关管噪声对混频器噪声系数的影响，从而使得混频器的噪声主要由跨导级的噪声决定。实际的电路设计中也是普遍这样的。

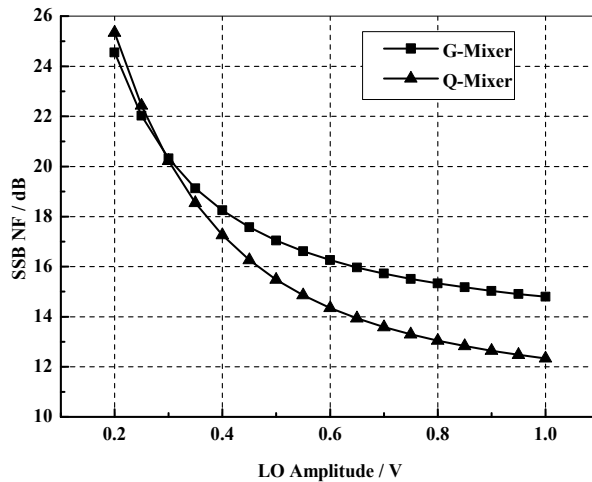


图 4.7 两种结构混频器的仿真 NF 随本振信号幅度变化的曲线

图 4.7 给出了两种结构混频器的仿真 NF 随着本振信号幅度  $V_{LO}$  变化的曲线。在电流开关状态下，Q-Mixer 的 NF 比 M-Mixer 的 NF 小  $3dB$  不到一点，这是由于上面分析的 Q-Mixer 中 I/Q 两路开关管之间噪声的相互影响。而当本振信号幅度下降时，两种结构混频器的 NF 相近并急剧上升，是因为本振信号幅度  $V_{LO}$  下降后，开关级引入的噪声占主导地位，并随着  $V_{LO}$  的减小而增大，如等式(4.46)所示。

### 4.2.1.3 线性度

在混频器设计中，线性度一般由输入跨导级的线性度决定，而跨导管的 IIP3 由等式(4.24)确定。Q-Mixer 和 G-Mixer 有相同的  $\theta$  和  $V_{GST}$ ，因此两种结构的混频器具有相近的线性度。

事实上，由于 Q-Mixer 的开关管共源端的寄生电容较 G-Mixer 的大，根据 4.1.2.3 的分析，寄生电容对开关管的非线性有一定负面影响，因此，严格来讲，Q-Mixer 的线性度较 G-Mixer 要稍差，只不过开关管的非线性并不是主导因素，这个线性度的差别很小。

### 4.2.1.4 镜象抑制比(IRR)

在镜象抑制接收机中，如果 I/Q 两路的电路存在失配，或者 I/Q 两路的本振信号存在失配，都会造成镜象信号向所需信号的泄漏。镜象抑制比(Image Rejection Ratio, IRR)正是镜象接收机中用来衡量镜象信号的抑制程度的参数。如果将 I/Q 两路的失配都归结到本振信号的相位失配和幅度失配，并假设此时 I/Q 两路的本振信号分别为  $A\sin(\omega_{LO}t)$  和  $(A+\varepsilon)\cos(\omega_{LO}t+\theta)$ ，则有<sup>[30]</sup>：

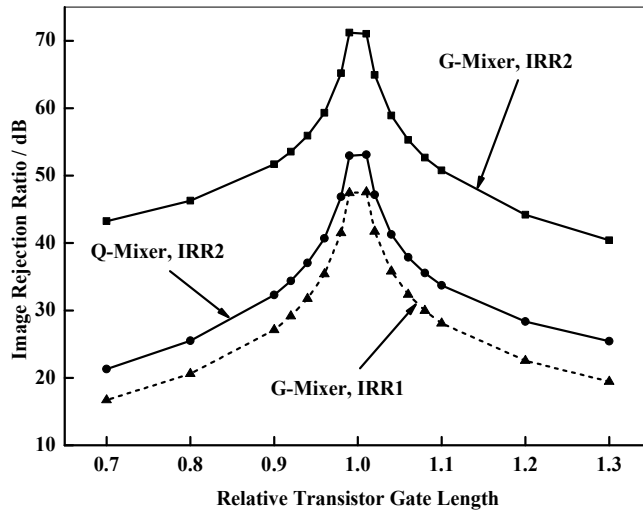
$$IRR = \frac{(Image/Signal)_{out}}{(Image/Signal)_{in}} = \frac{A^2 - 2A(A+\varepsilon)\cos\theta + (A+\varepsilon)^2}{A^2 + 2A(A+\varepsilon)\cos\theta + (A+\varepsilon)^2} \approx \frac{(\varepsilon/A)^2 + \theta^2}{4} \quad (4.52)$$

大多数射频系统的 IRR 要求达到 60-70dBm。尽管在 UHF RFID 这种接收 DSB 射频信号的直接变频接收机中不存在镜象问题，如何保证一定的 IRR 却是超外差接收机和接收 SSB 射频信号的零中频接收机中一个严重和头痛的问题，而正交下变频混频器正是镜象泄漏的一个重要因素。由负载电阻的不匹配造成的镜象信号的泄漏在 Q-Mixer 和 G-Mixer 中相同，但是由跨导级和开关级的不匹配造成的镜象信号的泄漏在 Q-Mixer 和 G-Mixer 中却有很大不同。

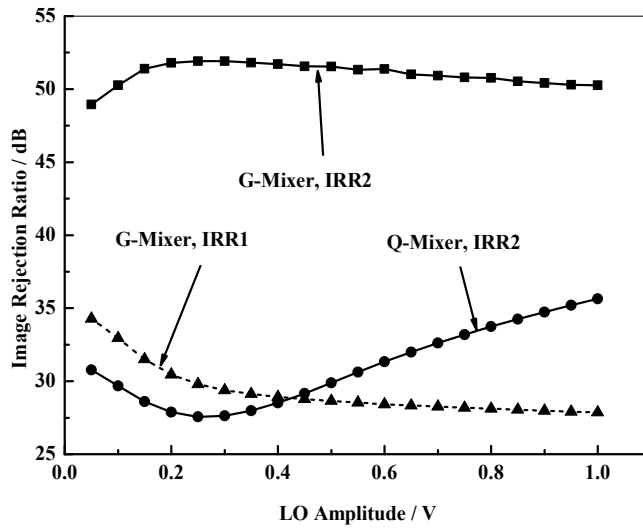
首先，由于 I/Q 两路共用跨导级，Q-Mixer 中不存在由跨导级造成的镜象信号的泄漏；而在 G-Mixer 中，I/Q 两路间跨导管的不匹配会引起输入阻抗和输入跨导的不匹配。前者主要造成输出信号相位的不匹配，而后者主要造成输出信号幅度的不匹配。

其次，在 Q-Mixer 中，如果开关管不是工作在理想开关状态，某一时刻与一个跨导管的漏端连接的四个管子中，不止一个开关管会导通。例如，当 LOI+ 为高， $M_5$  完全导通时，LOQ 信号过零点， $M_9$  和  $M_{10}$  也会部分导通。这些导通开关管的相对转换增益  $C_{sw}$  决定了流经这些开关管的电流比例，使得 I/Q 两路间的匹配和 I/Q 两路内部差分输出两路之间的匹配均受开关管匹配性能的影响。而在 G-Mixer 不存在这种“分流”现象，因为在它的跨导管的漏端不存在 I/Q 两路开关管之间的通路。由此可以推

断，开关管不匹配对 Q-Mixer 的影响较 G-Mixer 要大。



(a)



(b)

图 4.8 两种结构混频器的仿真 IRR: (a)随着相对沟道长度变化的曲线（本振信号幅度为  $5\text{dBm}$ ）; (b)随着本振信号幅度变化的曲线（相对沟道长度为 1.1）

图 4.8 给出了两种结构混频器的仿真 IRR 曲线。在 IRR1 仿真中，I/Q 两路的开关管完全匹配，而相对管子沟道长度是指 I 路和 Q 路中跨导管的沟道长度之比（管子宽度相等）。在 IRR2 仿真中，I/Q 两路的跨导管完全匹配，而相对管子沟道长度是指 I 路和 Q 路中开关管的沟道长度之比（管子宽度相等）。正如我们上面分析的一样，Q-Mixer 对跨导管的不匹配不敏感，但是对开关管的不匹配较 G-Mixer 更敏感。同时，

由图 4.8(b)我们可以看到，随着本振信号幅度 $V_{LO}$ 的增大，Q-Mixer 的开关更理想，从而使得由“分流”现象造成的 IRR 的下降得到了抑制。

#### 4.2.1.5 小结

表 4.2 Q-Mixer 和 G-Mixer 的仿真性能小结和对比

结构	$I_{DD}/\text{mA}$	CG/dB	NF/dB	IIP <sub>3</sub> /dBm	IRR1/dB	IRR2/dB	FOM/dB
Q-Mixer	2.56	11.2	11.5	10.3	107	33	14.9
G-Mixer	2.45	8.4	14	10.9	27	50	12.9

表 4.2 对两种结构混频器的仿真性能进行了小结和对比，以验证之前的分析。其中，射频输入信号频率 $f_{RF}=1.005\text{GHz}$ ，本振输入信号频率 $f_{RF}=1\text{GHz}$ ，本振输入信号幅度 $V_{LO}=5\text{dBm}$ 。IRR1 和 IRR2 仿真中的相对沟道长度为 1.1。衡量混频器线性度性能的 FOM(Figure Of Merit)定义为 $10\log(OIP3|_{mW}/P_{DC}|_{mW})$ ，可以看到，Q-Mixer 比 G-Mixer 有更高的 FOM，说明在电流开关工作状态下，Q-Mixer 在线性度、转换增益和直流功耗方面较 G-Mixer 有更好综合性能。

#### 4.2.2 MGTR 技术提高混频器线性度的原理分析与电路实现

UHF RFID 工作在多读写器情况下时，读写器接收机会受到领道信号的干扰，因此，接收机的线性度要求比较高。而整个收机链路的线性度通常由混频器的线性度决定。较高的线性度通常要求需要较高的工作电压，而在如今的深亚微米工艺中，电源电压已经降至 1.8V 及更低，对电路的设计提出了一定的挑战。对于电路的二阶非线性，可以通过全差分结构和合理的版图设计来有效地抑制，但是如何有效地提高电路的三阶非线性却一直是个难题。由 Bonkee Kim 等人提出的多栅晶体管(Multiple Gated Transistors, MGTR)技术<sup>[31~33]</sup>能够在不影响电路其他性能的前提下，有效地提高电路的 IIP3，使得在低电源电压有源混频器中实现高线性度成为可能。

如图 4.9 所示的单管跨导电路，其输出小信号电流是输入小信号电压的非线性函数，小信号电流的 Taylor 级数展开为：

$$i_{ds} = g_m v_{gs} + \frac{g_m'}{2!} v_{gs}^2 + \frac{g_m''}{3!} v_{gs}^3 + \dots \quad (4.53)$$

其中， $g_m^{(n)}$ 代表跨导的 n 阶导数，由跨导管的尺寸和偏置决定。正是这些高阶跨导 $g_m^{(n)}$ 在跨导中引入了非线性。其中三阶非线性有两个来源：一个是 $g_m''$ ，另一个是 $g_m$ 和 $g_m'$ 的交调，其中 $g_m''$ 是主要来源。



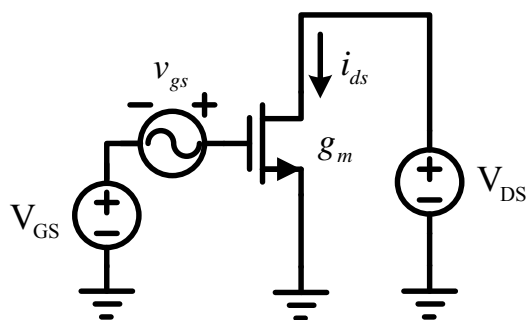


图 4.9 单管跨导电路

图 4.10 所示是仿真中 MOS 管的  $g_m''$  与直流偏置  $V_{GS}$  的关系曲线, 工艺为 SMIC 0.18 1P6M RF CMOS, MOS 管的尺寸为  $40\mu\text{m}/0.18\mu\text{m}$ ,  $V_{DS} = 0.3\text{V}$ 。可见, 在 MOS 管的饱和工作区 ( $600\text{mV} \leq V_{GS} \leq 900\text{mV}$ ),  $g_m''$  呈现一个负峰, 这会引入较大的三阶交调量, 对 IIP3 非常不利。而 MGTR 技术正是通过引入一个副管来抵消跨导管的  $g_m''$  在饱和区的这个负峰, 从而减小三阶交调量。

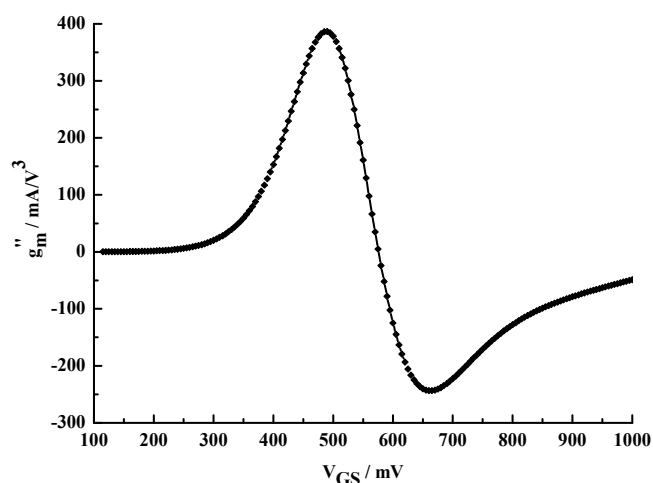
图 4.10 MOS 管的  $g_m''$  与直流偏置  $V_{GS}$  的关系曲线

图 4.11 给出了 MGTR 结构的电路和工作原理。MGTR 由主管(Main Transistor, MT)和副管(Auxiliary Transistor, AT)并联而成。MT 工作在饱和区, 起跨导和信号放大的作用, 但其  $g_m''$  如图 4.10 所示是一个负值, 使得 MT 具有较大的三阶交调非线性。如果将 AT 与 MT 并联, 并将 AT 偏置在不同的直流工作点, 则 AT 的  $g_m''$  曲线会平移。如果 AT 的偏置电压  $V_{GS}$  和尺寸选取恰当的话, 其  $g_m''$  曲线的正峰值可以完全抵消 MT 中  $g_m''$  曲线的负峰值, 从而使整个 MGTR 结构呈现很小的三阶交调分量, 进而大大地提高混频器的 IIP3。并且, AT 在这种偏置条件下工作在亚阈值区, 因此不会增大直流功耗, 也不会有很大的噪声引入。

图 4.11 是对直流偏置下跨导的分析,给出了 MT 和 AT 的尺寸和偏置电压的选取,其中 MT 和 AT 的 finger 数分别为  $NF_{MT} = 16$  和  $NF_{AT} = 20$ , 偏置电压分别为  $V_{GS,MT} = 0.65V$  和  $V_{shift} = 0.16V$ 。然而,由于 MOS 管的非线性失真本质上是和频率有关的,因此[33]中提出的直流跨导分析不能精确地模拟电路工作在高频时的跨导情况。通过谐波平衡(Harmonic Balance, HB)仿真,我们可以较为精确地模拟 MOS 管在实际电路中的高频特性,通过调节得到三阶交调抵消的最佳条件。仿真结果显示,当 MT 和 AT 的 finger 数分别为  $NF_{MT} = 16$  和  $NF_{AT} = 20$ , 偏置电压分别为  $V_{GS,MT} = 0.66V$  和  $V_{shift} = 0.2V$  时,混频器的 IIP3 最优。MT 和 AT 的偏置电压可以通过普通电流镜电路产生,这样混频器的 IIP3 在各个工艺角下面只有  $2dB$  左右的偏差,具有较为稳定的线性度。

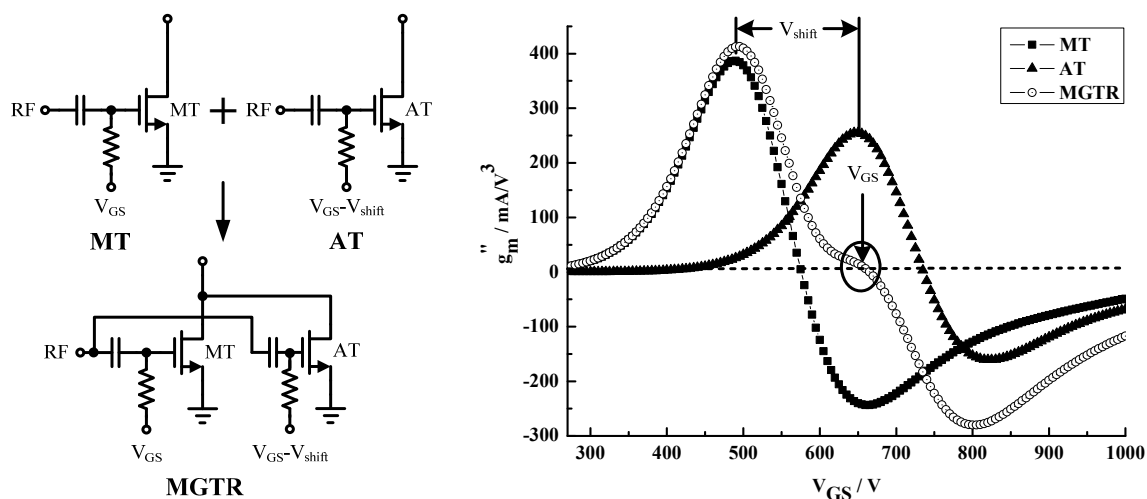


图 4.11 MGTR 的电路结构和原理图

### 4.2.3 寄生垂直 NPN BJT 在混频器中的应用

由 4.1.2.2 分析可知,混频器的低频噪声主要由开关管的闪烁噪声贡献。以往多数电路通过增大开关管的尺寸来减小闪烁噪声。但开关管的尺寸越大,一方面使得开关管共源端的寄生电容增大,造成混频器增益的减小,线性度的恶化;另一方面使得开关管输入电容增大,加重了本振信号驱动缓冲器的驱动负载,增大缓冲器所需的功耗。

目前,越来越多的设计把 BJT 用于射频电路和基带模拟电路中。这是因为和 MOSFET 管相比,BJT 有许多适用于射频应用的性质,例如:较小的闪烁噪声,较好的匹配,较大的跨导能力等等。尤其是闪烁噪声方面的优势,使得 BJT 被广泛地用作混频器的开关管和基带放大器的放大管。

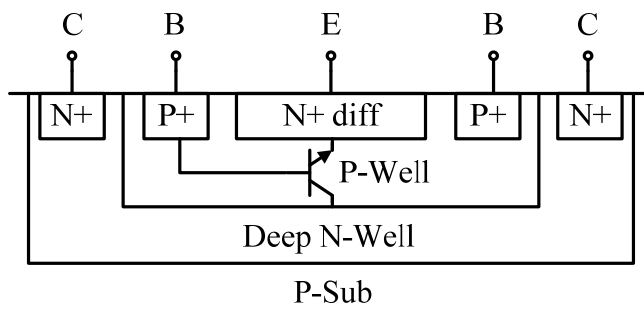


图 4.12 V-NPN BJT 的截面图

图 4.12 是深阱 CMOS 工艺中寄生垂直 NPN (Vertical NPN, V-NPN) BJT 的截面图，它以 n+扩散作为发射极，以 p 阱扩散和 p+接触作为基极，以深 n 阱、n 阱扩散和 n+接触作为集电极。这种深 n 阱垂直结构不仅具有较小的集电极串联电阻，而且基区宽度小，BJT 的性能更好。工作在放大区的 BJT，其闪烁噪声由正向偏置的发射结产生：在发射结的耗尽区中，由于工艺污染或晶格缺陷造成的陷阱会随机地俘获或者释放载流子，这个俘获或释放过程的时间常数和工艺有关，并且和频率呈反比，故其引入的噪声功率谱密度呈现  $1/f$  的特征。BJT 输入参考噪声的功率谱密度可表示为<sup>[34]</sup>：

$$\overline{i_b^2} = KF \cdot I_B^{AF} / f + 2qI_B \tag{4.54}$$

等号右侧第一项是闪烁噪声，第二项是 shot noise。  $I_B$  为基极直流电流，  $AF$  为 0.5 到 2 之间的一个常数，  $KF$  是与工艺相关的一个参数，因此，对于不同的工艺，BJT 的闪烁噪声的转折频率也有很大的不同，可以从 100Hz 到 10MHz。幸运的是，随着工艺技术的进步和制造水平的提高，BJT 闪烁噪声的转折频率可以控制在一个较低的水平，比 MOS 管要低得多。如图 4.13 所示是典型的 NMOS 和 V-NPN BJT 的输出噪声频谱图<sup>[35]</sup>，一般 MOSFET 闪烁噪声的转角频率在 1MHz 左右，而 BJT 闪烁噪声的转角频率在几十 kHz 左右。

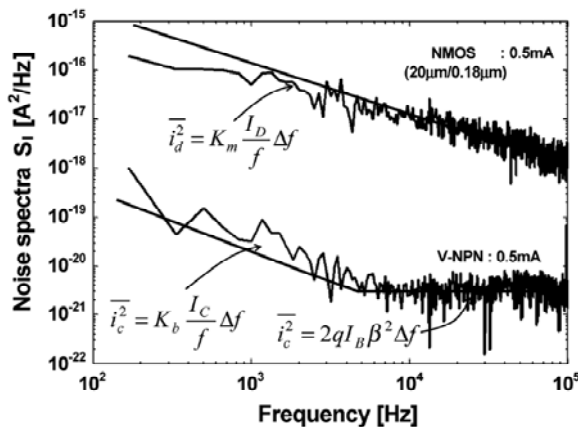
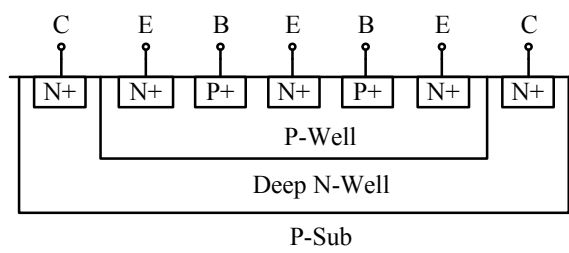
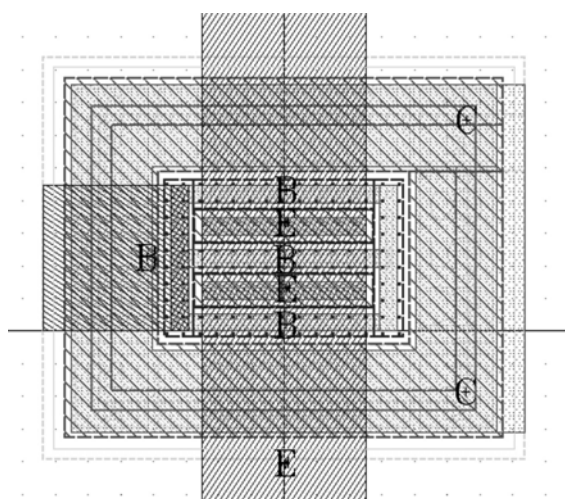


图 4.13 NMOS 和 V-NPN Bipolar 管的输出噪声频谱图

实际电路中，BJT 用如图 4.14 所示的多指结构来实现。这种结构一方面可以进一步减小基区电阻，从而减小其引入的热噪声；另一方面可以使管子间的匹配做得更好。同时，为了进一步降低晶体表面缺陷造成的闪烁噪声，用栅氧化层和多晶硅层覆盖发射极-基极之间的空隙，可以进一步改善发射结耗尽区的表面特性，达到很好的噪声效果<sup>[36]</sup>。



(a)



(b)

图 4.14 多指 BJT: (a)横截面; (b)版图

## 4.2.4 正交下变频混频器的设计及优化

### 4.2.4.1 正交下变频混频器的设计及优化

UHF RFID 读写器接收机中正交下变频混频器的电路图如图 4.15 所示。设计中主要做了三点考虑：首先，基于 4.2.1 的分析，这里采用了 I/Q 两路共用跨导级的结构，可以用更低的功耗达到与传统 Gilbert 混频器对同样的性能。此外，这种共用跨导级的结构能够有效地缓减 NF、CG 和线性度之间的权衡：为了达到高转换增益和低噪声系数，跨导级需要更大的偏置电流，而开关级需要更小的偏置电流。之前的文献比较多

地采用 current bleeding 和折叠结构来解决这个问题，但这些结构增加了电路设计的复杂度，增大了芯片的面积，同时也浪费了一些不必要的功耗。在共用跨导级结构中，跨导级的偏置电流在 I/Q 两路间平分，轻松地解决了偏置电流的矛盾，使得我们可以在不影响开关级性能的前提下优化跨导级。

其次，考虑到第二章中分析的系统对混频器高线性度的要求，跨导级采用了 4.2.2 中分析的 MGTR 结构来提高混频器的 IIP3，其中 MGTR 中 MOS 管的尺寸和偏置也采用了 4.2.2 中的分析结果。仿真结果显示，MGTR 结构中 AT 的采用使得混频器的 IIP3 有将近 10dBm 的提高。

第三，为了减小开关管的闪烁噪声对混频器低频噪声的影响，开关管采用 CMOS 工艺中深 n 阱里的寄生 V-NPN BJT，管子的发射极面积使其具有足够的跨导能力即可，以减小管子的寄生电容。同时，采用 poly 电阻作为输出负载以避免闪烁噪声，并适当增大其阻值以减小其热噪声贡献。

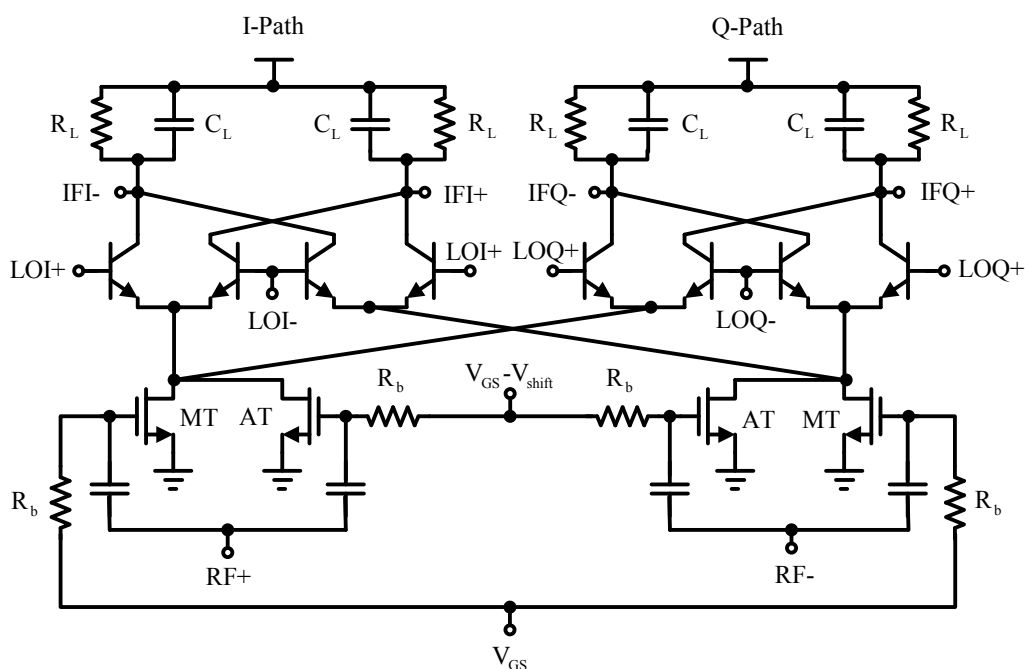


图 4.15 UHF RFID 读写器接收机中正交下变频混频器的电路图

#### 4.2.4.2 二分频正交信号发生器的设计

正交混频器的本振信号需要正交两路输入，正交信号的产生一般有以下几种方法：(1) Polyfilter。Polyfilter 对电阻电容的匹配要求很高，并且应用带宽越宽，要求的级数也越高。而且电阻的噪声较大，因此通常需要前置放大器来抑制 polyfilter 的噪声贡献，增加了电路的复杂度；(2) 注入锁定 LC 分频器。此结构的相位噪声可以做

得比较小，相位误差也可以做到  $1^\circ$  以内，功耗可以做到  $4\text{-}6\text{mA}$  左右，但是需要片上电感，芯片面积大大增加；(3) 正交 VCO。变压器耦合型的正交 VCO 的相位噪声比较好，但是需要片上变压器，设计较复杂；MOS 管耦合型的正交 VCO 设计比较简单，但相位噪声较差。同时两种结构的正交 VCO 均由两个  $2\text{mA}$  左右功耗的 VCO 构成，相位噪声可以做到  $1^\circ$  以内；(4) 二分频电路。二分频电路是实现起来最简单的结构，功耗和 LC 分频器相当，面积很小，但输出正交信号的相位和幅度匹配程度受器件的匹配性和输入时钟信号的占空比影响较大，相位误差一般可以保证在  $5^\circ$  以内。

在 UHF RFID 接收机中，不存在镜像信号干扰的问题，因此对 I/Q 两路匹配性要求不高，因此，我们选用实现简单的二分频电路来产生正交本振信号。其原理图如下图 4.16 所示，是由两个接成负反馈回路的锁存器构成，锁存器的输入信号是二倍本振频率的时钟信号，占空比为 50%，输出的差分本振信号 LOI 和 LOQ 幅度相等，相位差为  $90^\circ$ 。其中，两个锁存器的匹配和时钟输入信号的理想差分性质是保证 LOI 和 LOQ 理想正交的关键因素。

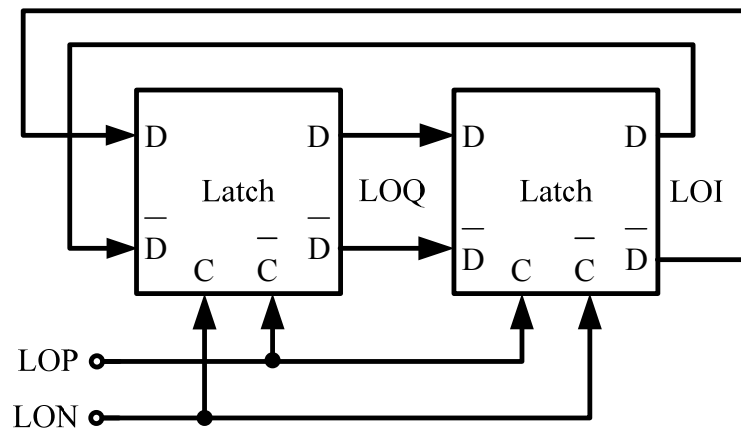


图 4.16 二分频电路原理图

电流开关型锁存器的电路图如图 4.17 所示，尾电流源确定了电路的总电流，从而确定了输出信号的摆幅，差分对管  $M_1$  和  $M_2$  为放大管，交叉耦合对管  $M_3$  和  $M_4$  形成正反馈，放大和保持输出信号。为减小对 VCO 的负载效应，锁存器的输入管尺寸较小，并且，工作频率越高，功耗越大。此外，为得到混频器需要的本振信号幅度，增大本振信号的驱动能力，在二分频电路和混频器本振输入端之间通常加驱动缓冲器，由简单的差分放大器实现，如图 4.18 所示。同样，差分输入管的尺寸较小以减小二分频电路的功耗，电路的功耗由输出电压幅度决定，所需幅度越高，频率越高，电流也越大。

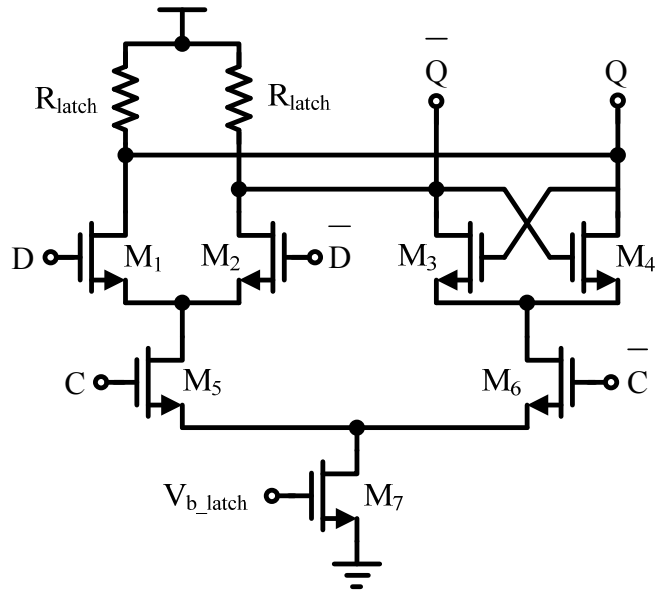


图 4.17 电流开关型锁存器

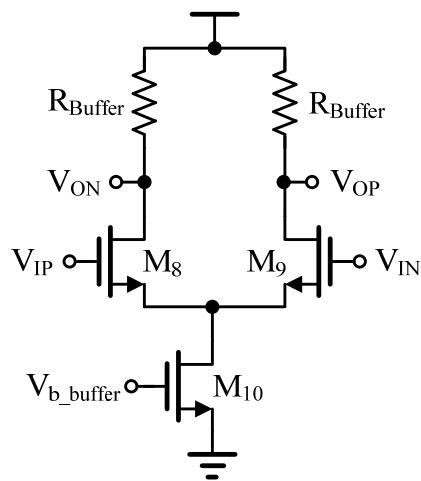


图 4.18 驱动缓冲器

### 4.2.5 版图设计

图 4.19 是正交下变频混频器及二分频电路的版图，包括 pad 的面积大约为  $850\mu\text{m} \times 740\mu\text{m}$ ，其中混频器模块的面积大约为  $380\mu\text{m} \times 480\mu\text{m}$ 。为了降低二阶交调分量和提高 I/Q 两路的匹配性，主要做了以下几点考虑：

(1) 版图整体要对称，一些全局线如电源线、地线等也要尽量对称走线，跨导级放在 Y 轴上，I/Q 两路的器件关于 Y 轴对称。

(2) 出于匹配考虑，跨导级的 MT 和 AT 均做了“共中心” (common-centriod) 二维匹配；在射频输入和本振输入信号的交流耦合电容及负载电容旁边均加了 dummy

电容，为需要匹配的电容创造相同的环境；输出电阻也用“交指”(inter-digital)的方法进行了一维匹配，并在两端加 dummy 单位电阻加强匹配，同时，为了减小噪声对其影响，对其四周衬底进行接地。

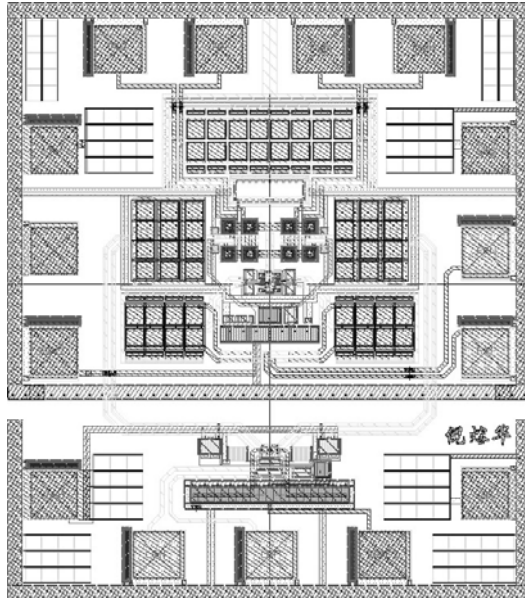
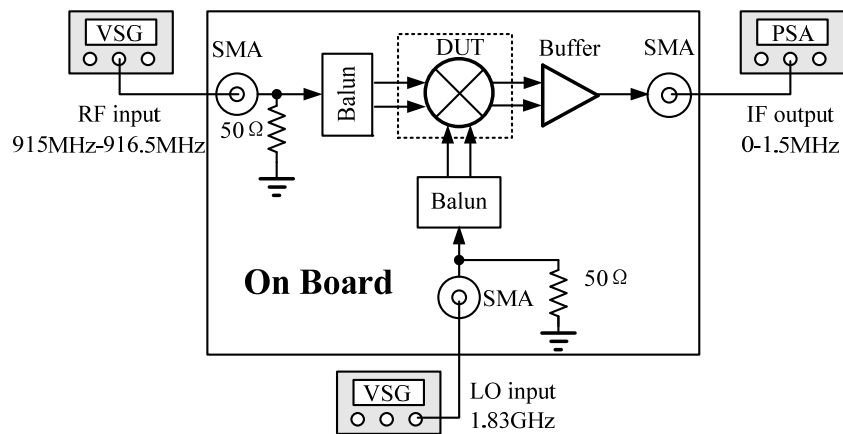


图 4.19 正交下变频混频器及二分频电路版图

### 4.3 正交下变频混频器的测试与分析

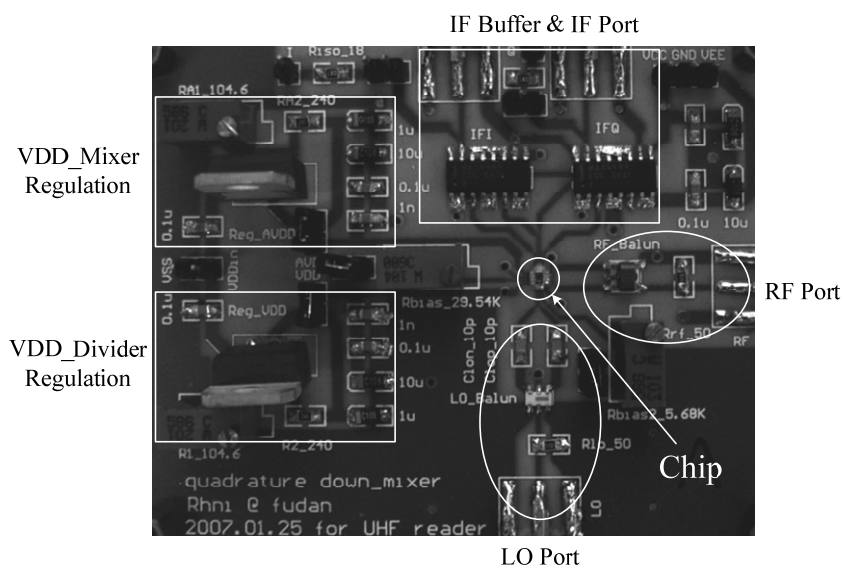
#### 4.3.1 PCB 设计

正交下变频混频器的测试 PCB(Printed Circuit Board)为两层 FR-4 板，最小线宽为 6mil。PCB 示意图及照片如下图 4.20 所示，设计考虑如下：



(a)





(b)

图 4.20 (a)PCB 示意图; (b)PCB 照片

(1) 射频信号和本振信号由射频信号源产生, 通过同轴电缆线接入 PCB 板的 SMA 头, 再通过 Balun 将单端信号转换成差分信号输入芯片。由于射频和本振信号输入端均呈现较低的容抗, 因此, 阻抗匹配通过在 SMA 头输出端接  $50\Omega$  电阻到地来实现。这种方法简单, 且能达到较好的匹配, 并且仿真显示,  $50\Omega$  匹配电阻在 NF 中引入的噪声影响可以忽略。

(2) 中频输出为低频信号, 但是无法直接驱动  $50\Omega$  的特征阻抗, 因此需要通过一个缓冲器来实现阻抗转换和差分转单端的功能。缓冲器的选择要考虑信号带宽、线性度和噪声等性能, 使之对整个测试链路性能的影响可以忽略, 这样可以大大降低测试的复杂度。Texas Instruments 公司的 OPA3692<sup>[37]</sup> 是宽带, 低噪声的缓冲放大器。如图 4.21 所示, OPA3692 通过外加电阻配置成仪表放大器, 可以得到高输入阻抗、低输出阻抗和固定增益, 并实现单端转差分的功能。

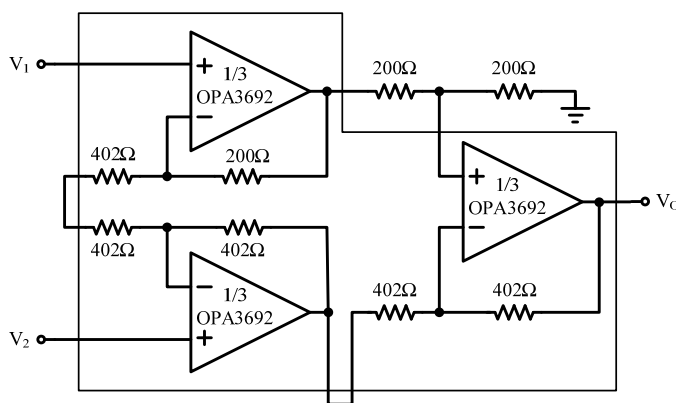


图 4.21 中频缓冲器示意图

(3) 直流电源提供的电源电压有较大的噪声，并且在上电、断电时可能会产生较大的脉冲，对电路造成损伤，因此芯片的电源电压通过 LM317 整流电路后得到。并且在电源和地之间加入不同特征频率的退耦电容以滤除电源电压上面的低频和高频噪声。

(4) 在射频电路 PCB 设计中，电源线和地线的正确布线显得尤其重要，合理的设计是克服电磁干扰的最重要的手段。PCB 上相当多的干扰是通过电源和地线产生的，其中地线的噪声干扰最大。地线容易形成电磁干扰的主要原因在于地线存在阻抗。当有电流流过地线时，就会在地线上产生电压，从而产生地线环路电流，形成地线的环路干扰。当多个电路共用一段地线时，就会形成公共阻抗耦合，从而产生所谓的地线噪声。因此，在对射频电路 PCB 的地线进行布线时应该做到：首先，对电路进行分块处理，为各个模块提供一个公共电位参考点及各个模块电路各自的地线。然后汇总于射频电路 PCB 接入地线的地方，即总地线。由于只存在一个参考点，因此没有公共阻抗耦合存在，从而也就没有相互干扰的问题；其次，数字区与模拟区尽可能地进行隔离，并且数字地与模拟地要分离，最后接于电源地；在各部分电路内部的地线也要注意单点接地原则，尽量减小信号环路面积，并与相应的滤波电路就近相接。

芯片采用 COB(Chip On Board)封装，以减小封装的寄生效应。图 4.22 所示是 COB 封装后的芯片照片。

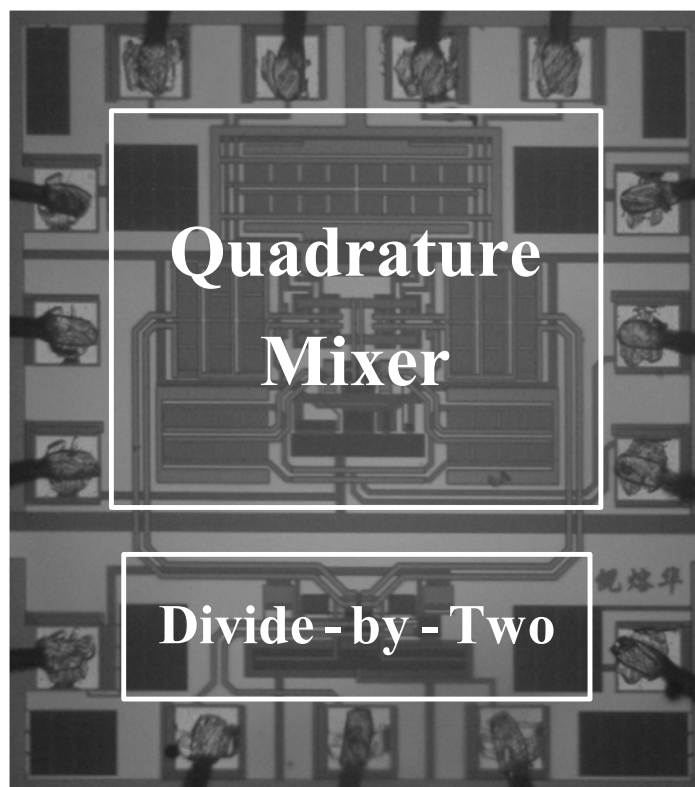


图 4.22 COB 封装后的芯片照片

### 4.3.2 芯片测试与分析

芯片在安捷伦科技有限公司上海分公司进行，所用到的主要测试仪器如表 4.3 所示：

表 4.3 主要测试仪器列表

型号	描述
N6700B	超薄型模块化电源，小型 MPS 主机（4 路输出）
E4438C	ESG 矢量信号发生器(250kHz-6.0GHz)
E4440A	PSA 系列频谱分析仪(3Hz-26.5GHz)
N5242A	PNA 网络分析仪(10MHz-26.5GHz)
MS08104A	数字存储示波器(1GHz 带宽，4G Sa/s 采样率)

#### 4.3.2.1 直流功耗和输出瞬态波形

芯片工作在 1.8-V 电源电压下，正交下变频混频器（包括偏置电路）的直流电流大约为  $3mA$ ，二分频电路及缓冲器电路（包括偏置电路）的直流电流大约为  $9mA$ 。示波器显示的 I/Q 两路中频输出波形如图 4.22 所示。测得的 I/Q 两路的平均相位差低于  $1.2^\circ$ ，平均幅度差低于  $0.2dB$ ，这些正交误差的来源包括芯片中 I/Q 两路的不匹配、本振信号转换 Balun 的非理想因素、分频器和缓冲器的不匹配以及键合线的不匹配等。

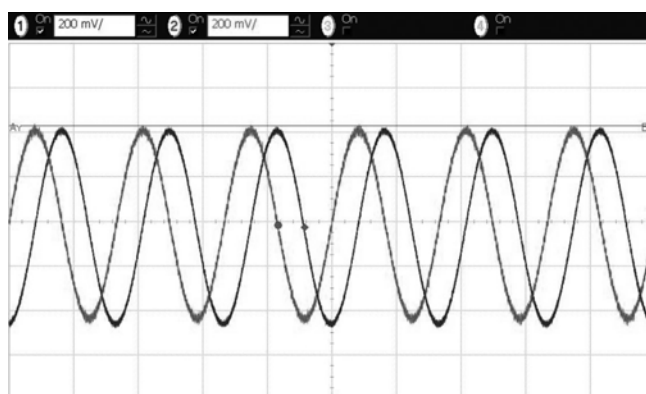


图 4.22 中频输出信号波形

#### 4.3.2.2 CG 及 1dB 压缩点

测试 CG 和 1dB 压缩点时，射频信号频率  $f_{RF} = 915.6MHz$ ，能量  $P_{RF} = -35dBm \sim 0dBm$ ；本振信号频率  $f_{LO} = 1.83GHz$ ，能量  $P_{LO} = 5dBm$ ；因此，输出

中频信号的频率  $f_{IF} = 600\text{kHz}$ 。图 4.23(a)所示是一路输出信号的频谱。测试结果经过去嵌入(去除射频信号输入端 Balun 约的  $5\text{dB}$  增益合中频输出后面驱动缓冲器约  $6\text{dB}$  的增益)后,得到如图 4.23(b)所示的测试结果。芯片的转换增益  $CG = 12.5\text{dB}$ ,  $1\text{dB}$  压缩点  $P_{1\text{dB}} = -5\text{dBm}$ 。

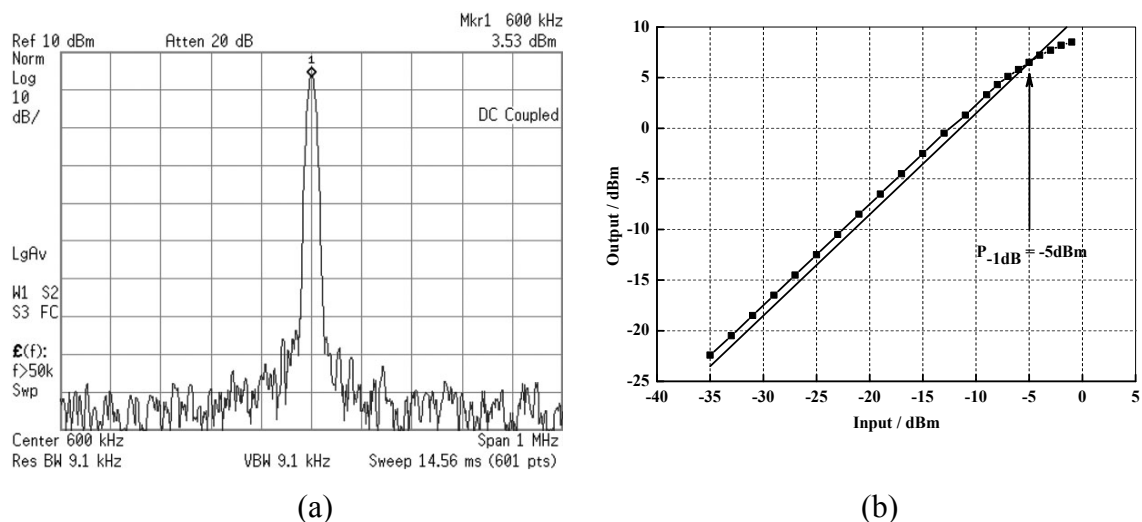


图 4.23 电压转换增益测试: (a)中频输出频谱; (b)  $1\text{dB}$  压缩点

### 4.3.2.3 IIP3 和 IIP2

IIP3 和 IIP2 通过双音(Two-Tone)测试得到,其中射频信号频率  $f_{RF1} = 915.5\text{MHz}$ 、 $f_{RF2} = 915.7\text{MHz}$ , 能量  $P_{RF} = -36\text{dBm} \sim 0\text{dBm}$ , 本振信号频率  $f_{LO} = 1.83\text{GHz}$ , 能量  $P_{LO} = 5\text{dBm}$ , 则输出信号中信号频率分量为  $f_{Sig,1} = 500\text{kHz}$  和  $f_{Sig,2} = 700\text{kHz}$ , 三阶交调频率分量为  $f_{IM3,1} = 300\text{kHz}$  和  $f_{IM3,2} = 900\text{kHz}$ , 最主要的二阶交调频率分量为  $f_{IM2} = 200\text{kHz}$ , 如图 4.24 所示。测试结果如图 4.25 所示,  $IIP_3 = 10\text{dBm}$ ,  $IIP_2 = 58\text{dBm}$ 。中频驱动缓冲器的线性度较高,对测试结果的影响可以忽略,因此测试结果基本反应了芯片的线性度性能。

### 4.3.2.4 NF

对于输出信号为  $10\text{MHz}$  以下的电路,不能通过仪器直接得到电路的 NF。可以通过输入输出信噪比的变化来推测电路的 NF。由 NF 的定义可得:

$$NF = \frac{SNR_{in}}{SNR_{out}} = \frac{P_{sig,in}}{P_{sig,out}} \cdot \frac{P_{noise,out}}{P_{noise,in}} = \frac{1}{CG} \cdot \frac{P_{noise,out}}{P_{noise,in}} \quad (4.55)$$

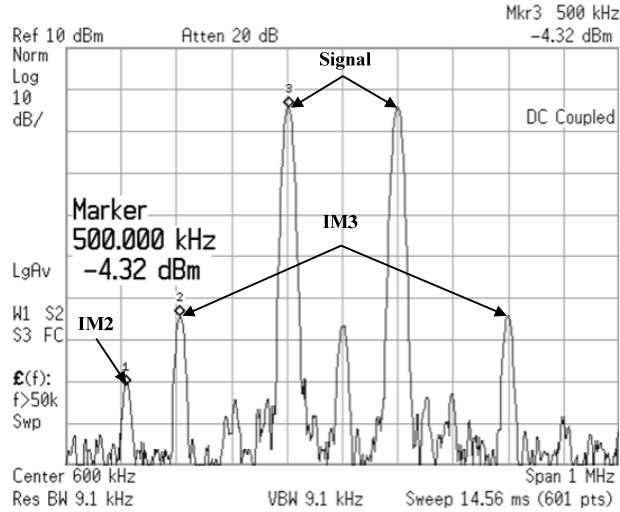


图 4.24 双音测试中输出中频信号的频谱

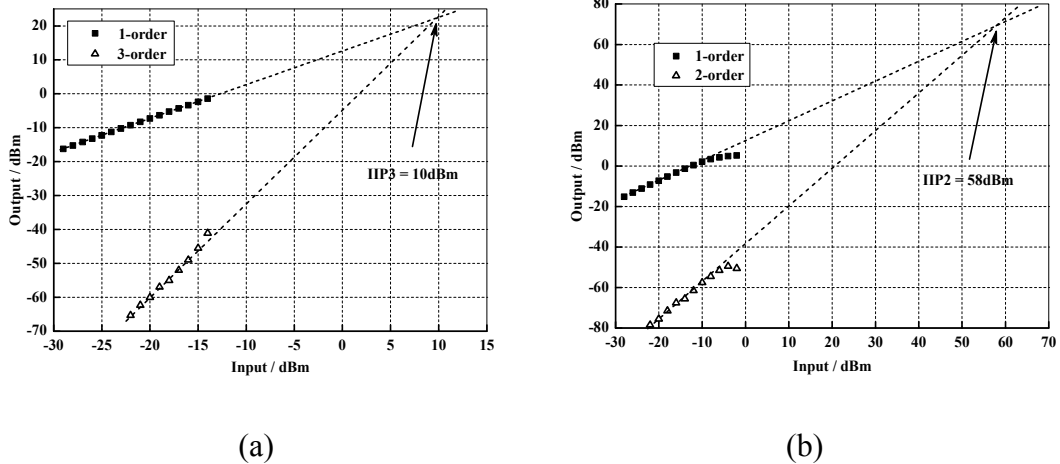


图 4.25 芯片的线性度测试: (a)IIP3; (b)IIP2

两边取对数，有：

$$NF|_{dB} = P_{noise,out}|_{dBm} - P_{noise,in}|_{dBm} - CG|_{dB} \quad (4.56)$$

在阻抗匹配条件下，即  $R_s = R_{in}$  时，有：

$$P_{noise,in}|_{dBm} = \frac{V_{n,R_s}^2}{4R_{in}} = kT|_{dBm} = -174dBm / Hz \quad (4.57)$$

$P_{noise,out}|_{dBm}$  即频谱仪在接入芯片后的噪声基底（此时只有本振信号输入，无射频信号输入）。因此，只要电路满足条件  $-174dBm / Hz + CG|_{dB} + NF|_{dB} \geq NF|_{SA}$ （其中  $NF|_{SA}$  为频谱分析仪的噪声基底），即可通过等式(4.56)推测芯片的 NF。

如图 4.26 所示，芯片在 1MHz 中频处的 SSB NF 约为 12dB，闪烁噪声的转折频率约为 250kHz。这一转折频率较一般 BJT 的转折频率要高，主要是因为 BJT 闪烁噪声

的转折频率受工艺质量的影响很大，而所用的 SMIC 工艺中的寄生 BJT 并未经过性能优化，这也是 CMOS 工艺不如 BiCMOS 工艺的地方。但可以预见，还是要比采用 MOS 管作开关级的转折频率低很多。

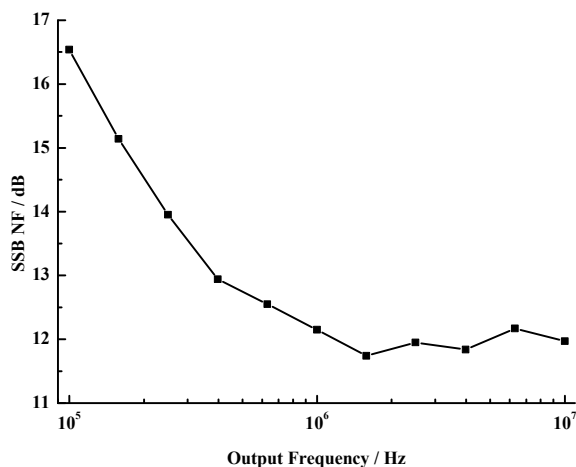


图 4.26 芯片的测试 NF

#### 4.3.2.5 测试结果比较和分析

表 4.4 总结了芯片的测试结果，并与这几年发表的文献进行了对比。可见，本文设计的混频器具有较高的线性度和较低的功耗，而转换增益和噪声方面的性能并未受到影响，在这些设计中有最高的线性度 FOM，表现出较高的综合性能，适用于类似于 UHF RFID 读写器的低成本、高线性度的低中频或零中频接收机。

表 4.4 芯片测试结果总结和对比

参考文献	Kim <sup>[33]</sup>	Klumperink <sup>[38]</sup>	Vidojkovic <sup>[39]</sup>	Liu <sup>[40]</sup>	This work
频率 / Hz	2.4G	1G	2.4G	1.63G	915M
CG / dB	16.5	12	15.7	6.63	12.5
IIP3 / dBm	9	5	1	1.5	10
NF <sub>SSB</sub> / dB	17.2	22.3	12.9	21.4	12
Power/mW	5.4	4	8.1	N/A	2.7
FOM / dB	18.18	10.98	7.62	N/A	18.19
工艺	0.18um CMOS	0.18um CMOS	0.18um CMOS	0.18um CMOS	0.18um CMOS

## 第五章 载波消除检测电路的设计与射频前端的系统仿真

### 5.1 亚阈值 MOS 管峰值检测器

#### 5.1.1 工作原理

载波消除回路通过对载波消除效果的检测，来决定载波消除是否完成。因此，回路中需要一个比较精确的检测器来衡量载波消除 LNA 输出信号的大小。高频的峰值检测器通常用双极型晶体管作为整流器件来实现<sup>[41]</sup>，这是由于双极型晶体管的 I-V 特性易于控制，峰值检测器的输出响应也可以得到较为精确的预测。然而，在一般的 CMOS 工艺中没有高性能的双极型晶体管，因此，如何用 MOS 管进行精确的整流，并且减小工艺和模型的影响，是 CMOS 高频峰值检测器的设计难点。

在 CMOS 工艺中，MOS 管在亚阈值区的 I-V 特性呈指数关系，与双极型晶体管的特性相似，如等式(5.1)所示：

$$I_{DS} = I_0 \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{GS}}{n \cdot V_T}\right) \cdot \exp\left(\frac{n-1}{n} \cdot \frac{V_{BS}}{V_T}\right) \quad (5.1)$$

其中  $I_0$  是一个和工艺有关的正的常数。 $V_T = kT/q$  是热电压，在  $T = 300K$  即  $27^\circ$  室温时有  $V_T \approx 26mV$ 。 $n$  是亚阈值斜率因子（反比于  $\log(I_{DS}) - V_{GS}$  的斜率），与偏置  $V_{BD}$  有关，绝大多数情况下有  $1.2 \leq n \leq 1.5$ 。在 EKV 模型<sup>[20]</sup>中，MOS 管由强反型进入弱反型的转折点在：

$$V_{GS} < V_{TH} + 38mV \quad (5.2)$$

在 Deep N-Well 工艺中，可以将 NMOS 管的衬底和源端相连以消除衬偏效应，则有：

$$I_{DS} = I_0 \cdot \frac{W}{L} \cdot \exp\left(\frac{V_{GS}}{n \cdot V_T}\right) \quad (5.3)$$

工作在亚阈值区的 MOS 管峰值检测器的原理图如图 5.1 所示。 $M_1$  和  $M_2$  管为非线性的整流管， $M_3$  为输出提供参考电平，使得输入信号为零时输出电压  $V_O$  也为零。电容  $C$  为保持电容，其值决定于输出电压上容许的纹波大小  $\Delta V_O$ ：

$$\frac{dV_O}{dt} = -\frac{I_1}{C_1} \quad (5.4)$$

$$\Delta V_O = -\frac{I_1}{C_1} \Delta t \quad (5.5)$$

其中  $\Delta t$  可以取输入信号周期的一半。

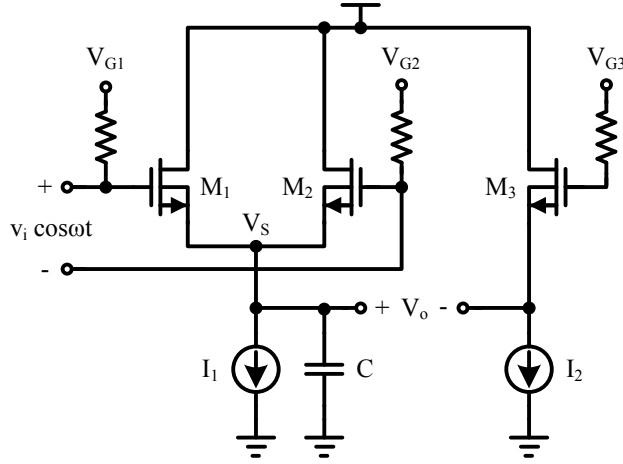


图 5.1 亚阈值 MOS 管峰值检测电路

当输入信号差分信号  $v_i \cos \omega t$  时， $M_1$  和  $M_2$  的源漏瞬态电流均为：

$$I_{DS1,2} = I_0 \cdot \left( \frac{W}{L} \right)_{1,2} \cdot \exp\left( \frac{V_{GS1,2}}{n \cdot V_T} \right) \cdot \exp\left( \frac{v_i}{2n \cdot V_T} \cdot \cos \omega t \right) \quad (5.6)$$

等式(5.6)中的  $V_{GS1,2}$  严格来讲是一个时变电压，因为  $M_1$  和  $M_2$  的共源端电平  $V_S$  会跟随输入信号的包络，从而有一定的波动。但是，绝大多数情况下，我们选取的  $I_1$  和  $C_1$  使得  $V_S$  的变化速率远远小于输入信号的变化速率，因此， $V_{GS1,2}$  可以合理地认为是常数。

等式(5.6)可以分解为：

$$I_{DS1,2} = I_0 \cdot \left( \frac{W}{L} \right)_{1,2} \cdot \exp\left( \frac{V_{GS1,2}}{n \cdot V_T} \right) \cdot [I_0(b) + 2I_1(b) \cos \omega t + 2I_2(b) \cos \omega t + \dots] \quad (5.7)$$

其中  $I_j(b)$  是  $j$  阶的改进型第一类贝塞尔函数，且  $b = v_i / (2n \cdot V_T)$ 。因此，等式(5.7)的平均值可以近似为：

$$\begin{aligned} \overline{I_{DS1,2}} &= I_0 \cdot \left( \frac{W}{L} \right)_{1,2} \cdot \exp\left( \frac{V_{GS1,2}}{n \cdot V_T} \right) \cdot I_0(b) \\ &\approx I_0 \cdot \left( \frac{W}{L} \right)_{1,2} \cdot \exp\left( \frac{V_{GS1,2}}{n \cdot V_T} \right) \cdot \frac{\exp(b)}{\sqrt{2\pi \cdot b}} \end{aligned} \quad (5.8)$$

假设  $M_1$  和  $M_2$  的偏置和尺寸完全匹配，则两个管子的电流也相等，即：

$$\overline{I_{DS1}} = \overline{I_{DS2}} = \frac{I_1}{2} \quad (5.9)$$

联合等式(5.8)和(5.9)可以得到：



$$I_1 = 2 \cdot I_0 \cdot \left(\frac{W}{L}\right)_{1,2} \cdot \exp\left(\frac{V_{GS1,2}}{n \cdot V_T}\right) \cdot \frac{\exp\left(\frac{v_i}{2n \cdot V_T}\right)}{\sqrt{\pi \cdot \frac{v_i}{n \cdot V_T}}} \quad (5.10)$$

而  $M_3$  管的源漏电流为:

$$I_2 = I_0 \cdot \left(\frac{W}{L}\right)_3 \cdot \exp\left(\frac{V_{GS3}}{n \cdot V_T}\right) \quad (5.11)$$

联合等式(5.10)和(5.11), 则有:

$$\frac{I_2}{I_1} = \frac{(W/L)_3}{2(W/L)_{1,2}} \cdot \exp\left(\frac{V_{GS3} - V_{GS1,2}}{n \cdot V_T}\right) \cdot \frac{\sqrt{\pi \cdot \frac{v_i}{n \cdot V_T}}}{\exp\left(\frac{v_i}{2n \cdot V_T}\right)} \quad (5.12)$$

如果  $M_3$  和  $M_1$ 、 $M_2$  的栅极偏置相同, 即  $V_{G1} = V_{G2} = V_{G3}$ , 则输出电压  $V_O = V_{GS3} - V_{GS1,2}$ 。等式(5.12)两边取自然对数, 则有:

$$V_O = \frac{v_i}{2} + n \cdot V_T \cdot \left[ \ln \frac{I_2}{I_1} + \ln \frac{2(W/L)_{1,2}}{(W/L)_3} - \ln \sqrt{\pi \cdot \frac{v_i}{n \cdot V_T}} \right] \quad (5.13)$$

输出电压中含有一个与温度和输入幅度有关的非线性项, 由于对数函数的作用, 这个非线性项在大部分的应用中可以忽略, 尤其是在输入信号幅度较大的时候。在要求高精度的应用中, 可以用  $I_2/I_1$  和  $2(W/L)_{1,2}/(W/L)_3$  来进行一定程度的抵消。

总而言之, 亚阈值 MOS 管峰值检测器在保证电流和 MOS 管匹配的情况下, 可以得到较为精确的输出电平, 使之与输入电平基本呈线性关系。并且晶体管和电流镜的匹配在现有的模拟电路技术中可以得到很好的保证, 因此这种结构可以满足大多数峰值检测的精度要求。同时, 由于电路工作在亚阈值区, 直流功耗非常小, 也是低功耗设计的首选。因此, 本设计中的峰值检测器就是基于这种结构。

### 5.1.2 电路设计

图 5.2 所示是亚阈值 MOS 管峰值检测器的具体电路图。电源电压为 1.8-V,  $M_1$ 、 $M_2$  和  $M_3$  的栅极都偏置在电源电压, 且取同样的尺寸。同时取  $I_1 = I_2$  和  $(W/L)_{1,2} = (W/L)_3$ , 这样有利于匹配, 并且在小信号输入的时候, 非线性项也可以通过  $2(W/L)_{1,2}/(W/L)_3$  进行一定的抵消。因为输出电平比较高, 因此可以用共源共栅电流镜结构提供偏置电流, 这样的电流镜结构受沟道长度调制效应小, 输出阻抗高, 比较接近于理想电流源的特性。峰值检测输出为  $V_{DET} - V_0$ ,  $V_{REF}$  为比较器提供参考电平。 $SD_2$ 、 $SD_1$ 、 $SD_0$  三位数字控制的电流源可以设定不同的  $V_{REF}$  以改变比较器判断的阈值

电压，使之以 $10mV$ 的步长从 $10mV$ 递增到 $70mV$ 。按照系统指标，载波消除程度的判断标准是载波消除 LNA 的输出载波信号降到 $-10dBm$ （即 $100mV$ ）以下，因此 $V_{REF}$ 应等于 $100mV$ 输入时的 $V_{DET}$ 。

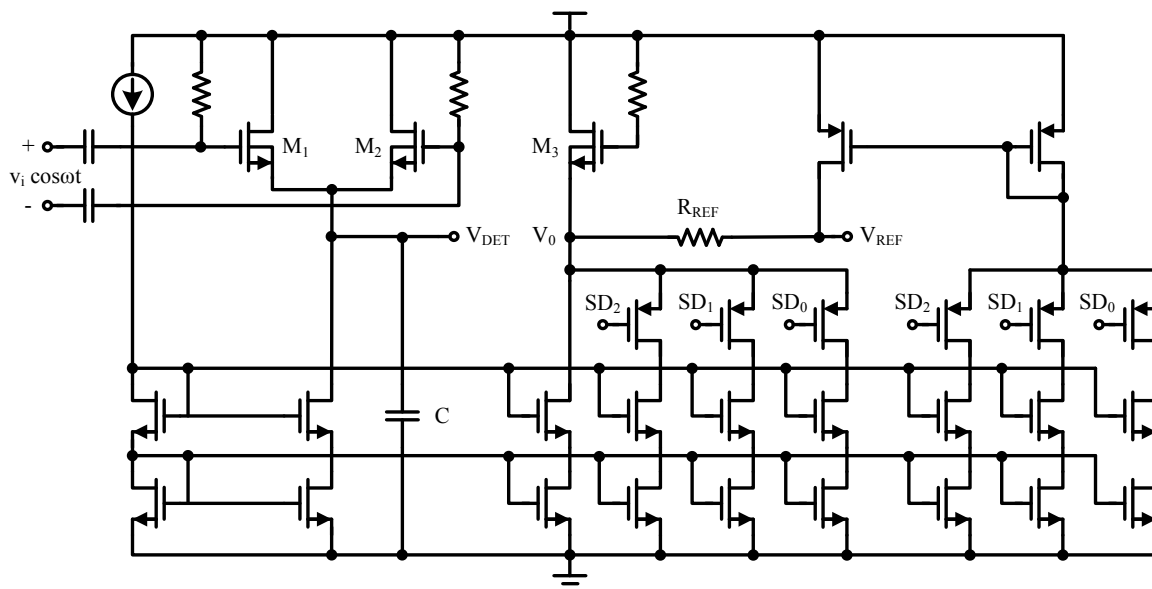


图 5.2 亚阈值 MOS 管峰值检测器

在 SMIC 0.18 $\mu m$  工艺中，NMOS 管的栅源电压 $V_{GS}$ 越小，其 I-V 曲线越接近于指数关系，这时的电流很小，为 $\mu A$ 级。工作电流的选取主要权衡输出信号的建立时间和 MOS 管的工作区域。电流越大，MOS 管的宽长比要求越大，以保证其工作在亚阈值区。但此时 M1、M2 共源端的寄生电容也越大，以至不能忽略，直接降低输出信号的建立时间。这里取 $I_1 = I_2 = 5\mu A$ ，M1、M2 和 M3 的尺寸为 $200\mu m/0.5\mu m$ 。保持电容 C 的容值由等式(5.5)确定，其中 $\Delta V_o = 1mV$ ， $\Delta t = 1/2 \times (900MHz)$ ，得到 $C = 556 fF$ ，实际容值要减去输出节点的寄生电容来确定。

### 5.1.3 版图后仿

图 5.3 所示是亚阈值 MOS 管峰值检测器的版图。图 5.4 是检测器在 $-10dBm$ 输入，室温时 $V_{DET} - V_o$ 的后仿输出曲线，输出纹波小于 $1mV$ ，建立时间大约为 $40ns$ 。

SMIC 0.18 $\mu m$  工艺中，NMOS 管的亚阈值斜率因子 $n = 1.25$ 。图 5.5 给出了根据等式(5.12)计算所得的理论值和后仿结果比较，两者较为接近，并且受工艺角影响较小。尤其是在输入幅度为 $100 \sim 200mV$ 时，两者基本吻合，这正是要求比较器做出判断的一个区域。

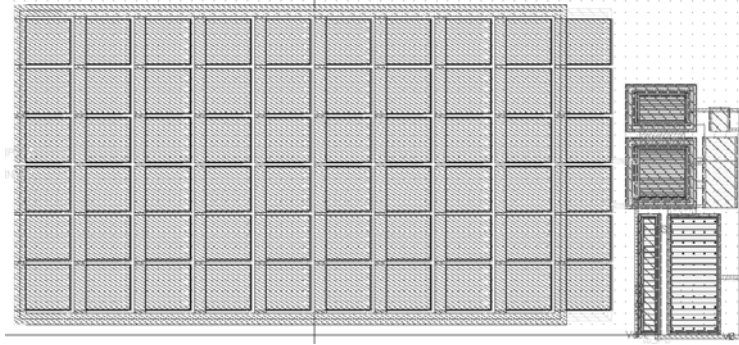


图 5.3 亚阈值 MOS 管峰值检测器版图

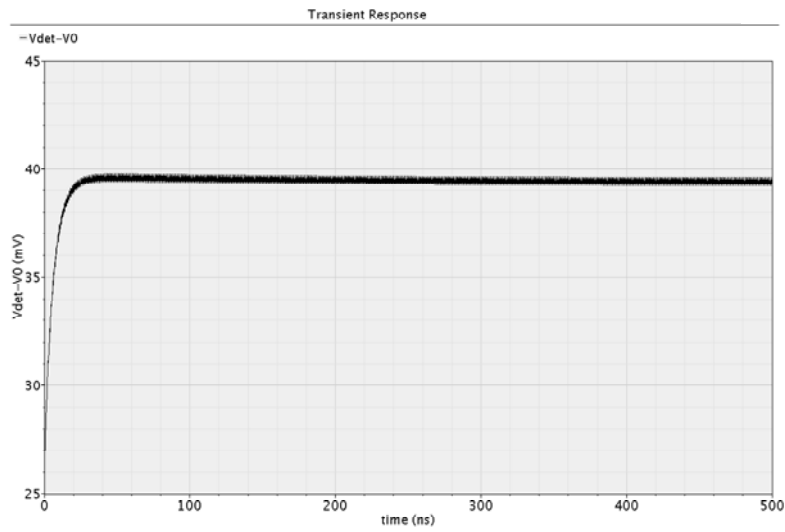


图 5.4  $V_{DET} - V_0$  的后仿输出曲线

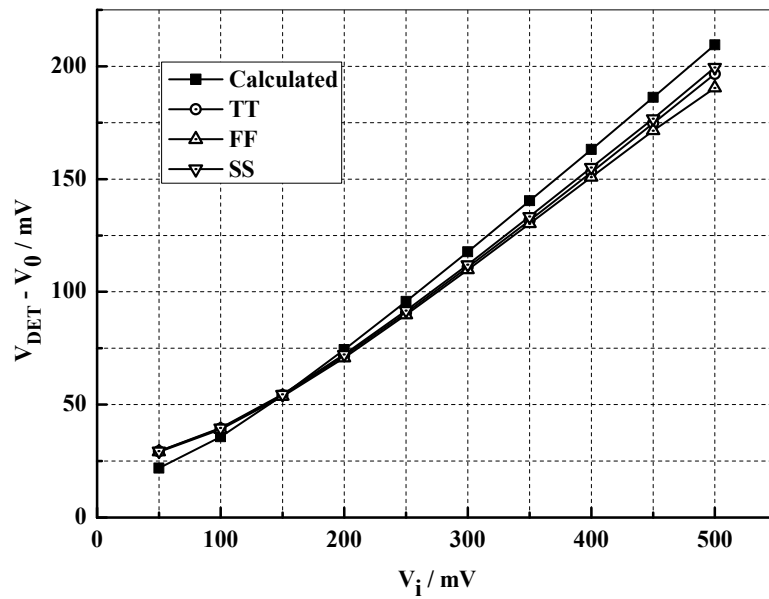


图 5.5 峰值检测输出的理论值和仿真值

图 5.6 所示是输入信号为  $-10\text{dBm}$  时,  $V_{DET} - V_0$  随工艺和温度偏差的曲线, 以室温下 TT 工艺角的值为基准。可见亚阈值 MOS 管峰值检测器在  $-20^\circ\text{C} - 80^\circ\text{C}$  范围内的各个工艺角下误差小于  $\pm 6\%$ 。

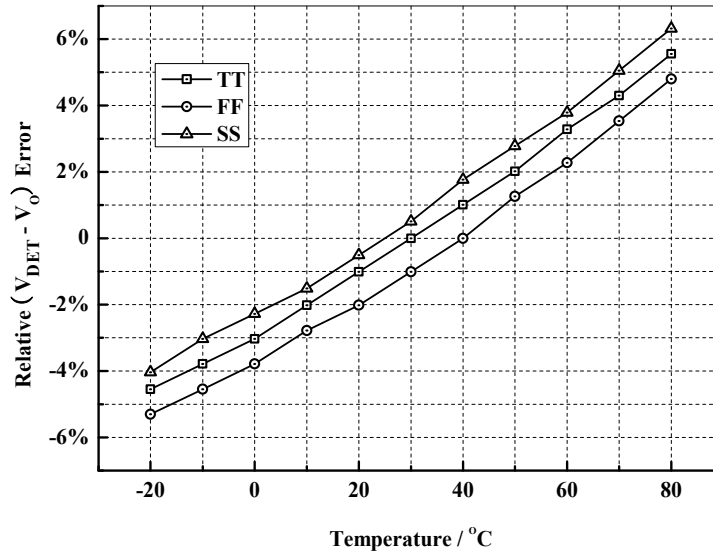


图 5.6  $V_{DET} - V_0$  随工艺和温度的变化

## 5.2 低失调比较器

### 5.2.1 性能指标及电路结构

系统要求比较器能在峰值检测器输入为  $-10\text{dBm}$  时, 对其输出电平做出判断。一般比较器的输入失调电压在  $20\text{mV}$  左右, 由图 5.3 可知由此造成的判断阈值的变化范围约为  $-5\text{dBm} \sim -20\text{dBm}$ , 会严重影响对载波消除程度的判断, 造成“假锁”(判断的阈值远高于  $-10\text{dBm}$ , LNA 输出的载波仍大于  $-10\text{dBm}$  时就停止校准)或者“不锁”(判断的阈值远低于  $-10\text{dBm}$ , 无论怎么校准都达不到要求)。因此, 为了保证能够比较准确地判断载波消除程度, 要求比较器的输入失调电压较小。

比较器的工作速度由反馈环路的响应时间决定, 包括数字控制电路、幅度相位调节电路、载波消除 LNA 的延时以及峰值检测器和比较器采样信号的建立时间, 其中峰值检测器的建立时间占主导因素, 约为  $50\text{ns}$ 。反馈环路的响应时间设定为  $100\text{ns}$ , 则比较周期为  $200\text{ns}$ , 对应的工作频率为  $5\text{MHz}$ 。

图 5.7 所示是比较器的结构图。这里采用自较零结构来降低输入失调电压, 同时采用全差分结构来降低 MOS 开关的沟道电荷注入及时钟馈通对精度的影响。在  $\phi_{la}$  和  $\phi_l$  周期, 预放大器被复位, 处于单位负反馈状态, 预放大器的输入失调电压被存储在

采样电容  $C_s$  上面。在  $\phi_2$  周期，输入信号电平和参考电平通过电容  $C_s$  被采样，而输入失调电压被  $\phi_1$  周期存储在电容  $C_s$  上的失调电压正好抵消。而由后级再生锁存器和 SR 锁存器引入的失调电压，由于被前级预放大器的放大倍数按比例缩小，可以忽略。因此，理想情况下，自较零比较器的输入失调电压可以降到很小。Latch 信号控制的开关在  $\phi_1$  周期周期关闭，使得再生锁存器对建立的信号进行再生放大，在  $\phi_2$  周期打开，使得再生锁存器复位，并对输入信号进行采样。这里  $\phi_{1a}$  信号比  $\phi_1$  信号稍微提前一些，是为了保证在  $S_1$  关闭之后再关闭  $S_2$ 。这样的话，当  $S_2$  关闭时，沟道电荷注入不会影响电容  $C_s$  上的电荷存储，因为此时  $S_1$  已经关闭，电容  $C_s$  的上极板处于开路状态。此后  $S_3$  开关闭合，电容  $C_s$  的下极板被接到一个确定的电平，而不会受之前  $S_2$  和  $S_3$  对电容  $C_s$  的电荷注入的影响。因此，这种情况下电路只受开关  $S_1$  沟道电荷注入的影响，而不受开关  $S_2$  和  $S_3$  的影响。

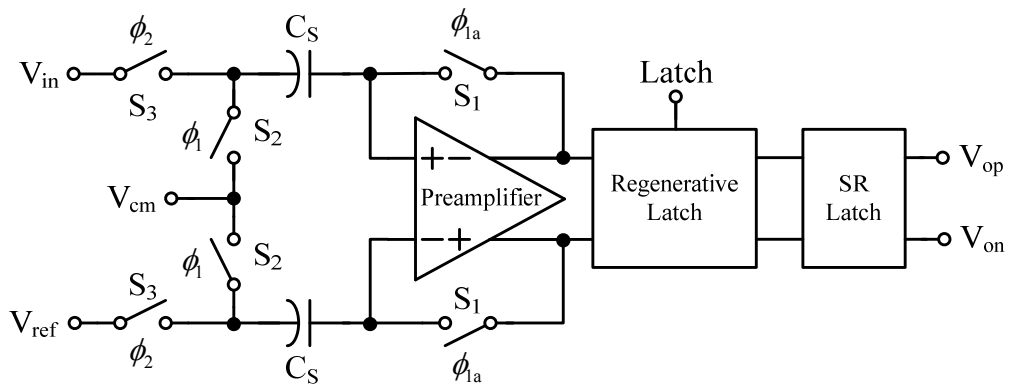


图 5.7 低失调比较器的结构图

## 5.2.2 比较器电路设计

电容  $C_s$  的容值越小，采样时间越短，速度越快，但是时钟馈通的影响也就越大。这里对速度要求不高，因此选取  $C_s = 2pF$ 。

$V_{cm}$  电平的值根据输入电平  $V_{in}$  和复位后预放大器输入端的电平  $V_{reset}$  决定。这是因为  $\phi_2$  周期内预放大器的输入端电压为  $V_{in} + V_{reset} - V_{cm}$ ，要保证  $-V_{TH,n} \leq V_{in} + V_{reset} - V_{cm} \leq V_{DD} + V_{TH,p}$  以防止  $S_1$  开关导通而漏电。选取  $V_{cm} = V_{reset}$ ，这样保证  $\phi_2$  周期内， $V_{in}$  或  $V_{ref}$  为轨到轨输入时  $S_1$  开关均不会导通，因此比较器的输入范围也能达到最大。

这里的开关均用 CMOS 互补开关实现，是因为 CMOS 结构可以降低导通电阻，抵消沟道电荷注入和时钟馈通。开关尺寸的选取也是在特定的导通电平情况下，沟道电荷注入、时钟馈通以及导通电阻的权衡。沟道电荷注入如等式(5.14)和(5.15)所示，和时钟馈通一样，均要求开关管的尺寸面积要小。

$$Q_{ch,n} = (W \cdot L)_n C_{OX} (V_{DD} - V_{in} - V_{TH,n}) \quad (5.14)$$

$$Q_{ch,p} = (W \cdot L)_p C_{OX} (V_{in} - V_{TH,p}) \quad (5.15)$$

导通电阻如等式(5.16)和(5.17)所示, 要求开关管的宽长比要大, 以降低采样的建立时间。一般来说, 开关管电阻和电容的  $RC$  时间常数取闭环运放带宽的 5~10 倍。

$$R_{on,n} = \frac{1}{\mu_n C_{OX} (W/L)_n (V_{DD} - V_{in} - V_{TH,n})} \quad (5.16)$$

$$R_{on,p} = \frac{1}{\mu_p C_{OX} (W/L)_p (V_{in} - V_{TH,p})} \quad (5.17)$$

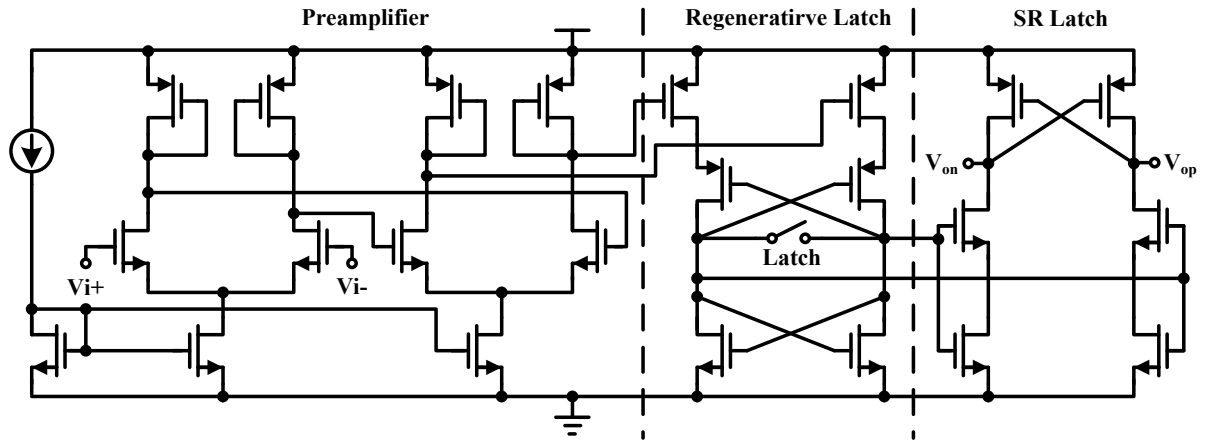


图 5.8 低失调比较器电路图

比较器的具体电路图如图 5.8 所示, 由三级电路组成: 预放大器, 再生锁存器和 SR 锁存器。预放大器将输入信号放大到一定的幅度, 再通过锁存器再生达到满幅输出, SR 锁存器使输出信号在一个周期内保持不变。这一结构能够达到高速, 是因为预放大器的阶跃响应是负指数函数, 输出信号建立的前段时间的斜率比较大; 而锁存器的阶跃响应是正指数函数, 输出信号建立的后段时间的斜率比较大。如图 5.9 所示, 我们可以分别利用这两条曲线中斜率较大的一段, 使得信号建立的时间比单独用放大器或者锁存器都要快。

预放大器用二极管连接的 PMOS 管做负载, 以增益换取带宽。对于单级放大器而言, 其直流增益为:

$$A_{V0} = \frac{g_{m,n}}{g_{m,p}} = \frac{\sqrt{2\mu_n C_{OX} \left(\frac{W}{L}\right)_n I_D}}{\sqrt{2\mu_p C_{OX} \left(\frac{W}{L}\right)_p I_D}} = \sqrt{\frac{\mu_n}{\mu_p} \cdot \left(\frac{W}{L}\right)_n \left(\frac{W}{L}\right)_p} \quad (5.18)$$

带宽为:

$$\omega_{-3} = \frac{g_{m,p}}{C_{out}} = \frac{g_{m,p}}{C_L + C_{gd,n} + C_{gs,p} + C_{gd,p} + C_{db,n} + C_{db,p}} \approx \frac{g_{m,p}}{C_L + C_{gd,n} + C_{gs,p}} \quad (5.19)$$

则其阶跃响应为

$$V_o(t) = A_{V0} (1 - e^{-t/\tau_p}) V_i \quad (5.20)$$

其中时间常数  $\tau_p = 1/\omega_{-3}$ 。

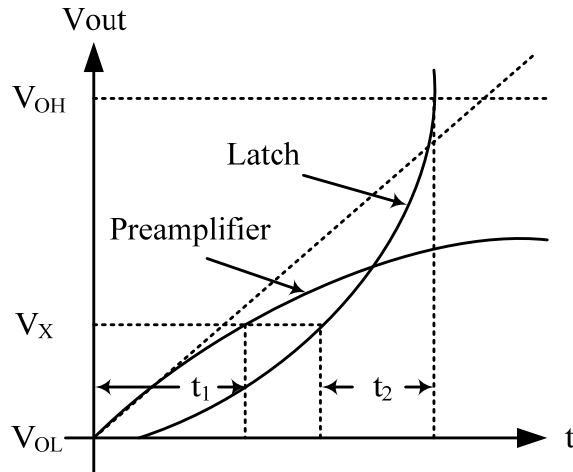


图 5.9 预放大器和锁存器的阶跃响应

直流增益由 NMOS 管和 PMOS 管尺寸之比决定，为了有效抑制锁存器的失调电压影响，将预放大器的直流增益确定为  $20dB$ ，此时如果用单级预放大器实现，NMOS 管进入亚阈值区，导致实际直流增益远小于理论值，因此考虑用两级相同的放大器级联实现，这样也能在相同的功耗下得到较单级放大器更高的带宽。其传递函数为：

$$A(s) = \frac{A_{V0}^2}{(1 + s/\omega_{-3})^2} \approx \frac{A_{V0}^2}{1 + 2s/\omega_{-3}} \quad (5.21)$$

由于预放大器在复位时成单位负反馈连接，因此也要考虑此时环路的稳定性。此时放大器的主极点和第二极点分别为  $p_d = g_{m,p} / (C_s + C_{gd,n} + C_{gs,p})$  和  $p_{nd} = g_{m,p} / (C_{gd,n} + C_{gs,p})$ ，单位增益带宽为  $GBW = 10 \cdot p_d$ 。由于  $C_s = 2pF$ ，只要  $C_{gd,n} + C_{gs,p} \leq 100fF$ ，就可以保证  $p_{nd} \geq 2GBW$ ，从而有  $63^\circ$  的相位裕度。而输入输出共模点相同，取为  $1V$ 。每一级放大器的工作电流为  $100\mu A$ 。图 5.10 给出了两级预放大器的频响曲线，直流增益  $A_0 = 22.7dB$ ，单位增益带宽  $GBW = 240MHz$ ，相位裕度  $PM = 65^\circ$ 。

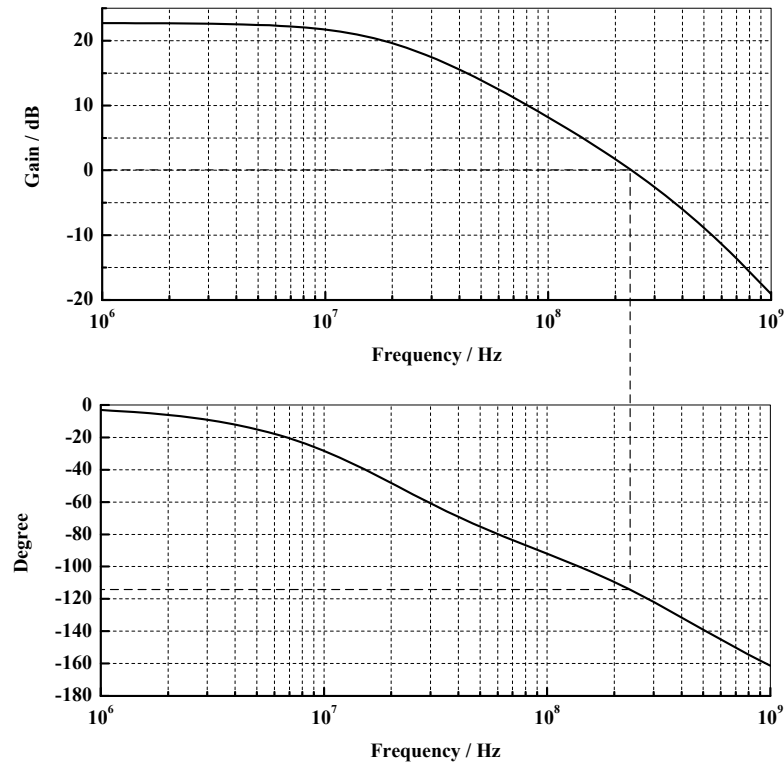


图 5.10 预放大器的频响曲线

再生锁存器分两个工作状态，当 Latch 开关关闭时，锁存器输出复位，同时预放大器采样的输入信号经放大后存储在 PMOS 交叉耦合管的源端；当 Latch 开关打开时，NMOS 和 PMOS 互补交叉耦合管将 PMOS 交叉耦合管的源端的电压差进行再生放大，其时域响应可以表示为：

$$\Delta V_o(t) = e^{t/\tau_L} \Delta V_i \quad (5.22)$$

其中  $\Delta V_i$  为交叉耦合再生管的初始电压差，而时间常数为<sup>[42]</sup>：

$$\tau_L = 0.67 C_{ox} \sqrt{\frac{WL^3}{2K'I}} \quad (5.23)$$

其中  $K'$  为常数，可见锁存器的响应时间强烈依赖于 MOS 管的沟道长度。这里速度要求不高，失调电压要求较高，因此这里交叉耦合管的沟道长度取  $L = 0.35 \mu m$  以增大管子面积。锁存器顶端的两个 PMOS 管的尺寸决定了锁存器的静态功耗，尺寸越大，功耗越大，跨导越大，交叉耦合再生管的初始电压差  $\Delta V_i$  也越大。

在 SR 锁存器中，NMOS 串联形成输入管，是为了减弱 NMOS 管的跨导能力，增大 SR 锁存器翻转的阈值电压，使得再生锁存器在复位状态时，SR 锁存器的输出不会发生变化。



### 5.2.3 非交叠时钟发生器设计

自较零比较器的正常工作需要开关信号为非交叠双向时钟并有一定的时序。在时钟产生模块的设计中，主要考虑以下几点：

- (1)  $\phi_1$  和  $\phi_2$  时钟不交叠；
- (2)  $\phi_{1a}$  较  $\phi_1$  先变低，以使  $S_2$  和  $S_3$  的电荷注入不对电路造成影响；
- (3) Latch 先变低后  $\phi_{1a}$  再变高，避免锁存器再生的初始电平受预放大器复位的影响。

如图 5.11 所示是比较器的非交叠时钟发生器。电路主要分为两部分：第一部分是利用各级倒相器的传输延时和与非门的反馈通路生成非交叠的双相时钟；第二部分则是通过多级倒相器逐渐增大驱动能力，最终驱动各 MOS 开关管。

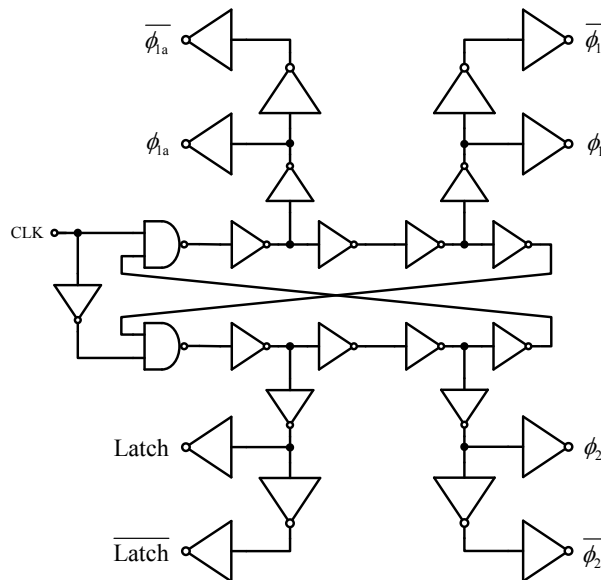


图 5.11 非交叠时钟发生器

双相时钟的非交叠程度由反馈回路中倒相器的传输延时和倒相器的个数决定。倒相器的输出延时时间常数可以用开关级 RC 延迟模型估算为<sup>[43]</sup>：

$$\tau = \frac{L^2}{\mu(V_{GS} - V_{TH})} \quad (5.24)$$

可见，倒相器的输出延时由沟道长度决定，而与沟道宽度无关。但是，增大倒相器的沟道宽度，可以减小倒相器的上升和下降时间，同时驱动能力也更大。仿真可知，沟道长度  $L = 1.3\mu m$  时，单个倒相器的传输延时约为  $0.75nS$ 。对于  $5MHz$  的工作频率，我们可以将非交叠程度设定为  $3ns$ ，则反馈回路中需要四级倒相器。为保证上升时间和下降时间相等，倒相器中 NMOS 和 PMOS 的宽长比之比为  $1:6$ 。

根据前面考虑的各开关信号的相位和时序，从反馈回路相应的节点选择所需的开关信号。为了保证开关信号在驱动开关 MOS 管时有陡峭的上升沿和下降沿，在节点后逐级增大倒相器的尺寸来增大驱动能力。图 5.12 给出了非交叠时钟信号的版图后仿真结果，为了清楚地看出非交叠程度和各个信号的时序，仿真时钟的频率设为  $20\text{MHz}$ 。

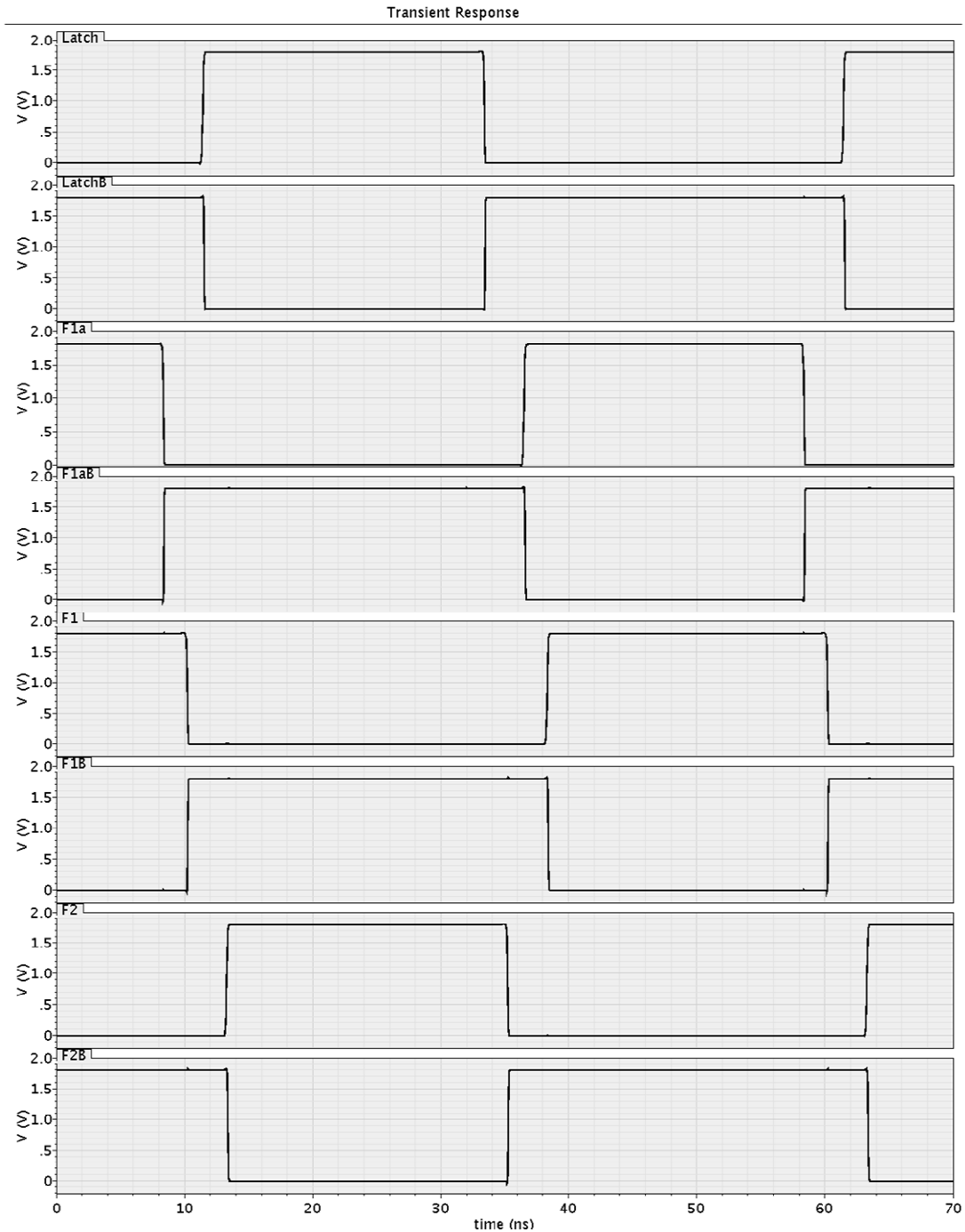


图 5.12 非交叠时钟信号的版图后仿

## 5.2.4 版图设计及后仿

### 5.2.4.1 前仿结果

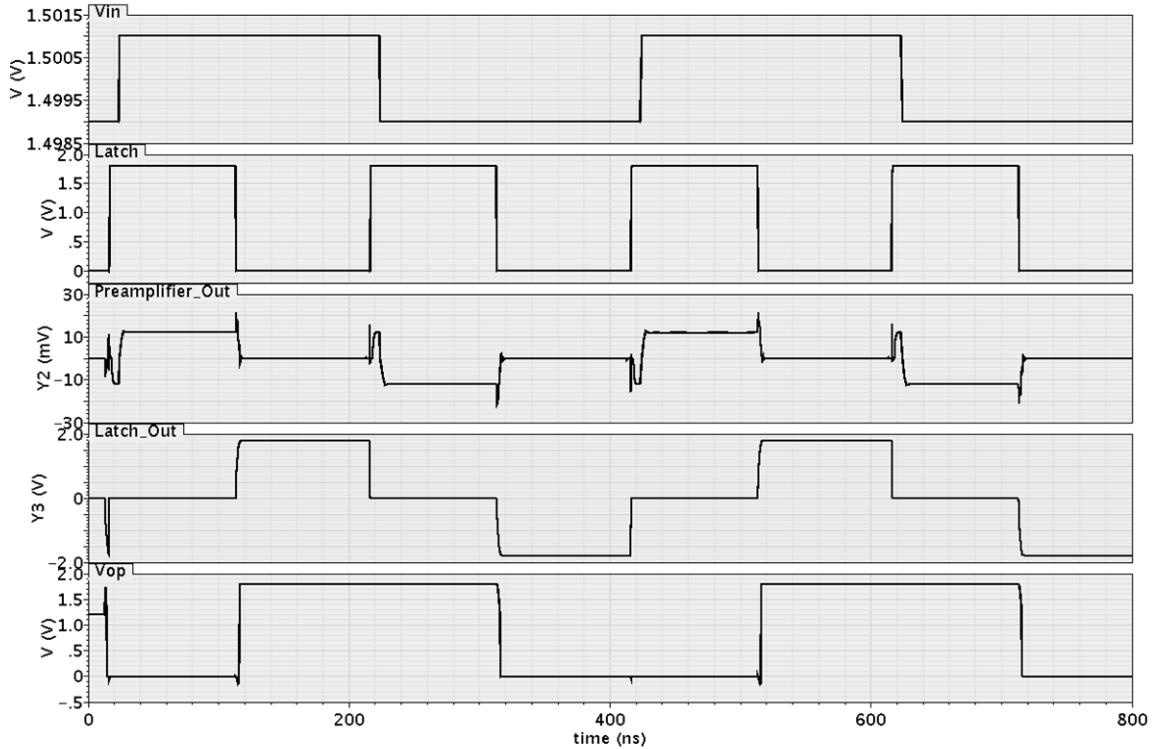


图 5.13 5MHz 时比较器各节点的仿真电压

图 5.13 给出了比较器在工作时各节点电压的仿真波形，从上往下依次是输入电压、Latch 开关信号、预放大器输出电压、再生锁存器输出电压和比较器输出电压。仿真时的参考电压  $V_{ref} = 1.5V$ ，输入电压  $V_{in} = V_{ref} \pm 1mV$ ，时钟频率为  $5MHz$ ，平均功耗为  $750\mu W$ ，其中时钟产生电路的平均功耗为  $56\mu W$ 。输入失调电压仿真时，设定比较器所有差分对管的宽长比偏差为 10%，采样电容面积也偏差 10%，仿真得到输入失调电压  $V_{offset} = 2.7mV$ 。

仿真结果表明，对于奈奎斯特频率的输入信号，该比较器可以工作到  $80MHz$  的频率，并且输入失调电平为  $3mV$ （仿真条件同上），如图 5.14 所示。此时的工作频率受开关信号的限制，对于  $80MHz$  以上的频率，时钟发生器无法正常工作。然而，适当减小时钟的非交叠程度，可以提高时钟发生器的工作频率上限。

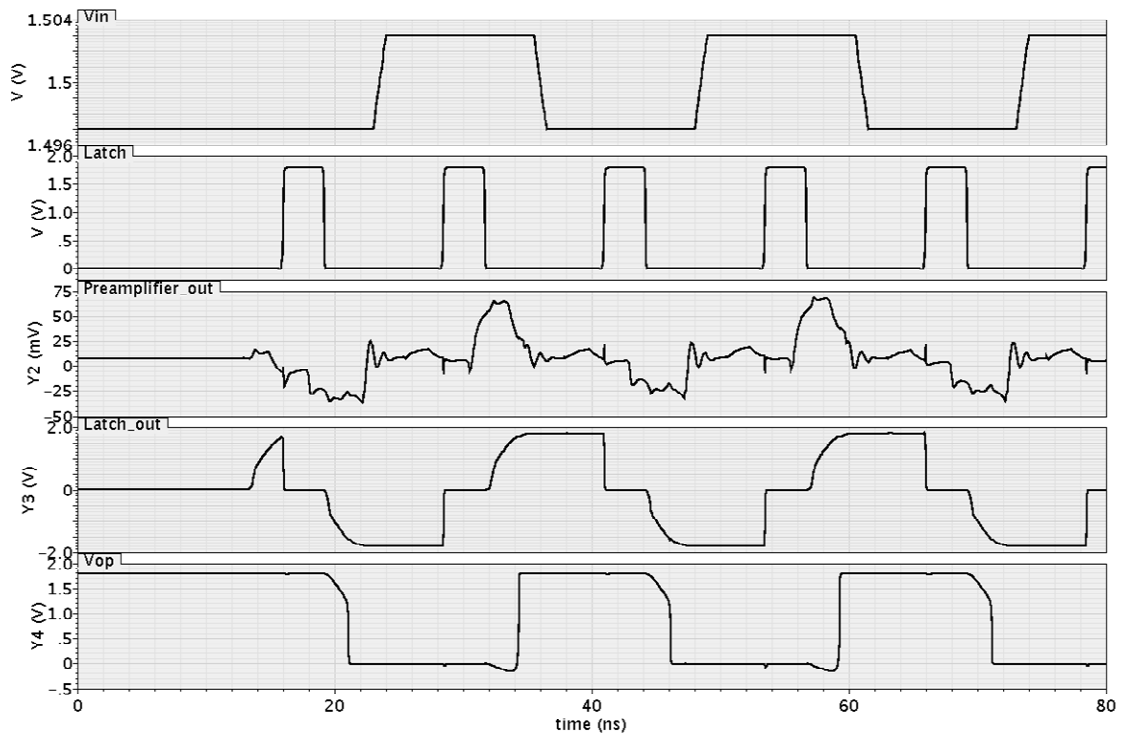


图 5.14 80MHz 时比较器各节点的仿真电压

#### 5.2.4.2 版图后仿结果

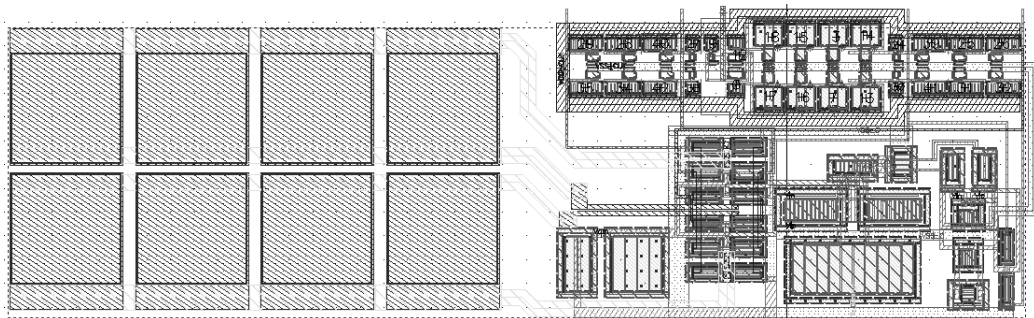


图 5.15 低失调比较器版图

图 5.15 是低失调比较器及非交叠时钟发生器的版图。后仿时的参考电压  $V_{ref} = 1.5V$ ，时钟频率为  $5MHz$ ，仿真得到的失调电平为  $4.5mV$ ，平均功耗为  $810\mu W$ ，其中时钟产生电路的平均功耗为  $58\mu W$ 。图 5.16 给出了此时输入电平、Latch 电平及输出电平的仿真曲线。

当时钟频率为  $80MHz$ ，输入信号变化频率为  $40MHz$  时，仿真得到的失调电平仍为  $4.5mV$ ，平均功耗为  $1.7mW$ ，其中时钟产生电路的平均功耗为  $915\mu W$ 。图 5.17 给出了此时输入电平、Latch 电平及输出电平的仿真曲线。

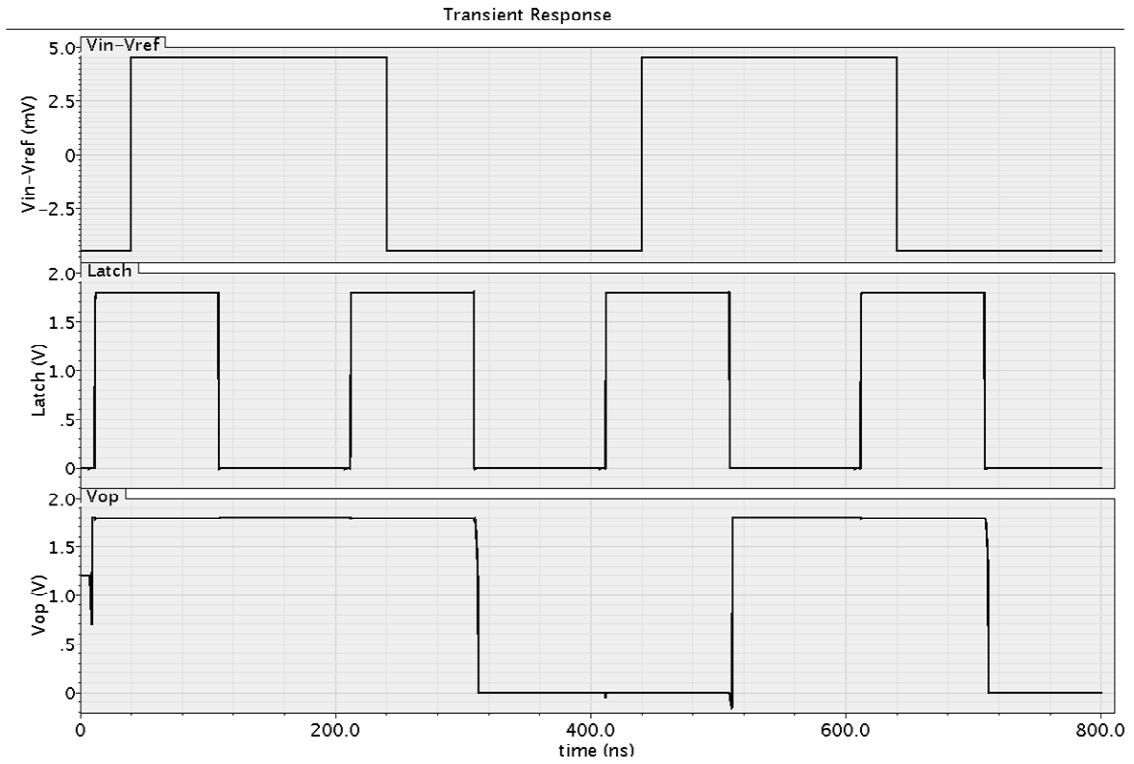


图 5.16 5MHz 时比较器的后仿结果

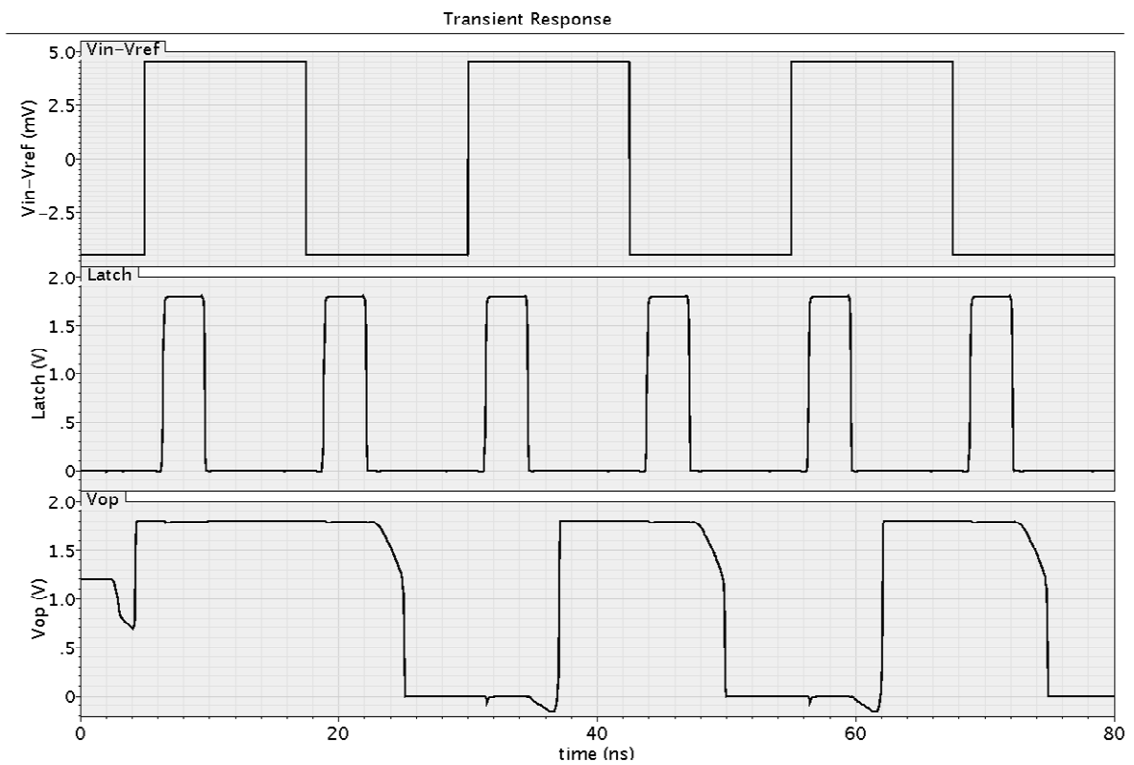


图 5.17 80MHz 时比较器的后仿结果

### 5.3 射频前端的系统仿真

射频前端的性能受载波消除程度的影响，载波越大，性能越差。因此，在系统仿真中的载波泄漏均取可能的最大值，为 $5dBm$ 。射频前端链路的系统仿真包括了载波消除 LNA、缓冲器和正交下变频混频器。载波消除 LNA 一端的输入信号为接收到的射频信号与 $5dBm$ 、 $900MHz$ 的载波信号的叠加，而另一端输入的载波抵消信号与载波信号同频，但幅度差 $40mV$ ，相位差 $3^\circ$ 。

图 5.18 给出了混频器正交两路输出的瞬态波形，其中的高频分量主要在 $1.8GHz$ ，是 $900MHz$ 载波与 $900MHz$ 本振信号上混频产生，在后级电路中被衰减。正交两路存在一定的直流失调电平，主要是 $900MHz$ 载波与 $900MHz$ 本振信号下混频产生，并且其大小与载波和本振信号之间的相对相位有关。直流失调是混频器中常见的问题，由后级直流失调消除电路进行消除。

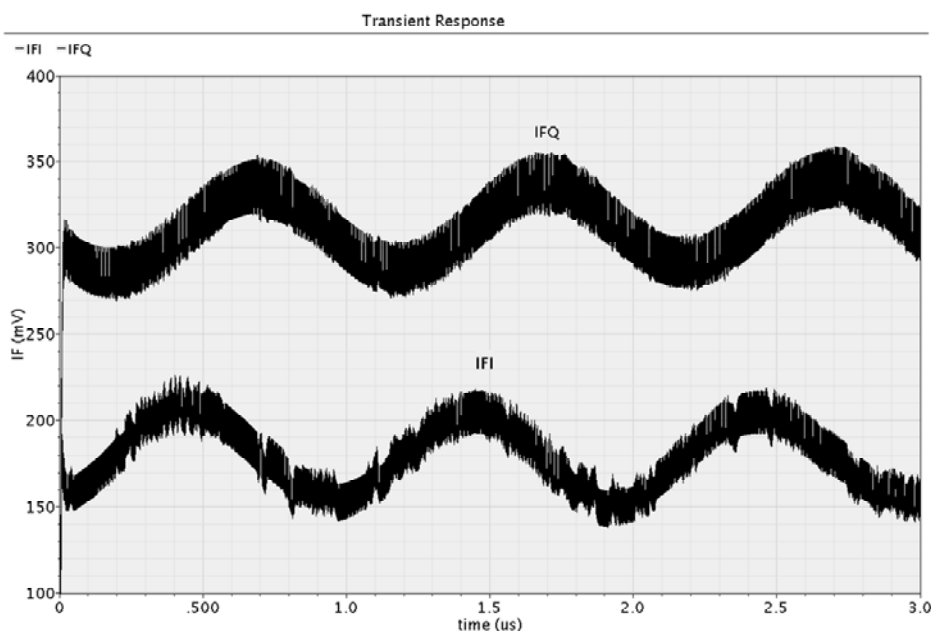


图 5.18 正交两路中频信号波形

图 5.19、图 5.20 给出了射频前端  $1dB$  压缩点、NF、IIP3 和 IIP2 的仿真性能，表 5.1 则总结了各工艺角下射频前端的仿真性能。由表 5.1 可知，在系统设定的载波抵消精度下，射频前端有着较好的仿真性能，主要体现在噪声较低， $11dB$  的噪声系数理论上可以使读写器的灵敏度达到 $-80dBm$  以下；较高的线性度，增强了接收机在多读写器环境下的抗干扰能力；以及较低的功耗。可见，本文提出的载波消除射频前端能从根本上解决载波泄漏对线性度的限制，并较无源混频器系统架构有着更好的灵敏度，是在标准 CMOS 工艺下实现低成本、全集成读写器的行之有效的方案。

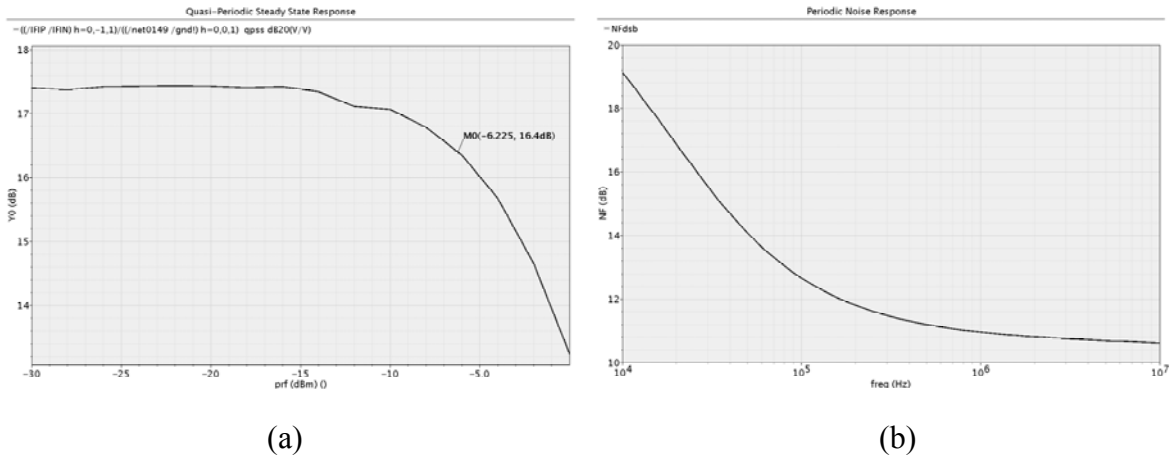


图 5.19 射频前端的仿真性能：(a)CG 及 1dB 压缩点；(b) DSB NF

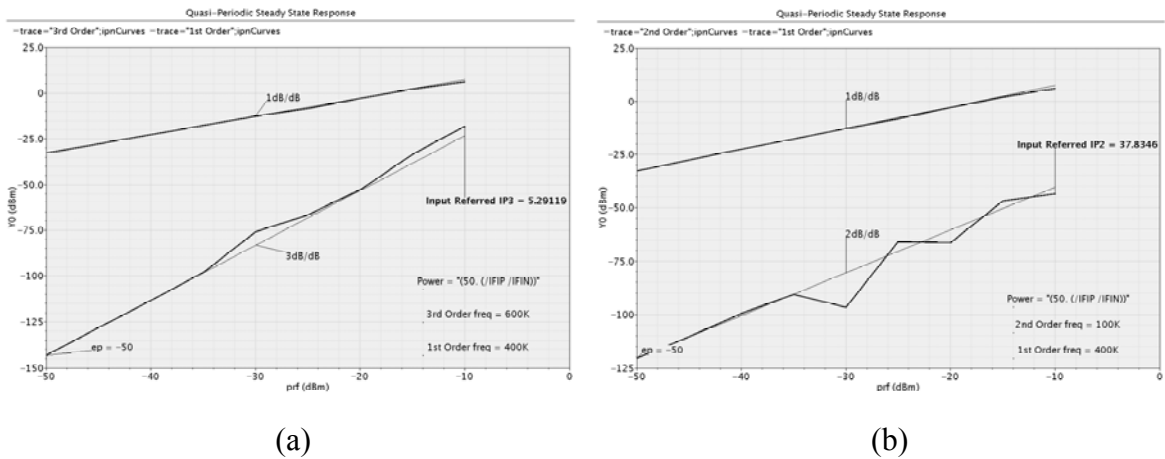


图 5.20 射频前端的仿真线性度：(a) IIP3；(b) IIP2

表 5.1 射频前端仿真性能总结

	CG / dB	1dB CP / dBm	NF <sub>DSB</sub> / dB	IIP3 / dBm	IIP2 / dBm	Power / mW
<b>TT</b>	17.4	-6.2	11	5.3	40	23
<b>FF</b>	11	-2.5	12.7	7.2	62	25
<b>SS</b>	17.3	-5.9	10.6	5.2	45	22

图 5.21 是读写器接收机载波消除射频前端和检测电路的版图。版图布局基本按照信号走线来安排，并尽量缩短一些关键信号的走线，譬如高频信号、电源线等，以减小长走线造成的寄生电容和电感。在版图的空余部分填充 MOS 管电容或者交叠金属层电容，连接在电源和地线之间进行退耦。在空间允许的条件下加入多个地线 pad，一方面可以减小地线噪声耦合，一方面可以对关键信号的 pad 进行 GSG 隔离。

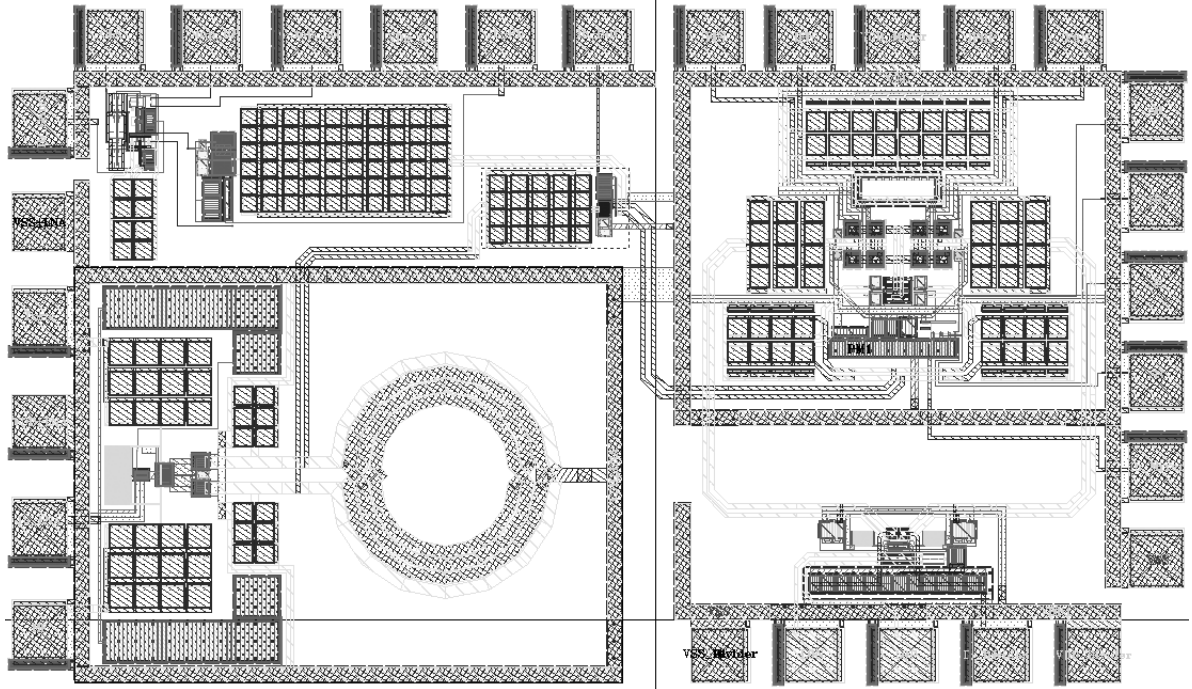


图 5.21 读写器接收机载波消除射频前端和检测电路的版图



## 第六章 总结与展望

### 6.1 总结

本文基于 EPC Global Class-1 Gen-2 协议对 UHF RFID 读写器射频前端进行了研究与设计，重点在于处理本振载波泄漏给接收机前端设计提出的技术难点。主要工作总结如下：

第一，详细分析了 UHF RFID 系统中  $T \Rightarrow R$  链路的数据特征，并对 UHF RFID 系统的信道进行了定量分析，据此制定了读写器接收机的性能指标；

第二，对读写器接收机前端的载波泄漏进行了定量的分析，并分析了该载波泄漏对接收机射频前端设计提出的困难和挑战。提出了载波消除射频前端的解决方案，并对该前端系统进行了架构分析和指标计算；

第三，对读写器接收机载波消除射频前端的主要模块进行了电路和版图设计，包括载波消除 LNA、缓冲器、正交下变频混频器、峰值检测器和低失调比较器。并对整个射频前端链路进行了电路级的仿真，结果表明该结构达到并超过了系统指标，验证了该结构作为低成本、全集成读写器前端的可行性。

第四，在载波消除 LNA 的设计中解决了处理大信号及抑制共模增益的问题，并详细介绍了带中心抽头差分电感的建模、设计、仿真及拟合，对提高电感品质因素提出了一些设计准则。

第五，对有源混频器的设计与实现进行了详细的讨论。对 Gilbert 单元进行了详细的性能分析，总结出了基于 Gilbert 单元的有源混频器的设计准则；对正交下变频混频器共用跨导级结构的性能进行了详细的讨论，分析了其较传统结构的性能优势；同时对采用 MGTR 技术提高混频器的线性度和采用寄生垂直 NPN Bipolar 管降低混频器的闪烁噪声也进行了原理分析和电路实现。最后，详细讨论了混频器的测试，并给出了测试结果的分析。

第六，分析并设计了载波消除检测电路的模块：分析了亚阈值 MOS 管峰值检测器的原理，并进行了电路实现；用自较零技术设计了低失调比较器，用于作为载波消除程度的判断。

本文针对载波泄漏的问题，提出了载波消除射频前端的系统架构，研究和实现了完整的射频及检测链路，并通过了仿真验证，是高性能、全集成超高频读写器的重要组成部分。

## 6.2 展望

随着 RFID 应用的日益广泛,对读写器的成本、便携性及性能等要求也越来越高,使得用标准 CMOS 工艺实现单芯片读写器成为必然趋势。本文针对 UHF RFID 读写器特有的载波泄漏问题进行了积极的探索和研究,取得了一些成绩,但仍有待继续及改进之处:

第一,作为对新结构的一种尝试,在第一版中只对载波消除前端的射频模块和检测电路进行了实现,在测试的时候用信号发生器产生的信号模拟载波抵消信号,来考察载波信号消除程度对前端电路性能的影响,并在测试中验证和寻求一个适中的载波消除精度(即相位和幅度偏差的最大范围)。因此,在第二版的设计中,会根据第一版的测试结果,修改其中一些模块存在的问题,并根据测试得到的载波消除精度设计合适的调幅和调相电路,利用差分正交输出的四路本振信号得到符合精度要求的载波抵消信号。在实现调幅和调相电路的同时,也要考虑相应的反馈控制电路的设计。第一种方法可以用计数器控制调幅和调相电路的控制位,使其遍历各个调节步长直至载波消除 LNA 输出达到要求,这个算法实现简单,但锁定时间可能较长;第二种方法可以先通过延时锁定环路(DLL)将抵消信号和泄漏的载波信号的相位对准在一定误差内,再通过数字控制位调节抵消信号的幅度增益,这种方法电路实现相对复杂,但锁定时间可以加快;也可以对抵消结果进行量化判断,以加快锁定。初步预算表明,反馈控制电路工作在  $5\text{MHz}$ ,第一种实现方法要达到  $40\text{mV}$  的幅度精度和  $3^\circ$  的相位精度,最长锁定时间大约为  $1\text{ms}$ ,这对读写器的工作基本不会造成影响。

第二,在正交下变频混频器的设计中,寄生垂直 NPN BJT 调用的是 SMIC  $0.18\mu\text{m}$  工艺中提供的版图,该版图的发射极是用一个方块实现,该结构在发射极面积较大时,会增大基极寄生串联电阻,从而加大其热噪声贡献。后续工作中可以采用如图 4.14 所示的多指结构及[36]中提出的 poly 隔离的结构来进一步改善 BJT 的噪声性能。

第三,这里较少考虑了峰值检测器和比较器判断阈值随工艺和温度的变化,实际情况中,判断的阈值电压可能会有偏差,就有可能使得我们设计的抵消信号调节精度达不到判断阈值,载波消除无法达到。因此,考虑到温度和工艺的影响,我们所取的调节精度应稍高于理论值,以确保电路在各个工艺角和温度下都有锁定点。

## 附录 A 标签天线散射能量与入射能量的比值

我们定义  $P_{tot}$  为标签天线接收到的总能量， $P_{load}$  为天线传输到标签芯片中的能量， $P_{loss}$  为标签天线消耗的能量， $P_{sc}$  为标签天线散射的能量， $P_{opt}$  为阻抗共轭匹配时标签天线传输到芯片中的能量。则有：

$$P_{tot} = P_{load} + P_{loss} + P_{sc} = 2P_{opt} \quad (1)$$

并且，标签天线的辐射效率(Radiation Efficiency)为：

$$\eta = \frac{P_{sc}}{P_{sc} + P_{loss}} \quad (2)$$

假设标签天线和芯片之间的反射系数为  $S_{11}$ ，则有

$$P_{load} = (1 - S_{11}^2)P_{opt} \quad (3)$$

假设标签芯片的辐射效率为 70%，反射系数  $S_{11} = -10dB = 0.316$ ，则由等式(2)、(3)得：

$$P_{loss} = \frac{3}{7}P_{sc} \quad (4)$$

$$P_{load} = (1 - 0.316^2)P_{opt} = 0.45P_{tot} \quad (5)$$

由等式(1)、(4)、(5)可以得到：

$$P_{sc} = 0.385P_{tot} \quad (6)$$

当然，这里假设的标签天线性能高于一般天线的水平，因此，在实际应用中，要留有适当裕度，标签散射能量与入射能量的比值要小于 0.385。在 UHF RFID 系统中，典型值为 0.2。

## 参考文献

- [1] Klaus Finkenzeller. 射频识别(RFID)技术——无线电感应的应答器和非接触 IC 卡的原理与应用[M]. 北京: 电子工业出版社, 2001: 6.
- [2] ISO/IEC. Information technology – Radio frequency identification for item management – Part 6: Parameters for air interface communications at 860MHz to 960MHz[EB/OL].: [http://www.iso.org/iso/iso\\_catalogue/catalogue\\_tc/catalogue\\_detail.htm?csnumber=34117](http://www.iso.org/iso/iso_catalogue/catalogue_tc/catalogue_detail.htm?csnumber=34117), 2004-8-31:
- [3] EPCglobal Inc.. EPC™ Radio-Frequency Identity Protocols: Class-1 Generation-2 UHF RFID Protocol for Communications at 860MHz–960MHz (Version 1.1.0) [EB/OL].: <http://www.epcglobalinc.org/standards/uhfclg2>, 2007-10-17:
- [4] EPCglobal Inc.. Tag Class Definitions as updated by EPCglobal 1-November 2007 [EB/OL].: [http://www.epcglobalinc.org/standards/TagClassDefinitions\\_1\\_0-whitepaper-20071101.pdf](http://www.epcglobalinc.org/standards/TagClassDefinitions_1_0-whitepaper-20071101.pdf), 2007-11-1:
- [5] 朱秀贞. 全球 UHF RFID 频率最新发展状况[J]. 物流技术与战略, 2006, (23): 43-46.
- [6] I. Kipnis. A 900MHz UHF RFID Reader Transceiver IC [A]. 2007 IEEE International Solid-State Circuits Conference [C], San Francisco, 2007: 214-215.
- [7] I. Kwon. A Single-Chip CMOS Transceiver for UHF Mobile RFID Reader [A]. 2007 IEEE International Solid-State Circuits Conference [C], San Francisco, 2007: 216-217.
- [8] A. Safarian. An Integrated RFID Reader [A]. 2007 IEEE International Solid-State Circuits Conference [C], San Francisco, 2007: 218-219.
- [9] 谈熙. 关于中国 RFID 系统频率规划及与其他无线通信系统间互扰的系统仿真报告, 设计文档.
- [10] 韩益锋. 射频识别读写器的研究与设计[D]. 上海: 复旦大学, 2005:
- [11] Bernard Sklar. 数字通信——基础与应用 (第二版) [M]. 北京: 电子工业出版社, 2002: 161.
- [12] Mini-Circuits.DBTC-7-152+[EB/OL].: <http://www.minicircuits.com/pdfs/DBTC-7-152+.pdf>, 2007-6-21:
- [13] M/A-COM.MAFRIN0494[EB/OL].: <http://www.macom.com/DataSheets/MAFRIN0494.pdf>
- [14] Thomas H. Lee. CMOS 射频集成电路设计 (第二版) [M]. 北京: 电子工业出版社, 2005: 380.

- [15] Federico Bruccoleri. Wide-Band CMOS Low-Noise Amplifier Exploiting Thermal Noise Canceling [J]. IEEE Journal of Solid-State Circuits, 2004, 39(2): 275-282.
- [16] 廖友春. 一种用于电视调谐器的宽带 CMOS 低噪声放大器设计[J]. 半导体学报, 2006, 27(11): 2029-2034.
- [17] 唐长文. 电感电容压控振荡器[D]. 上海: 复旦大学, 2004:
- [18] 卢垒. 中心抽头差分电感的等效模型和参数提取[J]. 半导体学报, 2006, 27(12): 2150-2154.
- [19] Emmanouil Terrovitis. Analysis and Design of Current-Commutating CMOS Mixers[D]. University of California at Berkeley, 2001:
- [20] Willy M. C. Sansen. Analog Design Essentials [M]. Netherlands: Springer, 2006: 25.
- [21] Manolis T. Terrovitis. Noise in Current-Commutating CMOS Mixers [J]. IEEE Journal of Solid-State Circuits, 1999, 34(6): 772-783.
- [22] Jeonghoon Kim. Analysis Techniques and Modeling for Noise and Distortion of CMOS Down-Conversion Mixers [D]. Arizona State University, 2004:
- [23] Hooman Darabi. Noise in RF-CMOS Mixers: A Simple Physical Model [J]. IEEE Journal of Solid-State Circuits, 2000, 35(1): 15-25.
- [24] Hooman Darabi. A Noise Cancellation Technique in Active RF-CMOS Mixers [J]. IEEE Journal of Solid-State Circuits, 2005, 40(2): 2628-2632.
- [25] Manolis T. Terrovitis. Intermodulation Distortion in Current-Commutating CMOS Mixers [J]. IEEE Journal of Solid-State Circuits, 2000, 35(10): 1461-1473.
- [26] Danilo Manstretta. Second-Order Intermodulation Mechanisms in CMOS Downconverters [J]. IEEE Journal of Solid-State Circuits, 2003, 38(3): 394-406.
- [27] Jackson Harvey. An Integrated Quadrature Mixer with Improved Image Rejection at Low Voltage [A]. Fourteenth International Conference on VLSI Design [C], Bangalore, 2001: 269-273.
- [28] Jackson Harvey. Analysis and Design of an Integrated Quadrature Mixer with Improved Noise, Gain, and Image Rejection [A]. The 2001 IEEE International Symposium on Circuits and Systems [C], Sydney, 2001: 786-789.
- [29] Ronghu Ni. Analysis and Design of a Quadrature Down-Conversion Mixer for UHF RFID Readers [J]. Chinese Journal of Semiconductors, 2008, accepted for publication.
- [30] Behzad Razavi. 射频微电子[M]. 北京: 清华大学出版社, 2003: 143.
- [31] Bonkee Kim. Highly Linear CMOS RF MMIC Amplifier Using Multiple Gated Transistors and its Volterra Series Analysis [A]. 2001 IEEE MTT-S International Microwave Symposium Digest [C], Phoenix, 2001: 515-518.

- [32] Tae Wook Kim. A Low-Power Highly Linear Cascoded Multiple-Gated Transistor CMOS RF Amplifier With 10dB IIP3 Improvement (Revised) [J]. IEEE Microwave and Wireless Components Letters, 2003, 13(9): 420-422.
- [33] Tae Wook Kim. Highly Linear Receiver Front-end Adopting MOSFET Transconductance Linearization by Multiple Gated Transistors [J]. IEEE Journal of Solid-State Circuits, 2004, 39(1): 223-229.
- [34] M. T. Yang. Characterization and Model of On-Chip Flicker Noise With Deep-Nwell (DNW) Isolation for 30nm and Beyond SOC [A]. Proceedings of the 2005 International Conference on Microelectronic Test Structures [C], Leuven, 2005: 125-129.
- [35] Ilku Nam. High-Performance RF Mixer and Operational Amplifier BiCMOS Circuits Using Parasitic Vertical Bipolar Transistor in CMOS Technology [J]. IEEE Journal of Solid-State Circuits, 2005, 40(2): 392-402.
- [36] Jedon Kim. High Performance NPN BJTs in Standard CMOS Process for GSM Transceiver and DVB-H Tuner [A]. 2006 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium [C], San Francisco, 2006: 11-13.
- [37] Texas Instruments. OPA2692 [EB/OL]. : <http://focus.ti.com.cn/cn/docs/prod/folders/print/opa3692.html>, 2006-6-20:
- [38] Eric A. M. Klumperink. A CMOS Switched Transconductor Mixer [J]. IEEE Journal of Solid-State Circuits, 2004, 39(8): 1231-1240.
- [39] Vojkan Vidojkovic. A Low-Voltage Folded-Switching Mixer in 0.18-um CMOS [J]. IEEE Journal of Solid-State Circuits, 2005, 40(6): 1259-1264.
- [40] Lu Liu. Analysis and Design of a Low-Voltage RF CMOS Mixer [J]. IEEE Transactions on Circuits and Systems -- II: Express Briefs, 2006. 53(3): 212-216.
- [41] Robert G. Meyer. Low-Power Monolithic RF Peak Detector Analysis [J]. IEEE Journal of Solid-State Circuits, 1995, 30(1): 65-67.
- [42] Phillip E. Allen. CMOS 模拟电路设计(第二版) [M]. 北京: 电子工业出版社, 2005: 477.
- [43] Neil H. E. Weste. CMOS 超大规模集成电路设计(第三版) [M]. 北京: 中国电力出版社, 2006: 86.

## 致谢

值此论文完成之际，我也在复旦顺利完成了七年的学业。这七年的收获使我获益一生，在此我要深深感谢所有帮助过我的老师、家人和朋友。

首先要感谢我的导师闵昊教授，他深厚的学术功底、敏锐的洞察力和严谨的治学精神深深地感染和激励着我，帮助我在科研的道路上不断前进；生活中，他朴实的作风和平易近人的态度也深深影响着我，使我懂得了很多做人的道理。深深地感谢闵昊老师，并希望在以后的道路上也能一直接受您的教导。

感谢为芯片提供流片服务的中芯国际（SMIC）的杨立吾、多新中等人的帮助和芯片测试中安捷伦上海有限公司的胡海洋、卢宏亮等人的帮助。

同时，我要感谢我们实验室这个大家庭，为我的成长提供了一个欢乐融洽的大环境。感谢王俊宇老师给予我的科研和工作上的帮助，感谢唐长文老师给予我的专业上的指导，感谢闫娜老师和谈熙师兄不厌其烦地为我解答各种问题，正是他们无私的精神和卓越的能力带领我们实验室一直前进。感谢刚进实验室时李强、韩益锋和菅洪彦师兄给我的指引。还要感谢太多的人，高配君、何艳、巫建明、刘园、黄晨灵、奚经天、徐琮辉这些师兄师姐都给予过我关心和帮助；车文毅、蒋波伟、金黎明、袁路、田佳音、施汝杰，我们在同一个班集体和实验室里成长，有很多快乐，也是一种缘分；还有实验室活泼可爱的师弟师妹们，杨玉庆、王肖、周嘉业、孙立崇、晏鹏、张诚、周春源、赵薇、柴路等，你们活泼的性格和新颖的思想深深地影响和感染了我，祝你们学业有成、永远快乐！

父母对我的支持和关爱是无法衡量和偿还的。他们不但养育了我，还教导我、支持我，使我在成长的道路上始终有避风的港湾。我的每一个成功就是对他们最好的回报，因此我会一直努力的。

最后，要感谢我的丈夫徐敏，相识的四年来，是他一直包容我，鼓励我。我们一起承担艰难困苦，一起规划未来，这种携手并进的感觉给了我勇气和动力，也让我觉得生活的美好与值得。

谨以此文献给我的父母和丈夫。

倪熔华  
2008-5-5  
复旦大学

## 论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外,不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名: \_\_\_\_\_ 日期: \_\_\_\_\_

## 论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定,即:学校有权保留送交论文的复印件,允许论文被查阅和借阅;学校可以公布论文的全部或部分内容,可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名: \_\_\_\_\_ 导师签名: \_\_\_\_\_ 日期: \_\_\_\_\_