

学校代码: 10246
学 号: 062052038

復旦大學

硕 士 学 位 论 文

射频接收机中模拟信道滤波器设计

院 系: 微电子学系
专 业: 微电子学与固体电子学
姓 名: 邹亮
指 导 教 师: 唐长文 副教授
完 成 日 期: 2009 年 5 月 22 日

目录

目录	I
摘要	1
Abstract	2
第一章 概述	3
1.1 研究动机	3
1.2 研究内容及贡献	3
1.3 论文组织结构	4
参考文献	4
第二章 模拟滤波器原理	6
2.1 连续时间滤波器	6
2.1.1 Active-RC 滤波器	6
2.1.2 Gm-C 滤波器	10
2.2 滤波器的函数实现	12
2.3 滤波器的综合	13
2.4 积分器的非理想因素	15
参考文献	17
第三章 模拟信道滤波器的系统分析	19
3.1 接收机的基本架构	19
3.1.1 直接变频接收机	19
3.1.2 二次变频接收机	21
3.2 滤波器性能指标	22
3.2.1 功耗	23
3.2.2 频率响应	24
3.2.3 群延迟	25
3.2.4 噪声	25
3.2.5 动态范围	26
3.3 滤波器的噪声系数和线性度	26
参考文献	29
第四章 八阶巴特沃斯滤波器设计	31
4.1 设计目标	31
4.2 电路设计	32
4.2.1 积分器设计	32
4.2.2 运算放大器设计	34
4.2.3 频率校准电路设计	36
4.2.4 校准误差分析	39
4.2.5 可编程截止频率的实现	40
参考文献	41
第五章 偏置电路设计	42
5.1 带隙基准电路设计	42
5.1.1 输出参考电压的调整	42

5.1.2	温度系数分析.....	44
5.1.3	电路设计.....	45
5.1.4	噪声分析.....	45
5.1.5	仿真结果.....	47
5.1.6	偏置电流.....	48
5.2	低压差线性稳压器设计	49
5.2.1	电源抑制比分析	49
5.2.2	噪声分析.....	50
5.2.3	电路实现.....	52
5.2.4	仿真结果.....	54
	参考文献.....	55
第六章	芯片实现及测试	57
6.1	芯片实现.....	57
6.2	测试 PCB 设计.....	58
6.3	芯片测试结果.....	59
6.3.1	偏置电路测试结果	59
6.3.2	滤波器测试结果	60
6.4	测试分析与改进	64
	参考文献.....	67
第七章	总结与展望	68
7.1	总结	68
7.2	未来展望	68
	参考文献.....	68
致谢		69

摘要

随着无线通信技术的发展,使得多种不同的通信协议在同一块芯片上实现成为可能。本文的主要目的,就是要设计一款能够覆盖多种数字电视协议的可配置模拟信道滤波器,然后以此为目标展开了大量的理论探讨和电路实现的相关工作。

本文首先从模拟滤波器设计的理论知识出发,分析了 **Active-RC** 滤波器和 **Gm-C** 滤波器的基本原理及其面临的问题,介绍了滤波器的实现方式。

然后,文章着眼于滤波器在数字电视调谐器接收机中的应用,从系统角度分析了滤波器噪声和线性度的要求,并阐述了滤波器各性能指标的定义。

接着,文章设计了一款应用于数字电视调谐接收机中,具备自动频率校正功能的可配置八阶 **Active-RC** 滤波器。此滤波器采用巴特沃斯双二阶结构综合而得,引入了一个六位的开关电容阵列进行自动频率校准,然后使用开关电阻阵列实现不同截止频率之间的切换。

为了给滤波器及整个射频接收机提供精确的电压参考及低噪声偏置电流,本文设计了一种新颖的数字控制型低噪声带隙基准电压源和一种低噪声、高电源抑制比的低压差线性稳压器,并在后仿真中得到了杰出的噪声和电源抑制性能。

最后,给出了 **PCB** 板的设计考虑及电路的流片测试结果。测试结果表明:滤波器面积为 $1.03\text{mm}\times 0.93\text{mm}$,功耗为 7.2mW ;滤波器的截止频率可以在 2.5MHz , 3MHz , 3.5MHz , 4MHz , 5MHz , 6MHz , 7MHz 和 8MHz 之间进行切换,而截止频率的误差可以被控制在 $\pm 5\%$ 之内;滤波器的噪声系数为 41dB ,带外线性度达到 $+16.5\text{dBm}$ 。

关键词: 电视调谐器, 滤波器, 噪声, 三阶交调, 自动频率校准

中图分类号: TN432

本论文工作受到国家高科技研究发展计划资助(项目编号: 2007AA01Z282)

Abstract

With the development of wireless communication, it becomes realistic to integrate different communication protocols on one chip. The main purpose of this paper is to design a programmable low pass filter, which can be applied to cover different protocols of DVB Tuner. Based on this purpose, a lot of work about theoretic research and circuit implement are carried out.

Firstly, this paper focus on the basic theory of analog filter design, analyses the principles and problems in Active-RC filter and Gm-C filter. The filter function implement, synthesis and integrator design are discussed.

Secondly, the specification of Noise Figure and Linearity are analyzed from the consideration of DVB Tuner application, the other performance specification of filter are also be defined in the later.

And then, a programmable 8th order Active-RC filter for DVB Tuner applications with automatic frequency tuning (AFT) is presented in this paper. The filter is implemented in Butterworth biquad structure. The AFT circuit is introduced to compensate the frequency variation by a 6-bit switched-capacitor array, and the switched-resistor array is adopted to cover different cut-off frequencies.

Later, to supply low noise voltages and currents for the whole RF receiver, a novel digital controlled low noise Bandgap voltage reference and a low noise, high PSR LDO are proposed in this paper. The post-simulation dedicates the perfect noise and PSR performance.

Finally, the PCB considerations and measurement results are given, which show the chip area 1.03mm×0.93mm, power consumption 7.2mW. The cut-off frequency can be switched amongst 2.5MHz, 3MHz, 3.5MHz, 4MHz, 5MHz, 6MHz, 7MHz and 8MHz with tuning error bellowing $\pm 5\%$. The NF is 41dB, and the out-band IIP_3 achieves +16.5dBm.

Key word: TV tuner, Filter, Noise, IM3, AFT

This project is supported by the National High Technology Research and Development Program of China (No. 2007AA01Z282).

第一章 概述

1.1 研究动机

射频接收机的目的是从现实恶劣的环境中检测出所需要的微弱信号[1]。由于干扰信号的功率可能远大于所需要的信号功率，这就要求接收机具备很好的选择性，而滤波器就担当了信道选择的角色。随着无线通信技术的发展，面积和成本成为芯片的两个最重要约束条件，而全集成芯片的实现成为无线收发器最重要的设计目标。为了提高芯片的集成度，需要使用片上滤波器，而中频滤波器对品质因数(Q 值)的极大要求使得它不易集成。随着射频架构的改进，这一问题已经得到解决。在直接变频接收机和低中频接收机中，信道选择可以在模拟基带中处理，集成的低中频滤波器便足以胜任[2] [3]。但是对于模拟信道滤波器来说，仍然存在两个问题，一个是受限的动态范围，另一个是截止频率的变化。绝大多数的低频滤波器，都是使用运算放大器(Opamp)或者跨导放大器(OTA)实现，而有源器件只有在特定的频率和信号幅度下才保持线性，因此使用有源器件限制了滤波器的动态范围。而且，集成的模拟滤波器对工艺和温度都比较敏感，通常需要自动频率校正电路(Auto Frequency Tuning, AFT)来调节频率的偏差。在本文所涉及的数字电视调谐接收器中，最大的信道带宽是 8MHz，这对滤波器中运算放大器的性能提出了较高的高求。随着信号带宽的增大，滤波器的截止频率也随之增加，这将促使电阻和电容的尺寸减少，使得器件失配、频率变化等问题显得愈发严重。而且，数字电视调谐器希望能够覆盖多种不同的数字电视协议[4]，因此要求滤波器的截止频率是可配置的。基于以上问题，本文将从系统要求到电路实现，详细阐述数字电视调谐器中的模拟信道滤波器设计。

1.2 研究内容及贡献

本论文着重研究了数字电视调谐器中的模拟信道滤波器电路，其主要内容首先包括模拟滤波器的基本理论及其实现方式；然后从系统级出发，分析了滤波器的系统要求；接着在此基础上分析并实现了滤波器的电路设计，并经过流片和测试得到了验证。本文的主要贡献包括：

- 从系统角度分析了模拟信道滤波器的噪声和线性度要求。
- 采用 **Active-RC** 结构，对模拟信道滤波器进行了分析及设计，并实现了滤波器截止频率的自动校正。滤波器电路经过流片验证，表明了其可行性。
- 为了使滤波器能够在数字电视多种协议间自适应调整，对原有的电路结构上进行了改进，实现了截止频率的可配置。
- 滤波器的偏置电路，采用低噪声架构实现，不仅为滤波器提供电压和电流偏置，还能为整个射频接收机提供低噪声的偏置。其中涉及的低噪声带隙基准电压源和低压差线性稳压器电路，在噪声和电源抑制比性能上表现突出。

1.3 论文组织结构

本论文针对滤波器在数字电视调谐器中的应用，首先从滤波器的基本理论着手，分析了滤波器的函数实现和综合方式；然后从系统角度分析了滤波器噪声和线性度的要求；最后给出了芯片的测试结果及展望。具体的组织结构如下：

第二章介绍了滤波器设计的相关理论知识，包括滤波器的分类、滤波器的函数实现及其综合方式，并分析了滤波器中积分器的非理想因素。

第三章首先分析了不同架构的射频接收机的实现方式及其对模拟信道滤波器的不同要求，然后从系统角度分析了滤波器噪声和线性度的要求，并给出了滤波器各性能指标的定义。

第四章给出了一个应用于数字电视调谐器中的八阶模拟信道滤波器的设计实例，设计了自动频率校正电路并分析了校正误差的来源。

第五章给出了低噪声的偏置电路设计的实例，它的应用不限于模拟信道滤波器，其优越的噪声和电源抑制性能使其能够胜任射频接收机对噪声的苛刻要求。

第六章中给出了芯片的电路实现、版图设计、PCB 设计考虑及测试结果，并对测试结果做出了分析。

第七章中对本文做出了总结，并对今后要进行的工作做了展望。

参考文献

- [1] Jarkko Jussila, "Analog Baseband Circuits for WCDMA Direct Conversion Receivers", P.H.D Dissertation, *Helsinki University of Technology*, 2003.
- [2] B.Razavi, "Design Considerations for Direct-Conversion Receivers", *IEEE*

Trans. Circuits and Systems, Part II, Vol.44, pp. 482-435, June 1997.

- [3] A. Pärssinen, "Direct Conversion Receivers in Wide-Band Systems", *Kluwer Academic Publishers*, Dordrecht, The Netherlands, 2001.
- [4] Young-jin Kim, Jae-wan Kim, Parkhomenko, V.N., Donghyun Baek, Jae-heon Lee, Eun-yung Sung, Iku Nam, Byeong-ha Park, "A Multi-Band Multi-Mode CMOS Direct-Conversion DVB-H Tuner" *IEEE Int. Solid-State Circuits Conf. (ISSCC)*, Page(s):2504 – 2513, Feb. 2006

第二章 模拟滤波器原理

2.1 连续时间滤波器

滤波器可以分为连续时间滤波器和离散时间滤波器两大类[1]。在离散时间滤波器中，开关电容滤波器是其代表，它的滤波特性由时钟频率和电容的比例所决定[2]。

离散时间滤波器的实现通常采用过采样技术，需要高速时钟和高速、高精度的放大器配合，所以它的应用一般局限于较低的频率。而连续时间滤波器直接处理连续的模拟信号，可以实现更高频的滤波，并且获得更好的动态范围。连续时间滤波器的缺点在于，其性能受工艺和温度的影响非常敏感，但是随着数字校正算法的应用，这一缺点已经能够被很好的解决。

在连续时间滤波器中，存在一些需要考虑的关键问题。首先是芯片的面积和动态范围的折衷。连续时间滤波器使用电阻、电容来实现滤波器函数的零极点，使用大的电容必然将消耗很大的芯片面积，而使用大的电阻会引入很大的噪声，并且电阻上的寄生电容将会恶化滤波器的动态范围。其次，在全集成的射频收发系统中，滤波器将和模数转换器、本振信号及数字电路等一起存在，因此时钟串通、电源噪声及衬底噪声都会对模拟滤波器产生影响。这些干扰如果不处理好，将会限制滤波器的动态范围。尤其是随着电源电压的降低，滤波器动态范围的受限变得越来越严重[3]。在模拟连续时间滤波器中，电阻和电容在工艺角下可能会发生 $\pm 20\%$ 的变化，也就是说时间常数可能会发生 $\pm 50\%$ 的变化。为了保证滤波器的抗叠混和邻道抑制能力，频率校准电路是必不可少的，而频率校准电路的设计通常会成为滤波器低功耗、高动态范围实现的瓶颈。

连续时间滤波器主要可以分为 Active-RC 和 Gm-C 两大类。Active-RC 滤波器通常应用于对线性度要求较高，带宽要求较低的系统中，而 Gm-C 滤波通常应用于对动态范围要求不高，但对带宽要求较高的系统中[4]。

2.1.1 Active-RC 滤波器

Active-RC 滤波器又可以分为 Opamp-RC 和 MOSFET-C 两种，本节将分别对其进行分析。

图 2-1 中给出了 Opamp-RC 滤波器的示意图，这是一个有损耗积分器，通过一个 Opamp 作为负反馈，使得运放输入端虚地。积分器的输入 v_{in} 为电压信号，通过电阻转变为电流信号，然后对电容进行积分，在输出端又以电压形式出现。Opamp-RC 滤波器的优点在于它对寄生电容的不敏感，因为输出端 v_o 上的寄生电容是由电压驱动的，而运放输入端又是虚地的。Opamp-RC 滤波器通常由多个积分器串联而成，也就是说 Opamp 之后需要驱动电阻负载，因此需要其具备一定的驱动能力。

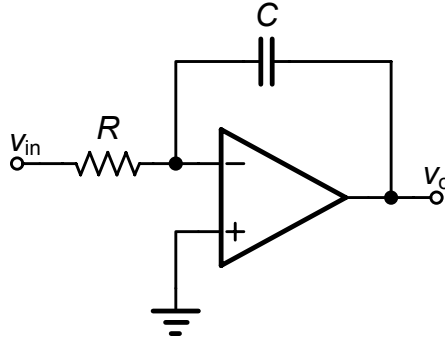


图 2-1 Opamp-RC 滤波器示意图

Opamp-RC 滤波器的截止频率由其 RC 常数所决定。在工艺角的极限情况时，电容最大会发生 $\pm 20\%$ 的偏差，而电阻的偏差会更大一些。也就是说，滤波器的 RC 常数可能会发生最大 $\pm 50\%$ 的偏差。为了保证芯片的可靠性，需要校准电路来校正频率误差。对于由 Bi-quad 级联而成的滤波器来说，通常只需要校正其截止频率就可以了，但是如果滤波器的零极点配对比较敏感，且滤波器阶数较高时，可能还需要校正 Q 值。滤波器 RC 常数的校正可以通过校正电阻，也可以通过校正电容。单从面积上来考虑的话，校正串联的电阻和并联的电容将是比较好的方法。但是，由于串联电阻上会有寄生的电容，使得滤波器的频率特性受影响。所以通常采用校正并联的电容阵列来获取精确的截止频率。电容阵列的控制通常采用 MOS 开关管，其源端连接至 Opamp 的虚地端，以最小化电压摆幅，从而获得良好的线性度性能，但是会在 Opamp 的虚地端引入寄生电容，导致相位滞后[5]。同时，MOS 开关管的使用将产生寄生电阻，并且会引入左半平面的零点，如图 2-2 所示。可以推导如下：

$$H(s) = -\frac{(1/sC) + R_{on}}{R} = -\frac{1 + sR_{on}C}{sRC} \quad (2.1)$$

$$\omega_z = -\frac{1}{R_{on}C} \quad (2.2)$$

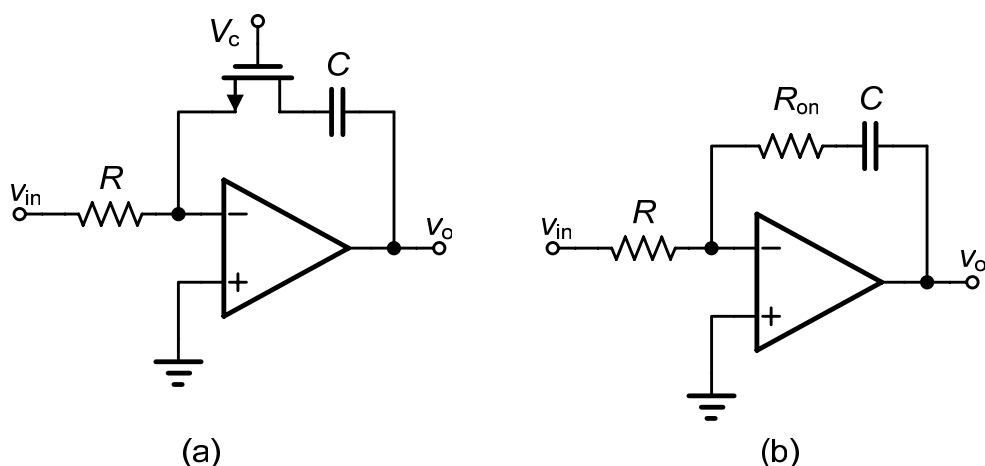


图 2-2 寄生电阻的影响

电阻 R_{on} 的取值一般在几十欧姆，而电容 C 的取值一般在几个 pF 之内。由此可以估算，此零点的位置应该位于 GHz 之外，不会对滤波器的性能造成很大的影响。相反，此零点会在高频处产生相位超前，可以在一定程度上补偿由于有限带宽而导致的相位滞后[6]。如果将 MOS 开关管的 W/L 取得较小，可以获得较大的导通阻抗，使得零点位置靠近单位增益带宽，从而获得更好的频率响应，但是这是以牺牲滤波器的线性度为代价的。

Opamp-RC 滤波器的噪声贡献通常是由电阻主导的。相比与 Gm-C 滤波器来说，Opamp-RC 滤波器在噪声方面表现得更加优越，因为无源电阻的噪声贡献比放大器组成的跨导要小许多。因此 Opamp-RC 滤波器通常应用于高动态范围，高线性度的中低频系统中。

MOSFET-C 滤波器和 Opamp-RC 滤波器的区别在于，MOSFET-C 滤波器用 MOS 管代替 Opamp-RC 滤波器中的电阻，其基本原理图如下：

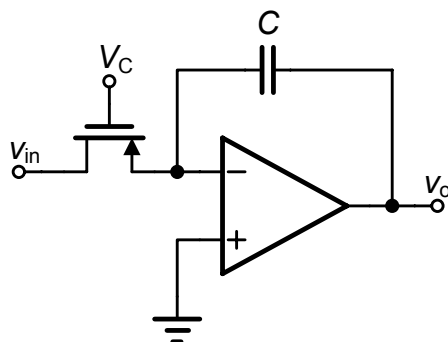


图 2-3 MOSFET-C 滤波器示意图

V_c 是控制信号，可以通过控制 V_c 获得精确的截止频率。然而 MOSFET-C

的缺点在于，其电阻实现采用 MOS 管实现，输入信号的变化对 MOS 管的线性度会产生很大的影响，为了抑制偶数阶失真，滤波器采用全差分结构。全差分 MOSFET-C 滤波器如图 2-4 所示，

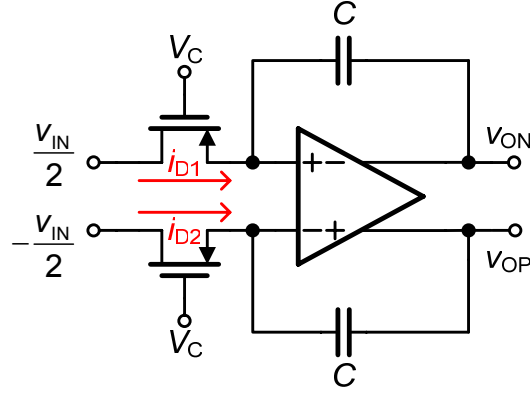


图 2-4 全差分 MOSFET-C 滤波器示意图

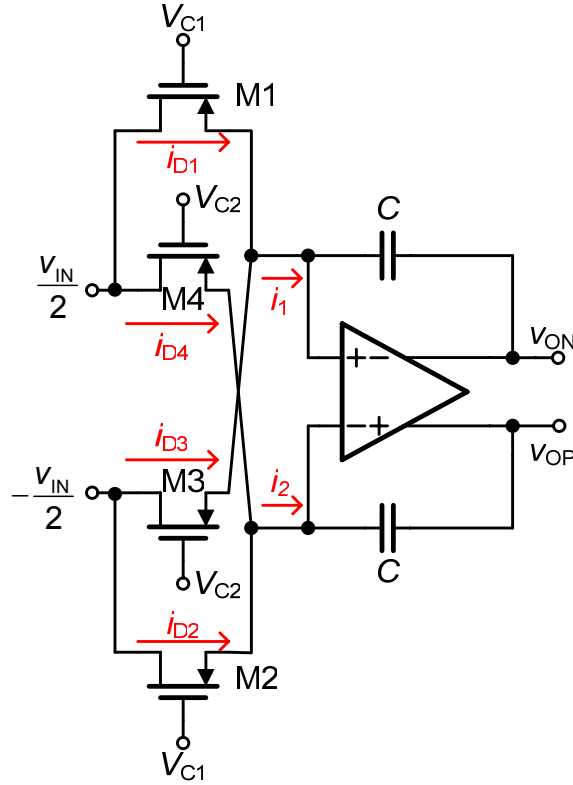


图 2-5 全差分 MOSFET-C 滤波器的改进

由 MOS 管的 I-V 曲线关系得：

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) V_{DS} \quad (2.3)$$

$$i_{D1} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH} - \frac{V_{IN}}{4}) \frac{V_{IN}}{2} \quad (2.4)$$

$$i_{D2} = -\mu C_{ox} \frac{W}{L} (v_{GS} - v_{TH} + \frac{v_{IN}}{4}) \frac{v_{IN}}{2} \quad (2.5)$$

$$i_{D1} - i_{D2} = \mu C_{ox} \frac{W}{L} (v_{GS} - v_{TH}) v_{IN} \quad (2.6)$$

$$G = \frac{\partial(i_{D1} - i_{D2})}{\partial v_{IN}} = \mu C_{ox} \frac{W}{L} (v_{GS} - v_{TH}) \quad (2.7)$$

由(2.7)式知，电路的非线性被消除了。实际上，阈值电压 V_{TH} 也是随着输入信号而变化的，这将在一定程度上限制 MOSFET-C 滤波器的线性度。为了克服电路对阈值电压的依赖性，又提出了新的电路结构如图 2-5 [7]。

$$i_1 = i_{D1} + i_{D3} = \mu C_{ox} \frac{W}{L} (v_{GS1} - v_{GS3} - \frac{v_{IN}}{2}) \frac{v_{IN}}{2} \quad (2.8)$$

$$i_2 = i_{D4} + i_{D2} = \mu C_{ox} \frac{W}{L} (v_{GS3} - v_{GS1} - \frac{v_{IN}}{2}) \frac{v_{IN}}{2} \quad (2.9)$$

$$i_1 - i_2 = \mu C_{ox} \frac{W}{L} (v_{GS1} - v_{GS3}) v_{IN} \quad (2.10)$$

$$G = \frac{\partial(i_1 - i_2)}{\partial v_{IN}} = \mu C_{ox} \frac{W}{L} (v_{GS1} - v_{GS3}) = \mu C_{ox} \frac{W}{L} (V_{C1} - V_{C2}) \quad (2.11)$$

由(2.11)式可以看出，改进的 OTA-C 滤波器得到了独立于阈值电压的跨导，这将使得其线性度性能进一步提升。在 MOSFET-C 滤波器中，MOS 开关管的栅极电压需要足够大以提供好的线性度性能，因此经常采用 Charge Pump 技术来提升栅极电压。和 Opamp-RC 滤波器相比，MOSFET-C 滤波器的噪声性能与之相仿，但是由于 MOS 管的使用，使得其高频性能不如 Opamp-RC 优越。

2.1.2 Gm-C 滤波器

Gm-C 滤波器更多的应用于中高频系统中，它采用开环架构，不存在稳定性问题[8]，在面积和功耗方面表现优越。但正是由于采用开环结构，使得它的线性度不好，而且输入信号范围严重受限[1] [4]。

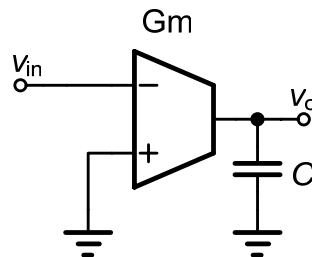


图 2-6 Gm-C 滤波器示意图

图 2-6 中给出了 Gm-C 滤波器的示意图，其传递函数如下：

$$H(s) = -\frac{G_m}{sC} \quad (2.12)$$

Gm-C 滤波器中的跨导 G_m 由 OTA 实现，随工艺变化较大，需要进行频率校准。Gm-C 滤波器的校准通常采用 PLL 环路来实现。为了改善 Gm-C 滤波器的线性度，会在 OTA 的输入级采用一些线性化技术，常见的方法有：

1. 利用线性区 MOS 管做输入源极退化电阻[9]；
2. 利用线性区的 MOS 管作为输入管[10]；
3. 利用源极跟随器作浮接电压以改善跨导放大器的线性度[10]。

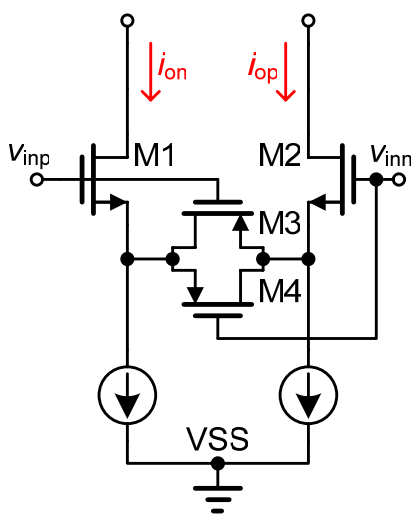


图 2-7 线性区 MOS 管做输入源极退化电阻的跨导放大器

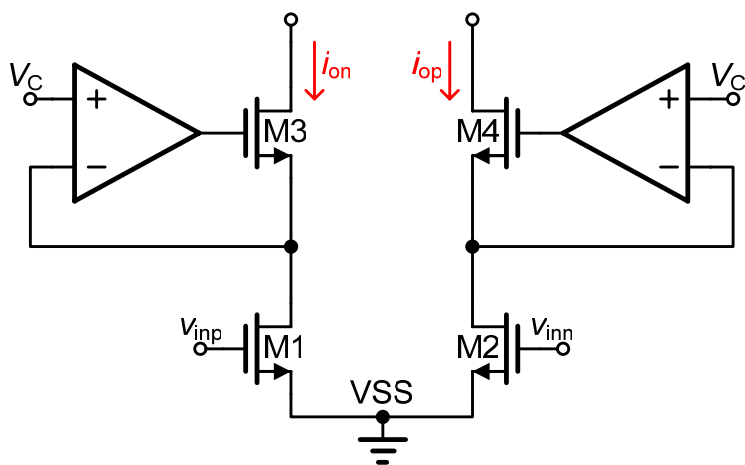


图 2-8 线性区的 MOS 管作输入管跨导放大器

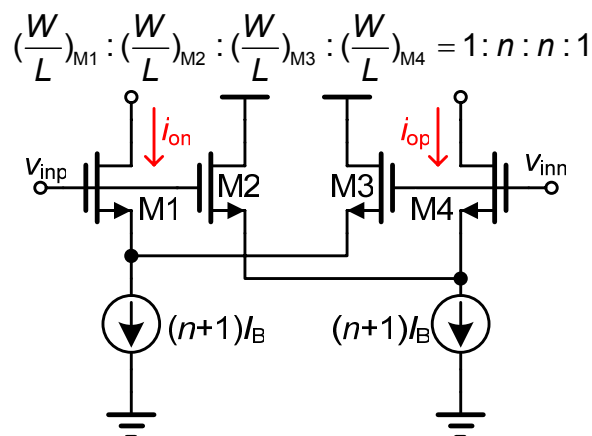


图 2-9 源极跟随器作浮接电压的跨导放大器

2.2 滤波器的函数实现

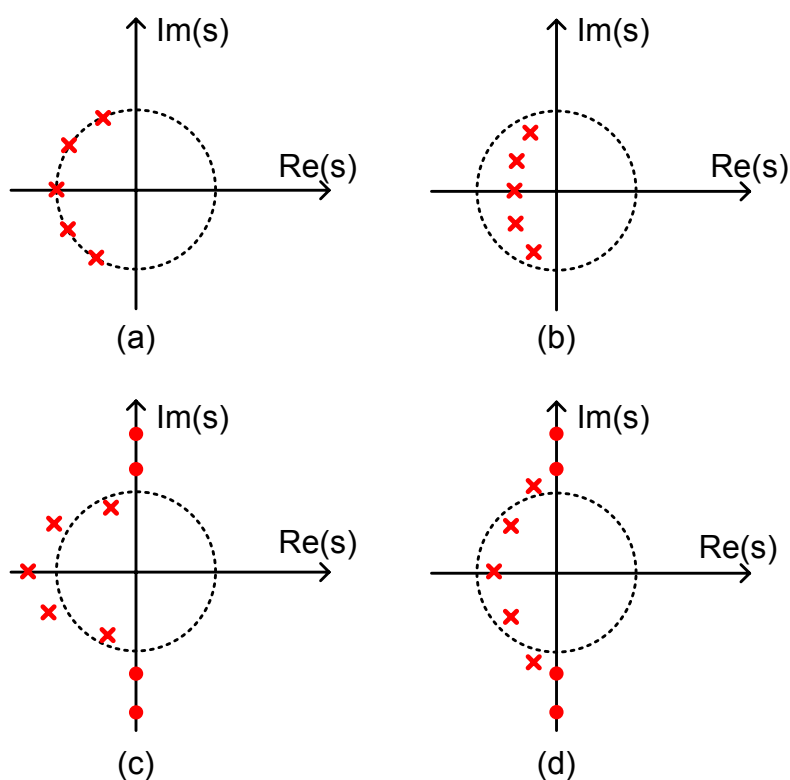


图 2-10 (a)巴特沃斯函数 (b)切比雪夫函数 (c)反切比雪夫函数 (d)椭圆函数

滤波器的函数实现主要包括：巴特沃斯函数、切比雪夫函数、反切比雪夫函数和椭圆滤波器等。图 2-10 中分别给出了四种函数的零极点分布图，下面对它们做简单的介绍[12]：

➤ 巴特沃斯函数(Butterworth)：全极点系统，极点均匀的分布在单位圆上，通

带无纹波，过渡带平缓，群延迟较好。

- 切比雪夫函数(Chebyshev I): 全极点系统，极点均匀的分布在单位圆内的椭圆上，极点的 Q 值比巴特沃斯高，通带有纹波，过渡带比较狭窄，群延迟比巴特沃斯函数差。
- 反切比雪夫函数(Chebyshev II): 存在 n 个极点， $n-1$ 个零点，极点位于单位圆的内外侧，零点分布在虚轴上，阻带有纹波。
- 椭圆函数(Elliptic): 存在 n 个极点， $n-1$ 个零点，极点位于单位圆的内外侧，零点分布在虚轴上，通带、阻带均有纹波。相比于巴特沃斯和切比雪夫函数，椭圆函数具有更狭窄的过渡带，但是群延迟也更差。

2.3 滤波器的综合

滤波器的综合方式很多，比如：基于 RC 的综合、基于 LC 的综合以及基于 Biquad 的综合。基于 RC 的综合只能够实现实数极点，而基于 LC 的综合不适用于集成芯片中，在这里便不作详细的叙述。本文中所涉及的综合方式，都是基于 Biquad 结构，其中最常用的是 Tow-Thomas 和 Sallen-Key 结构。从电路结构上来说，Sallen-Key 结构和 Tow-Thomas 结构的区别在于，Sallen-Key 结构使用一个运放实现两个极点，而 Tow-Thomas 结构使用两个运放实现两个极点。

对于 Sallen-Key 结构，有以下表达式成立[13]:

$$\omega_0^2 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (2.13)$$

$$Q = \left(\sqrt{\frac{R_2 C_2}{R_1 C_1}} + \sqrt{\frac{R_1 C_2}{R_2 C_1}} - \sqrt{\frac{R_1 C_1}{R_2 C_2}} \right)^{-1} \quad (2.14)$$

假设 $R_1=R_2=R$ ，得到:

$$\omega_0^2 = \frac{1}{R\sqrt{C_1 C_2}} \quad (2.15)$$

$$Q = \left(\sqrt{\frac{C_2}{C_1}} + \sqrt{\frac{C_2}{C_1}} - \sqrt{\frac{C_1}{C_2}} \right)^{-1} \quad (2.16)$$

如果单从功耗上进行考量，Sallen-Key 结构显然更具有优势。但是，由于 Sallen-Key 结构随工艺和温度变化较为敏感，而且在高频时易受寄生电容的影响

响，所以 Sallen-Key 结构一般仅适用于低 Q 值的场合。而在 Q 值要求较高的情况下，通常采用 Tow-Thomas 结构，下面将对其进行分析。

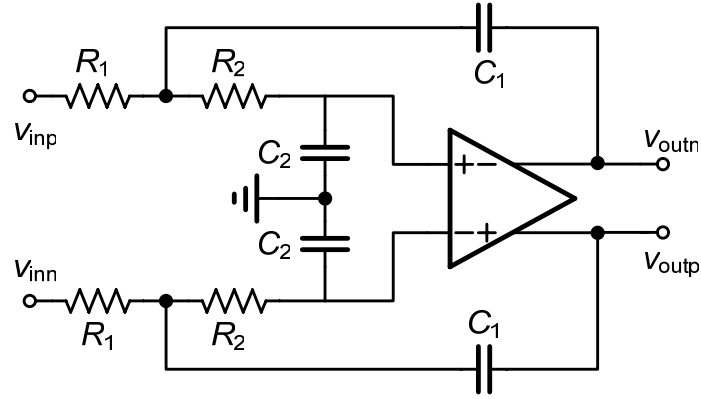


图 2-11 Sallen-Key 结构滤波器

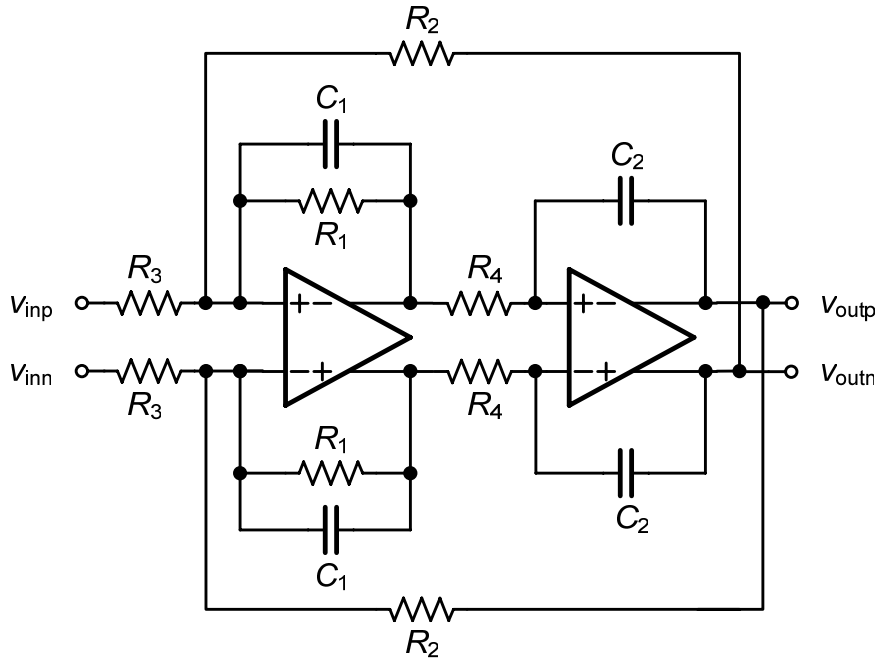


图 2-12 Tow-Thomas 结构滤波器

对于 Tow-Thomas 结构来说，有以下表达式成立[12]:

$$\omega_0^2 = \frac{1}{R_2 R_4 C_1 C_2} \quad (2.17)$$

$$Q = \frac{R_1}{\sqrt{R_2 R_4}} \sqrt{\frac{C_1}{C_2}} \quad (2.18)$$

$$A_0 = \frac{R_2}{R_3} \quad (2.19)$$

做归一化，令：

$$C_1 = C_2 = 1, R_2 = R_4 = 1 \quad (2.20)$$

可得：

$$R_1 = Q, R_3 = 1/A_0 \quad (2.21)$$

由以上公式可知，在Tow-Thomas结构中，滤波器的截止频率 ω_0 ，Q值以及直流增益 A_0 都可以独立调整，各参数的设计流程如下：

1. 首先根据系统要求的截止频率 ω_0 ，根据噪声和面积权衡确定 R_1 和 C_1 ；
2. 然后通过调整 R_3 确定直流增益 A_0 ，确保不影响截止频率 ω_0 ；
3. 调整 R_1 确定Q值，确保不影响截止频率 ω_0 和直流增益 A_0 。

2.4 积分器的非理想因素

滤波器设计大部分是基于积分器的设计，下面对积分器的基本原理及其非理想因素进行探讨[6]：

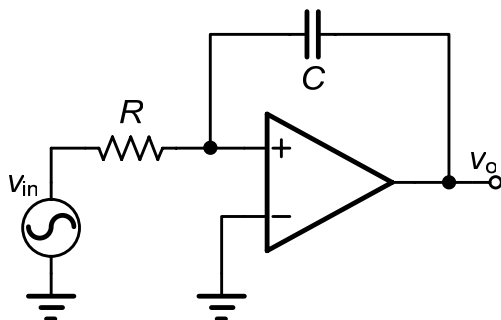


图 2-13 积分器示意图

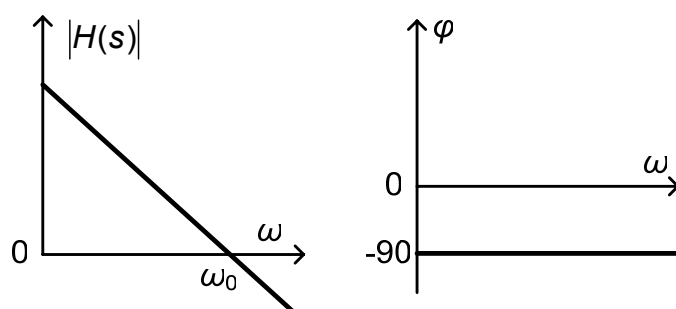


图 2-14 理想积分器的幅频和相频曲线

理想积分器的传递函数为：

$$H(s) = -\frac{1}{sRC} = -\frac{\omega_0}{s} \quad (2.22)$$

幅频相频响应如图 2-14 所示。但是实际上，积分器是一个多极点系统，增益也不可能无限大。假设积分器的直流增益为 A_{DC} ，并且含有极点 ω_{p1} , ω_{p2} , ω_{p3} 直至 ω_{pn} ，其中 ω_{p1} 是由有限增益造成的，可以得到其传递函数如下所示：

$$H(s) = \frac{A_{DC}}{(1 + \frac{s}{\omega_{p1}})(1 + \frac{s}{\omega_{p2}})(1 + \frac{s}{\omega_{p3}}) \cdots (1 + \frac{s}{\omega_{pn}})} \quad (2.23)$$

在有源滤波器中，积分器的品质因数 Q 是一个很重要的指标，积分器 Q 值的定义为：

$$Q(\omega) = -\frac{\text{Im}(H(j\omega))}{\text{Re}(H(j\omega))} \quad (2.24)$$

积分器的相位为：

$$\varphi(\omega) = -\frac{\pi}{2} + \tan^{-1}\left(\frac{1}{Q(\omega)}\right) \quad (2.25)$$

当频率位于 ω_0 附近，此时的 Q 值对整个滤波器的频率响应影响非常之敏感，我们有必要对其进行分析。假设系统具有两个极点，根据(2.23)式可得：

$$Q(\omega) = -\frac{\omega(\omega_{p1} + \omega_{p2})}{\omega_{p1}\omega_{p2} - \omega^2} \quad (2.26)$$

$$\frac{1}{Q(\omega)} = -\frac{\omega_{p1}\omega_{p2} - \omega^2}{\omega(\omega_{p1} + \omega_{p2})} \quad (2.27)$$

假设 $\omega_{p2} \gg \omega_{p1}$ ，有：

$$\frac{1}{Q(\omega)} = \frac{\omega_{p1}}{\omega} - \frac{\omega}{\omega_{p2}} \quad (2.28)$$

如果不考虑第二极点的影响 $\omega_{p2} \rightarrow \infty$ ，则：

$$Q(\omega_0) = \frac{\omega_0}{\omega_{p1}} = A_{DC} \quad (2.29)$$

如果不考虑第二极点的影响，那么在频率 ω_0 处， Q 值为正。根据(2.25)式，此时积分器在 ω_0 处相位超前于 -90° ，产生了相位超前现象，使得滤波器在幅度响应上表现为增益下降，如下图所示：

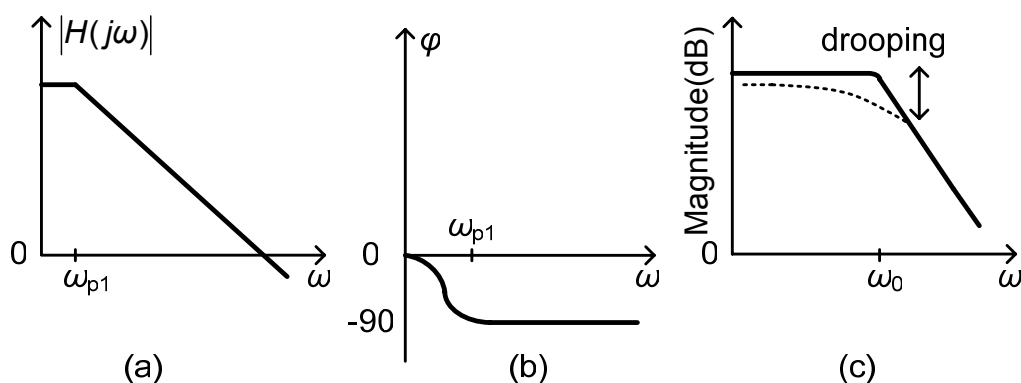


图 2-15 只考虑有限增益时 (a) 积分器的幅频曲线 (b) 积分器的相频曲线
(c)非理想因素对滤波器的影响

若考虑第二极点的影响，但不考虑增益的影响 $\omega_{p1}=0$ ，则：

$$Q(\omega_0) = -\frac{\omega_{p2}}{\omega_0} \quad (2.30)$$

此时 Q 值为负，会导致滤波器在 ω_0 处产生相位滞后和增益上翘，如下图示：

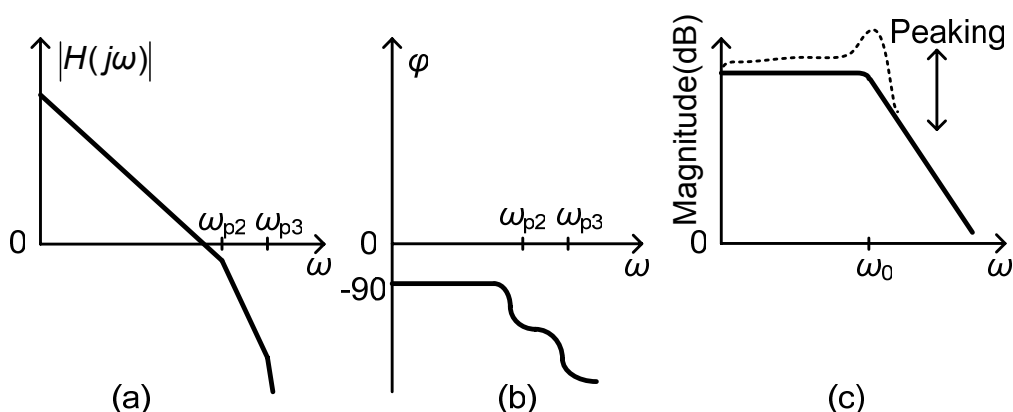


图 2-16 只考虑有限带宽时 (a) 积分器的幅频曲线 (b) 积分器的相频曲线
(c) 非理想因素对滤波器的影响

由(2.28)式可以看出，当 $\omega^2 = \omega_{p2}\omega_{p1}$ 时， Q 值趋近于无穷大。但是这样做的意义并不大，因为极点的位置是没法精确控制的，随着工艺，温度有很大的偏差。为了获得接近理想积分器的特性，在设计时，应保证足够的增益和带宽。

参考文献

- [1] J. S., Silva-Martinez, M. Steyaert, and W. Sansen., "High-Performance CMOS Continuous-Time Filters", *Kluwer Academic Publishers*, Boston,

1993.

- [2] B. Nauta., "Analog CMOS Filters For Very High Frequencies", *Kluwer Academic Publishers*, Boston, 1993.
- [3] Song Bae Park, "Design of IC Filters", *IDEC*, Seoul, Korea, 1999.
- [4] Y. Tsividis., "Integrated Continuous-Time Filter Design-An Overview", *IEEE J. of Solid-State Circuits*, 29(3):166–176, March 1994.
- [5] Jussila, J.; Parssinen, A.; Halonen, K.; "A Channel Selection Filter for a WCDMA Direct Conversion Receiver", *IEEE European Solid-State Circuits Conf. (ESSCC)*, pp 264-267, Sept. 2000
- [6] Jarkko Jussila, "Analog Baseband Circuits for WCDMA Direct Conversion Receivers", P.H.D Dissertation, *Helsinki University of Technology*, 2003.
- [7] Z. Czarnul, "Modification of the Banu-Tsividis Continuous-Time Integrator Structure," *IEEE Trans. on Circuits and Systems*, vol. CAS-33, No. 7, pp. 714-716, July 1986.
- [8] Y. Tsividis, "Continuous-Time Filters in Telecommunications Chips", *IEEE Communications Magazine*, pp. 132–137, April 2001.
- [9] Y. Tsividis, Z. Czarnul and S.C. Fang, "MOS transconductors and integrators with high linearity", *Electronics Letters*, vol. 22, pp. 245-246, Feb. 27, 1986
- [10] Yang Fuji, Enz C C. "A low-distortion BiCMOS Seventh-order Bessel filter operation at 2.5 V supply", *IEEE J. Solid-state Circuits*, 1996, 31(3): 321.
- [11] H. Khorramabadi, "High-Frequency CMOS Continuous-Time Filters", Ph.D. Thesis, *U. C. Berkeley, Department of Electrical Engineering*, February 1985
- [12] Rolf schumann, "Design of Analog Filter", *Oxford University Press*, 2001
- [13] Seoung Jae Yoo, "Design of Analog Baseband Circuits for Wireless Communication Receivers", P.H.D Dissertation, *Ohio State University*, 2004.

第三章 模拟信道滤波器的系统分析

本章，我们将从数字电视调谐器的基本架构出发，阐述其中存在的一些关键问题，然后给出了滤波器性能指标的定义，最后计算出系统对滤波器的噪声系数和线性度的要求。

3.1 接收机的基本架构

数字电视和模拟电视在频率使用上是一致的，它们之间的一个重要差别在于数字电视对于解调所需要的阈值信噪比较低，可以实现更宽带的数据通信。目前流行的数字电视接收机架构主要有两种，分别是直接变频接收机和二次变频接收机[1]。下面我们将简单介绍数字电视调谐接收机的系统架构及设计挑战。

3.1.1 直接变频接收机

图 3-1 中给出了直接变频接收机的示意图，输入信号首先经过一个跟踪滤波器，跟踪所需要的信号频率，并进行预滤波。在下变频之后，经过一个模拟信道滤波器，将所需要的信号选择出来。跟踪滤波器需要能够跟踪 50~860MHz (DVB 协议)的信号范围，但是在片内比较难实现[2]。

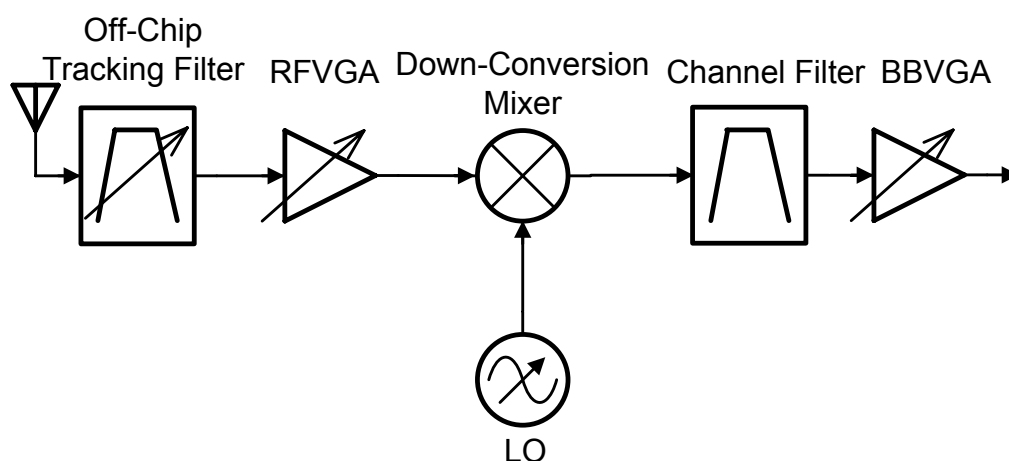


图 3-1 直接变频接收机示意图

对于直接变频接收机来说，存在两个关键的问题需要解决[3]，一个是镜像抑制(Image Rejection)，另外一个和谐波混频(Harmonic Mixing)。

对调谐器接收机来说，镜像抑制是个关键的问题，DVB-C 协议中需要镜像抑制能够达到 60dB。图 3-2 中给出了镜像抑制的示意图，对于低中频接收机来说，镜像信号和信号一样，同样会被下变频至模拟基带内。另外，本振信号和混频器在增益及相位上的失配，也会造成镜像信号的产生，这是限制镜像抑制的一个瓶颈，在这点上，不管是直接变频还是二次变频，低中频或是零中频，要求都是一致的。图 3-3 给出了本振失配时产生镜像信号的示意图，而且这个镜像信号已经进入了信号内部，即使后面使用复数滤波器，也是没法滤除的。(3.1) 式给出了由于失配产生的镜像抑制的表达式[4]：

$$IRR = \frac{1}{4} \left[\left(\frac{\Delta A}{A} \right)^2 + \Delta \theta^2 \right] \quad (3.1)$$

其中 A 代表增益， ΔA 是增益失配， $\Delta \theta$ 代表相位失配。

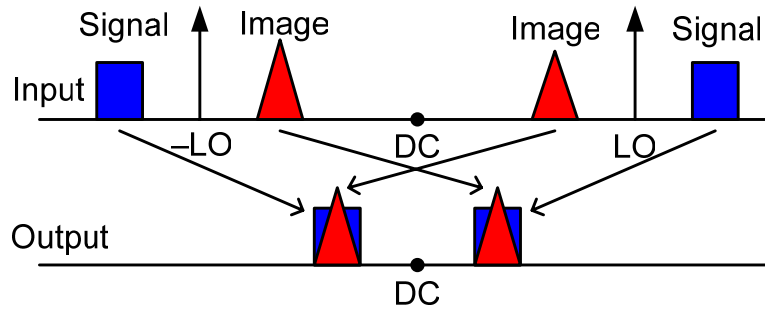


图 3-2 镜像抑制示意图

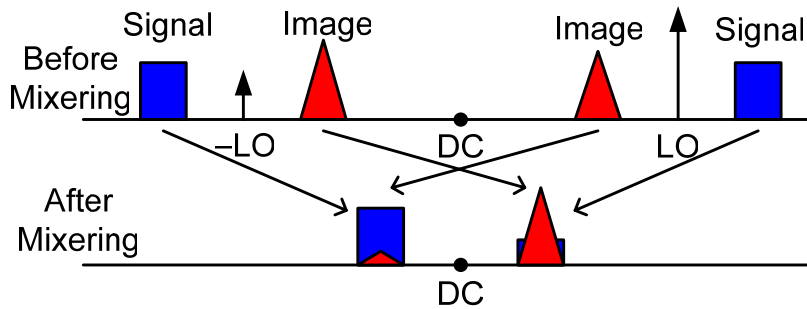


图 3-3 本振信号失配产生镜像抑制信号的示意图

本振和混频器各自的失配对镜像信号产生的贡献的方式是一致的，可以将它们进行简单的叠加如下：

$$\frac{\Delta A}{A} = \frac{\Delta A_{LO}}{A_{LO}} + \frac{\Delta A_{Mixer}}{A_{Mixer}}, \quad \Delta \theta = \Delta \theta_{LO} + \Delta \theta_{Mixer} \quad (3.2)$$

为了降低 IQ 失配的影响，可以采用双正交的混频器[5]。

数字调谐接收机中还有一个很关键的问题，是谐波混频，它是由于本振信号的谐波失真所引起的，见图 3-4。在零中频接收机中，本振的谐波分量可能会落在 50~860MHz，因此它们可能会把未被选择的信道混频至模拟基带中，造成谐波混频现象[6]。

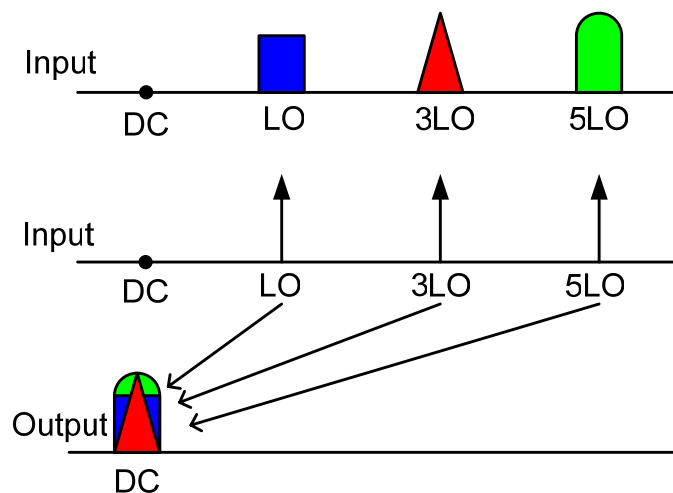


图 3-4 谐波混频示意图

在 DVB-C 中，谐波混频的要求通常需要达到 60dB，而本振的谐波混频在 3LO 处的衰减一般为 10~20dB，通过对压控振荡器和分频器的优化，衰减可以达到 30~40dB，如果再使用跟踪滤波器，将谐波混频进一步抑制 20~30dB，那么就能够达到 60dB 的设计要求。跟踪滤波器的集成，是这里的一个设计难点。

3.1.2 二次变频接收机

图 3-5 中给出了二次变频接收机的示意图，不论是直接变频，还是二次变频，它们对镜像抑制的要求是一致的。在图 3-5 中，所需要的信道首先进行上变频，例如，先变频至 1.1GHz，然后经过镜像抑制下变频混频器，然后经过片外声表面滤波，镜像抑制混频器将镜像信号滤除 30dB，然后片外声表面滤波又可以将镜像信号抑制 30dB，从而达到 60dB 的镜像抑制要求。二次变频接收机的优点在于，它通过上变频，避免了谐波混频现象，同时也降低了 LO 调谐范围的需求。但是，这种接收机架构的缺点是很明显的，它使用了两次变频，其功耗和面积会比直接变频更大，而且使用了片外声表面滤波，成本开销较大。

为了实现芯片的全集成，镜像抑制的处理也可以在片内实现，可以用复数滤波器替代片外声表面滤波，如图 3-6，但是，复数滤波器由于自身存在失配，镜像抑制要达到 60dB 也很难。

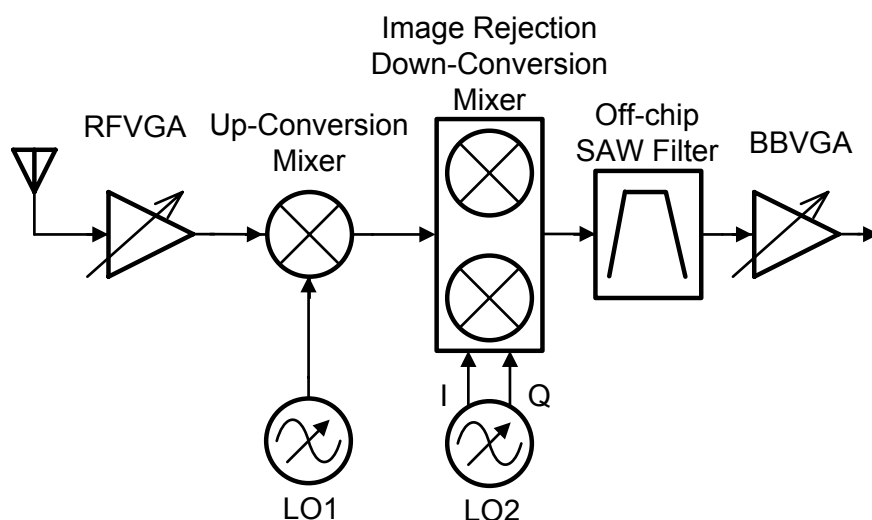


图 3-5 采用片外声表面滤波器的二次变频接收机架构

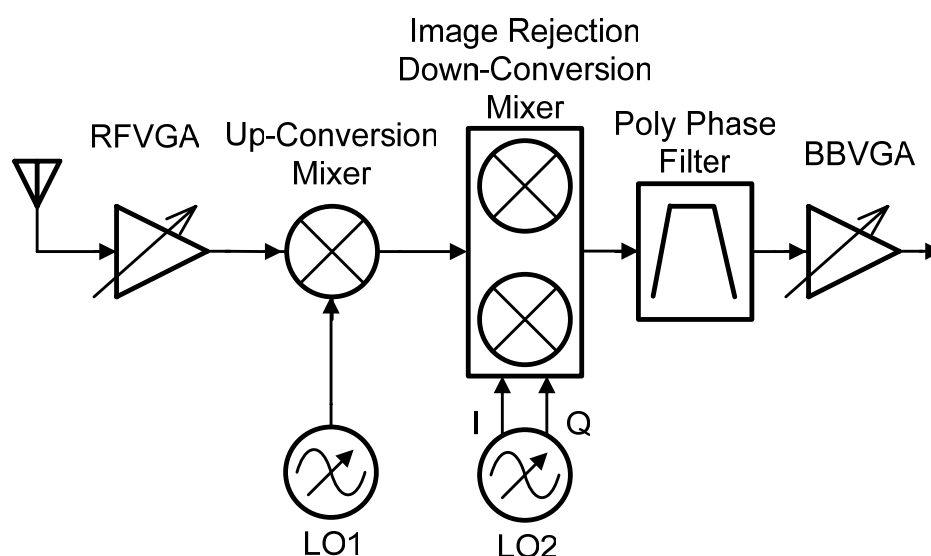


图 3-6 采用片内复数滤波的二次变频接收机架构

解决镜像抑制问题，还可以通过 ADC 采样之后，在数字域做镜像抑制算法 [7]。根据数字电视的协议规定，邻道信号可能会比信道本身要高几十 dB [8]，大的镜像抑制功率需要 ADC 具有较高的动态范围，对 ADC 的设计提出了较高的要求。

3.2 滤波器性能指标

实现信道的选择是模拟信道滤波器应用于射频接收机中的主要目的。信道

选择既可以在模拟域实现，也可以在数字域实现。模拟域滤波会增加系统对模拟信道滤波器的动态范围及频率抑制能力的需求，但是可以降低系统对后级 ADC 精度的要求。而滤波器阶数的增加使得信号群延迟特性变差，相位特性在截止频率附近最恶劣，通常截止频率需要预留一定的带宽，或者利用全通滤波进行相位校正，而且，随着滤波器阶数的提高，Q 值提高使得滤波器截止频率变得更加不好控制，增加了频率校准电路的设计难度，有时还需要对 Q 值进行校正。所以在实际的系统设计中，滤波器的阶数通常不会高于 8 阶。而数字域滤波可以克服元器件偏移，相位失真和增益失真等问题，但是需要滤波器之前有高精度、高动态范围 ADC 的配合。以流水线 ADC 为例，它的功耗随着精度要求提升而迅速增加[9]，有以下公式：

$$P_{\text{ADC}} = E_{\text{conv}} \cdot 2^N \cdot f_s \quad (3.3)$$

其中 E_{conv} 代表实现每位精度需要的功耗， N 代表 ADC 的位数， f_s 为采样率。

到底是在模拟域处理还是数字域处理，需要从功耗和面积上折衷考虑。目前发展的趋势是更倾向于将滤波更多的放在数字域处理。滤波器和 ADC 的功率优化在[10]中进行了详细的讨论。

模拟滤波器的性能指标可以分为两类：第一类指标是用来表征滤波器的邻道抑制能力 (Adjacent Channel Rejection, ACR)，包括截止频率 (Cut-off Frequency) 和频率衰减 (Frequency Attenuation) 等；第二类指标是用来表征滤波器对系统矢量误差 (Error Vector Magnitude, EVM) 的贡献程度，包括带内纹波 (In-band Ripple)，群延迟变化 (Group Delay Variation)，噪声 (Noise) 以及线性度 (Linearity)。带内纹波和群延迟变化决定了信号从滤波器输入传递至滤波器输出的质量，而噪声和线性度反映了滤波器自身对信噪比损失的贡献。

在此部分，我们将定义滤波器各个性能指标，其中包括滤波器的功耗、频率响应、群延迟、噪声、动态范围以及线性度，然后从系统角度分析滤波器噪声系数和线性度的要求

3.2.1 功耗

滤波器是一个功耗消耗较大的电路模块，高阶滤波器的实现需要很大的功耗，滤波器的功耗的和极点个数近似成正比，有以下表达式：

$$P_{\text{LPF}} = P_{\text{pole}} \cdot n_{\text{pole}} \quad (3.4)$$

其中 P_{LPF} 为 LPF 的总功耗, P_{pole} 为实现每个极点的平均功率, n_{pole} 为极点个数。

3.2.2 频率响应

考虑一阶无源 RC 滤波器如图 3-7(a)所示, 传递函数为:

$$H(s) = \frac{1}{1 + sRC} \quad (3.5)$$

理想的幅频和相频曲线如图 3-7 (b)所示。

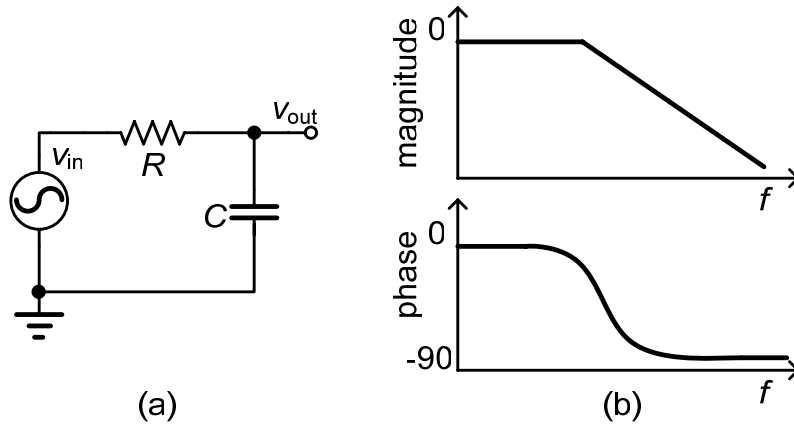


图 3-7 理想的一阶 RC 滤波器

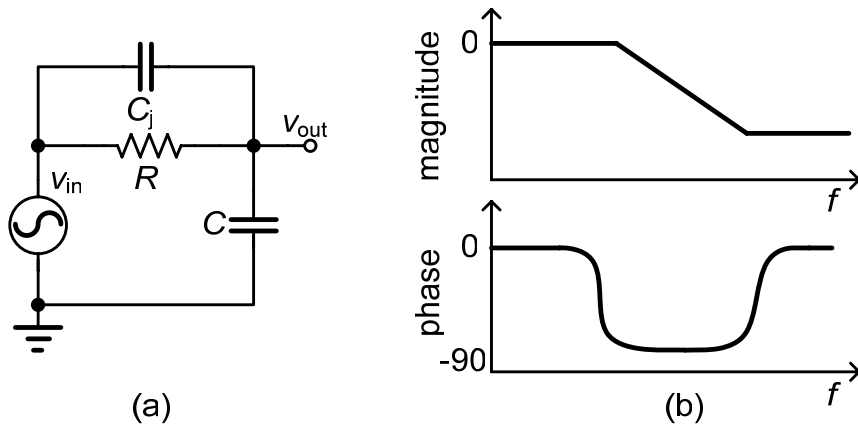


图 3-8 考虑寄生电容的一阶 RC 滤波器

对于实际的滤波器来说, 幅度响应并不会一直以 20dB/decade 下降, 因为存在寄生电容, 会形成零点。若考虑电阻上的寄生 C_j , 有:

$$H(s) = \frac{1 + sRC_j}{1 + sR(C + C_j)} \quad (3.6)$$

假设 $C \gg C_j$, 可得极点位置为:

$$f_p = -1/RC \quad (3.7)$$

零点位置为：

$$f_z = -1/RC_j \quad (3.8)$$

因此可以得到图 3-8(b)中的幅频响应曲线，如果要想实现更陡峭的频率衰减，可以将一阶滤波器进行级联。

3.2.3 群延迟

不同的信号，通过滤波器之后，相位扭曲的程度不同。如果不同的信号的相位扭曲程度是线性的，则可以比较容易的校正。如果相位扭曲是非线性的，会很难校正，这样会导致信号的相位特性失真，从而导致误码率增加。而群延迟就正是为了定义这种相位失真的程度[11]。

相位延迟定义为：

$$\tau_{PD} = -\theta(\omega) / \omega \quad (3.9)$$

群延迟定义为：

$$\tau_{GD} = -d\theta(\omega) / d\omega \quad (3.10)$$

在系统指标中，通常定义群延迟的变化量(Group Delay Variation)来描述相位失真的程度。

3.2.4 噪声

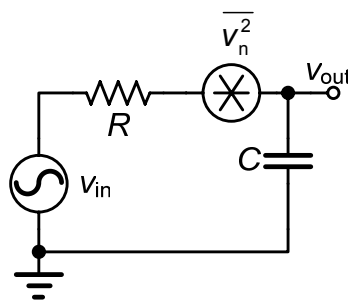


图 3-9 一阶 RC 滤波器噪声分析

我们以一阶 RC 滤波器为例，分析滤波器噪声的传递。一阶 RC 滤波器的噪声由电阻 R 贡献，电容 C 虽然不贡献噪声，但是它和电阻 R 串联构成了一阶极点，会影响噪声的传递函数。对一阶 RC 滤波器的噪声进行积分，有：

$$\overline{v_n^2} = \int_0^\infty 4KTR \left| \frac{1}{1 + 2\pi jfRC} \right|^2 df \quad (3.11)$$

$$\overline{v_n^2} = KT / C \quad (3.12)$$

由上式看出，滤波器的积分噪声只和电容大小有关，而与电阻无关。电阻增大时，带内噪声密度增大，但是噪声带宽减小，整个积分噪声恒定。对于多阶滤波器，其噪声表达式为 $\alpha KT / C$ ，其中 α 的大小决定于滤波器的实现方式。

3.2.5 动态范围

滤波器的动态范围定义为：滤波器能够处理的最大信号与最小信号的比值。处理最大信号的能力由电路的非线性和输出摆幅决定，处理最小信号的能力通常由噪声大小决定，因为信号如果太弱会淹没在噪声之中。假设最大的电压摆幅可以达到电源电压 VDD ，那么对于一个正弦信号：

$$V_{RMS} = \frac{1}{\sqrt{2}} \frac{VDD}{2} \quad (3.13)$$

滤波器的噪声为：

$$V_{n,RMS} = \sqrt{\alpha KT / C} \quad (3.14)$$

可以得到，滤波器的动态范围：

$$DR = \frac{V_{RMS}}{V_{n,RMS}} = \frac{VDD \cdot \sqrt{C}}{\sqrt{8\alpha KT}} = 20 \log_{10} (VDD \cdot \sqrt{\frac{C}{\alpha}}) + 75 \quad (3.15)$$

3.3 滤波器的噪声系数和线性度

在 DVB 调谐器接收机中，噪声系数和线性度是两个关键的性能参数，也是每个子电路模块所需要重点考虑的问题。它们共同的影响结果，都反映在对系统信噪比损耗的贡献上。根据接收机灵敏度的定义[4]，可得：

$$P_{in,min} = KT + NF + 10 \log B + SNR_{min} \quad (3.16)$$

为了满足最小信噪比的要求：

$$NF < P_{in,min} - KT - 10 \log B - SNR_{min} \quad (3.17)$$

其中 $P_{in,min}$ 为最小的信号输入功率， B 代表信号带宽， SNR 为信噪比。

在 DVB-H 协议中规定，对于 8MHz 的信道带宽，实际的信道使用为 7.67MHz，需要接收的最小信号为-101.2dBm。由此可以计算出，接收机的噪声系数要求为 4dB。

对于信噪比的估计，应该留有一定的裕度。(3.17)式同样适用于接收机系统中的每个子模块噪声系数的估计。在图 3-10 中给出了噪声系数计算的图解过程。

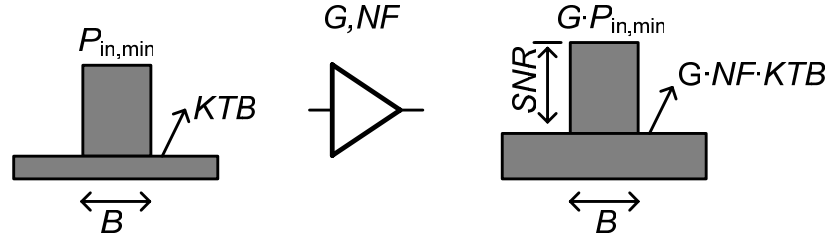


图 3-10 噪声系数计算

对于线性度来说，我们通常定义输入三阶交调点(IIP_3)和 1-dB 压缩点(P_{1dB})，除此之外，还有一些其它的指标，比如：复合二阶差拍(Composite Second Order Distortion, CSO)，复合三阶差拍(Composite Triple Beat Distortion, CTB)。然而，由于 CSO、CTB 及 P_{1dB} 等指标都和 IIP_3 有着直接的联系，因此通常在接收机系统指标中，只定义 IIP_3 。在 DVB 调谐器接收系统中，邻道干扰是约束线性度性能的瓶颈，DVB-T/H 协议中清晰的定义了邻道干扰可能会比信道本身高 40dB。为了保证足够的信噪比，三阶交调量的功率必须被严格的控制住。假设邻道存在两个干扰信号，其功率都为 P_{in} ，信道的功率为 P_s ，由于非线性的存在，邻道干扰在信道内产生了功率为 P_{IM3} 的交调信号，假设滤波器的直流增益为 0dB，如图 3-11 所示。

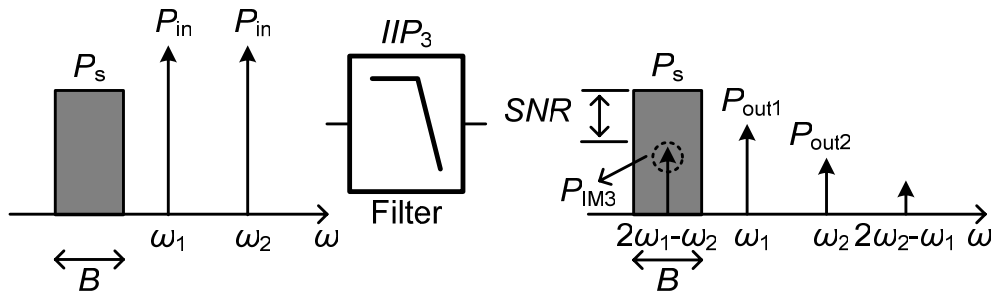


图 3-11 滤波器的带外线性度

根据三阶交调点的定义，有：

$$IIP_3 = P_{in} + \frac{P_{in} - P_{IM3}}{2} \quad (3.18)$$

为了保证系统的最小信噪比要求，有：

$$P_s - P_{IM3} > SNR_{min} \quad (3.19)$$

将(3.18)式代入(3.19)式，有：

$$IIP_3 > P_{in} + \frac{P_{in} - P_s + SNR_{min}}{2} = P_{in,max} + \frac{PR + SNR_{min}}{2} \quad (3.20)$$

其中 Protection Ratio(PR)为 $P_{in} - P_s$ 。

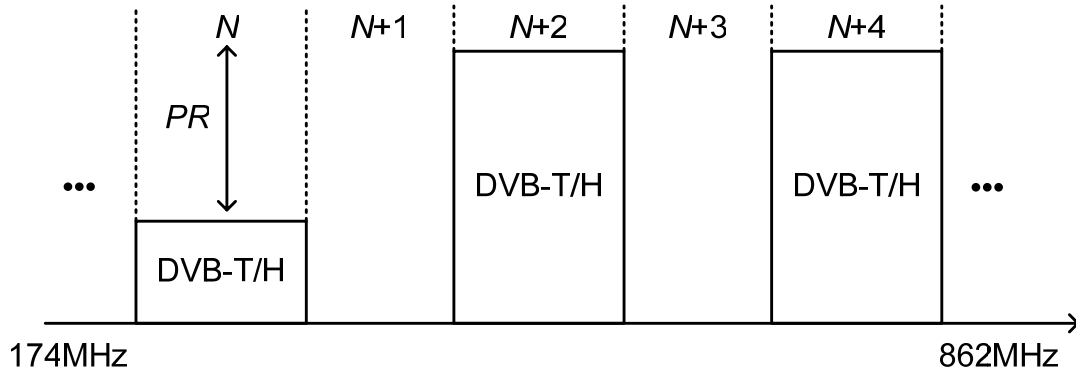


图 3-12 DVB-T/H 协议中 L3 的干扰参数

数字电视协议中最苛刻的线性度测试条件定义了邻道的功率可能会比信道高 40~45dB 以上，而最大的邻道干扰功率会在-35dBm 至-10dBm 之间， SNR 的需要在 15~35dB 之间变化，这些都会根据协议的不同而变化。

下面，我们将以 DVB-T/H 协议中的干扰类型 L3 为例，定义模拟信道滤波器的噪声系数和线性度要求。对于 L3 来说，在信道 $N+2$ 和 $N+4$ 上分别存在一个数字 DVB-T/H 信号，有用的信道为 N ，如图 3-12 所示。在数字电视调谐器系统中，对于滤波器和滤波器之前的电路模块，邻道 $N+2$ 和 $N+4$ 是非线性的主要贡献者，因为 $N+2$ 和 $N+4$ 的功率比其它邻道要高出不少。但是对于位于滤波器之后的 VGA 和 ADC 来说，邻道 $N\pm 1$ 是主要的非线性贡献者，因为其它邻道的功率会在很大程度上被滤波器衰减掉。根据协议[8]，可以得到 L3 的干扰参数如表 3-1 所示。

表 3-1 DVB-T/H 协议中 L3 的干扰参数及数字解调的信噪比需要

Protocol	Mode	PR	SNR (Portable P_1)	BER
DVB-T	2K/4K/8K 64QAM CR=2/3 GI=All	32dB	23dB	4
DVB-H	2K/4K/8K 16QAM CR=2/3 GI=All	42dB	17dB	6

其中的参考 BER 被定义为 Viterbi Decoding 之后的 BER，其值为 2×10^{-4}

噪声系数和线性度的要求由最小的输入信号功率和最大的输入信号功率所决定。根据表 3-1 中的信噪比要求，再考虑 3dB 的裕量，可得 DVB-T 中信噪比要求为 26dB，DVB-H 中信噪比要求为 20dB。如果模拟信道滤波器的输入功率控制在-35dBm 和-15dBm 之间，对于 DVB-T 协议，根据(3.17)和(3.20)式，可以得到 NF 和 IIP_3 的要求如下：

$$NF < P_{in,min} - KT - 10\log B - SNR_{min} = (-35 + 174 - 69 - 26)\text{dB} = 44\text{dB} \quad (3.21)$$

$$IIP_3 > P_{in,max} + \frac{PR + SNR_{min}}{2} = (-15 + \frac{32 + 26}{2})\text{dBm} = +14\text{dBm} \quad (3.22)$$

对于 DVB-H 协议，同理可得：

$$NF < P_{in,min} - KT - 10\log B - SNR_{min} = (-35 + 174 - 69 - 20)\text{dB} = 50\text{dB} \quad (3.23)$$

$$IIP_3 > P_{in,max} + \frac{PR + SNR_{min}}{2} = (-15 + \frac{42 + 20}{2})\text{dBm} = +16\text{dBm} \quad (3.24)$$

因此，在 DVB-T/H 协议中，最小的 NF 要求是 44dB，最大的 IIP_3 要求是+16dBm，如果要实现更高质量的解调， NF 和 IIP_3 的要求还将进一步提高。实际上，在系统设计中，我们会根据电路设计的瓶颈来制定系统指标的分配。

参考文献

- [1] Jianhong Xiao, "CMOS RF Front-End Design for Terrestrial And Mobile Digital Television Systems", P.H.D Dissertation, *Texas A&M University*, 2007.
- [2] Farbod Behbahani, Weeguan Tan, Ali Karimi-Sanjaani, et al., "A Broad-band Tunable CMOS Channel-select Filter for A Low-IF Wireless Receiver", *IEEE J. Solid-State Circuits*, vol. 35, no. 4, pp. 476-489, Apr. 2000.
- [3] Mark Tristan Dawkins, "Up-Integration in the Radio-Frequency Tuners for Digital Terrestrial Television", P.H.D Dissertation, *University of London*, 2002
- [4] Behzad Razavi, "RF Microelectronics", *Prentice Hall*, 1997
- [5] Chin-Fu Li, Po-Chiun Huang, "A 60dB Harmonic mixing reduction mixer for wideband applications", *IEEE Int. Microwave Symposium*, pp. 559-562, June, 2008

- [6] Chun-Huat Heng, Gupta M, Sang-Hoon Lee, Kang D, Bang-Sup Song, "A CMOS TV tuner demodulator IC with digital image rejection", *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 2525-2535, Dec. 2005.
- [7] Der, L; Razavi, B; "A 2GHz CMOS Image-Reject Receiver with Sign-Sign LMS Calibration", *IEEE Int. Solid-State Circuits Conf.(ISSCC)*, pp. 294-295, Feb, 2001.
- [8] "Mobile and Portable DVB-T/H Radio Access", EICTA, 2007
- [9] R. H. Walden, "Analog-to-Digital Converter Survey and Analysis", *IEEE J. on Selected Areas in Communications*, vol. 17, no. 4, pp. 539-550, April 1999.
- [10] Jussila, J.; Halonen, K.; "Minimization of Power Dissipation of Analog Channel-Select Filter and Nyquist-Rate A/D converter in UTRA/FDD", *IEEE Int. Symposium on Circuits and Systems*, vol. 4, pp. 23-26, May, 2004.
- [11] Rolf schaumann, "Design of Analog Filter", *Oxford University Press*, 2001

第四章 八阶巴特沃斯滤波器设计

在本章，将详细的介绍一款八阶 **Active-RC** 滤波器的设计，此滤波器应用于 **DVB** 调谐器中，采用巴特沃斯函数实现。为了克服截止频率的偏差，设计了一种自动频率校正电路(**Automatic Frequency Tuning, AFT**)，并且详细的分析了校准误差。为了覆盖 **DVB** 的各种协议，实现了滤波器截止频率的可配置。

4.1 设计目标

图 4-1 给出了 **DVB** 调谐器的系统架构，由于存在强烈的邻道干扰和接收机本身的高线性度要求，此处采用了高阶滤波器以获得良好的抑制能力，采用 **Active-RC** 架构以获得良好的线性度性能。因为 **Active-RC** 滤波器的截止频率是由 **RC** 常数所决定，会随着工艺发生较大的偏差，所以设计了一种自动频率校准电路来校正截止频率。

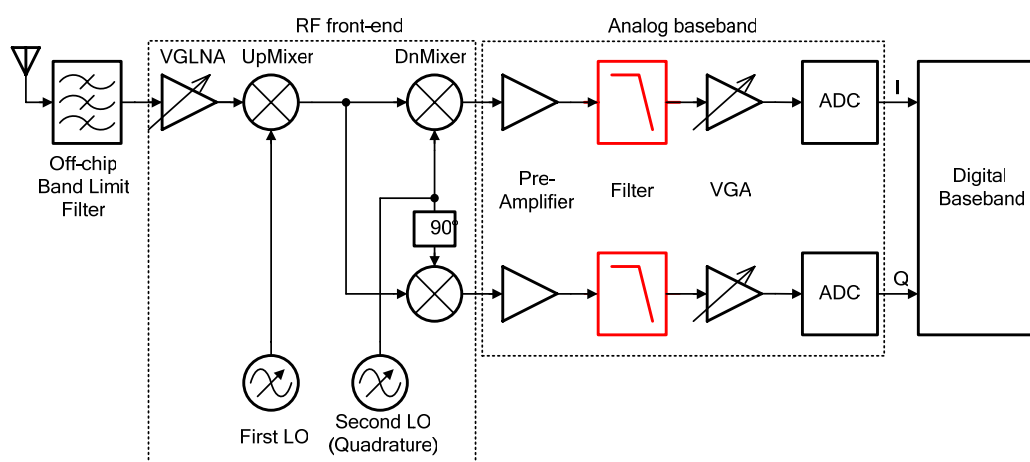


图 4-1 DVB 调谐器系统架构

在本文所涉及的 **DVB** 调谐器接收机中，还要求滤波器的截止频率能够在 2.5MHz, 3MHz, 3.5MHz, 4MHz, 5MHz, 6MHz, 7MHz 和 8MHz 之间进行切换，使其能够覆盖各种数字电视协议要求，并且能够适用于零中频和低中频两种模式。

滤波器设计首先需要明确的三点是[1]:

1. 用何种函数来实现它;
2. 采用多少个零极点来实现抑制;

3. 截止频率 f_c 设置在哪个频率。

在本次设计中，选用了巴特沃斯函数实现滤波器。首先，是为了获得较好的邻道抑制能力；其次，是为了获得较好的通带纹波及群延迟特性以免对系统 *EVM* 造成过大影响。对于巴特沃斯函数，其频率衰减性能如下[2]：

$$L(f) = 10 \log_{10} [1 + (f / f_c)^{2n_p}] \quad (4.1)$$

其中 $L(f)$ 为滤波器的衰减函数， n_p 为滤波器极点个数。

当 $f \gg f_c$ 时，可以得到：

$$L(f) = 20n_p \log_{10}(f / f_c) \quad (4.2)$$

假设滤波器输入端的强干扰信号功率为 $P_{\text{Block}}(f)$ ，ADC 输入端允许的最大功率为 P_{ADC} ，那么频率抑制要求为：

$$L(f) = P_{\text{Block}}(f) - P_{\text{ADC}} \quad (4.3)$$

代入(4.2)式，有：

$$n_p(f) = \frac{P_{\text{Block}}(f) - P_{\text{ADC}}}{20} \frac{1}{\log_{10}(f / f_c)} \quad (4.4)$$

$$n_p = \text{ceil} \left[\frac{P_{\text{Block}}(f) - P_{\text{ADC}}}{20} \frac{1}{\log_{10}(f / f_c)} \right] \quad (4.5)$$

由(4.5)式可以得出需要实现的滤波器的最小极点个数。

在本次设计中，滤波器最大的截止频率为 8MHz，系统涉及要求滤波器能够在 20MHz 时实现 60dB，滤波器的通带增益为零。因此，可以根据(4.5)，得到：

$$n_p(f) = \text{ceil} \left[\frac{60}{20 \log_{10}(20 / 8)} \right] = 8 \quad (4.6)$$

4.2 电路设计

4.2.1 积分器设计

在第二章中，讨论了 Tow-Thomas 结构和 Sallen-Key 结构的优缺点。在本次设计中，由于滤波器本身阶数较高，为了降低滤波器对 Q 值的敏感度，这里将采用 Tow-Thomas 结构，并有以下公式成立。

$$\omega_0^2 = \frac{1}{R_2 R_4 C_1 C_2}, Q = \frac{R_1}{\sqrt{R_2 R_4}} \sqrt{\frac{C_1}{C_2}}, A_0 = \frac{R_2}{R_3} \quad (4.7)$$

其中， A_0 是积分器的 DC 增益， ω_0 是谐振频率， Q 是积分器的品质因子。

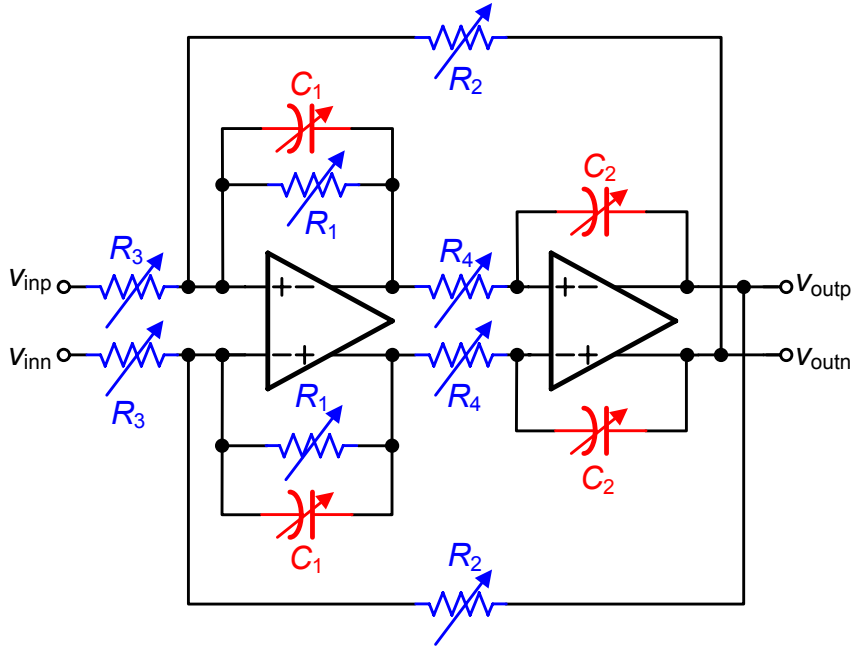


图 4-2 积分器原理图

假设 $R_2=R_4$ ， $C_1=C_2$ ，(4.7)式可以写成以下形式：

$$\omega_0^2 = \frac{1}{R_2 C_1}, Q = \frac{R_1}{R_2}, A_0 = \frac{R_2}{R_3} \quad (4.8)$$

Q 值和直流增益 A_0 都是由电阻的比例所决定， Q 值和 ω_0 可以独立校正而相互不影响。电阻和电容的取值实际上是噪声和面积之间的折衷。在本设计中，所有电容为 3pF。

八阶滤波器的实现是由 4 个级联的 Biquad 所构成。设计中， Q 值最高的 Biquad 放在滤波器链路的最末端以获得线性度的最优化。如果考虑噪声系数的优化，也可以将 Q 值最高的 Biquad 放在最前端。此处，积分器的电容被设计为一个具有二进制权重的 MOS 开关管控制的电容阵列，以使得校准电路能够通过控制电容大小来调整 RC 常数，从而获得精确的截止频率。MOS 开关管的源端全部连接至放大器的输入端以实现源端电压摆幅的最小化，从而获得较好的线性度特性。MOS 管开关电容阵列的版图设计必须保证其单调性，否则自动频率校准算法无法得到正确的码值。

4.2.2 运算放大器设计

在 Tow-Thomas Biquad 结构中，运放之后接的是电阻，因此需要其具备一定的驱动能力，这里将采用全差分两级运放。选用两级运放，是考虑到它具有较好的线性度表现并且具备一定的驱动能力。此外，两级运放采用密勒 RC 补偿，运放的带宽由密勒补偿电容 C_C 所决定，使得运放的带宽不易受寄生电容的影响。综合以上优点，两级运放在 **Active-RC** 滤波器中被广泛应用。下面以一阶有源滤波器为例，分析滤波器对运放单位增益带宽的要求[3]。

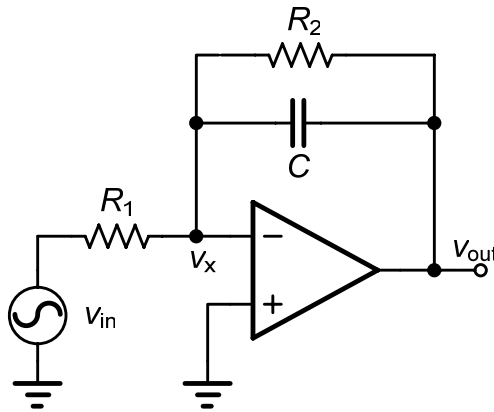


图 4-3 一阶有源滤波器

$$GBW \geq \left| \frac{A_c(j\omega_c)}{\delta} - 1 \right| [1 + A_c(j\omega_c)] \omega_c \quad (4.9)$$

其中 ω_c 为滤波器的截止频率， $A_c(j\omega_c)$ 为滤波器的理想闭环直流增益， δ 为理想传函与非理想传函之间增益误差。

在八阶巴特沃斯滤波器中，积分器的最大闭环直流增益接近 3。为了实现滤波器的截止频率在 4MHz 通带范围内，理想传函与非理想传函之间增益误差小于 $\pm 1\text{dB}$ ，也就是 $\pm 12\%$ 。可以得到以下表达式：

$$GBW \geq \left| \frac{3}{12\%} + 1 \right| (3 + 1) \omega_c \doteq 100 \omega_c \quad (4.10)$$

由(4.10)式，我们可以估计出，对于 4MHz 截止频率，需要运放的 GBW 大于 400MHz。

图 4-4 是滤波器中全差分运算放大器的示意图，采用了密勒 RC 补偿，并设计了共模反馈电路以稳定输出共模。在共模环路中，有一个位于 $p = g_{m16}/C_{n1, \text{tol}}$ 的极点。共模反馈的增益不能设置得过大，以免影响共模环路的稳定性。

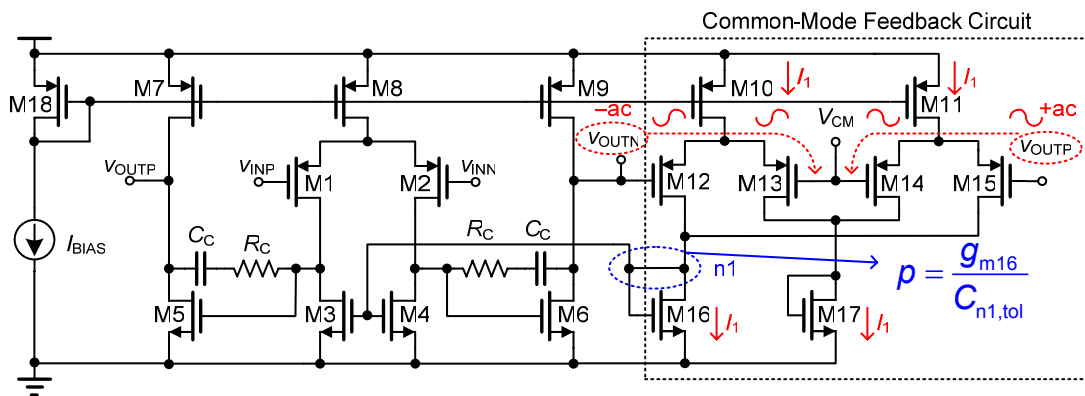


图 4-4 全差分两级运算放大器

此外，在运放的设计中还需要考虑足够的压摆率以保证快速的大信号建立；保证一定的共模抑制比以减小共模信号到差模信号的转换；优化运放的噪声和总谐波失真性能为整个滤波器提供大的动态范围。滤波器工作的时候，变化着的差分信号进入积分器的输入端，反馈电阻连续不断的从运放输出端抽取电流至运放输入端，这将导致积分器输出端偏置电流的动态变化，会对积分器的线性度造成影响。图 4-5 和图 4-6 分别是运放的差模和共模负反馈的波特图仿真结果。

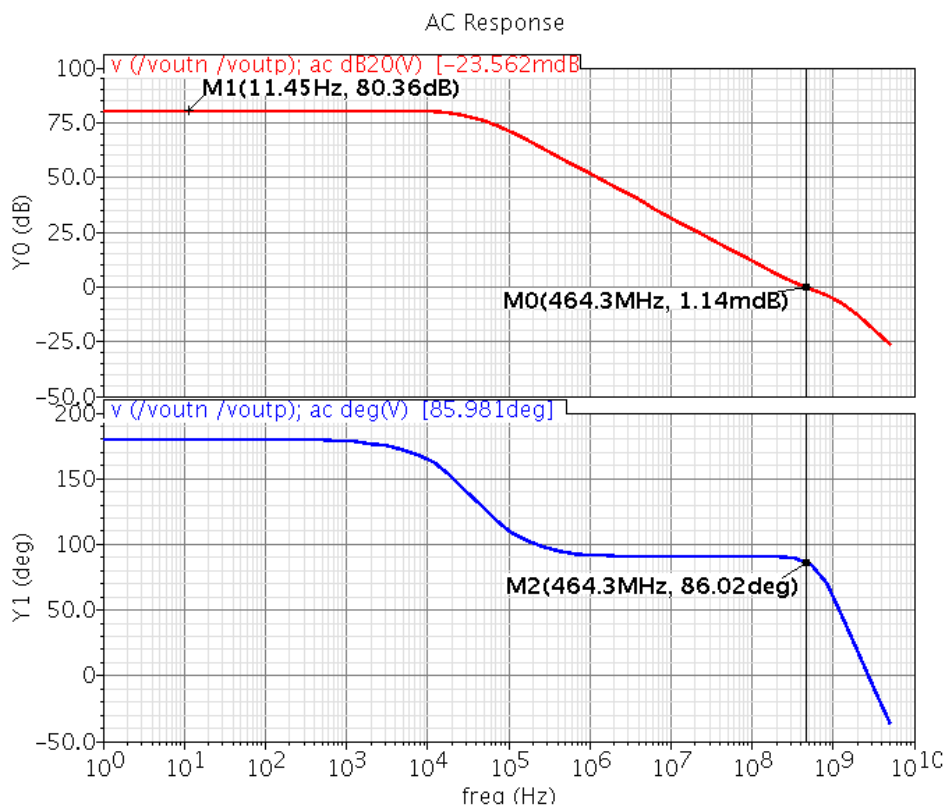


图 4-5 运放差模的波特图仿真结果

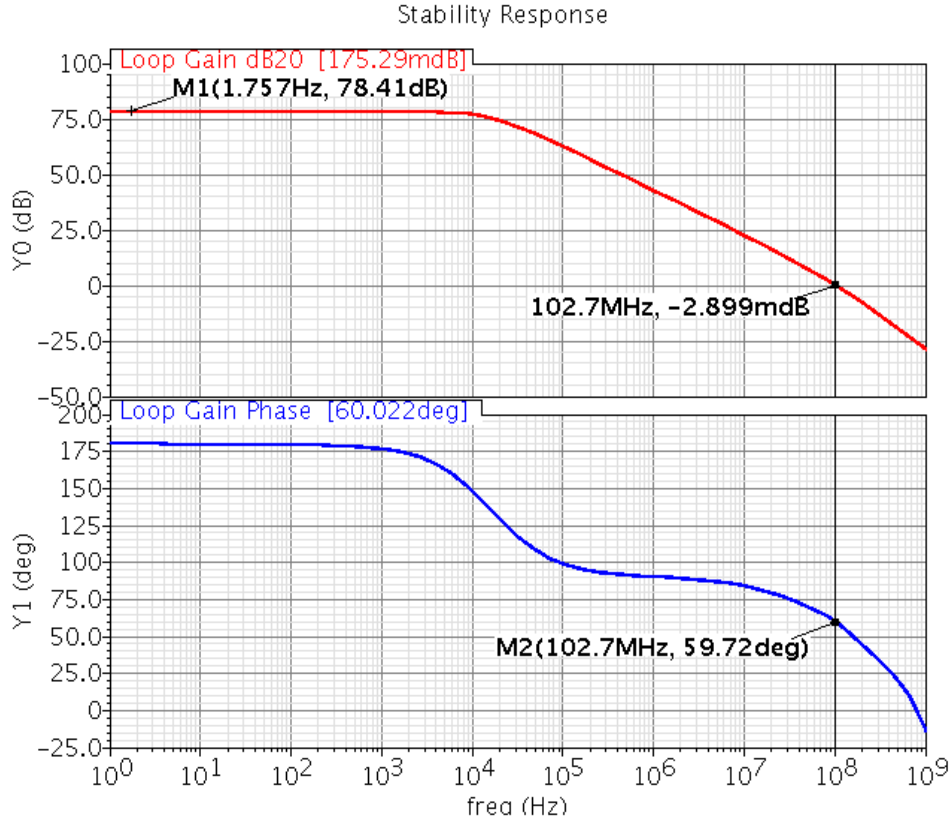


图 4-6 运放共模负反馈的波特图仿真结果

4.2.3 频率校准电路设计

为了同时保证信道选择性及邻道抑制能力，精确的截止频率是有必要的。为了达到 5% 的截止频率精度要求，本文采用了一种主从(Master-Slave)的校正方法，利用相对精度校正绝对精度。每一个校准电路都需要一个绝对的参考，在电路设计中，这个绝对参考通常是带隙基准电压或者晶振的频率。本文中，选择晶振频率来实现频率校准以保证其和 $1/RC$ 常数具有相同的量纲。RC 校准的实现手段是校正开关电容阵列。图 4-7 是频率校准电路的原理图[4]。

首先，从带隙基准电路及分压电路的输出获得一个电压参考 V_{ref} ，这个电压参考分别连接至比较器和误差放大器的输入。通过负反馈，在电阻 R_{ref} 上产生一个电流参考，其值等于 $I_1 = V_{ref}/R_{ref}$ ，此电流经过共源共栅电流镜产生一个镜像电流为开关电容阵列充电。充电结束后，在电容上会产生一个电压 V_{cap} 。 V_{cap} 和 V_{ref} 通过比较器做比较，其结果输入 AFT 算法，并且形成一个反馈环路控制开关电容阵列的输入。通过比较器不断的比较和反馈， V_{cap} 的最终值会等于 V_{ref} ，AFT 工作结束。整个频率校准的过程可以用以下公式进行表述：

$$V_{\text{cap}} = \frac{Q}{C} = \frac{I_2 \Delta t}{C} = \frac{I_1 \Delta t}{C} = \frac{V_{\text{ref}}}{R_{\text{ref}} C} \Delta t \quad (4.11)$$

$$\Delta t = R_{\text{ref}} C \quad (4.12)$$

其中 Δt 是参考时钟的周期。

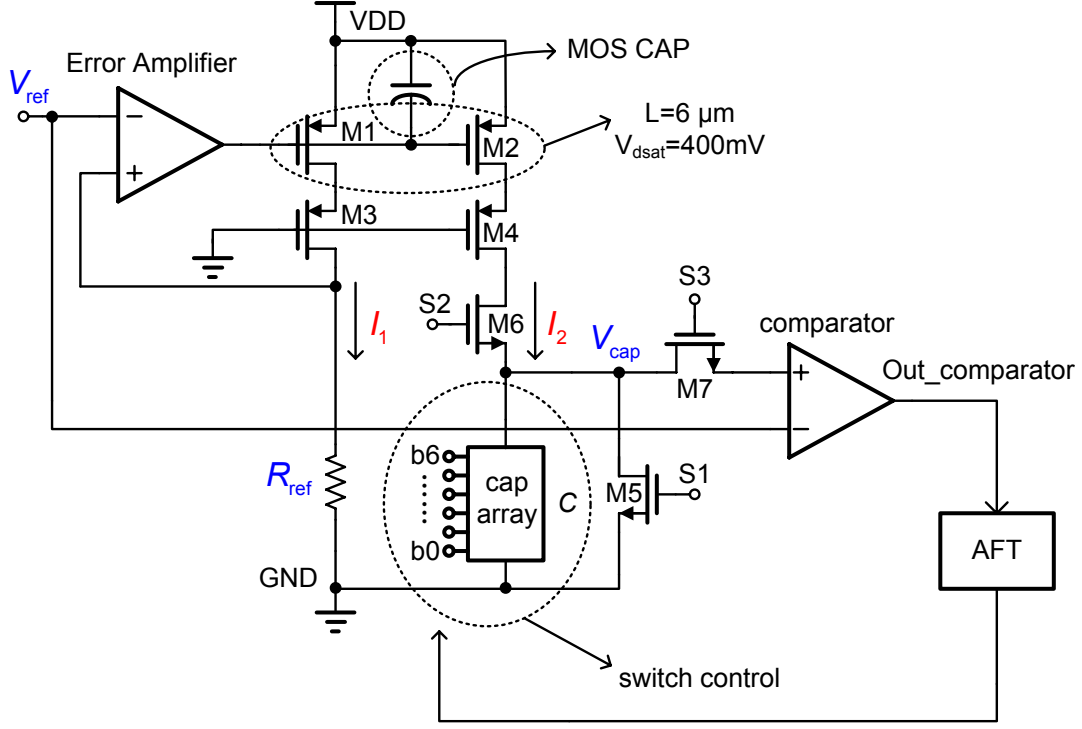


图 4-7 校准电路原理图

校准完成之后，时间常数 $R_{\text{ref}}C$ 由时钟周期 Δt 所决定。又因为校准电路中的电阻 R_{ref} 和电容 C 分别与滤波器主电路的电阻和电容保持相对精度，所以 $R_{\text{ref}}C$ 将和滤波器的截止频率保持相对精度。也就是说，滤波器的截止频率会被校准到和参考时钟成相对精度。

下面，我们将给出一些有用的设计考虑。比较器的输入失调会影响比较器的最终结果。失调包括两部分，一部分是随机失调，另一部分是系统失调。系统失调可以在设计时尽量避免，而随机失调可以通过采用较大的晶体管尺寸及较小的输入管的过驱动电压加以减小，如下式所示[5]。

$$V_{\text{offset}} = \Delta V_T + \frac{V_{\text{GS}} - V_T}{2} \left[\frac{\Delta R_L}{R_L} + \frac{\Delta K}{K} + \frac{\Delta(W/L)}{W/L} \right] \quad (4.13)$$

在频率校准电路中使用两个运放，一个是用来确定偏置电流的反馈运放，另一个是比较器。这两个运放同时存在失调电压，这就使得失调消除成为可能。

如果反馈运放和比较器采用同一个运放，而且在版图设计的时候把它们放在一起，那么失调电压将一致，不会对比较结果产生影响。

下面，来讨论电流镜的失配。电流镜失配包括两部分，一部分是静态的直流失配，另一部分是动态电流失配。动态电流失配的形式是多样的，电荷注入、电荷共享和时钟馈通等都会对电流镜的匹配产生影响。由(4.11)式可以看出，频率校准的结果是建立在假设电流 $I_2=I_1$ 的基础之上的，如果电流镜失配，将直接影响校准精度。因此电流镜要求高度匹配，而电流偏置设计的主要目的是在电容充电的整个过程中电流 I_2 和 I_1 之间的差别最小。主要有以下几个考虑：

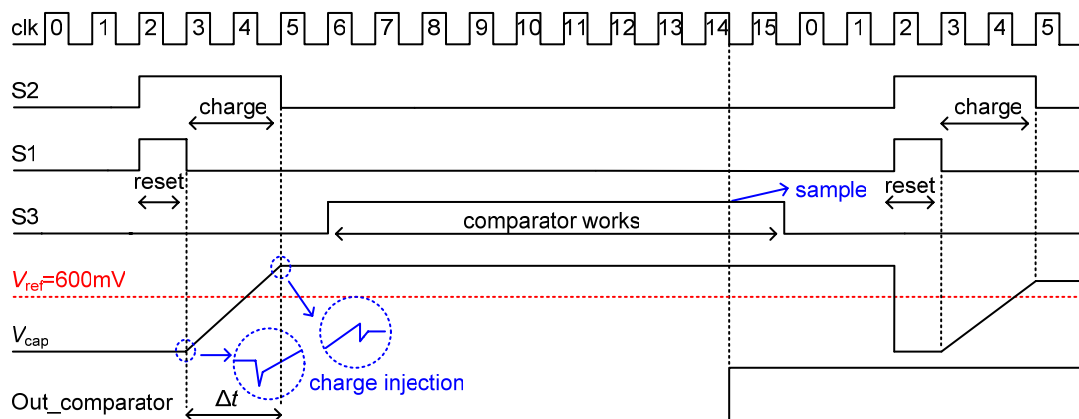
- 时钟馈通的影响。**S1、S2、S3** 都是数字时钟信号，可能会对校准中的模拟电路产生窜扰而影响校准精度，因此在图 4-7 中，使用了一个 MOS 电容以减小时钟馈通的影响。
- 电荷注入的影响。开关管 **S1、S2、S3** 的尺寸选取尽可能小以减小电荷注入，但是对于 **S1** 来说，过小的 W/L 会增加其开启电阻，这里需要进行折衷。
- 偏置电流的非线性变化。电流镜的匹配性，决定于从偏置输出端往内部看进去的阻抗。电容充电时，电压值 V_{cap} 一直在增大，这里采用了共源共栅电流镜以弱化二阶效应对偏置精度的影响；其次，增大电流偏置管的尺寸，以获得较好的匹配(值得注意的是，电流镜管尺寸如果过大，寄生电容增大，会使得时钟馈通的影响更加显著，从而破坏电流的匹配性)。此处，取 $L=6\mu m$ ，**M1** 和 **M2** 的过驱动电压为 **400mV**，也可以通过在电流镜源极上各串连一个电阻来提高阻抗。
- 充电时间的选取。

偏置电流过大，充电时间很短，对校准精度不利，但偏置电流过小，电流匹配精度则无法保证。本设计中的 V_{ref} 选取为 **600mV**。

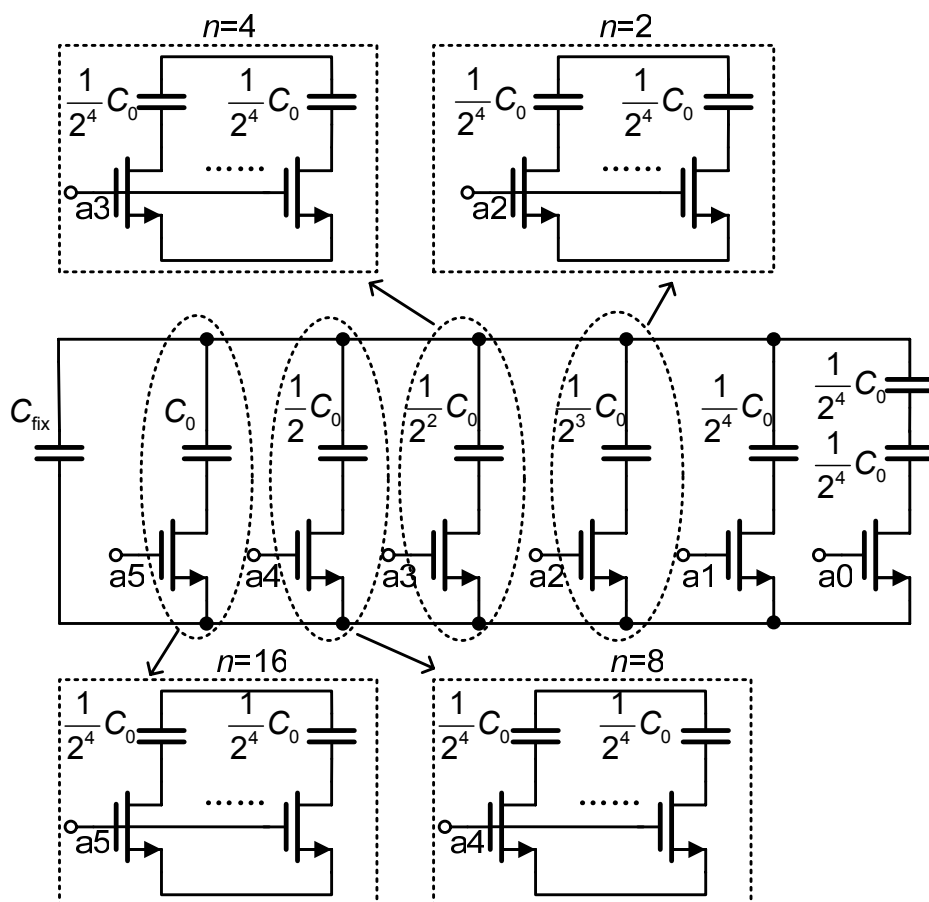
- 开启电流影响

MOS 开关管 **M6** 开启的瞬间，偏置电流需要一个建立时间，如果此时的瞬态电流使用来对电容阵列进行充电，必然会影响校正精度。因此在时序设计的时候，应该避免使用开启电流对电容阵列充电。如图 4-8 所示，晶体管 **M5** 和 **M6** 开启，此时偏置电流被引入 **GND**。在偏置电流建立稳定之后，晶体管 **M5** 关闭，已经建立稳定的偏置电流便开始对电容阵列充电。

校准的控制逻辑采用二进制搜索算法以节约校正时间。在本设计中，参考时钟为 **25MHz**，详细的时序规划见图 4-8，整个校正占用了 **6** 个 **steps**，时间消耗为 **7.68 μs** 。



4.2.4 校准误差分析



下面将分析电容的取值以及量化误差，考虑图 4-9 中的可编程开关电容阵列为一个电容数模转换器 (Capacitance Digital-to-Analog Converter, CAP-DAC)，它的输入是由数字信号控制的，输出是容值大小。有以下公式成立：

$$C_{\max} = C_{\text{fix}} + (2 - \frac{1}{2^{n-1}})C_0 \quad (4.14)$$

$$C_{\min} = C_{\text{fix}} \quad (4.15)$$

$$C_{\text{center}} = \sqrt{C_{\max} \cdot C_{\min}} \quad (4.16)$$

假设电阻和电容在工艺角下会发生 $\pm 20\%$ 的变化，为了覆盖这个变化，选择 $C_{\max}/C_{\min}=1.2^2/0.8^2=2.25/1$ ，可以得到 CAP-DAC 的量化噪声为：

$$E_q = \frac{C_0 / 2^{n-1}}{C_{\text{center}}} \quad (4.17)$$

这里的 n 为数字信号的控制位数。

为了控制校准精度在 $\pm 5\%$ 之内，必须估计并控制好所有的误差来源。对于量化精度来说，可以选择 $n=6$ 来达到 1.4%的量化误差。通常，在同一个芯片内，通过选取合适的尺寸以及很好的版图设计，可以将主电路和从电路之间的电阻误差控制在 0.5%之内，而电容的相对精度比电阻还要高一些，可以控制在 0.2%之内。除了量化精度和 RC 失配之外，运放的输入失调，电流镜的失配也是影响校准精度的因素。如果这些能够被控制在 0.4%之内，那么校准精度 $\pm 3\%$ 的目标就可以实现了。在下一节中，我们会介绍，截止频率的校正是基于参考截止频率 4MHz。而不同的截止频率之间的切换将通过 MOS 管开关电阻阵列来实现的，考虑 2%的截止频率匹配误差，最终我们可以获得 5%以内的校正误差。

4.2.5 可编程截止频率的实现

在我们的数字电视调谐接收器中，系统设计要求滤波器的截止频率能够覆盖 5MHz, 6MHz, 7MHz 和 8MHz 以适应所有的 DVB-T/H 协议，并且要求滤波器的截止频率还能够在 2.5MHz, 3MHz, 3.5MHz, 4MHz 和 5MHz, 6MHz, 7MHz, 8MHz 之间进行切换，以适应零中频和低中频两种工作模式。

在 AFT 算法结束之后，可以得到一个精确的参考截止频率，这个参考截止频率在这里设置为 4MHz。然后通过一个开关电阻阵列，如图 4-10 所示，切换电阻的阻值来获得需要的截止频率，如 2.5MHz, 3MHz 和 3.5MHz，这些

截止频率将和 4MHz 的参考截止频率保持电阻的相对精度。为了实现截止频率精确的匹配，MOS 管开关的并联电阻应该被考虑。在获得 2.5MHz，3MHz，3.5MHz 和 4MHz 的截止频率之后，我们可以通过将电容码值自动减半来实现 2 倍的截止频率，也就是 5MHz，6MHz，7MHz 和 8MHz。在减半的过程中，开关电容阵列的最小位电容会丢失。

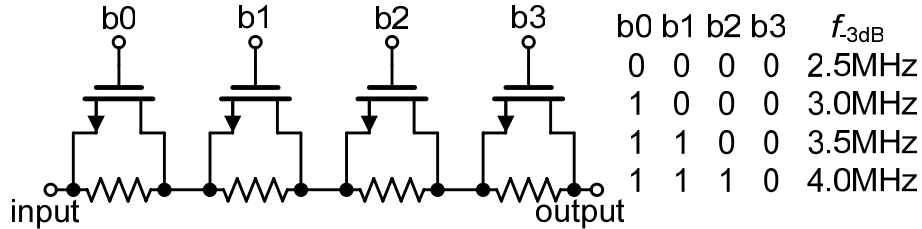


图 4-10 开关电阻阵列原理图

参考文献

- [1] Rolf schaumann, "Design of Analog Filter", *Oxford University Press*, 2001
- [2] Jussila, J.; Halonen, K.; "Minimization of Power Dissipation of Analog Channel-Select Filter and Nyquist-Rate A/D converter in UTRA/FDD", *IEEE Int. Symposium on Circuits and Systems*, vol. 4, pp. 23-26, May, 2004.
- [3] DingKun Du, Yongming Li, Zhihua Wang, "An Active-RC Complex Filter with Mixed Signal Tuning System for Low-IF Receiver," *IEEE Asia Pacific Conf. on Circuits and Systems*, pp. 1031-1034, December 2006.
- [4] Seyeob Kim, Bonkee Kim, Min-Su Jeong, Jung-Hwan Lee, Youngho Cho, Tae Wook Kim, Bo-Eun Kim, "A 43dB ACR low-pass filter with automatic tuning for low-IF conversion DAB T-DMB tuner IC," *IEEE European Solid-State Circuits Conf. (ESSCC)*, pp. 319-322, September 2005.
- [5] Willy Sansen, "Analog Design Essential", *Springer Press*, pp.426, 2006.
- [6] Liang Zou, Kefeng Han, Youchun Liao, Hao Min and Zhangwen Tang, "A 12th Order Active-RC Filter with Automatic Frequency Tuning for DVB Tuner Applications" *IEEE Asia Solid-State Circuits Conf. Proceedings*, Nov. 2008.

第五章 偏置电路设计

本章将讨论偏置电路的设计，设计的目的之一是为滤波器提供电压和电流偏置，目的之二是给整个射频接收机提供低噪声偏置。本章涉及的内容包括低噪声、高电源抑制比的带隙基准电压源和低压差线性稳压器(Low-Dropout Regulator, LDO)电路设计。

5.1 带隙基准电路设计

对于绝大多数模拟及射频系统来说，带隙基准电路都是不可或缺的一部分。随着无线通讯技术和集成电路工艺的发展，精确的偏置电压及低噪声偏置的产生得到广泛的关注。

为了获得精确的电压参考，通常会采用一些修正(Trimming)方法。修正通常有两种，一种是硬修正(hard-trimming)，比如激光修正，但是这种方法比较昂贵并且过程复杂；另外一种方法是采用数字控制位进行软修正(soft-trimming)[1] [2]，它的优势在于这种方法非常简单易行，不需要额外的硬件开销，其数字控制位通常可以由系统内部的数字电路生成，而不需要引入外部的管脚。但是绝大多数的软修正实现都是基于调整基准电路的电阻或者电流。而本文中所提出的数字控制型带隙基准电压源，采用控制 PNP 晶体管个数的方式来实现输出参考电压的可调，并且能够得到优化的噪声性能，适用于低噪声、高精度的模拟及射频系统中。低噪声偏置的产生，在无线通信系统中显得尤为重要，一些射频电路对噪声的要求十分苛刻，使得传统的带隙基准电压电路无法胜任。基于以上两点的考虑，本章中提出了一种输出电压可控制的低噪声带隙基准电压源。

5.1.1 输出参考电压的调整

图 5-1 是数字控制型带隙基准电压源的电路原理图，理想的输出参考电压表达式：

$$V_{\text{ref}} = V_{\text{eb2}} + IR_2 = V_{\text{eb2}} + \frac{R_2}{R_1} V_T \ln(2M) \quad (5.1)$$

其中 M 为 PNP 晶体管的个数。

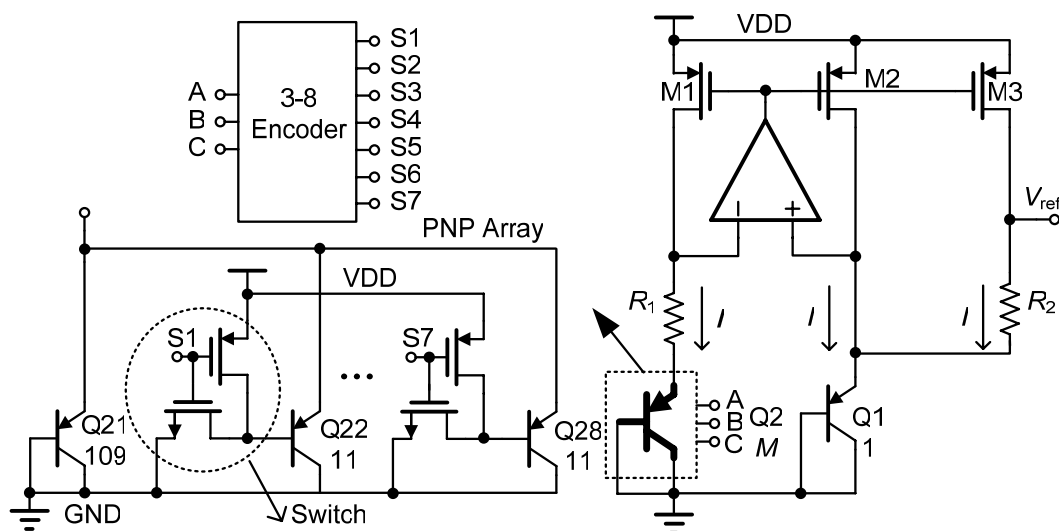


图 5-1 数字控制型带隙基准电压源原理图

由于工艺偏差，实际的带隙基准输出电压可能会发生一些偏差。从(5.1)式可以看出，改变 R_2 和 R_1 的比值或者改变晶体管的个数 M 都可以实现输出参考电压的调整。本文中所提出的带隙基准电压源，是通过调整晶体管个数 M 实现输出参考电压的调整。 M 的值可以从 109 到 186 变化，步长为 11。选择 11 作为 PNP 晶体管切换步长的目的是为了实现在输出电压 4mV 的校正步长。在传统的带隙基准电路中，Q2 和 Q1 比值通常取得较小。本文采用了较大的 Q2 和 Q1 的比值，其目的是为了实现在低噪声的参考输出电压。

在 PNP 晶体管阵列中，采用了一组 MOS 管开关来控制 PNP 晶体管的导通以获得可变的输出参考电压。晶体管 Q21 是一个固定连接，而晶体管 Q22~Q28 均由 MOS 管开关控制。每一个 PNP 晶体管开关单元都由一个 PMOS 晶体管、一个 NMOS 晶体管和一个横向 PNP 晶体管构成。

当数字信号选中 S1 为高电平时，NMOS 管导通，PMOS 管关断，Q22 晶体管的基极电位被拉到 GND，Q22 晶体管导通；当数字信号选中 S1 为低电平时，NMOS 管关断，PMOS 管导通，Q22 晶体管的基极电位被拉到 VDD，Q22 晶体管截止。控制端口 S1~S7 采用一个 3-8 译码器进行温度编码，然后由 3 位数字信号进行控制。

该电路可以获得 ± 18 mV 的可变输出电压范围，这足以覆盖工艺角变化的偏差。如果采用更多的 PNP 晶体管和开关单元及更多的数字控制位，那么输出参考电压的控制精度将得到进一步的提升。具体的输出精度，需要根据带隙基准

电压源的应用环境来确定。

5.1.2 温度系数分析

温度系数是带隙基准电路设计的另一个重要性能指标。为了改善温度系数，很多论文中提出了各种各样的修正方法或者是温度曲率校正的方法[3] [4] [5]。如果不考虑高阶曲率补偿的话，带隙基准电压源的温度曲线通常呈现出抛物线形状。在这个抛物线中，存在一个极值点。在带隙基准电压源的设计中，通常希望温度曲线的极值点位于温度变化范围的中间，这样可以使得参考电压随温度变化最小。但是由于工艺偏差和模型的准确性，极点的位置在流片之后可能会发生变化。将(5.1)式的左右两边分别对温度 T 求导，得到：

$$\frac{\partial V_{\text{ref}}}{\partial T} = \frac{\partial V_{\text{eb2}}}{\partial T} + \frac{R_2}{R_1} \frac{\partial V_T}{\partial T} \ln(2M) = \frac{\partial V_{\text{eb2}}}{\partial T} + \frac{R_2}{R_1} \frac{K}{q} \ln(2M) \quad (5.2)$$

而 V_{eb} 对温度 T 的一阶导数为[7],

$$\frac{\partial V_{\text{eb}}}{\partial T} = \frac{V_{\text{eb}} - (3+m)V_T - E_g / q}{T} \quad (5.3)$$

假设 $\partial V_{\text{ref}} / \partial T = 0$ ，由(5.2)式可得：

$$\frac{\partial V_{\text{eb2}}}{\partial T} + \frac{R_2}{R_1} \frac{K}{q} \ln(2M) = 0 \quad (5.4)$$

将 $V_{\text{eb2}} = V_T \ln(I_C / I_S)$ 和(5.3)式带入带(5.4)式中，可以得到：

$$\frac{V_{\text{eb2}} - (3+m)V_T - E_g / q}{T_{\text{pole}}} + \frac{R_2}{R_1} \frac{K}{q} \ln(2M) = 0 \quad (5.5)$$

$$T_{\text{pole}} = \frac{E_g}{[\ln(\frac{2I}{I_S}) - (3+m) + \frac{R_2}{R_1} \ln(2M)]K} \quad (5.6)$$

这里的 T_{pole} 指的是温度曲线的极值点， q 为电子的电荷量， E_g 代表硅的带隙能量， I_S 是 Bipolar 晶体管的反向饱和电流。在温度系数设计时，希望极值点位于温度变化范围的中间，使得参考电压随温度变化最小。根据(5.6)式，极值点 T_{pole} 的位置会根据晶体管个数 M 的变化而移动。因此，所设计的数字控制型带隙基准电路同样能够被用以进行温度系数的校正。

假设保持 R_2/R_1 的比例不变, 那么偏置电流 I 不断减小时, 温度曲线的顶点不断右移, 导致温度特性变差。这不是我们所希望的结果, 为了克服这个缺点, 我们可以调节 R_2/R_1 的比例增大, 从而保证(5.6)式中分母项基本不变。但是 R_2/R_1 增加, 会导致噪声性能变差, 所以温度系数和噪声是一个折衷。

5.1.3 电路设计

图 5-2 是完整的带隙基准电压源的电路原理图, 其中核心电路由 MOS 管 M1~M6, Poly 电阻 R_1 和 R_2 , PNP 晶体管 Q1 和 Q2 所构成。开启电路由 MOS 管 SM1~SM4 组成, 由于电路存在两个简并点, 因此 net1 和 net2 都需要被启动。电流镜偏置的设计采用了共源共栅结构来改善电流镜的匹配性。电路中还采用了密勒补偿电容 C_C 来改善闭环环路的稳定性, 通过提高闭环增益来优化电源抑制比性能。

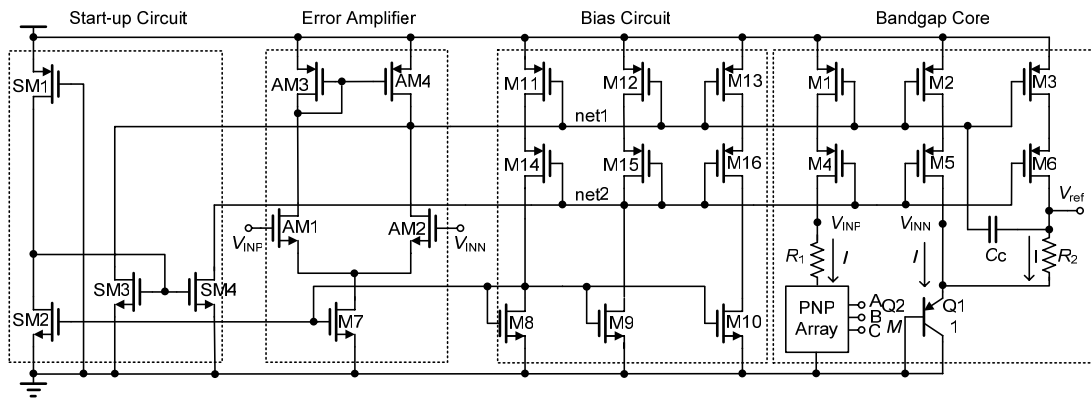


图 5-2 带隙基准电压源电路原理图

5.1.4 噪声分析

在低噪声应用中, 基准电压源的噪声通常是一个很重要的贡献者。很多电路, 比如高精度模数转换器(ADC)、低噪声放大器(LNA)、低压差线性稳压器(LDO)、压控振荡器(VCO)及锁相环(PLL)等都需要低噪声的参考电压。

图 5-3 是低噪声带隙基准电压源的噪声分析原理图。下面对带隙基准电压电路的噪声进行分析[6]。如图 5-3 所示, 输出噪声包括三部分: 第一部分是运放的等效输入噪声 $\overline{v_{n, \text{opamp}}^2}$, 乘以噪声增益 $(R_2/R_1)^2$ 后, 等效为带隙基准电路的输出噪声; 第二部分是电源噪声, 先折算到运放的输入端, 然后乘以 $(R_2/R_1)^2$ 等效为输出噪声; 第三部分是电阻噪声, 其中, 电阻 R_2 的噪声直接传递到输出, 电

阻 R_1 的噪声乘以 $(R_2/R_1)^2$ 后折算到输出。因此可以得到以下总的等效输出噪声表达式:

$$\overline{V_{n,\text{ref}}^2} = \left(\frac{R_2}{R_1}\right)^2 \overline{V_{n,\text{opamp}}^2} + \left(\frac{R_2}{R_1}\right)^2 \left| \frac{1}{A_1} \right|^2 \overline{V_{n,\text{vdd}}^2} + \overline{V_{n,R2}^2} + \left(\frac{R_2}{R_1}\right)^2 \overline{V_{n,R1}^2} \quad (5.7)$$

其中 $\overline{v_{n,R1}}^2$, $\overline{v_{n,R2}}^2$ 分别为电阻 R_1 , R_2 的电压噪声, $\overline{v_{n,vdd}}^2$ 为电源噪声, $\overline{v_{n,opamp}}^2$ 为带隙基准电路中运放的等效输入噪声, A_u 为运放输入到电源的差分增益。

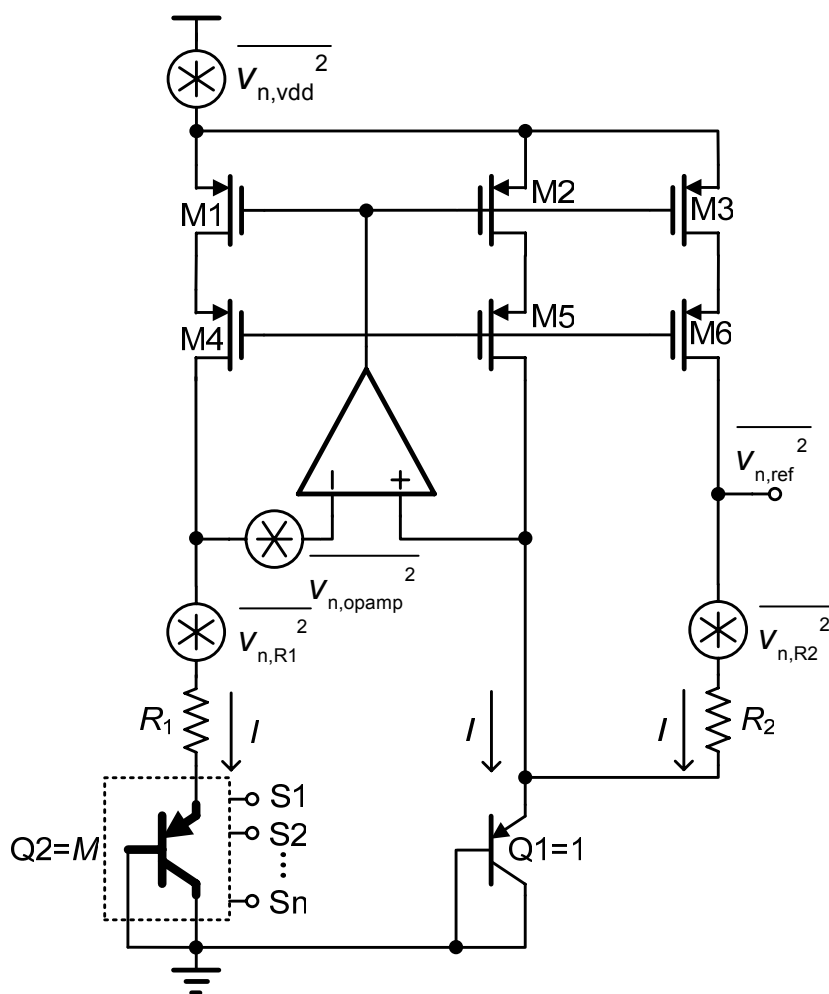


图 5-3 基准电压源电路噪声分析

可见电阻比值 R_2/R_1 是影响输出噪声最重要的部分，下面我们分析减小电阻比值 R_2/R_1 的策略。根据(5.2)和(5.4)式，有：

$$\frac{R_2}{R_1} = \frac{\partial V_{\text{eb2}} / \partial T}{\partial V_{\text{T}} / \partial T} \frac{1}{\ln(2M)} = \frac{\partial V_{\text{eb2}} / \partial T}{K/q} \frac{1}{\ln(2M)} \quad (5.8)$$

由上式可得，增大 PNP 管的个数 M ，可以减小电阻比值 R_2/R_1 ，而图 5-3 中两路偏置电流的共用，使得电阻比值 R_2/R_1 进一步减小。

5.1.5 仿真结果

对于带隙基准电压源来说，噪声和电源抑制比通常是衡量电路性能的重要指标。噪声和电源抑制比的要求需要根据系统的性噪比要求来制定。比如，一个 14 比特的 ADC，要求能够达到 86dB 的性噪比，那么为它提供参考电压如果考虑 10dB 的设计余量，则带隙基准电压源的性噪比就需要达到 96dB。如果输出参考电压为 1.14V，根据信噪比 96dB 的要求，可以计算出，参考电压源的积分噪声不能高于 18 μ Vrms。因为闪烁噪声会比较大，所以往往更加关注带隙基准电压源的低频积分噪声。

图 5-4 中给出了噪声的仿真曲线，其积分噪声从 100Hz 到 100KHz 为 10 μ VRMS。电源抑制比的计算方法和噪声类似，也是根据信噪比来制定相关要求。图 5-5 中给出了电源抑制比的仿真结果，在低频处，电源抑制比可以达到 -80dB。

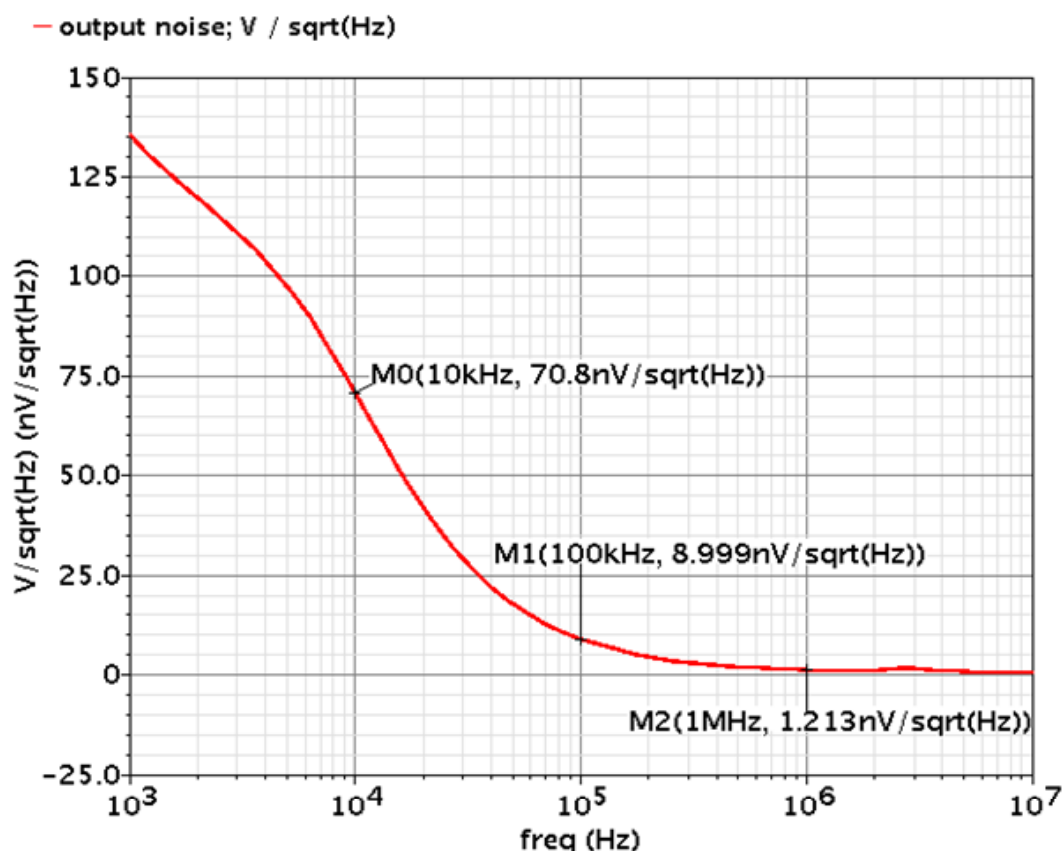


图 5-4 输出噪声仿真

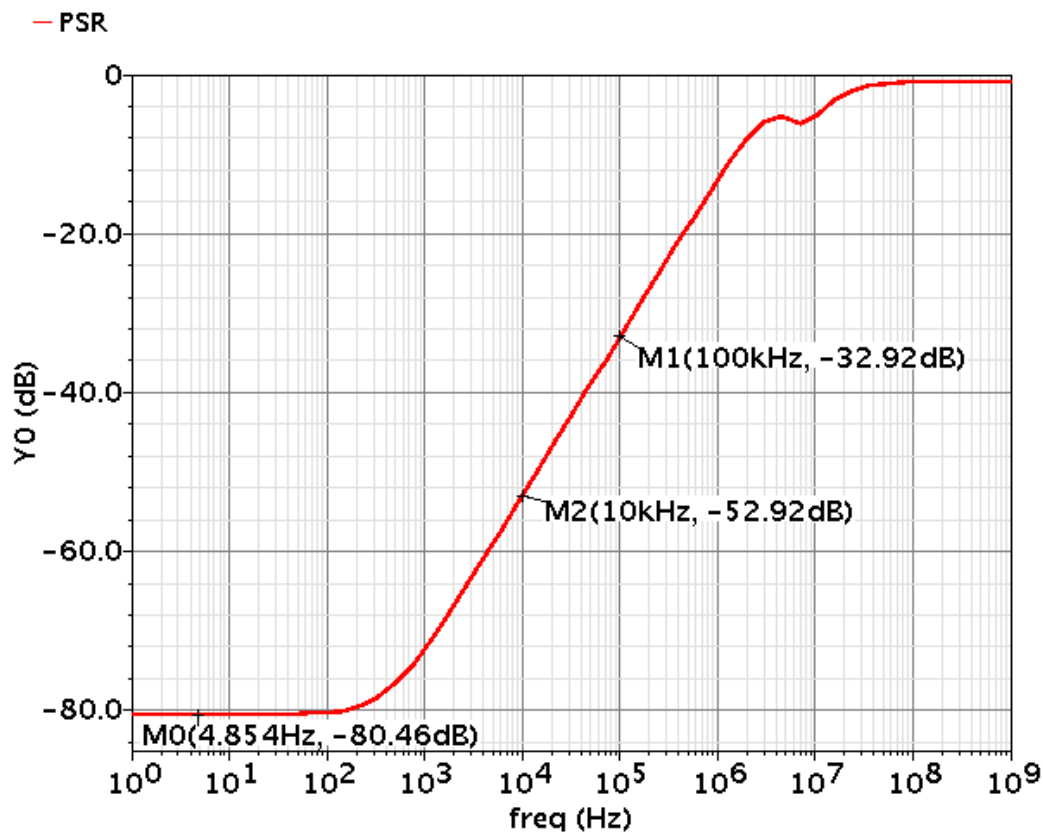


图 5-5 电源抑制比仿真

5.1.6 偏置电流

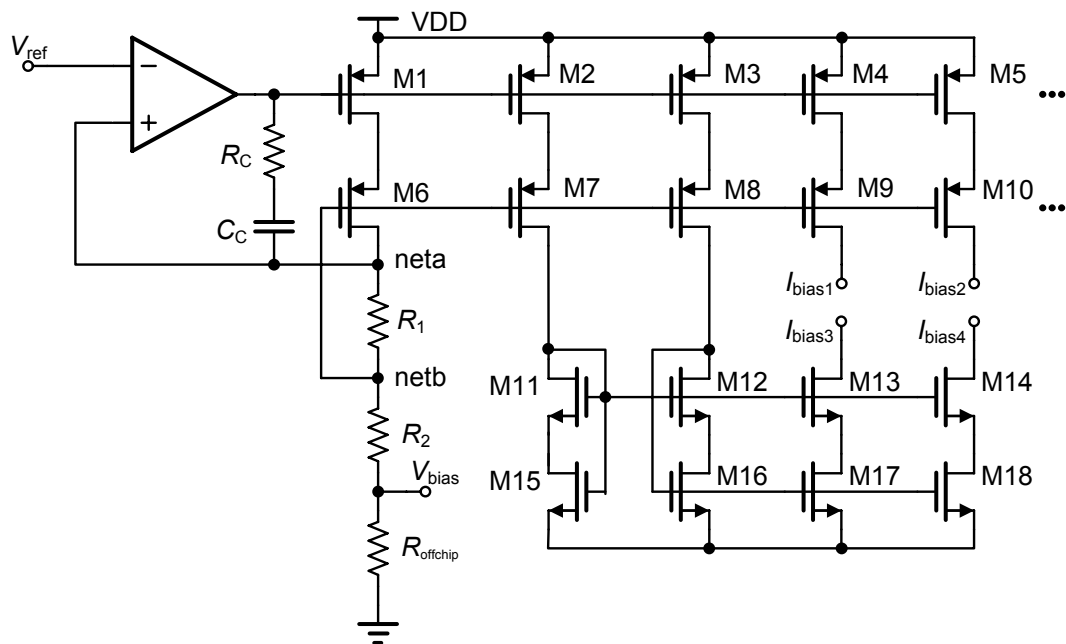


图 5-6 偏置电流产生电路图

由带隙基准电压电路得到的参考电压 V_{ref} 从运放的一端输入，利用运放做负

反馈, 使得 n_{eta} 点的电压和 V_{ref} 一致。考虑到片内电阻的不精确, 这里采用了片外可调电阻 $R_{offchip}$, 通过调节可以得到精确的偏置电流。电流偏置管采用共源共栅结构获得大的输出阻抗, 采用密勒 RC 补偿环路稳定性。

5.2 低压差线性稳压器设计

在射频芯片中, 电源噪声是约束芯片性能的一个主要贡献者, 而低噪声、高电源抑制比的低压差线性稳压器设计是当前射频芯片全集成的一大难点, 近年来, 不断有人提出新的电路结构, 以期对性能有所改善。在本文涉及的数字电视调谐接收系统中, 需要一个低噪声稳压电源为压控振荡器提供稳定的电源电压, 而且不影响振荡器的相位噪声。这里采用了一种低噪声的架构, 在带隙基准电路与低压差线性稳压器电路之间插入了一级片上滤波器, 使用了高增益运算放大器以提供较好的低频电源噪声抑制, 并采用电源噪声消除技术和零点补偿技术以实现好的高频电源噪声抑制。

常用的电压稳压器有两种: 一种是开关型 (Switching-Mode Power Converters, SMPC), 它的特点是效率高; 另一种是线性型 (Linear Voltage Regulator), 这类调节器始终处于导通状态, 电源效率没有 SMPC 高, 但是往往能够提供较好的输出噪声和电源抑制性能, 因此被广泛的应用在通信电路中 [7]。图 5-7 是低压差线性稳压器基本结构框图。

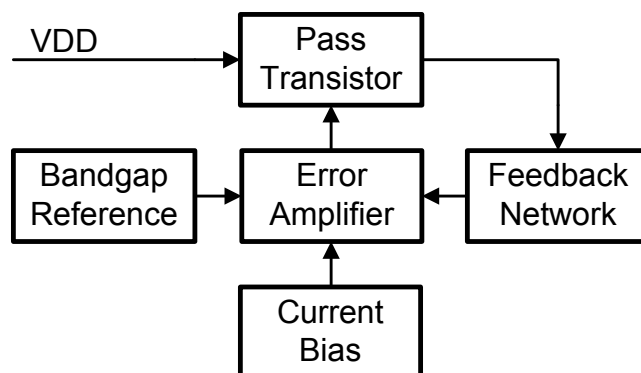


图 5-7 低压差线性稳压器基本结构框图

5.2.1 电源抑制比分析

对于电压稳压器来说, 目的是提供一个干净的稳定的电源。因此, 本身的噪声和对上级电源的噪声抑制能力, 成为衡量电路性能的关键指标。在模拟电路设计中, 电源抑制比 (Power Supply Rejection Ratio, PSRR) 和共模抑制比往

往是容易被忽视的性能指标，而在实际的电路工作时，它们对噪声的贡献可能比电路本身还要大。

图 5-8 中给出了一个简单的低压差线性稳压器电路示意图，下面对其电源抑制比进行分析。电源噪声对输出的影响可以理解为两部分，分别由两条通路实现，如图 5-8 中箭头所标，一部分可以认为是电源噪声通过 **Mp** 管直接到 v_{out} ，其大小等于 $A_{dd}v_{dd}$ (A_{dd} 是从电源看到输出的增益)；另一部分可以认为是 v_{out} 处的输出噪声通过负反馈回路，流经电阻 R_1 、误差放大器、**Mp** 管之后再回到输出，其大小等于 $-A_1g_{mp}r_{DSp}\beta v_{out}$ (A_1 是运放的开环增益； β 为反馈因子其值为 $R_2/(R_1+R_2)$ ； g_{mp} ， r_{DSp} 为 PMOS 管的跨导和输出阻抗)。因此可以得到输出电源噪声的表达式如下[8]：

$$v_{out} = A_{dd}v_{dd} - A_1g_{mp}r_{DSp}\beta v_{out} \quad (5.9)$$

$$\Rightarrow \frac{v_{out}}{v_{dd}} = \frac{A_{dd}}{1 + A_1g_{mp}r_{DSp}\beta} \quad (5.10)$$

可以看出，要提高电源抑制比，可以增大运放的开环增益，或者尽可能增大反馈因子 β 。

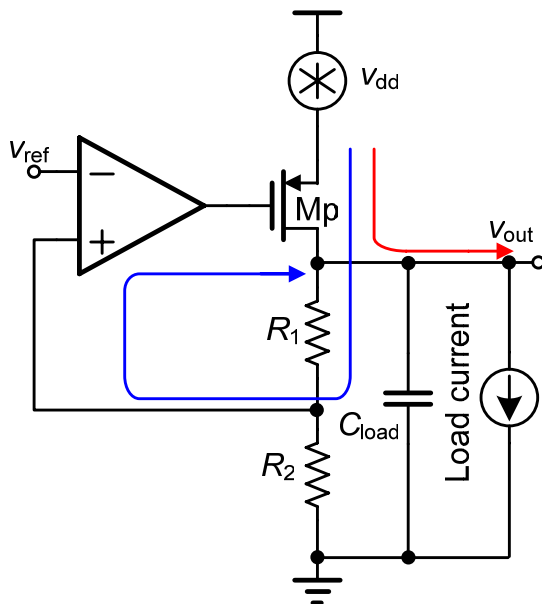


图 5-8 电源抑制比分析原理图

5.2.2 噪声分析

图 5-8 中的电路其噪声来源于三个方面，分别是：电阻噪声 $\overline{v_{n,R1}^2}$ 和 $\overline{v_{n,R2}^2}$ ；

运放的等效输入噪声 $\overline{v_{n,opamp}^2}$ ；前级参考电压源的噪声 $\overline{v_{n,BG}^2}$ 。

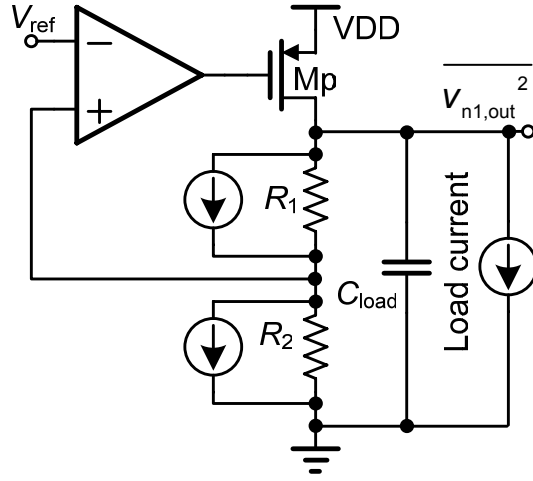


图 5-9 电阻 R_1 和 R_2 的噪声贡献分析

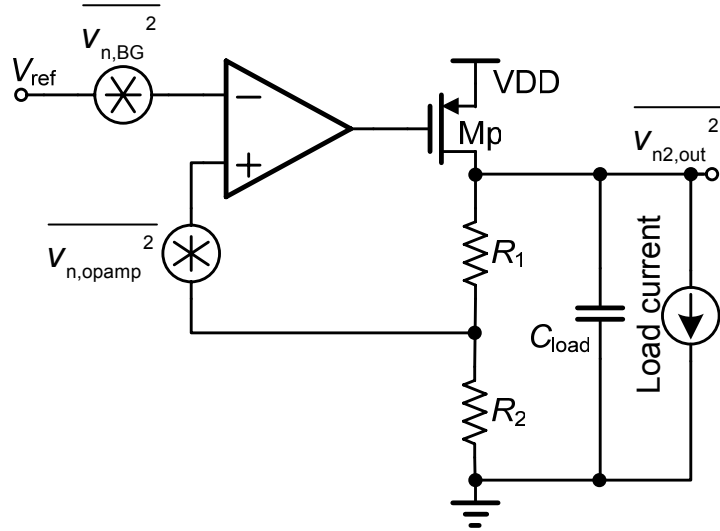


图 5-10 运放和带隙基准电压的噪声贡献分析

如图 5-9 所示，若仅考虑电阻 R_1 和 R_2 的噪声贡献，

$$\overline{i_{n,R1}^2} = \frac{4KT}{R_1}, \overline{i_{n,R2}^2} = \frac{4KT}{R_2} \quad (5.11)$$

net1 点交流虚地，电阻 R_1 的电流噪声直接到输出端，其大小为：

$$\overline{v_{n,R1}^2} = \frac{4KT}{R_1} R_1^2 = 4KTR_1 \quad (5.12)$$

电阻 R_2 的电流噪声流经 R_1 后到输出，其大小为：

$$\overline{v_{n,R1}^2} = \frac{4KT}{R_2} R_1^2 = 4KTR_2 \frac{R_1^2}{R_2^2} \quad (5.13)$$

因此，电阻贡献的总的等效输出噪声为：

$$\overline{V_{n1,out}^2} = \overline{V_{n,R1}^2} + \left(\frac{R_1}{R_2}\right)^2 \overline{V_{n,R2}^2} \quad (5.14)$$

若仅考虑误差放大器及带隙基准电压的输出噪声的贡献，如图 5-10 所示。从误差放大器的输入看到输出的闭环增益 $A=(R_1+R_2)/R_2=1/\beta$ ，有：

$$\overline{V_{n2,out}^2} = A^2 \overline{V_{n,opamp}^2} + A^2 \overline{V_{n,BG}^2} = \left(\frac{V_{n,opamp}}{\beta}\right)^2 + \left(\frac{V_{n,BG}}{\beta}\right)^2 \quad (5.15)$$

总的等效输出噪声可以表示为：

$$\overline{V_{n,tot}^2} = \overline{V_{n,R1}^2} + \left(\frac{R_1}{R_2}\right)^2 \overline{V_{n,R2}^2} + \left(\frac{V_{n,opamp}}{\beta}\right)^2 + \left(\frac{V_{n,BG}}{\beta}\right)^2 \quad (5.16)$$

其中 β 为反馈因子，其值为 $R_2/(R_1+R_2)$ 。

可以总结得出，要减小输出噪声，可以采用以下方法：

- 减小带隙基准电压的等效输出噪声，这在 5.1 节中做出了具体的分析。
- 增大 β 值，即减小电阻比值 R_1/R_2 ，因此参考输入电压不能太低；减小电阻 R_1 和 R_2 以获取好的热噪声，但会增大流过电阻 R_1 和 R_2 上的电流而增加功耗。
- 减小误差放大器的等效输入噪声，采用大尺寸晶体管以获得较好的闪烁噪声特性。

5.2.3 电路实现

本设计中的低压差线性稳压器电路的输出电压要求是 1.5V，为压控振荡器供电，要求能够驱动 1~20mA 的电流。图 5-8 中的电路做一些修改，可以得到改进的低压差线性稳压器电路如图 5-11 所示。在改进的电路中，电阻 R_1 和 R_2 被前置了，然后经过一个电压转换电路，先得到需要的 1.5V 电压，再经过一阶 RC 滤波器，将前级电路的噪声滤除掉一部分。而且由于噪声滤波器的存在，电阻 R_1 和 R_2 的取值可以稍大，将有利于功耗的优化。而且电阻 R_1 和 R_2 的前置，使得输出端的零极点分布变得较为简单，相位裕度有所改善。电源抑制比和噪声的区别在于电源抑制比是具有方向的，因此可以采用一些方法进行消除。在图 5-12 中，为了改善电路的电源抑制比，插入了一级噪声消除电路。如图所示，

The circuit diagram illustrates a two-stage CMOS operational amplifier. The first stage is a differential pair with a tail current source, followed by a common-source second stage. A feedback network consisting of a resistor R_f and a capacitor C_f is connected between the output and the inverting input of the first stage. A 1.5V bias voltage is applied to the non-inverting input of the first stage. The output of the first stage is connected to the gate of the second stage. The second stage's source is connected to ground through a resistor R_z and a capacitor C_z . The output of the second stage is connected to the load I_{load} through a resistor R_c and a capacitor C_c . The circuit also includes a noise filter and a noise cancellation network, both highlighted with dashed circles. The noise filter is connected to the output of the first stage and the input of the second stage. The noise cancellation network is connected to the output of the second stage and the input of the first stage. The circuit is powered by V_{DD} and V_{SS} rails.

53

取决于在此频率下的闭环增益的大小，因此保持环路在宽频下的增益，是提高电源抑制性能的必要条件。在本设计中，不仅采用了密勒 RC 补偿以获得良好的稳定性，还采用了零点补偿技术改善了闭环带宽。

5.2.4 仿真结果

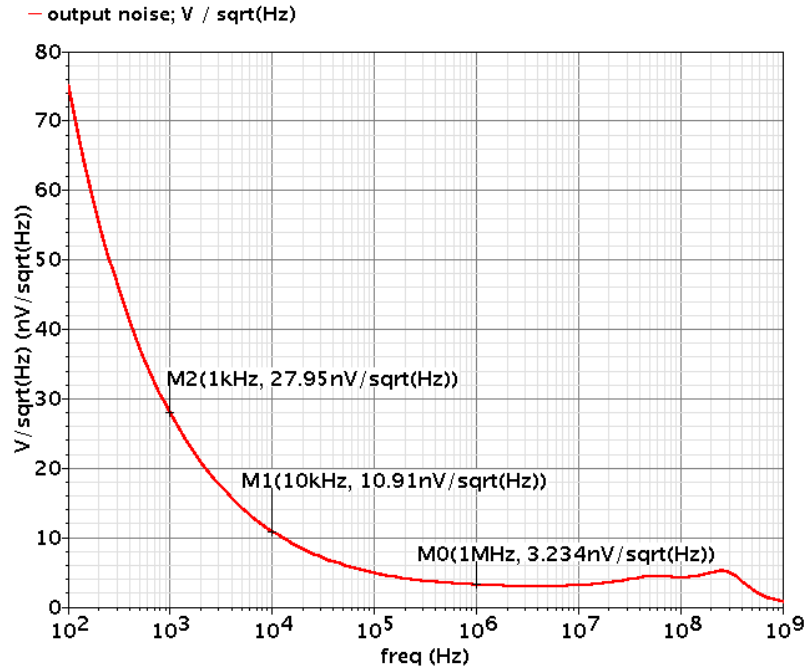


图 5-13 输出噪声的仿真结果

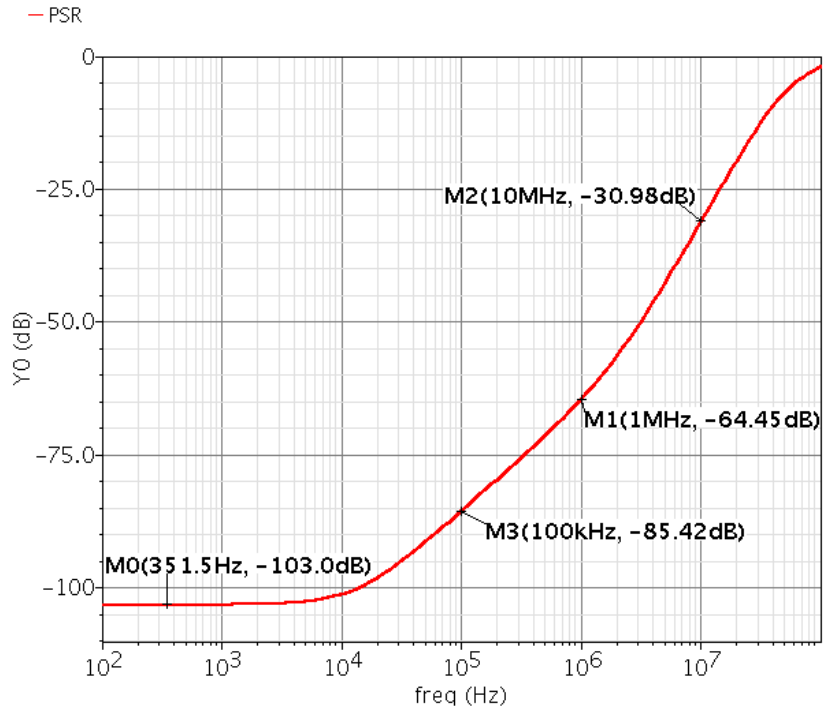


图 5-14 电源抑制比的仿真结果

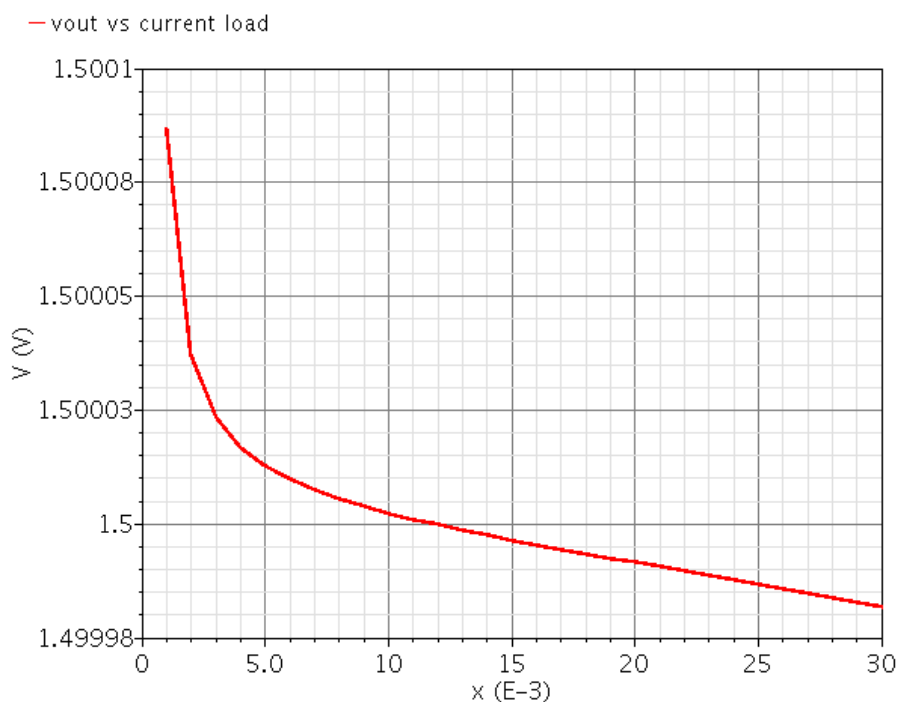


图 5-15 输出电压随负载电流变化的仿真结果

图 5-13 是低压差线性稳压器电路的噪声仿真结果，电路从 100Hz 到 100KHz 的积分噪声为 $2.6\mu\text{VRMS}$ 。图 5-14 是电源抑制比仿真结果， PSR 性能在 DC 频率处达到 -103dB ，在 1MHz 频率处仍然可以保持 -64dB 的抑制。图 5-15 是输出电压随负载电流变化的曲线，表明电路能够在 $1\text{mA}\sim 30\text{mA}$ 负载电流范围内正常工作。

参考文献

- [1] Bang-Sup Song, Paul R. Gray, "A precision curvature-compensated CMOS Bandgap reference," *IEEE J. of Solid-State Circuit*, vol. 18, pp. 634-643, December 1983.
- [2] John Michejda, Suk K. Kim, "A precision CMOS Bandgap reference," *IEEE J. of Solid-State Circuit*, vol. 19, pp. 1014-1021, December 1984.
- [3] Ka Nang Leung, Philip K. T. Mok, Chi Yat Leung, "A 2-V 23- μA 5.3-ppm/oC Curvature-Compensated CMOS Bandgap Voltage Reference," *IEEE J. of Solid-State Circuit*, vol. 38, pp. 561-564, March 2002.
- [4] P. Malcovati, F. Maloberti, M. Pruzzi, C. Fiacchi, "Curvature

- compensated BiCMOS Bandgap with 1 V supply voltage,” *IEEE European Solid-State Circuits Conf. (ESSCC)*, pp. 7-10, September 2000
- [5] Made Gunawan, Gerard C. M. Meijer, Jeroen Fonderie, Johan H. Huijsing, “A curvature-corrected low-voltage Bandgap reference,” *IEEE J. of Solid-State Circuit*, vol. 28, pp. 667-670, June 1993.
- [6] Yue Wu; Aparin, V.; “A Monolithic Low Phase Noise 1.7GHz CMOS VCO for Zero-IF Cellular CDMA Receivers”, *IEEE Int. Solid-State Circuits Conference*, vol 1, pp. 396-535, Feb. 2004.
- [7] Sai Kit Lau; Ka Nang Leung; Mok, P.K.T.; “Analysis of Low-Dropout Regulator Topologies for Low-Voltage Regulation”, *IEEE Conf. on Electron Devices and Solid-State Circuits*, pp. 379-382, Dec. 2003
- [8] Hoon, S.K.; Chen, S.; Maloberti, F.; Chen, J.; Aravind, B.; “A Low Noise ,High Power Supply Rejection Low Dropout Regulator for Wireless System-on-Chip Applications”, pp. 759-762, *IEEE Custom Integrated Circuits Conf. (CICC)*, Sept. 2005

第六章 芯片实现及测试

前两章对滤波器电路及偏置电路的设计做出了分析并给出了部分仿真结果。为了验证电路设计的正确性，在 SMIC 0.18 μm CMOS 工艺下进行了流片验证，本章将给出其测试结果并作出分析。

6.1 芯片实现

在滤波器的版图设计中，开关电容阵列的设计必要保证单调性。设计时希望每个 MOS 管、每个最小电容单元的周边环境尽可能一致，电阻电容的周边可以采用一些 Dummy 以保证匹配性。电容之间的距离保证满足最小的 DRC 规则以减小面积。在后仿真时，由于寄生电容和耦合电容的存在，开关电容单元的容值会比前仿值大一些。因为采用了校准电路，所以这个寄生电容不会对滤波器的特性产生太大影响。但是必须满足的是，滤波器主电路中开关电容单元的电容值要和校准电路中参考校正电容的电容值保持一致。由于这两类电容在滤波器电路中处于的位置不一样，导致它们周边的版图环境不一致，寄生和耦合电容的影响不同，因此在后仿真时，可以在版图中加以处理，以获得相同的电容，这样才不会导致校准误差。

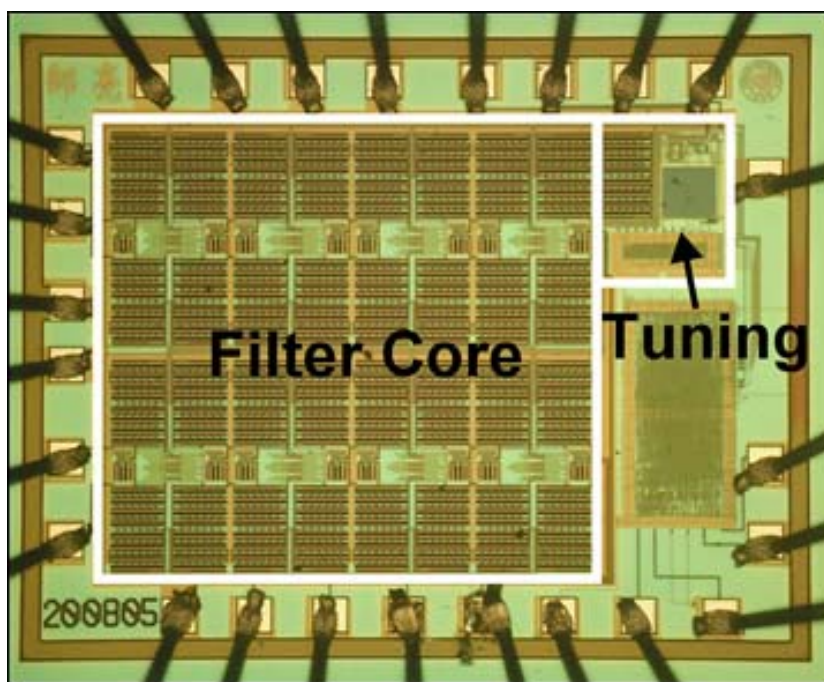


图 6-1 八阶巴特沃斯滤波器芯片照片

图 6-1 是单测版本的滤波器的微缩照片，在 SMIC 0.18 μm 工艺下流片实现，滤波器的芯片面积(包括 I 和 Q 两路)为 1.03mm $\times$ 0.93mm，校准电路的面积为 0.3mm $\times$ 0.25mm。在单测版本的滤波器中，偏置电压和偏置电流在芯片外部通过 PCB 设计而实现，滤波器在版图设计时，应尽量保证 I 和 Q 两路的匹配性。

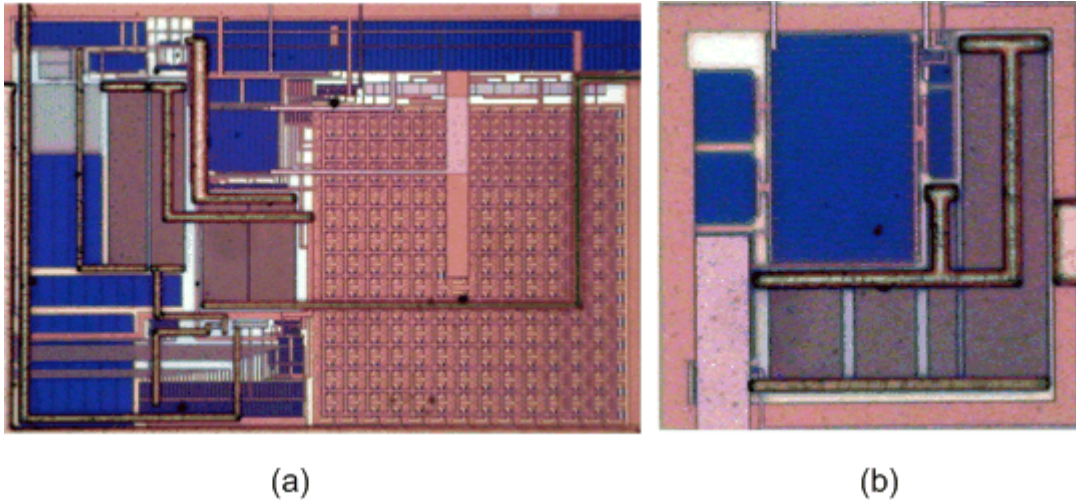


图 6-2 (a) 带隙基准电压源电路芯片照片 (b) LDO 电路芯片照片

图 6-2 (a)是带隙基准电压源电路的芯片照片，在 SMIC 0.18 μm 工艺下流片实现，芯片面积为 0.43mm $\times$ 0.3mm。可以看出，在带隙基准电压源电路中，PNP 管的面积占据了大部分，这是基于低噪声的考虑。在版图设计时，电阻采用插指结构，周边打上电阻 Dummy；晶体管的版图采用中心对称结构以保证高度匹配。图 6-2 (b)是低压差线性稳压器的芯片照片，在 SMIC 0.18 μm 工艺下流片实现，芯片面积为 0.2mm $\times$ 0.17mm。其中输出 MOS 管的设计必须保证能够容纳足够的电流，电源线、地线和输出端连线，都要保证足够的宽度。

6.2 测试 PCB 设计

图 6-3 是滤波器的 PCB 设计原理图，测试电路的输入端采用低频平衡/非平衡转换器(Balun)[1]将信号发生器产生的单端信号转换成差分信号，并且在输入做 50 欧姆匹配，以保证功率 1:1 传输。输出端采用低噪声运放 OPA3693[2]和高线性度运放 MAX4444[3]将差分信号转为单端信号，以便测试滤波器的频率响应、线性度和噪声。I 通路和 Q 通路分别用蓝色和红色线标出。测试原理图中还加入了多个开关，用以实现电路在 I 通路和 Q 通路之间进行切换，并且具备去嵌入(De-Embedded)功能。

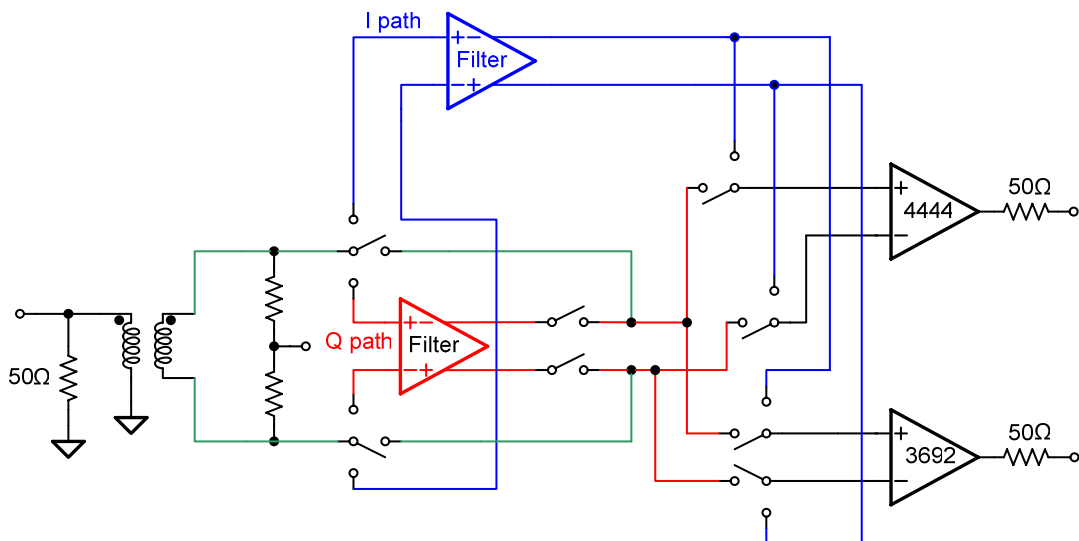


图 6-3 PCB 版测试版的设计原理图

6.3 芯片测试结果

芯片测试包括两部分，一部分是偏置电路的测试，另一部分是滤波器的测试。直流偏置的测试采用万用表完成，而温度系数的测试在凯涛微电子的温箱中完成；滤波器的噪声和三阶交调点采用频谱分析仪 E4440 测试，频率响应曲线利用矢量网络分析仪 E5071B 测试。

6.3.1 偏置电路测试结果

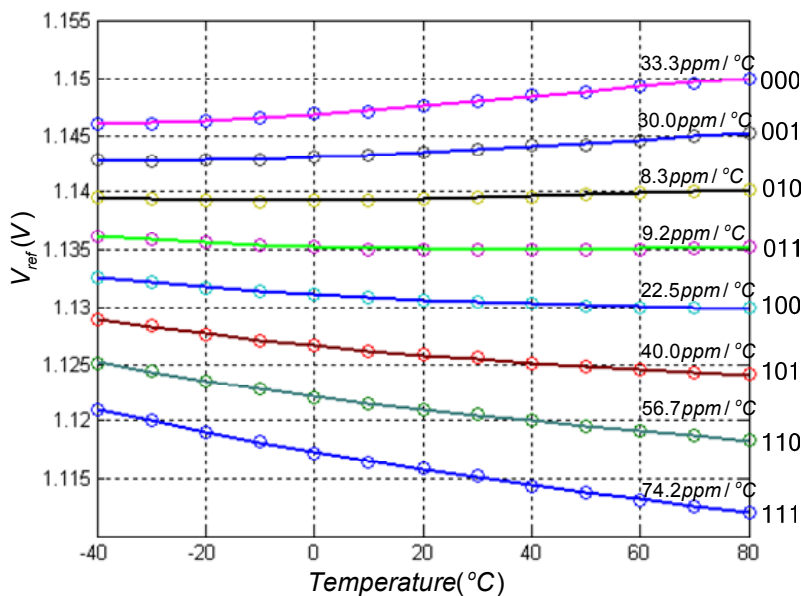


图 6-4 带隙基准电压源的温度系数测试

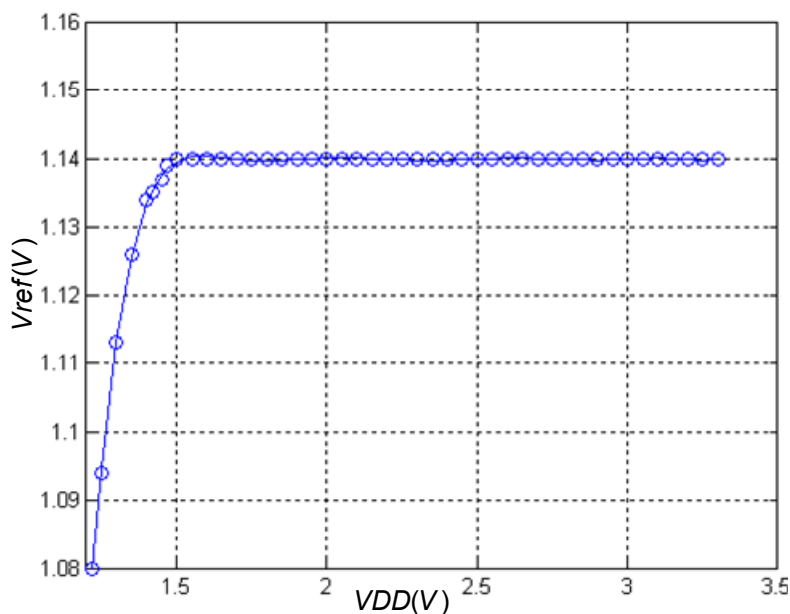


图 6-5 带隙基准电压输出随电源电压变化曲线

表 6-1 电路性能总结

Technology	0.18 μm CMOS
Supply Voltage	1.5~3.3 V
Area	0.09 mm^2
Controllable Reference Voltage	1.13V $\pm$ 18 mV(4 mV/Step)
Power Assumption	200 μA $\times$ 1.5V
The Best Precision of Output Voltage	0.35%
The Best Temperature Coefficient	8.3 ppm/ $^{\circ}\text{C}$
Integrated Noise (100Hz to 100KHz)(Simulation)	10 μVRMS
PSR @ DC(Simulation)	-81 dB

图 6-4 中给出了带隙基准电路的温度曲线，最好的温度系数为 8.3ppm/ $^{\circ}\text{C}$ ，输出参考电压的步长约为 4mV。图 6-5 是输出参考电压随电源电压变化的曲线。测试结果表明，电源电压从 1.5V~3.3V 变化时，输出参考电压仅变化 1mV。表 6-1 是电路性能指标的总结。

6.3.2 滤波器测试结果

图 6-6 给出了滤波器在矢量分析仪下测试得到的频率响应测试曲线，可以看出，在 20MHz 的频率上获得-60dB 的频率衰减，并且阻带衰减能够达到

-80dB。通过电容阵列的编程，可以获得的最小的截止频率为 1.6MHz，最大的截止频率为 15MHz。滤波器的频率响应测试结果和 Butterworth 函数模型一致，获得了很好的阻带频率衰减能力，缓解了滤波器之后 VGA 的带外线性度要求，并且能够为后级 ADC 提供很好的抗叠混性能。

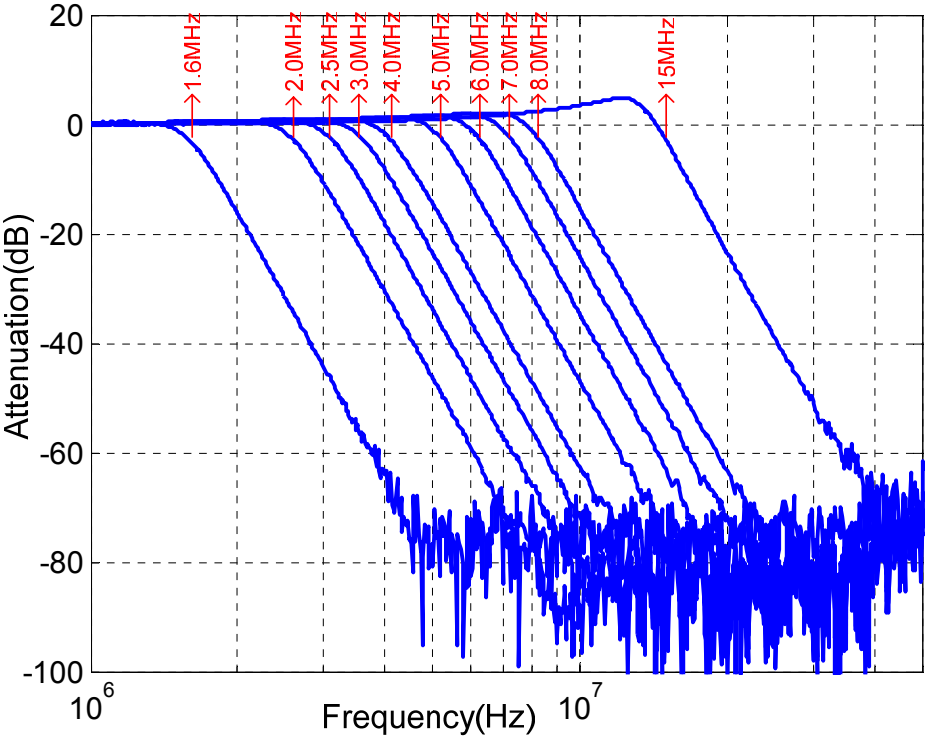


图 6-6 频率响应曲线测试

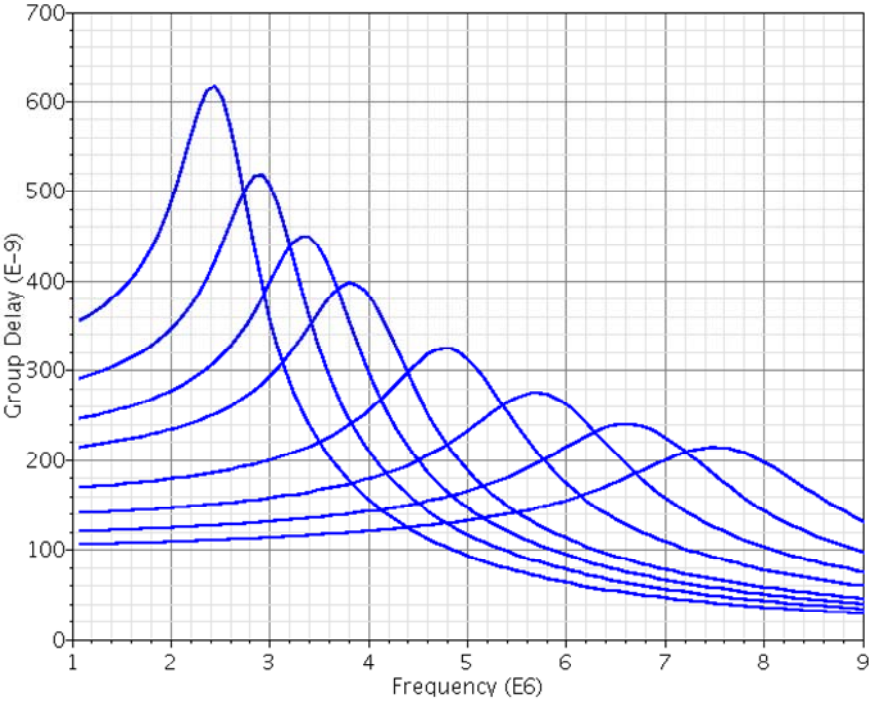


图 6-7 带内群延时仿真结果

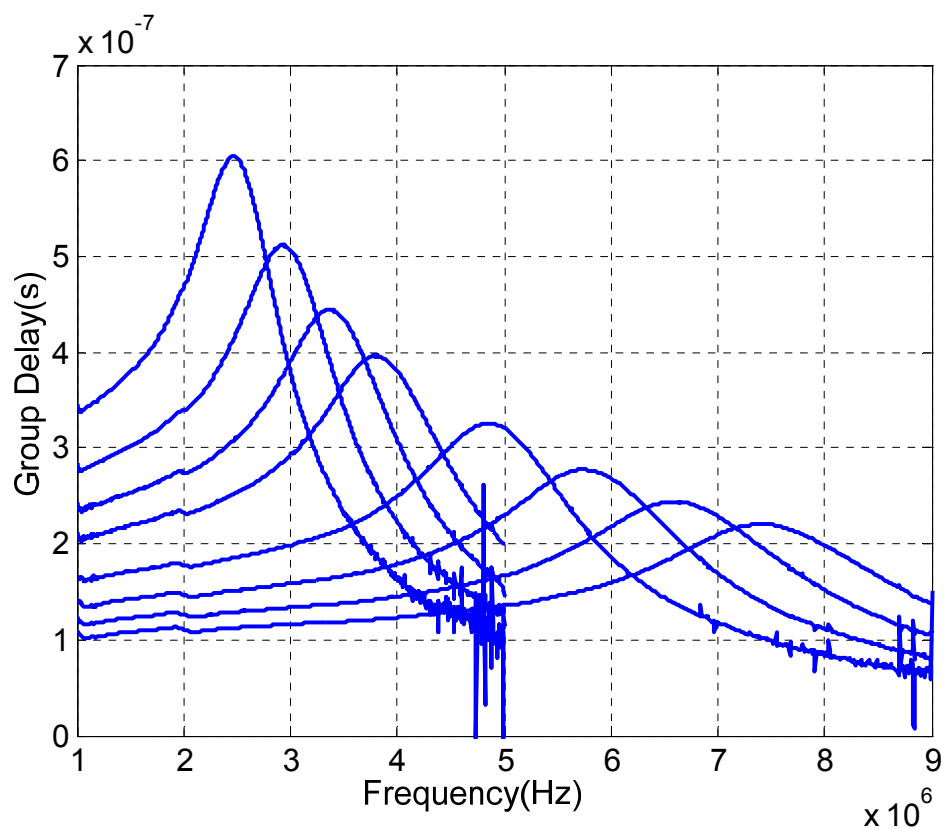


图 6-8 群延时测试结果

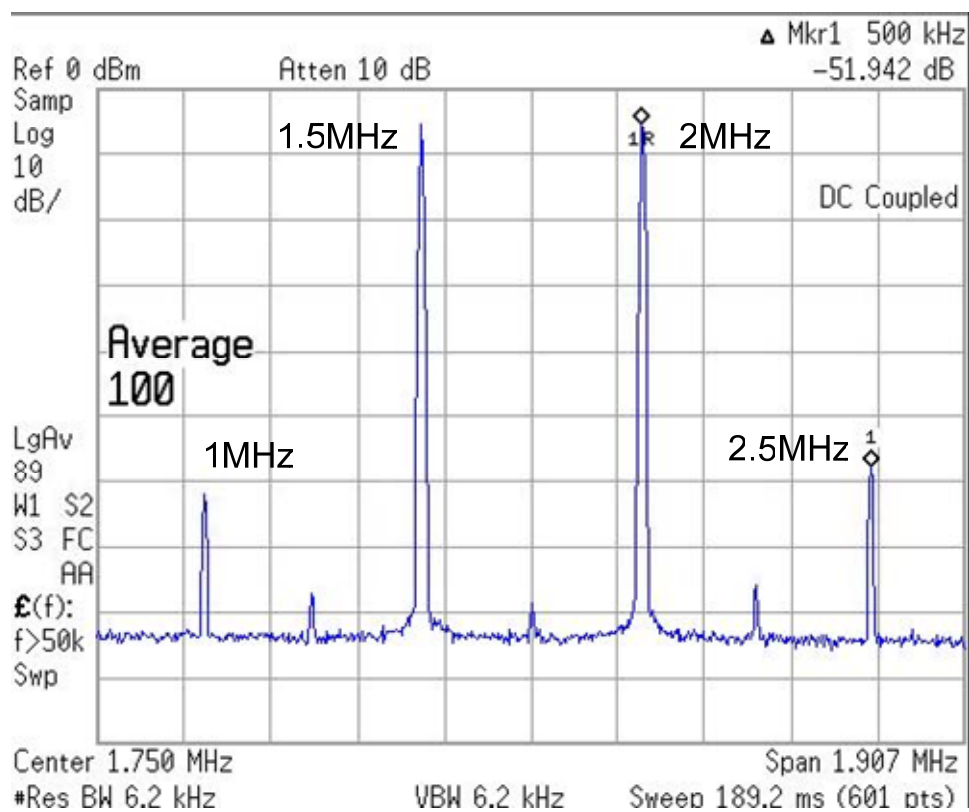


图 6-9 带内线性度测试

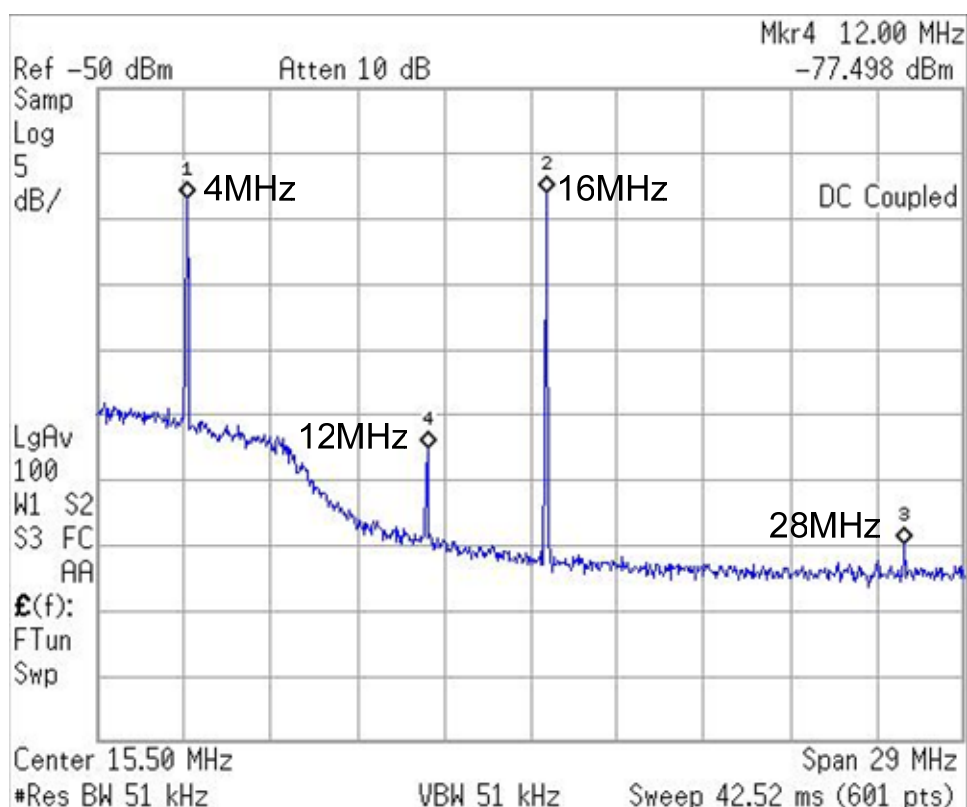


图 6-10 带外线性度测试

表 6-2 滤波器性能指标总结

Technology	0.18 μ m CMOS Process
Supply Voltage	1.8 V
Power Consumption (for I or Q channel)	4mA $\times$ 1.8V=7.2 mW
Area (for both I & Q channels)	1.03 mm $\times$ 0.93 mm(Filter Core) 0.3 mm $\times$ 0.25 mm(Tuning Circuit)
-3dB Frequency	2.5MHz, 3MHz, 3.5MHz, 4MHz, 5MHz, 6MHz, 7MHz, 8MHz
Pass-band Ripple @2.5MHz, 3MHz, 3.5MHz, 4MHz @5MHz, 6MHz, 7MHz, 8MHz	< 1 dB < 2 dB
Attenuation @ 20MHz @ Stop band	> 60 dB > 80 dB
In-band IM ₃ @input power -11dBm	-52 dB
Out-band IM ₃ @input power -11dBm	-55 dB
Noise Figure	41 dB
Tuning Error @ -3dB frequency 4MHz	$\pm$ 3 %
Tuning Time	7.68 μ s

表 6-3 滤波器性能比较

References	[4]	[5]	[6]	This Work
Technology	0.18 μm CMOS	0.35 μm SiGe	0.18 μm BiCMOS	0.18 μm CMOS
Application	DAB/T-DMB Tuner	DBS-Tuner	—	DVB-T/H Tuner
Supply	1.8 V	5 V	2.7 V	1.8 V
Power Consumption	4.5 mA	13 mA	4.3 mA	4 mA
Area	1.395 mm ²	0.5 mm ²	2.86mm ²	1.03 mm ²
Filter Orders	8	7	5	8
Cut-off Frequency	1.58 MHz	4~40MHz	1.92MHz	1.6~15MHz
Stop-band Attenuation	65 dB	43 dB	64 dB	80 dB
In-band IIP3	+4.6 dBm	+10 dBm	+11 dBm	+15 dBm

测试结果表明，滤波器可以在 4MHz 时获得精确的参考截止频率，校准误差可以控制在 $\pm 3\%$ 之内，从 2.5MHz 到 8MHz 的其它的截止频率的精度可以被控制在 $\pm 5\%$ 之内，这个校准精度对于同时满足矢量误差损失和邻道抑制性能是足够的。图 6-7 和图 6-8 中给出了滤波器群延时的仿真和测试结果对比图，可以看出，测试结果和仿真结果非常吻合。在图 6-9 和图 6-10 中，给出了带内 IM_3 和带外 IM_3 的双音测试结果。测试结果表明：在输入信号频率为 2MHz & 1.5MHz，输入功率为-11dBm 时，滤波器的带内 IM_3 时达到了-52dB；在输入信号频率为 16MHz & 28MHz，输入功率为-11dBm 时，带外 IM_3 达到了-55dB。表 6-3 中给出了性能指标的比较，可以看出，本设计在各项性能指标上均表现优越，符合第三章中的系统设计指标要求。

6.4 测试分析与改进

如果要想实现 256QAM 的数字信号解调，而且能够覆盖更多的数字电视协议，如 DBV-C 和 CMMB 协议，并且为接收机系统提供足够的余量，那么提升滤波器的线性度性能是有必要的。分析滤波器电路，发现滤波器线性度受开关电阻阵列约束。

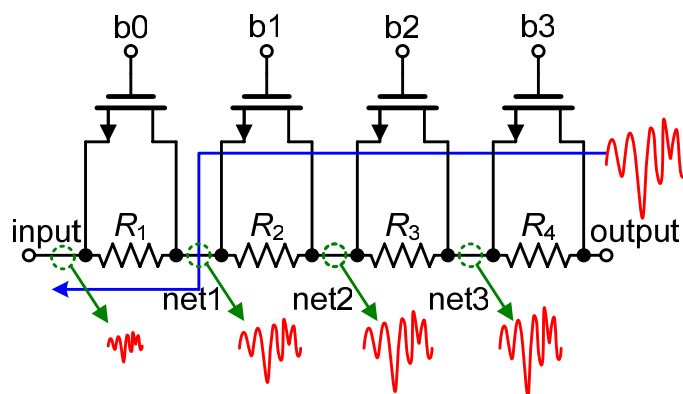


图 6-11 开关电阻阵列电路原理图

在图 6-11 中，箭头方向标注了 4MHz 截止频率时，反馈信号从输出端到输入端的传递过程。假设输出端有一个反馈信号，那么此信号将在 net3，net2，net1 点均产生一个较大的电压摆幅，而这些点又正好是 MOS 开关的源端，如果有很大电压摆幅存在，必然会对 MOS 开关管的线性度造成很大的影响。为了克服这个影响，提出了改进的开关电阻阵列如图 6-12 所示。在图 6-12 中，因为 MOS 管的导通电阻很小，即时输出有一个大的电压摆幅，电阻 R_4 分压之后反映在 net3 点的电压摆幅也非常小，而且 net3 又是 MOS 管的漏端，因此对线性度影响很小。

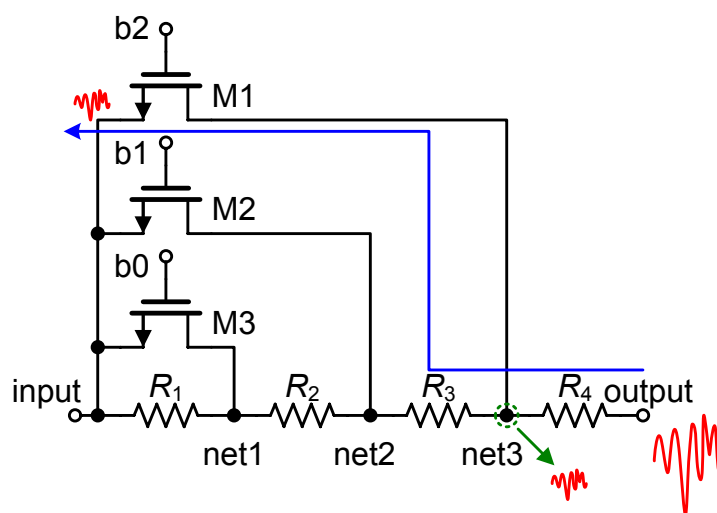


图 6-12 改进的开关电阻阵列电路原理图

在使用了改进的开关电阻阵列之后，可以得到带内线性度的仿真曲线如图 6-13，带外线性度的仿真曲线如图 6-14。结果表明，滤波器的带内和带外线性度均为+43dBm。

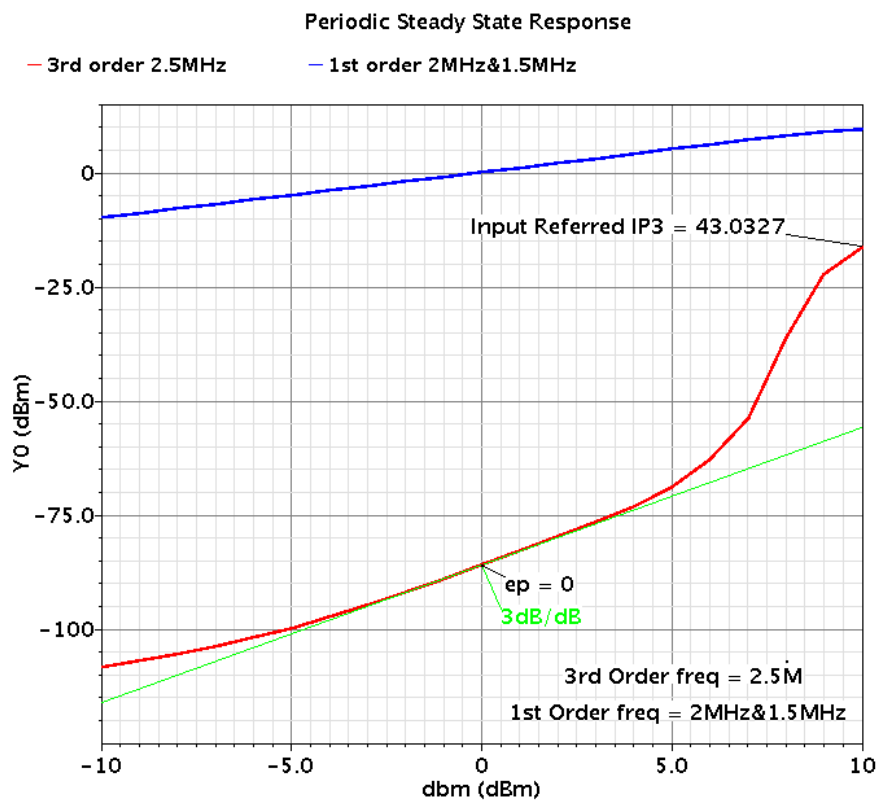


图 6-13 滤波器带内线性度仿真

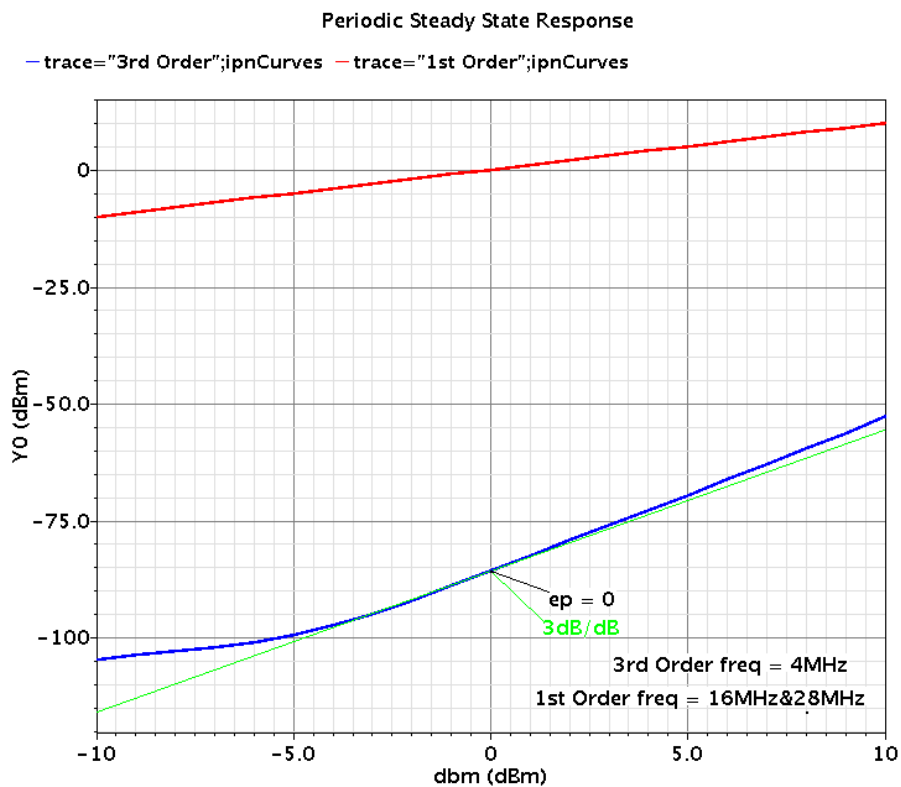


图 6-14 滤波器带外线性度仿真

参考文献

- [1] T1-6-KK81, Datasheet of Minicircuits, <Http://www.minicircuits.com>
- [2] OPA3692, Datasheet of TI, <Http://www.ti.com>
- [3] MAX4444, Datasheet of MAXIM, <Http://www.maxim-ic.com>
- [4] Seyeob Kim, Bonkee Kim, Min-Su Jeong, Jung-Hwan Lee, Youngho Cho, Tae Wook Kim, Bo-Eun Kim, "A 43dB ACR Low-pass Filter with Automatic Tuning for Low-IF Conversion DAB T-DMB Tuner IC," *IEEE European Solid-State Circuits Conf. (ESSCC)*, pp. 319-322, Sep. 2005.
- [5] Chen Bei, Chen Fangxiong, Ma Heping, Shi Yin, Dai F F, "A widely tunable continuous-time LPF for a direct conversion DBS tuner", *Chinese Journal of Semiconductors*, 2009,30(2):025009-5.
- [6] Atsushi Yoshizawa, Yannis P. Tsividis, "Anti-Blocker Design Techniques for MOSFET-C Filters for Direct Conversion Receivers", *IEEE J. of Solid-State Circuits*, vol.37, pp. 357-364, Mar. 2002.

第七章 总结与展望

7.1 总结

本文从滤波器在射频接收机中的应用出发，首先阐述了滤波器的基本理论，然后从系统角度分析了滤波器的噪声系数和线性度等性能指标的要求，并总结了滤波器各个性能指标。接着，文章介绍了一款可配置的八阶巴特沃斯滤波器的电路级实现，给出了详细的积分器和运算放大器的设计考虑，然后分析了频率校准电路的实现并详细的分析了校准电路的误差来源及消除的方法。最后，通过流片测试，验证了设计的正确性。本文的另一个贡献是设计了一种数字控制型低噪声带隙基准电路，为整个射频芯片提供低噪声的电压和电流偏置；然后设计了一款低噪声、高电源抑制比的低压差线性稳压器电路，仔细分析了噪声来源，提高了电路的电源抑制比，为低压差线性稳压器电路的片上集成提供了参考。

7.2 未来展望

接收机高镜像抑制比的实现是接下来需要解决的问题，解决的方案是在数字域做镜像抑制算法，这需要 ADC 具有较高的精度要求。在接收机中采用连续时间 Sigma-Delta ADC 也许是一个比较好的解决方案，连续时间 Sigma-Delta ADC 由于自身具有抗叠混特性，可以省去前级的模拟滤波器，能够在功耗和面积上得到一个很好的优化[1]。但是连续时间 Sigma-Delta ADC 的设计难度较高，主要存在三个问题，分别是：RC 常数的变化、高线性度 DAC 实现，低 jitter 时钟的生成。在本文中，已经解决了 RC 常数偏差的问题，为之后的工作开展做了一个铺垫。高速、高精度、低功耗的连续时间 Sigma-Delta ADC 的实现将会大大简化接收机的架构，也成为了当今设计的一个热点。

参考文献

- [1] M. Ortmanns, F. Gerfers, "Continuous-Time Sigma-Delta A/D Conversion", *Springer Press*, 2006

致谢

硕士学习即将结束，回首求学整个历程，有很多人曾帮助并支持着我，有必要借此表达我的谢意。

首先，要感谢我的硕士导师唐长文副教授，是他把我带进了模拟集成电路的大门，唐老师严谨的治学态度和刻苦的科研精神对我产生了重要的影响，唐老师的悉心指点促使我在学业上不断的进步。

然后，感谢曾在 Tuner 组奋斗过的廖友春、卢磊、杨振宇、尹睿、金黎明、袁路、韩科峰、宫志超、周嘉业等人，和你们进行的诸多的有益的讨论，让我受益匪浅；感谢赵薇、孟令部、杨姗姗、余永长、温晓柯等师弟师妹以及所有 RFID 组的同学，你们的存在，让我的研究生生活变得丰富多彩，弥足珍贵。

感谢我的父母及家人，是你们一直以来无私的奉献和关爱，才有了我今天的成长，你们永远是我进步的源泉；尤其感谢我的哥哥谢波，感谢你一直以来的关心和鼓励，你对电路及系统的深刻理解，让我有幸窥得模拟集成电路设计的雄伟殿堂。

最后，愿以此文献给我的女友杨宸，你的陪伴和支持，将使我无所顾虑，一往直前。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名： 邹亮 日期： 2009年6月

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名： 邹亮 导师签名： 唐长文 日期： 2009年6月