目录

目录 1

摘要 2

第一章 绪论 3

第二章 LDO 的频率补偿 4

2.1 LDO 电路分析 4
2.2 ESR 补偿 6
2.3 VCCS 补偿 7

第三章 电路设计及验证 11

3. 1LDO 电路设计 11
3.2 ESR 补偿设计 14
3.3 VCCS 电路设计 15

第四章 电路仿真及比较 19

第五章 总结 24

附录 25

参考文献 28

致谢 28

摘要

电压稳定对于如今的电子器件来说是一个非常重要的工作条件。稳压器已成为如今电路系统中一个很关键的部件，转换效率高，体积小，低噪声是衡量一个稳压器好与不好的重要标准。

低压降稳压器（LDO）由于其转换效率高，体积小，低噪声，在电路中的应用十分广泛，作为一个稳压器，其交流频响特性十分重要，在实际应用中为了得到更大的带宽和相位裕度，往往要加上频率补偿电路。ESR 电阻补偿通过加上合适零点的方法改善频率特性，是常用的频率补偿方法。但一种新的补偿电路 VCCS 也可以产生所需要的零点。

本文在对 LDO 电路及其补偿电路作出介绍的同时，试图验证这种新的 VCCS 补偿电路，并对其和 ESR 两种补偿方法在频响，瞬态特性和抗干扰方面作出的比较。

关键词：低压降稳压器 LDO，ESR，VCCS

第一章 绪论

由于各种电子系统所需的供应电压不尽相同，供应电压的转换一直是十分重要的研究课题。

电压转换的方式大致可分为两种，一种是切换式稳压器（switch-mode），一种是线性稳压器(linear regulator)。

切换式稳压器的转换效率很高，在实际应用中甚至可超过百分之九十，但其输出电压扰动和噪声太大；就制造来说，所占硅片面积也不符合现在小型化的要求。对于线性稳压器来说，其优点在于噪声小，输出稳定不易受负载影响，但转换效率较低。

对于线性稳压器来讲，其输出电压一定小于输入电压，只能用于降压转换。当输入输出电压差（drop-out voltage）小到某一程度，便称此种线性稳压器为低压降线性稳压器（low drop-out voltage regulator）。相对一般线性稳压器而言，低压降稳压器有较高的转换效率。若是用于以电池作为电源的场合可以有效的延长电池使用时间。低压降稳压器由于其转换效率高，体积小，低噪声的特点，在由电池提供电源的可携式系统以及通讯相关的电子产品上，均被大量地使用。【1】

低压降稳压器（LDO）减小了输入输出电压差，提高了转换效率，但在电路稳定性上有所下降。而且低压降稳压器有着高输出电阻，使得输出极点的位置与负载情况有很大关系。因此在采用 LDO 常常给其加上频率补偿电路。其中比较常用的是 ESR 补偿。但 ESR 有其自身的缺陷，在实际应用中，ESR 补偿的效果依赖于 C_L 的大小，这样一来根据不同的负载情况必须更换不同的 ESR。在设计和应用上带来一定的麻烦。对电容补偿的改进产生了一种新的补偿方法 VCCS 补偿，与 ESR 相比，这种方法能够较好的改善频率特性，减小过冲，具有很大的实际应用价值。

第二章 LDO 的频率补偿

2.1 LDO 电路分析

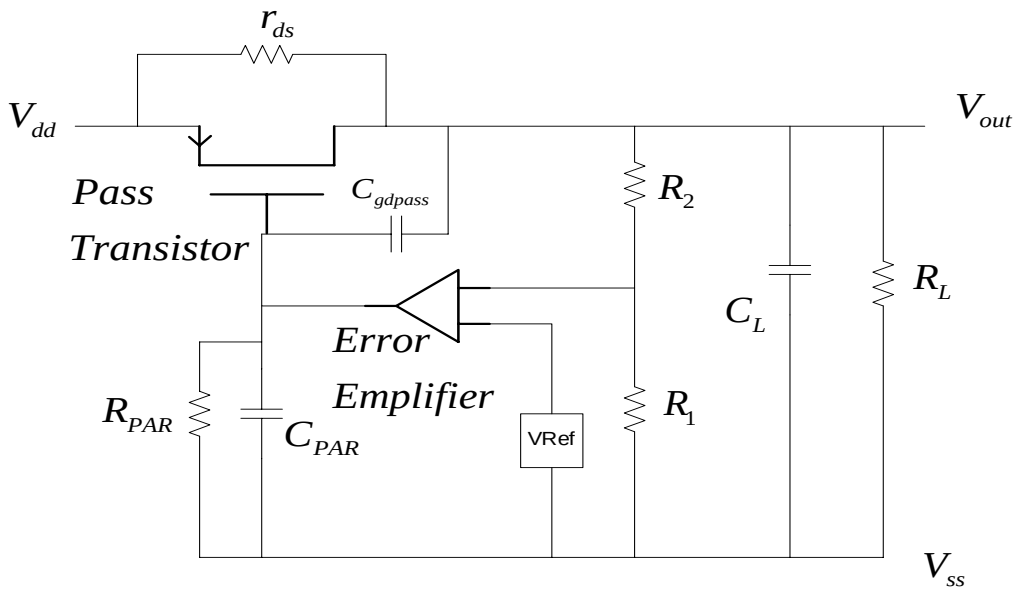


图 2.1.典型 LDO 电路

图 2.1 是一个典型的 LDO 基本电路

图 1 中的 LDO 电路用 PMOS 管充当 Pass Transistor，与分压电路 R_1 和 R_2，参考电压 V_{ref}，差分放大器 Error Amplifier 组成负反馈电路。当负反馈稳定，开环增益远大于 1 时，可得输出电压为：

$$V_{out} = V_{\mathrm{Re}f}\left(1+\frac{R_2}{R_1}\right) \tag{1}$$

采用 PMOS 做 Pass Transistor 的 LDO 与以前流行的 N-P-N 稳压器有很大的不同。N-P-N 稳压器与 LDO 最大的不同是用做 Pass Transistor 的管子类型不同,(如图 2.2)其压降可表示为:【4】

$$V_{DROP} = 2V_{BE} + V_{SAT} \tag{2}$$

由于其采用了射极跟随接法,使得输出电阻低,在任何负载情况下的稳定性都能保持得很好。

LDO 将其换成 PMOS 后,虽然压降最小可达到 V_{SAT},但其输出电阻变得很大,所以其极点位置和 R_L 有非常大的关系。

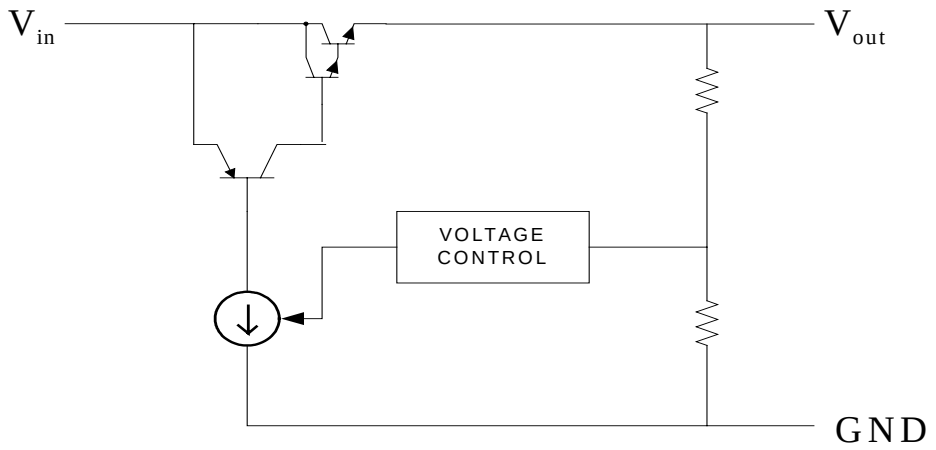


图 2.2.典型 N-P-N 稳压器

LDO 的主要极点有两个，一个在输出节点 V_{out} 处，一个在 Pass Transistor 的栅端。其它寄生节点（如在 Error Amplifier 输入端节点 2 处）一般来说远大于单位带宽，计算时可以忽略。当 Pass Transistor 的栅漏电容 C_{gdpass} 很小时，两个主极点为：

$$\omega_{P1} = \frac{1}{\left(r_{ds} \parallel \left(R_1 + R_2\right) \parallel R_L\right) C_L} \tag{3}$$

$$\omega_{P2} = \frac{1}{R_{par}\left(C_{par} + g_{mpass}\left(r_{ds} \parallel \left(R_1 + R_2\right) \parallel R_L\right) C_{gdpass}\right)} \tag{4}$$

如果考虑 C_{gdpass} 的话，断开闭环，推导可得到：

$$\omega_{P1,2} \cong \frac{1}{2}\left(\frac{1}{R_{PAR}\left(C_{PAR} + C_{gdpass}\right)} + \frac{1}{R_{LT} C_L} + \frac{g_{mpass} C_{gdpass}}{\left(C_{PAR} + C_{gdpass}\right) C_L} \right)$$

$$* \left(1 \pm \sqrt{1 - 4 \frac{\dfrac{1}{R_{PAR} R_{LT}\left(C_{PAR} + C_{gdpass}\right) C_L}}{\left(\left(\dfrac{1}{R_{PAR}\left(C_{PAR} + C_{gdpass}\right)} + \dfrac{1}{R_{LT} C_L} \right) + \dfrac{g_{mpass} C_{gdpass}}{\left(C_{PAR} + C_{gdpass}\right) C_L} \right)^2}} \right)$$

（其中 $R_{LT} = r_{ds} \parallel R_L \parallel \left(R_1 + R_2\right)$）(5)

所以 LDO 的开环增益为：

$$H_{(s)} \approx \frac{A_0}{\left(1 + \dfrac{s}{\omega_{p1}}\right)\left(1 + \dfrac{s}{\omega_{p2}}\right)} \tag{6}$$

其中 A_0 是直流增益。其表达式如下：

$$A_0 = \left(g_m g_{mpass} R_{par} \left(r_{ds} \| \left(R_1 + R_2\right) \| R_L\right)\right)\left(\frac{R_1}{R_1 + R_2}\right) \tag{7}$$

通常来说，LDO 的负载变化很大，可以从几十欧变化到几千欧，负载电流也常常从几个毫安变化到几十个毫安．因此 LDO 的传递函数随负载变化会有很大不同。对于主极点 ω_{P1} 来说，其频率在 100-10kHz 这个数量级之间变化，见图 2.3

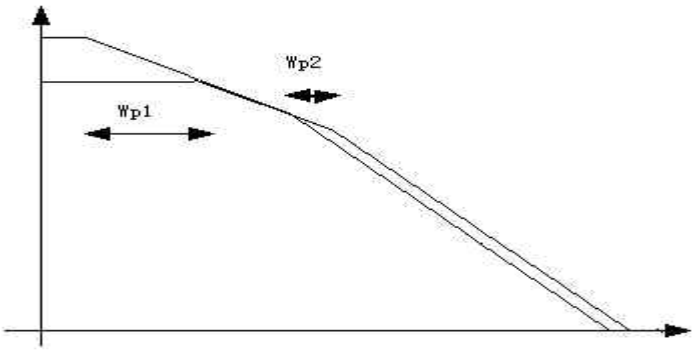


图 2.3 LDO 极点在不同负载下的移动

2.2 ESR 补偿

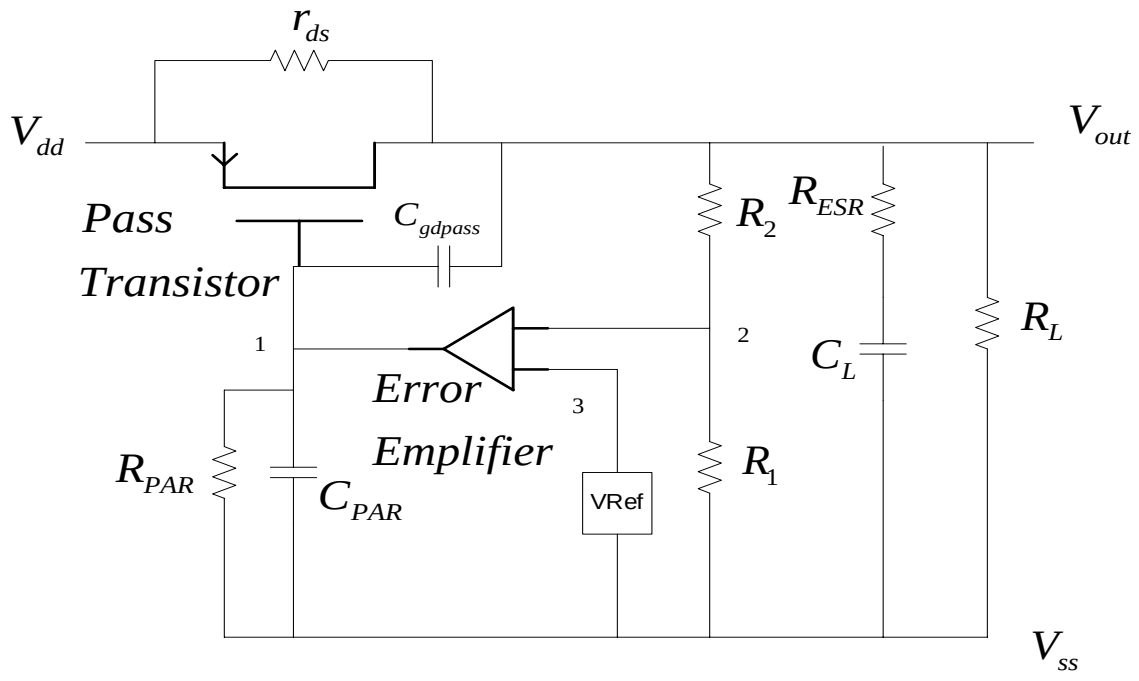


图 2.4 增加静电电阻后的电路

LDO 频率补偿应用广泛的的一个做法是利用输出端电容的静电电阻（electrostatic resistance，简称 ESR）来与输出电容一起形成所需零点．如图 2.4，增加的零点为：【2】

$$\omega_{ESR} = \frac{1}{R_{\mathrm{ESR}} C_L} \tag{8}$$

实际应用中在输出端还会有高频旁路电容（high-frequency bypass capacitor）C_b 与 C_L 并联。使得频率特性变差。但 C_b 的 ESR 由于很小，一般不予考虑。

在一般工艺条件下，ESR 数值在 0.05-10 欧范围变化，考虑到 C_L 一般为几个 uF。其产生零点频率为几百 kHz（见图 2.5）

但在实际应用中，ESR 产生零点的位置依赖于 C_L 的大小，这样一来根据不同的负载情况必须更换不同的 ESR。在设计和应用上带来一定的麻烦。

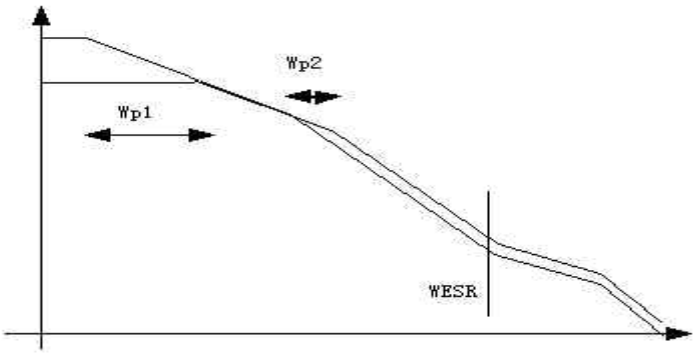
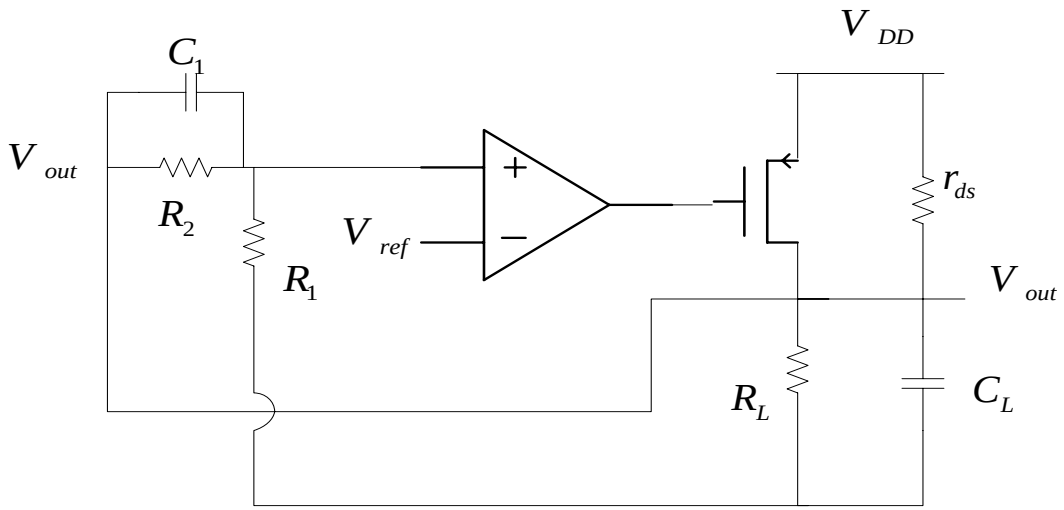


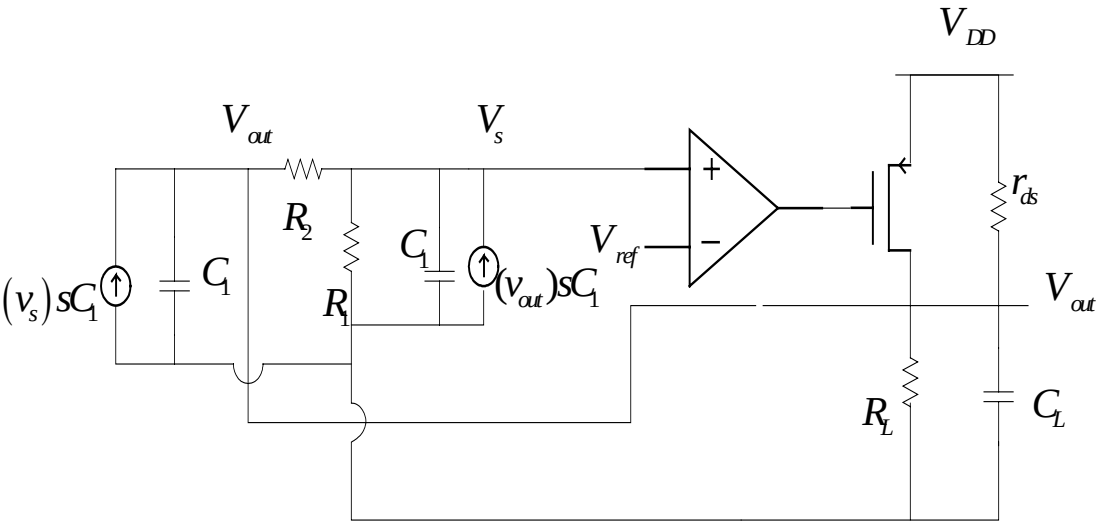
图 2.5 加上 ESR 后的频响

2.3 VCCS 补偿

此方法最初的思路是利用电容反馈产生一个零点来改善频率特性，与 ESR 相比，这种方法可以比较精确的控制零点位置且减小过冲。在差分放大器输出端加上合适的电容与电阻可以做到这点，但为了产生低频极点，所加电容必须很大，差分器输出端还必须加上一个缓冲级来避免所加电容将此节点极点频率变小，这样会多占掉很多硅片面积。另一个方法是在 R_2 旁并联一个电容 C_1（如图 2.6(a)）。C_1 提供了一个高频旁路，并由此产生一个零-极点对（pole-zero pair），开环传递函数可由式(9)表示：



（a）



（b）

图 2.6（a）加上电容后的 LDO（b）等效图

$$H=\frac{A_0\left(1+\frac{s}{\omega_{Z1}}\right)}{\left(1+\frac{s}{\omega_{P1}}\right)\left(1+\frac{s}{\omega_{P2}}\right)\left(1+\frac{s}{\omega_{P3}}\right)} \tag{9}$$

式中ω_{P1}，ω_{P2}和A_0与(3),(4),(7)中一样，ω_{Z1}，ω_{P3}由下式给出：

$$\omega_{Z1}=\frac{1}{R_2C_1} \tag{10}$$

$$\omega_{P3}=\frac{1+\frac{R_2}{R_1}}{R_2C_1} \tag{11}$$

可看到，尽管加上电容能够提供所需的零点，但同时也产生一个相差不远的

极点（R_2/R_1约为 1.33），频率特性没有得到改善。为了去掉极点，保留零点，将电容打开变成两个独立电容和压控电流源 VCCS（如图 2.6（b））。考虑到 C_L很大（一般为几个微法），而 C_1一般在皮法级，接在输出端的电容和 VCCS 由于和负载电容 C_L并联，对电路的影响不大，可以忽略不计。可看出正是接在 v_s端的 C_1

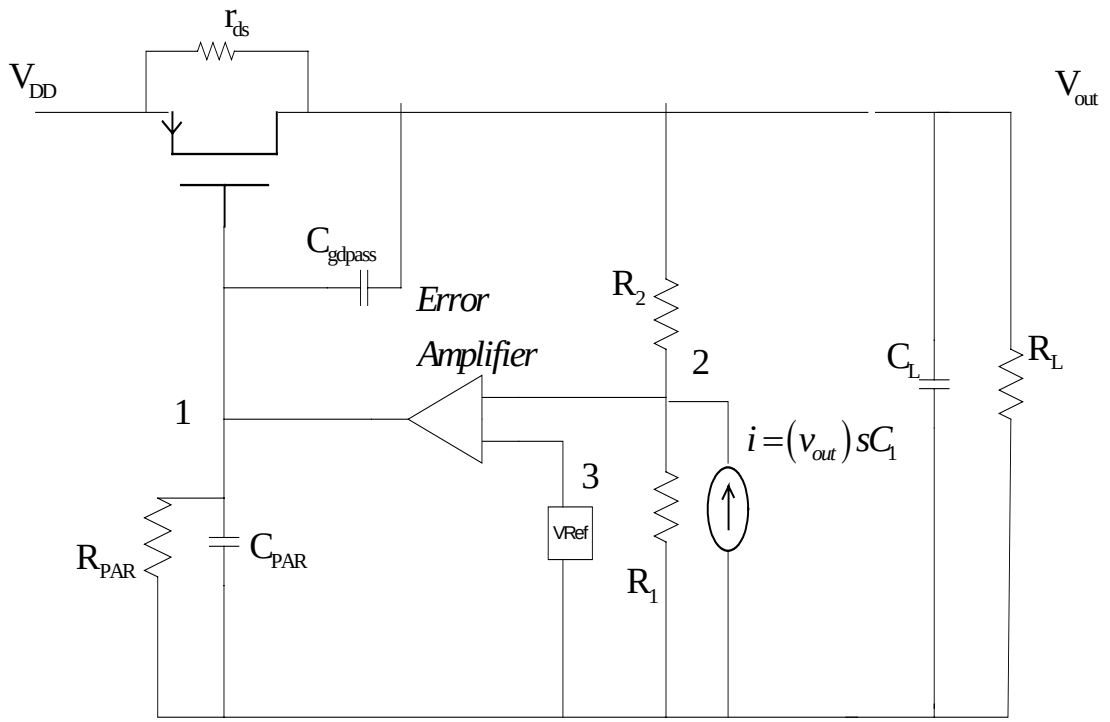


图 2.7. 改进后的 VCCS 补偿电路

产生的极点 ω_{P3}，因此，改进的结构仅保留了接在 v_s端的 VCCS，这样的结构即产生所需要的零点 ω_{Z1}，又不会产生额外的极点（如图 2.7 所示）【3】

改成图 5 的结构以后，传递函数有一个零点和两个极点。

$$\omega_{Z1}=\frac{1}{R_2C_1} \tag{12}$$

$$\omega_{P1}=\frac{1}{\left(r_{ds}\parallel R_L\parallel\left(R_1+R_2\right)\right)\left(C_L-\dfrac{C_1}{\beta}\right)} \tag{13}$$

其中 $\beta=1+R_2/R_1$， ω_{P2}与(4)相同

VCCS 的基本原理图如图 2.8（a）其主极点由 g_{mx}/C_1决定，不考虑镜像极点情况下小信号跨导如式（14）

$$\frac{i_{out}}{v_{out}}=\frac{sC_1}{1+\dfrac{C_1}{g_{mx}}s} \tag{14}$$

为使 VCCS 的极点推到较高极点减小对主电路影响。应增大 g_{mx}，减小 C_1，改进

后的原理图如图 2.8（b）

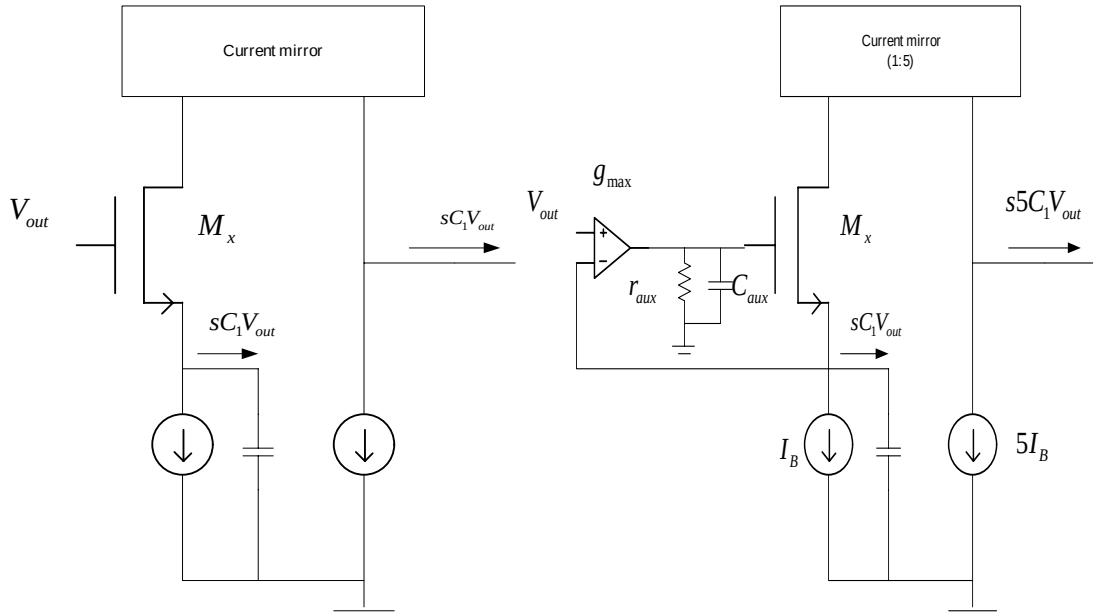


图 2.8（a）基本原理图（b）改进后的原理图

第三章 电路设计及验证

3.1LDO 电路设计

在设计验证电路时，取所有静态外部电压如下：

V_{DD}=3.3v V_{SS} =0v V_{ref} =1.2V

并设负载及输出电压为：

V_{out}=2.8v, R_1 =120kΩ，R_2=160kΩ，C_L=2.2uF

首先进行 LDO 中 Error Amplifier 的设计，考虑 Error Amplifier 在整个电路中的功用，其设计应考虑到以下要求：

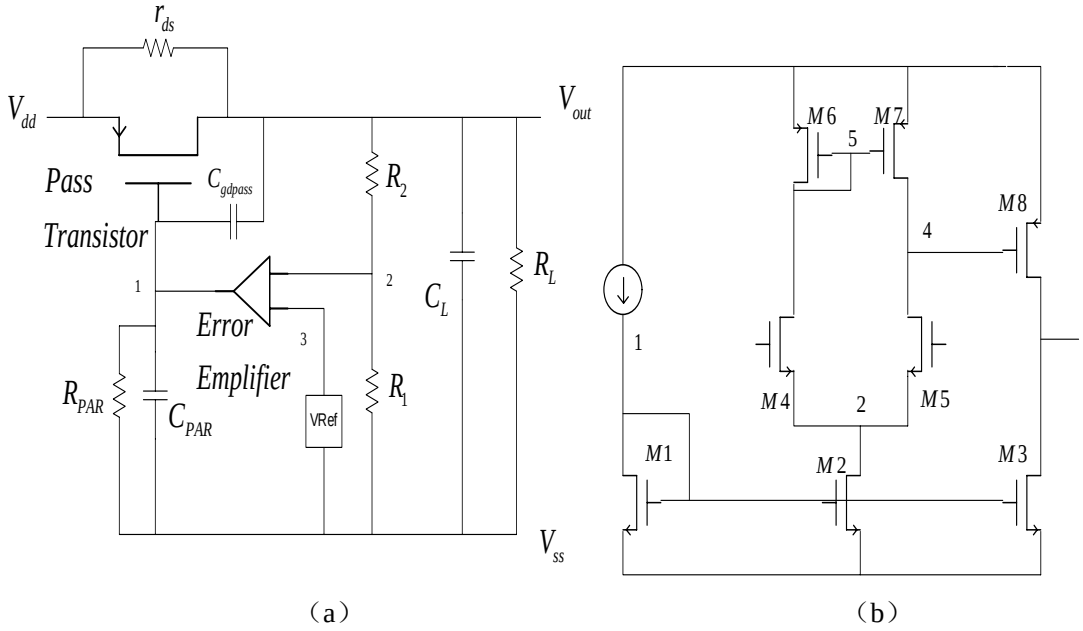
1 增益尽量大（一般要求大于 60db）。

2 较低的输出电阻以保证输出端极点频率尽量高。

3 自身内部极点明显大于 LDO 带宽（一般在几百 k）以减小对整个电路频响的影响。

手工计算:

1.第一级增益 $A_1=\frac{g_{m5}}{g_{o5}+g_{o7}}$,第二级 $A_2=\frac{g_{m8}}{g_{o8}}$



（a） （b）

图 3.1（a）LDO 电路图（b）Error Amplifier 电路图

所以放大器增益

$$A_0 = A_1 A_2 = \frac{g_{m5} g_{m8}}{g_{o8}\left(g_{o5} + g_{o7}\right)} = \frac{\sqrt{4 I_5 I_8 \mu_n \mu_p C_{oxn} C_{oxp} \left(\frac{W}{L}\right)_5 \left(\frac{W}{L}\right)_8}}{\lambda_p I_8 \left(\lambda_n I_5 + \lambda_p I_7\right)}$$

根据要求 $A_0 > 60db$，得 $\left(\frac{W}{L}\right)_5 \left(\frac{W}{L}\right)_8 > 0.22$

2．根据电路要求，输入静态电压为 1.2v，要保证 M2，M5 在饱和态，设节点 2 为 0.5v，节点 1 电压为 0.7v

根据 $I = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$

$$\left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_3 = 3 \qquad \left(\frac{W}{L}\right)_4 = \left(\frac{W}{L}\right)_5 = 1.5$$

出电压必须大于 2v。取 $\left(\frac{W}{L}\right)_8 = 10$（太小则 4 点电压过低，输出电压也过低）得节点 4 电压为 2.4v。

$$\left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_7 = 5$$

为了统一，L 取统一长度。取 L=0.5um

宽度 W 列表有

名称	M1	M2	M3	M4	M5	M6	M7	M8
宽 度 (um)	1.5	1.5	1.5	0.8	0.8	2.5	2.5	5

用 Hspice 仿真，将 M8 的宽度减小以减小寄生电容，使得放大器主极点（第一级输出极点频率升高）。经过调整后宽度如下：

名称	M1	M2	M3	M4	M5	M6	M7	M8
宽 度 (um)	1.5	1.5	1.5	0.8	0.8	2.5	2.5	3

静态工作点如下（网表见附录）

+0:1 = 749.9731m 0:2 = 361.6848m 0:4 = 2.4379

+0:5 = 2.4379 0:in1 = 1.2000 0:in2 = 1.2000

+0:out = 209.2181m 0:vdd = 3.3000 0:vss = 0.

频响曲线如图 3.2

其增益 67.7db，主极点接近 1mHz， 远大于 LDO 通常工作频率范围（一般为百 KHz 级）

同样，在进行 LDO 设计时应考虑以下要求：

1 自身应稳定，不能产生自激振荡

2 最大负载电流应尽可能大，在设计时要求大于 40mA

3 自身工作消耗电流尽可能小，设计时要求小于 20uA

LDO 设计关键是确定 pass transistor 的宽长比。它决定 LDO 的最大负载电流。为了减小噪声和增大最大负载电流，需要 pass transistor 宽长比尽可能大，但宽长比增大会增大寄生电容，使第二级点频率变低，电路频率特性变差甚至自激振荡。一般来说 pass transistor 宽长比为几千，是 LDO 电路中占硅片面积最大也是最重要的部件。

取 $L = 0.5\mu m$ $W = 1000\mu m$

用负载电阻控制负载电流的变化，当 R_L 从 100 欧增大至 2800 欧时，负载电流从 28mA 减小至 1mA，仿真曲线如图 3.3

随着 R_L 增大，直流增益从 58.3db 增大到 85.6db，单位带宽从 350kHz 减小到 210kHz，虽然电路不至于自激振荡，但从图中可看出相位裕度远远不够 60 度的要求，相位从 30kH_Z 开始就小于 60 度了。

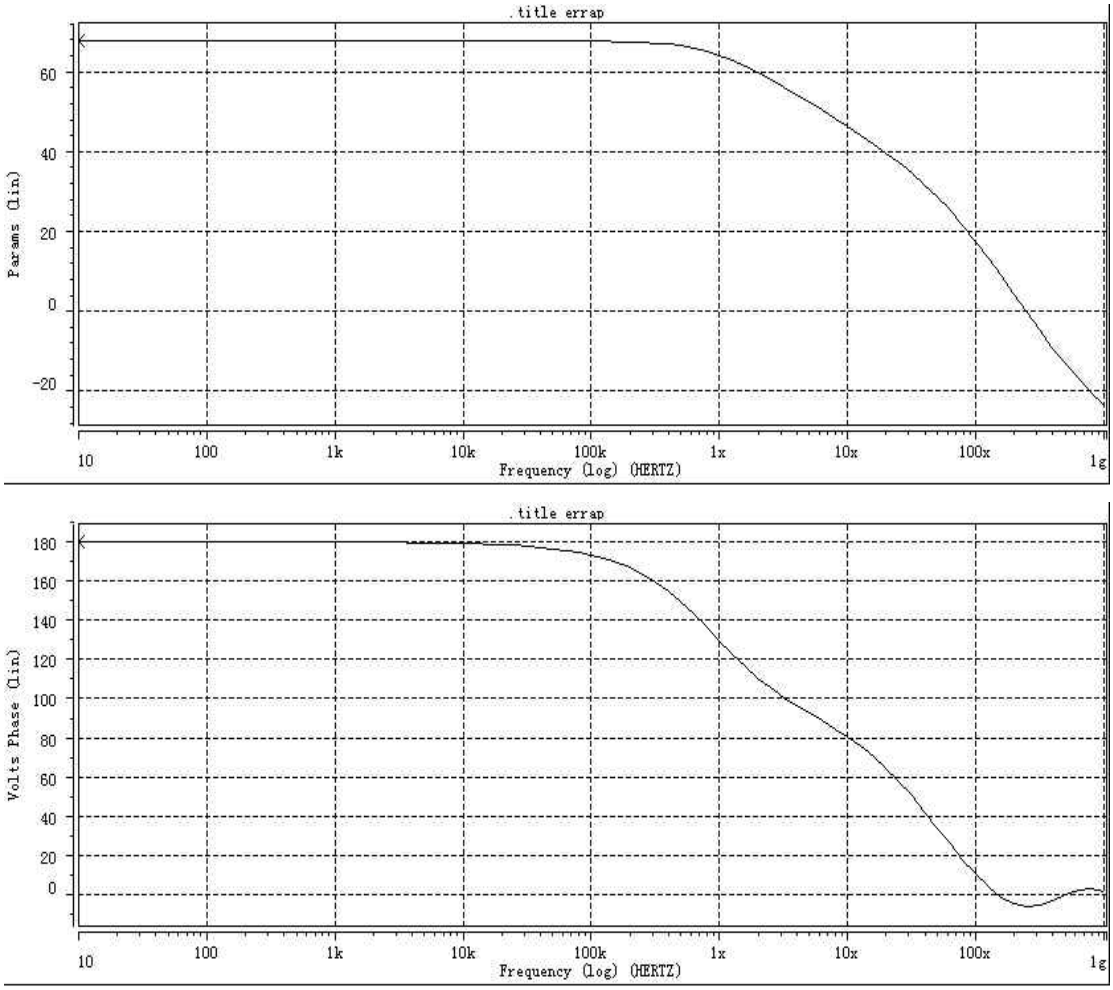


图 3.2.Error Amplifier 频响

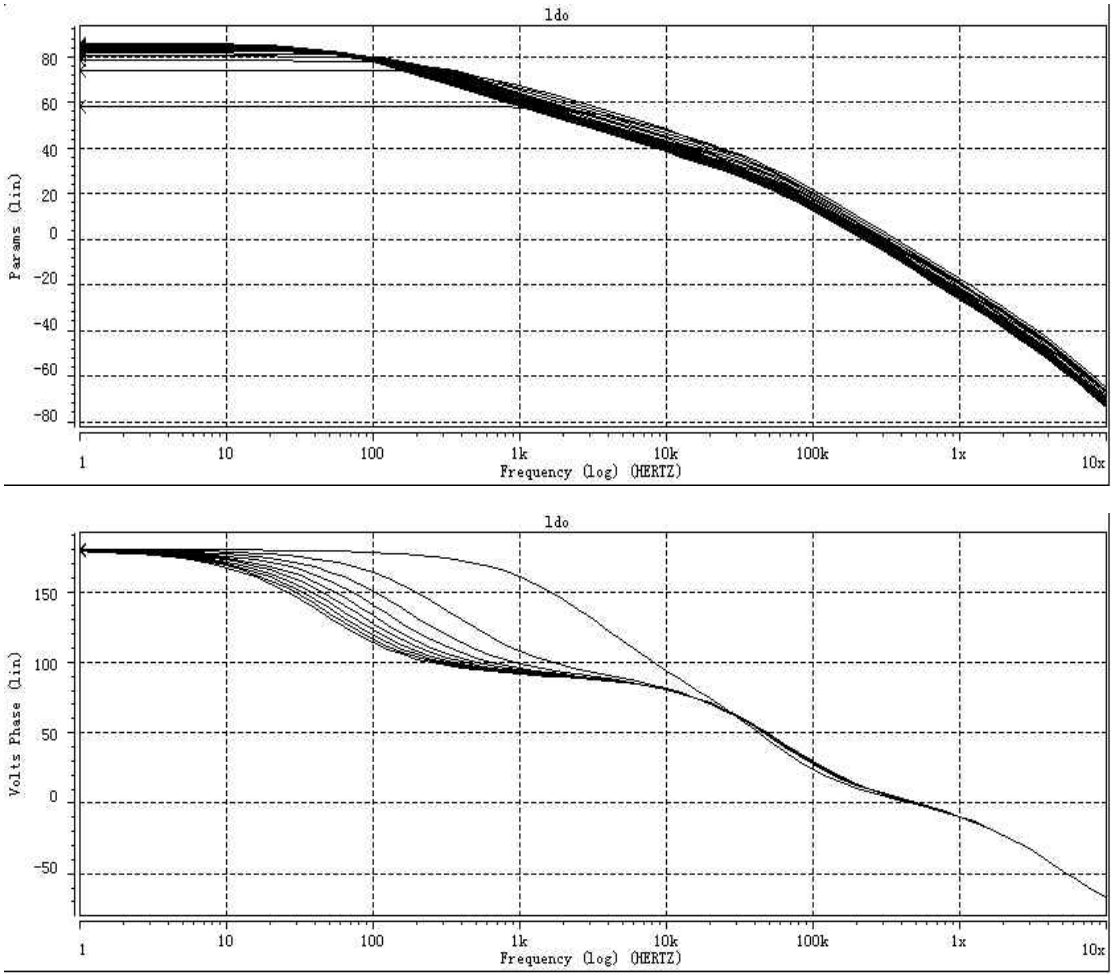
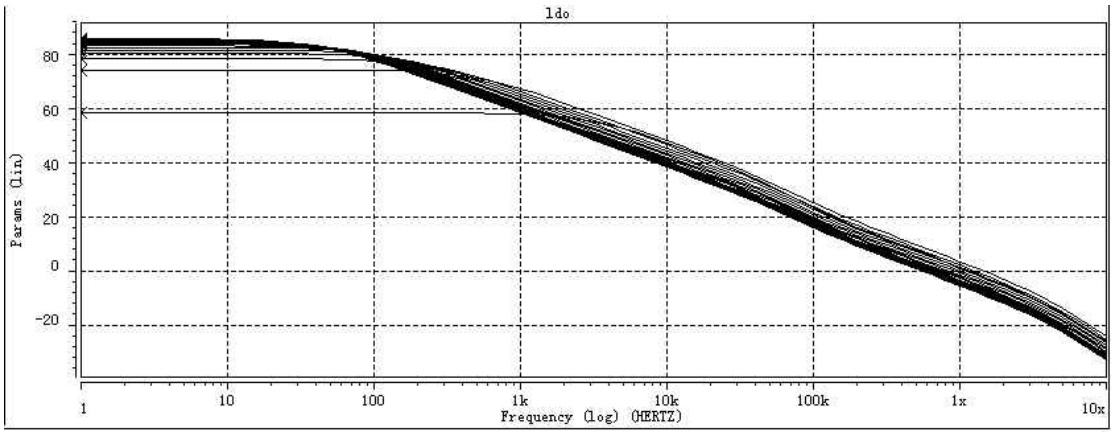


图 3.3LDO 电路频响曲线

3.2 ESR 补偿设计

要加上 ESR 后相位裕度达到 60 度要求，即从 30k 开始相位就要上升，则所加零点 ω_{ESR} 必须小于 300k，设为 250k。由 C_L＝2.2uF 和公式

$$\omega_{ESR} = \frac{1}{R_{\mathrm{ESR}} C_L}$$



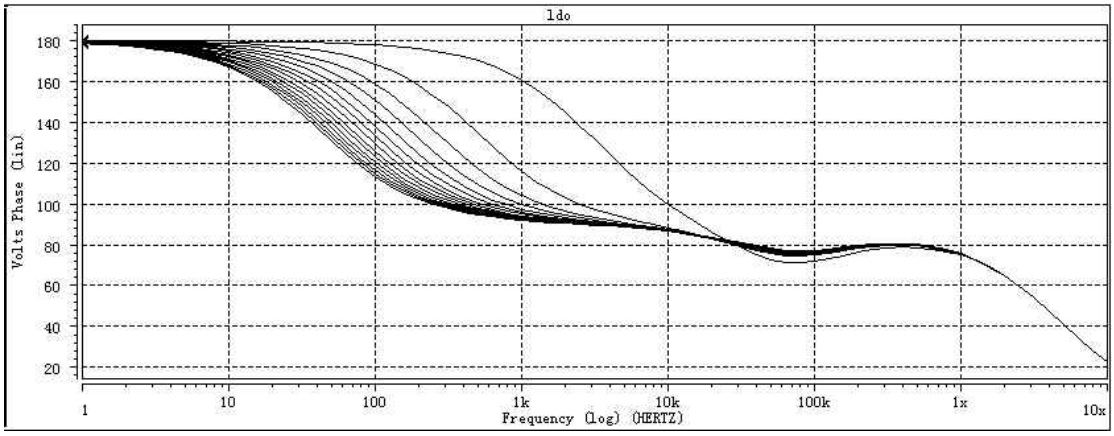


图 3.4 加上 ESR 后频响

可得 R_{ESR}＝0.3 欧。将此数值代入仿真，调整后取 R_{ESR}＝0.8 欧，此时相位裕度满足要求，其频响曲线如图 3.4

R_L 从 100 欧增大至 2800 欧时，负载电流从 28mA 减小至 1mA，增益从 58.3db 增大到 85.6db，带宽从 1.45MHz 减小到 540kHz，带宽与未加前相比增大，相位裕度始终满足 60 度得要求。

3.3 VCCS 电路设计

根据 2.3 节中所讲原理，设计电路图如图 3.5：

图中，M8，M9，M11，M12 组成差分放大器，M13，M14，M15，M16 组成电流镜。LDO 输出电压从 M10 栅端输入，在输出端得到所需电流。

设计时需考虑的问题有：

1 基准电流 0.5uA，整个电路静态电流不能超过 5uA。

2 输入静态电压 2.8v，输出静态电压 1.2v

手工计算:

1 根据电流比例关系，各支路电流已确定。考虑作为电流镜的五个管，设节点 1 电压为 0.7v。由公式：

$$I=\frac{1}{2}\mu C_{ox}\frac{W}{L}(V_{GS}-V_{TH})^2 \Rightarrow \left(\frac{W}{L}\right)_1 \approx 1$$

则 $\left(\frac{W}{L}\right)_2=\left(\frac{W}{L}\right)_3=\left(\frac{W}{L}\right)_4=\left(\frac{W}{L}\right)_1 \approx 1$ 且 $\left(\frac{W}{L}\right)_5$=5

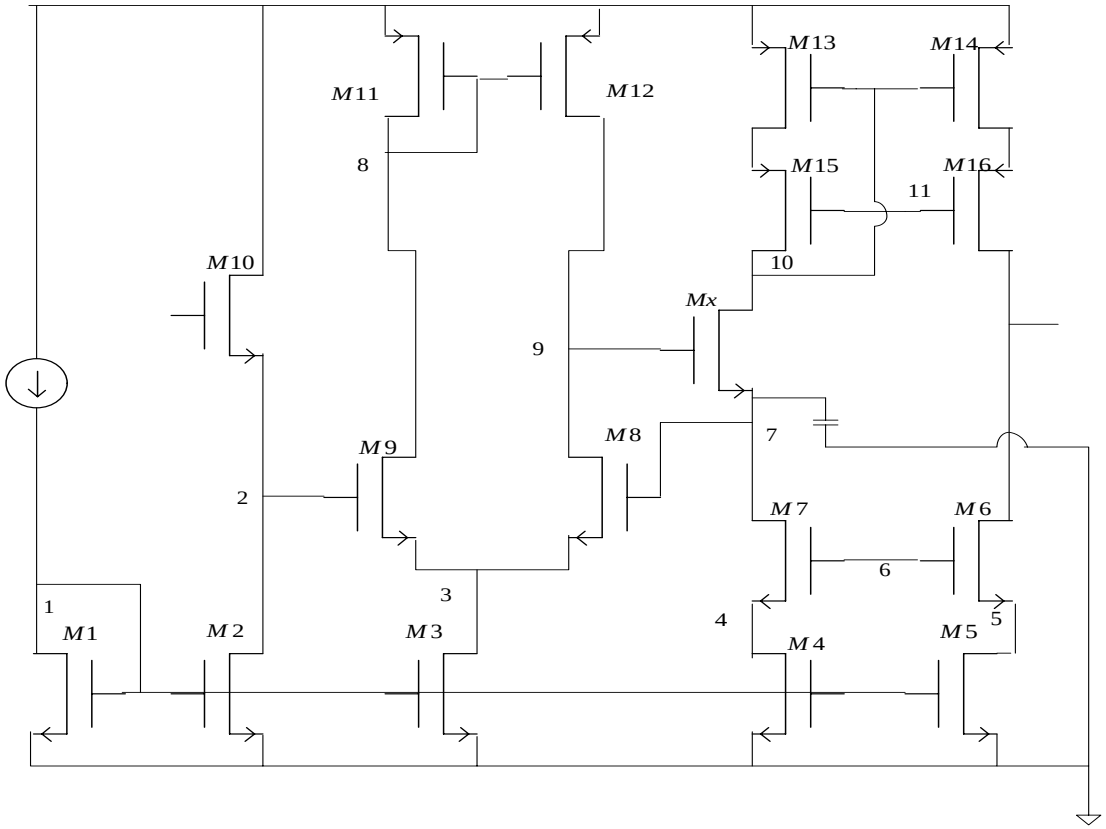


图 3.5 晶体管级 VCCS 电路

2 仅考虑 M10，M2，M1，可看出节点 2 电压和后面电路没有关系。设 M10 宽长比为 2，仿真得 2 点电压为 1.6 伏左右，节点 1 电压为 0.74v。所以节点 7 电压亦为 1.6v，由于 $V_9>V_7+V_{th}=2.2v$，且 $V_9<V_{dd}-|V_{th}|=2.5v$,设 $V_9=2.4v$。可得 $V_{gs11}=V_{gs12}=0.8v$

$$\left(\frac{W}{L}\right)_{11}=\left(\frac{W}{L}\right)_{12}\approx 1 \text{ 且} \left(\frac{W}{L}\right)_{X}=1$$

设 $V_3=V_1=0.7v$，则 $V_{gs8}=V_{gs9}=0.9v$，可算出

$$\left(\frac{W}{L}\right)_{8}=\left(\frac{W}{L}\right)_{9}\approx 1$$

3 为了方便设计，节点 6 和节点 11 的电压统一设为 2v。M6，M7，M13，M14，M15，M16 参照 M4，M5 宽长比。

4 通过 VCCS 与 ESR 补偿所加零点频率应保证一样，有：

$$\omega_{ESR}=\frac{1}{R_{ESR}C_L}=\omega_{Z1}=\frac{1}{5R_2C_1}$$

算得 $C_1=2pF$

L 取统一长度。取 L=0.7um

各管参数列表如下：

名称	M1	M2	M3	M4	M5	M6	M7	M8
宽 度 (um)	0.5	0.5	0.5	0.5	2.5	2.5	0.5	0.5
名称	M9	M10	M11	M12	M13	M14	M15	M16
宽 度 (um)	0.5	0.5	0.5	0.5	0.5	2.5	0.5	2.5

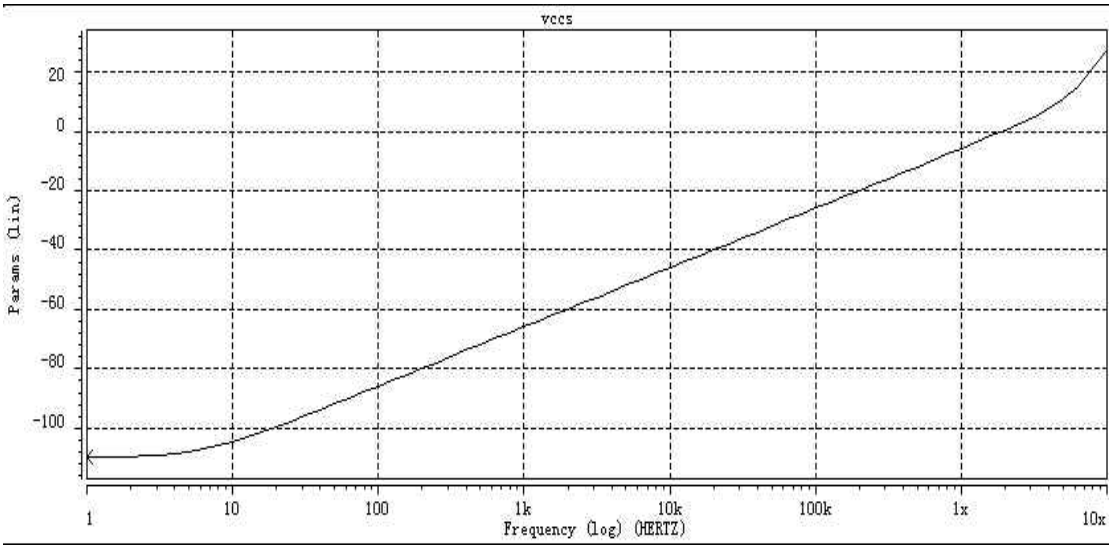
名称	Mx
宽 度 （um）	0.5

仿真调整后各管宽长比如下：

名称	M1	M2	M3	M4	M5	M6	M7	M8
宽 度 (um)	0.5	0.5	0.5	0.5	3	3	0.5	0.4
名称	M9	M10	M11	M12	M13	M14	M15	M16
宽 度 (um)	0.4	1	1	1	1	6	1	6

名称	Mx
宽 度 (um)	1

VCCS 频响曲线如图 3.6，其相位补偿特性一直可保持到 3MHz 以上



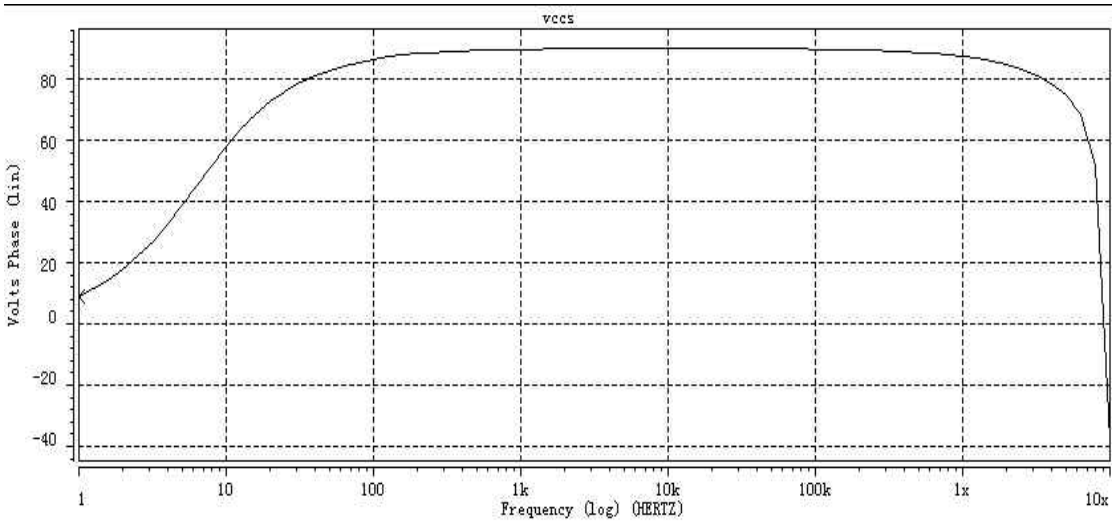


图 3.6 VCCS 频响曲线

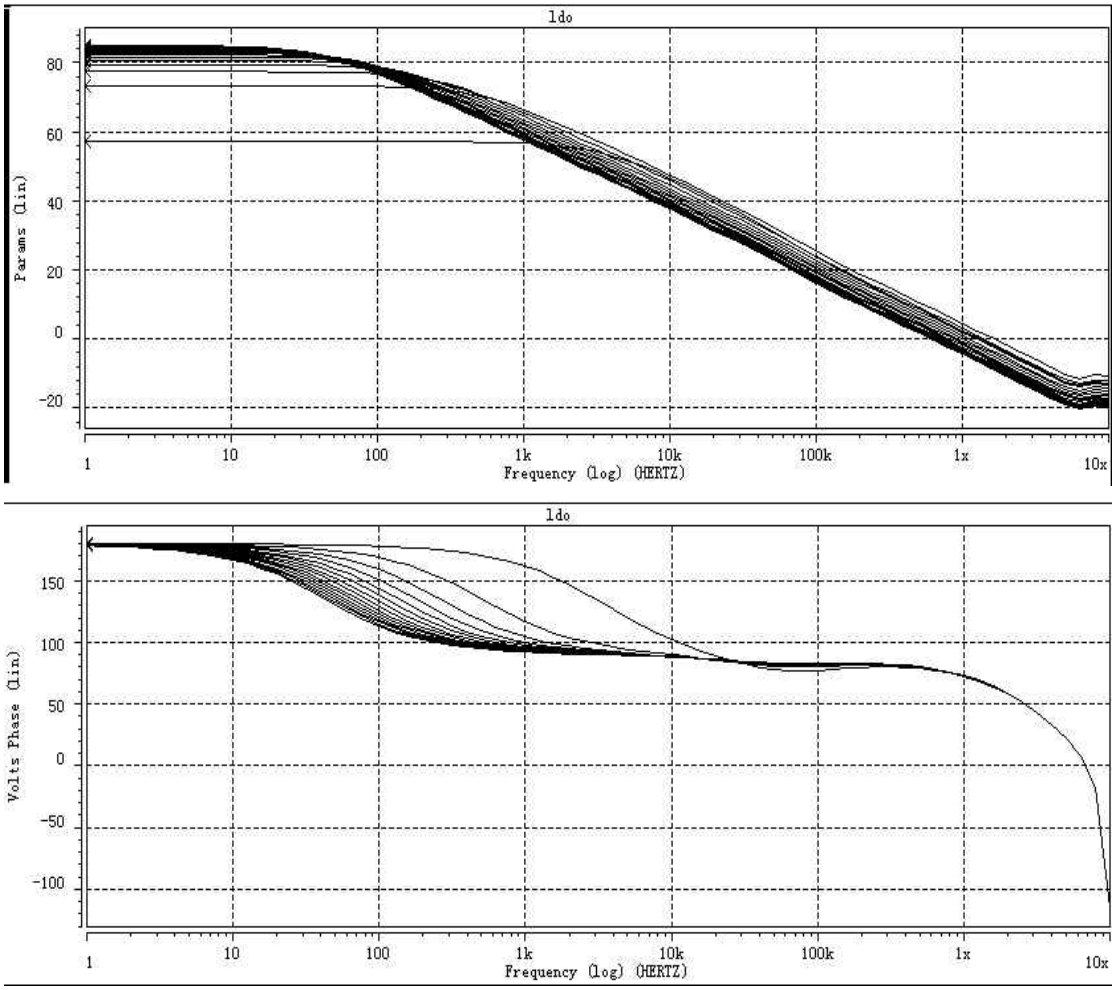


图 3.7 加上 VCCS 补偿后 LDO 频响

R_L 从 100 欧增大至 2800 欧时，负载电流从 28mA 减小至 1mA，增益从 57.1db 增大到 84.8db，带宽从 1.63MHz 减小到 600kHz，带宽与未加前相比增大，相位裕度始终满足 60 度得要求。

第四章 电路仿真及比较

（1） 最大负载电流

在输出端加电流源控制输出电流。以输出电流为横坐标，描绘输出电压曲线。

可看出当负载电流大于 60mA 后，输出电压开始明显下降

（2） 瞬态响应

在输出端加电流源控制输出电流，使负载电流在时间 0 处变为 40mA，在 30us 处又跳变为 1mA（如图 4.2）。分别加上不同的 ESR（如图 4.3）和不同的 VCCS（如图 4.4）后和未加频率补偿电路前（如图 4.5）比较其输出电压变化。

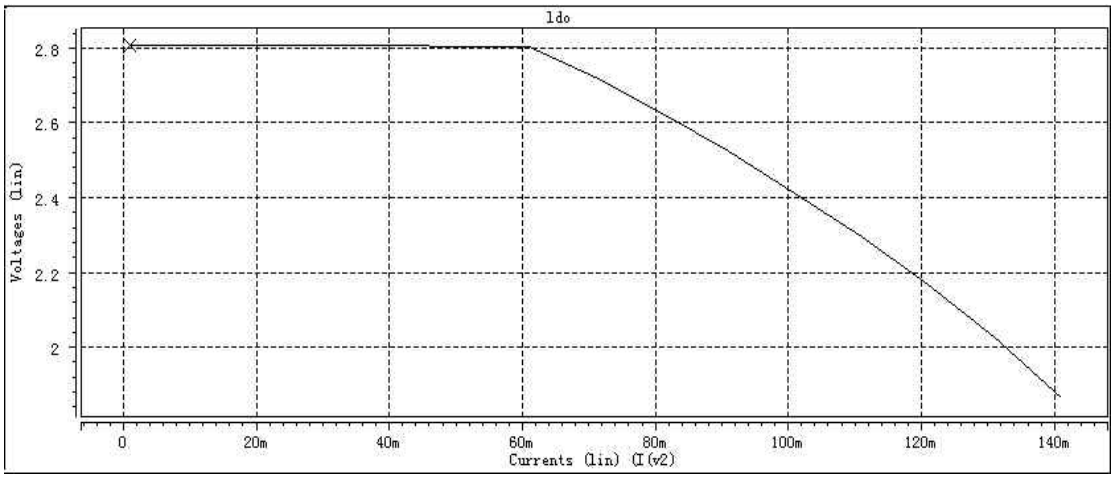


图 4.1 输出电压随负载电流变化

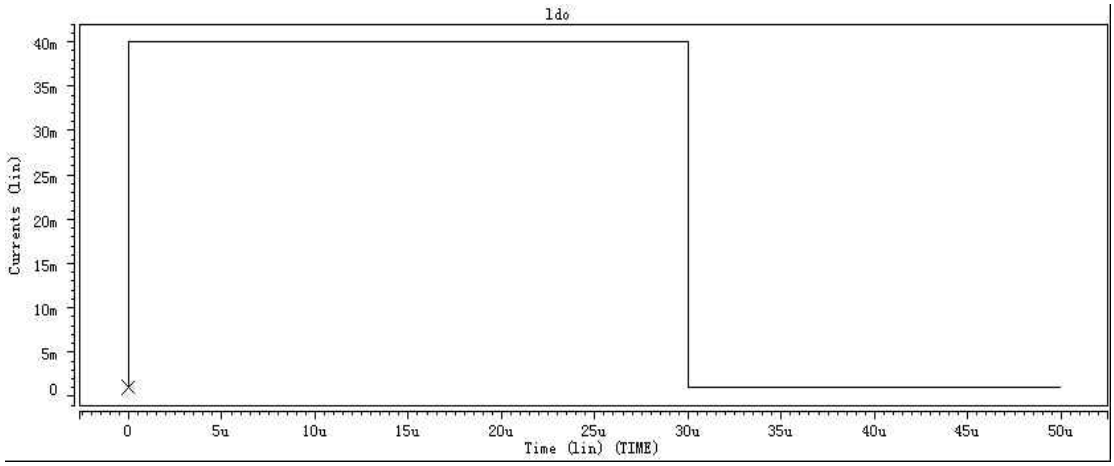


图 4.2 负载电流变化

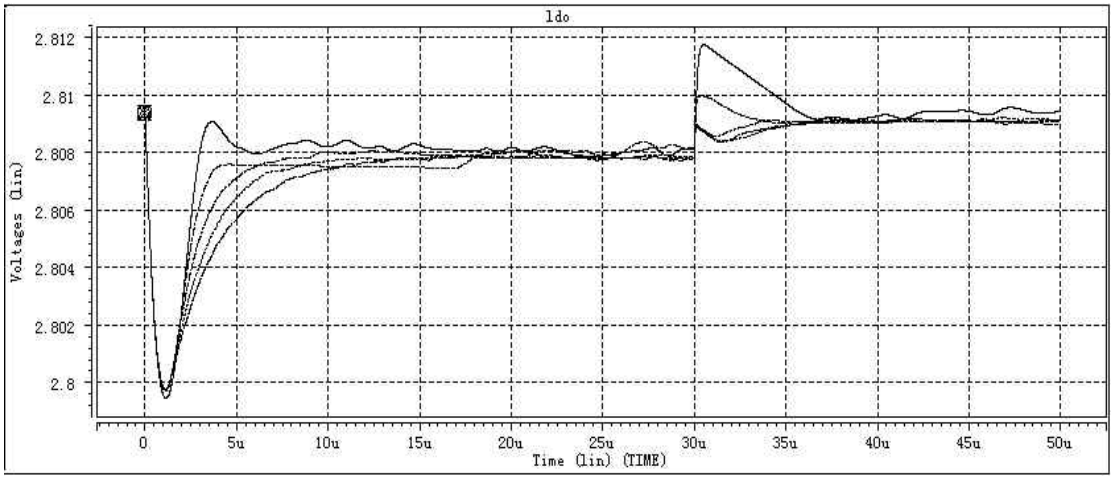
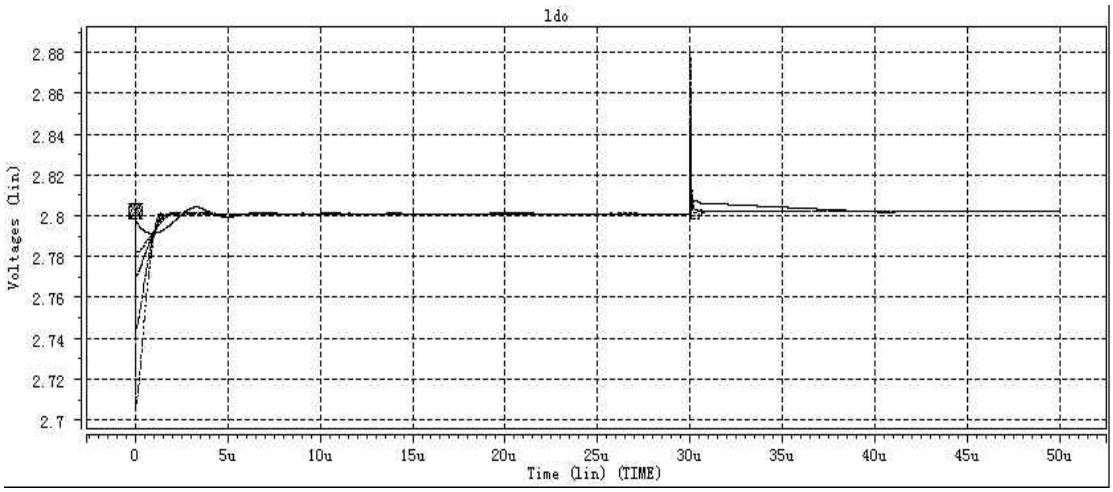
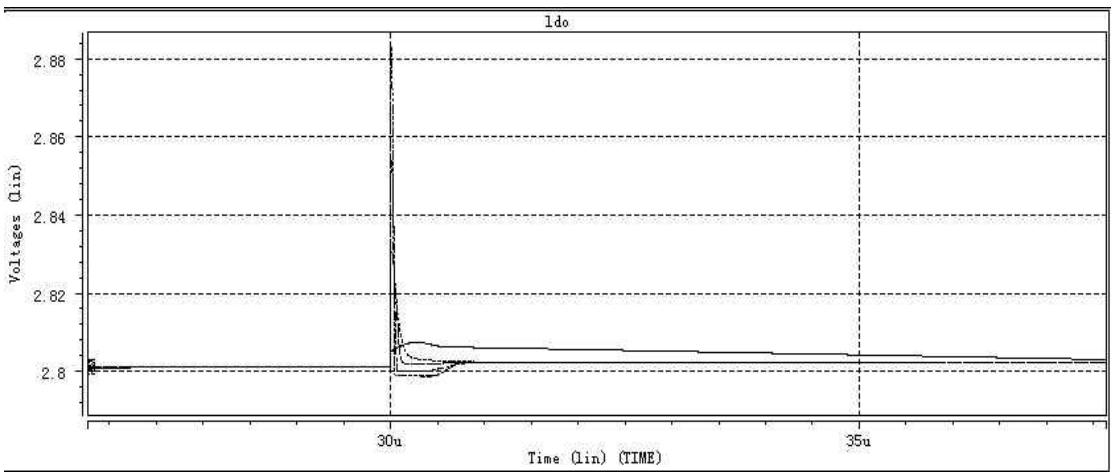


图 4.3 加上 VCCS 后的瞬态相应，VCCS 中 C_1 分别为 0.5pf，1pf，1.5pf，2pf，2.5pf

可看出未加频率补偿电路前，由于相位裕度不够，当负载电流突变时电压会有较大幅度振荡。加 ESR 后电压能很快稳定，但过冲较大，达到 0.1v 左右。一般来说电阻越大，稳定所用时间越短，但过冲越大。而对于 VCCS 补偿的电路，电容数值大小对于过冲影响不大，可看出过冲远小于 ESR 补偿的电路，当电容数值较小导致相位裕度不够时，会出现一些振荡。



（a）



（b）

图 4.4 （a）加上 ESR 后的瞬态响应，电阻分别为 0.1，0.5，0.8，1.5，2.5 欧
（b）为（a）图中在 30us 处的放大图

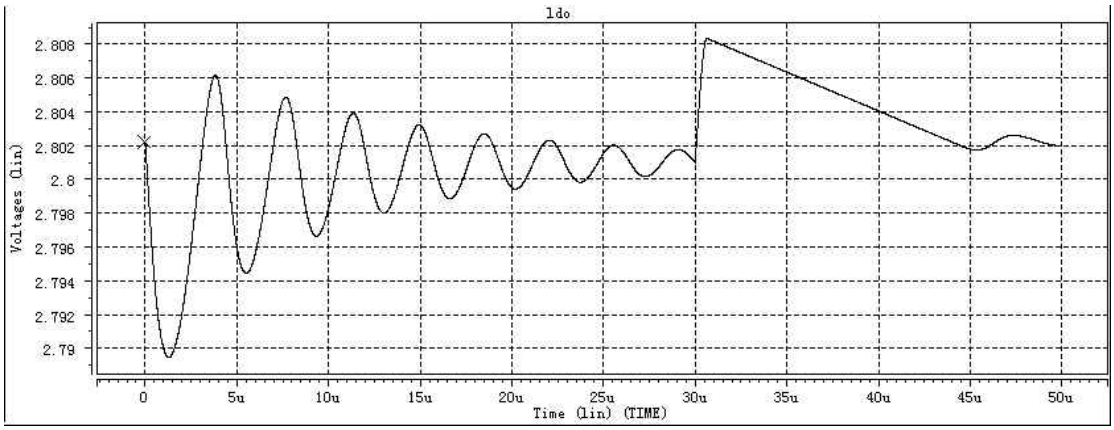
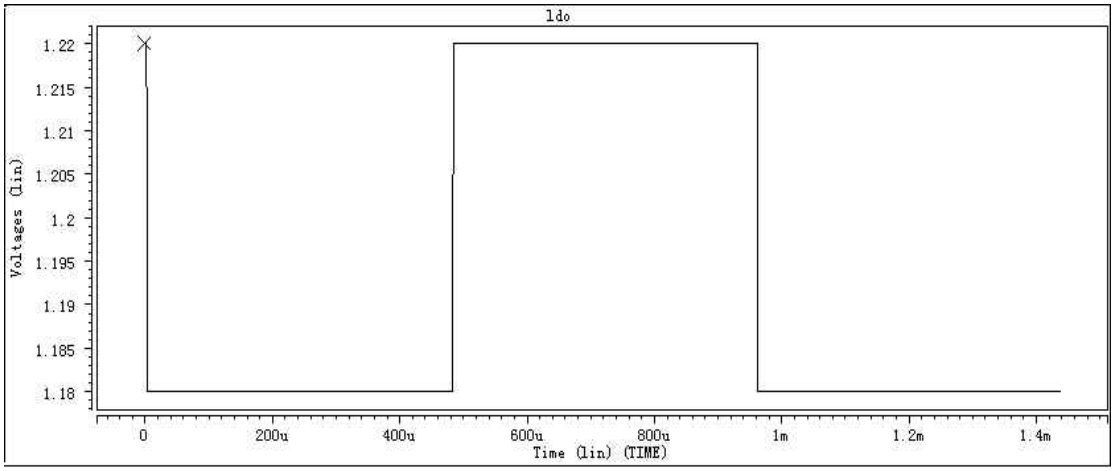
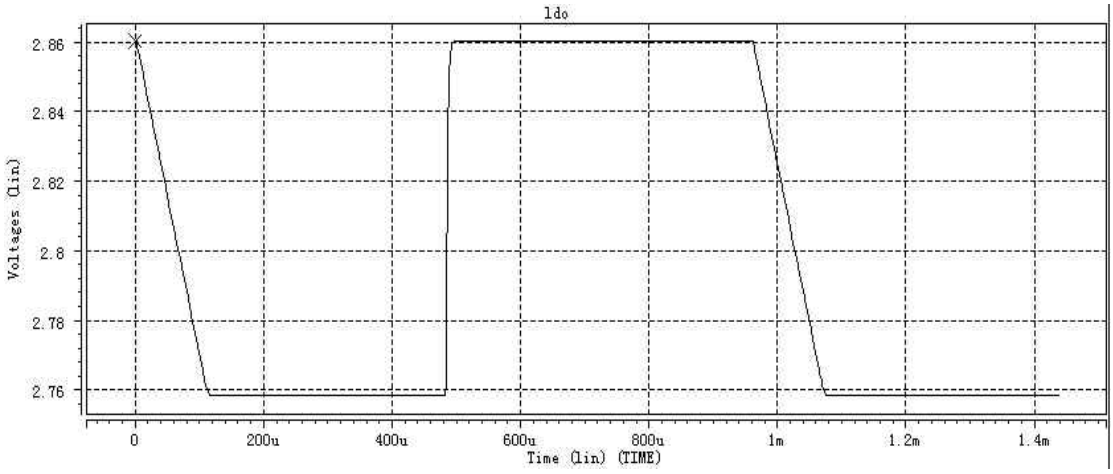


图 4.5 未加频率补偿的 LDO 瞬态响应

（3）参考电压变化时瞬态特性

考虑改变参考电压的变化会引起输出电压偏移（见式 1），控制参考电压在 1.2v+\-20mv 跳变，观察输出电压瞬态特性。可看出加上频率补偿后的电路





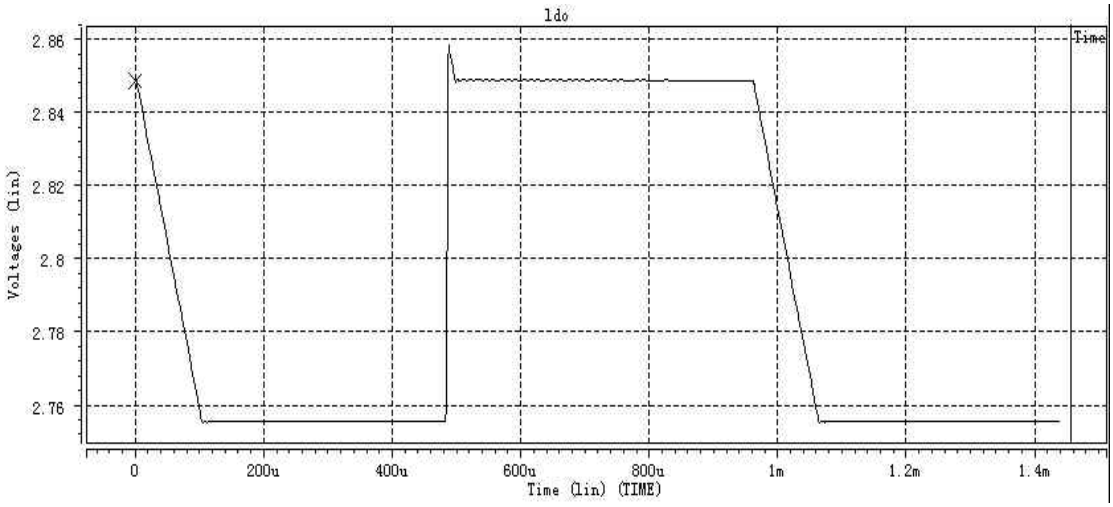


图 4.6 参考电压变化时输出电压瞬态特性。上面曲线是参考电压，中间是有 VCCS 补偿的 LDO 输出电压，最下面是没有频率补偿的

由于相位裕度足够，输出电压不会出现振荡，比未加频率补偿电路稳定性好。（见图 4.6）。

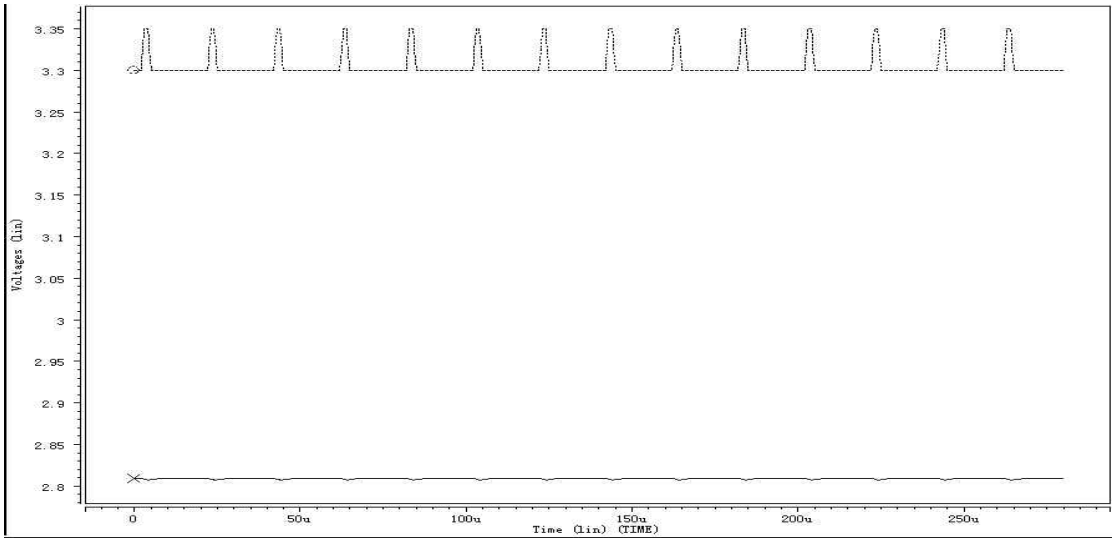


图 4.7 负载电流 2mA 时，Vdd 变化与输出电压变化

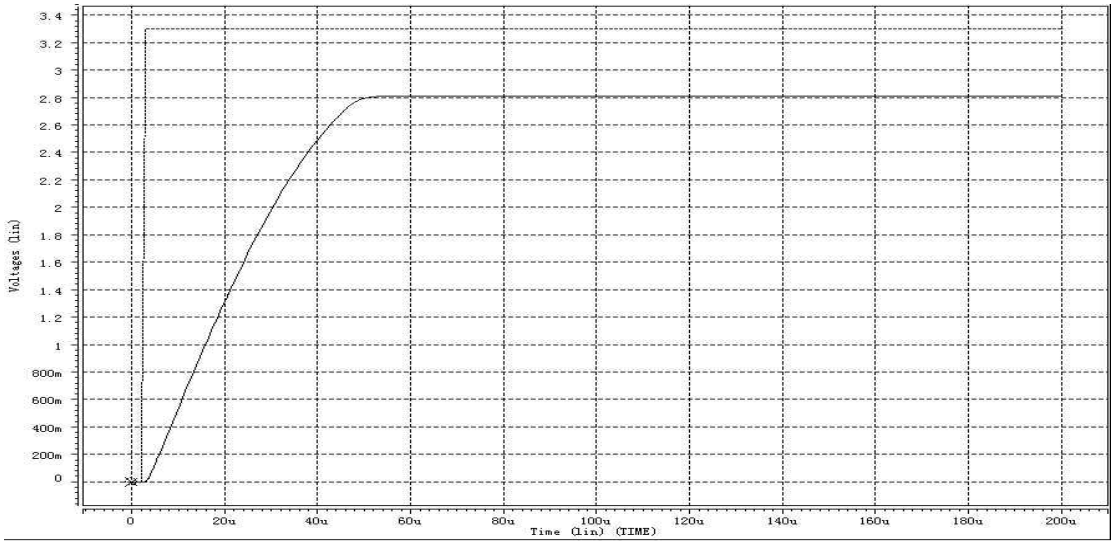


图 4.8 负载电流 2mA 时，稳压器的建立时间

（4）Vdd 变化对输出电压影响

稳压器能够减小 Vdd 变化带来得影响，如图 4.7，在 Vdd 加上幅度 0.5V 的抖动，得输出电压十分稳定，抖动不超过 10mv

（5）建立时间

既从 Vdd 开始提供工作电压到 LDO 开始正常工作，输出电压稳定的时间。测试时使 Vdd 从 0 跳变到 3.3v，直到输出电压稳定下来，所用的建立时间大约为 52us，见图 4.8。

第五章 总结

提出的 VCCS 补偿电路与 ESR 补偿相比，避免了需要依靠负载电容来实现的缺点，使得 LDO 电路更加稳定，能适用与更广的范围。同时，VCCS 与 ESR 相比还减小了过冲，其静态电流和硅片面积也没有明显增大。对建立时间和电压调节的影响也不大。

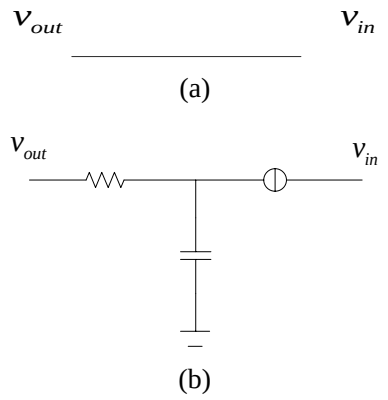
需要指出的是，由于时间的限制，设计时没有考虑噪声的问题，在验证中也没有对噪声作出比较。只能留待以后完成。

附录

1 测试开环传递函数方法。

要测试开环传递函数，必须选取闭环中某一段断开，在保持静态工作点不变的情况下在输入端加入交流信号，测试另一端的输出。为了保持静态工作点不变而不必另外加入直流电源，可将闭环打开后，在所打开节点加入一大电阻与一大电容组成一个低通电路（如下图）。由于电阻电容的值非常大，可近似看成只有直流分量能通过，保证了直流工作点与原来相比没有变化。而交流信号则不能反馈到输入端。在输入端另外加上一个交流小信号源，就可测试开环传递函数。

在选取断开处时，要注意选取点不要有直流电流流过。否则测试时加上的大电阻会改变直流工作点。



(a)闭环时为导线(b)拆开插入元件测试开环传递函数

2 测试用网表

（1）Error Amplifier

```
.subckt errap vdd vss in1 in2 out
m1 1 1 vss vss nmos_3p3 l=0.5u w=1.5u
m2 2 1 vss vss nmos_3p3 l=0.5u w=1.5u
m3 out 1 vss vss nmos_3p3 l=0.5u w=1.5u
m4 5 in1 2 vss nmos_3p3 l=0.5u w=0.5u
m5 4 in2 2 vss nmos_3p3 l=0.5u w=0.5u
m6 5 5 vdd vdd pmos_3p3 l=0.5u w=2.5u
m7 4 5 vdd vdd pmos_3p3 l=0.5u w=2.5u
m8 out 4 vdd vdd pmos_3p3 l=0.5u w=5u
i1 vdd 1 2u
.ends errap
```

（2）LDO

```
.subckt errap vdd vss in1 in2 out
m1 1 1 vss vss nmos_3p3 l=0.5u w=1.5u
m2 2 1 vss vss nmos_3p3 l=0.5u w=1.5u
```

```
m3 out 1 vss vss nmos_3p3 l=0.5u w=1.5u
m4 5 in1 2 vss nmos_3p3 l=0.5u w=0.5u
m5 4 in2 2 vss nmos_3p3 l=0.5u w=0.5u
m6 5 5 vdd vdd pmos_3p3 l=0.5u w=2.5u
m7 4 5 vdd vdd pmos_3p3 l=0.5u w=2.5u
m8 out 4 vdd vdd pmos_3p3 l=0.5u w=3u
i1 vdd 1 2u
.ends errap

*LDO circuit
x1 vdd vss 3 4 1 errap
r1 2 vss 120k
r2 out 2 160k
c1 out vss 2.2u
m1 out 1 vdd vdd pmos_3p3 l=0.5u w=1000u
*RL
r3 out vss 1400

v1 vdd 0 3.3v
v2 vss 0 0
v3 3 vss 1.2v
```

（3）VCCS

```
.subckt vccs voi voo vdd vss
*OTA
m2 2 1 vss vss nmos_3p3 l=0.7u w=0.5u
m3 3 1 vss vss nmos_3p3 l=0.7u w=0.5u
m8 9 7 3 vss nmos_3p3 l=0.7u w=0.4u
m9 8 2 3 vss nmos_3p3 l=0.7u w=0.4u
m10 vdd voi 2 vss nmos_3p3 l=0.7u w=1u
m11 8 8 vdd vdd pmos_3p3 l=0.7u w=1u
m12 9 8 vdd vdd pmos_3p3 l=0.7u w=1u
*current mirror
m13 13 10 vdd vdd pmos_3p3 l=0.7u w=1u
m14 12 10 vdd vdd pmos_3p3 l=0.7u w=6u
m15 10 11 13 vdd pmos_3p3 l=0.7u w=1u
m16 voo 11 12 vdd pmos_3p3 l=0.7u w=6u
*basic
m1 1 1 vss vss nmos_3p3 l=0.7u w=0.5u
m4 4 1 vss vss nmos_3p3 l=0.7u w=0.5u
m5 5 1 vss vss nmos_3p3 l=0.7u w=3u
m6 voo 6 5 vss nmos_3p3 l=0.7u w=3u
m7 7 6 4 vss nmos_3p3 l=0.7u w=0.5u
mx 10 9 7 vss nmos_3p3 l=0.7u w=1u
```

```
i1 vdd 1 dc=0.5ua
c1 7 vss 2pf
v5 11 0 2v
v4 6 0 2v
.ends vccs
```

参考文献

【1】 低压降线性稳压器系统介绍与探讨　潘宣亦,陈秋麟

【2】 G. A. Rincon-Mora and P. Allen, ”Optimized frequency shaping circuit topologies for LDOs,” IEEE Trans.Circuits Syst,11,vol,45,pp703-708,June 1998

【3】Chaitanya K.Chava, “A Frequency Compensation Scheme for LDO Voltage Regulators” IEEE Trans. Circuits Syst. Vol.51,NO.6,JUNE 2004

【4】Chester simpson “A USER’S GUIDE TO COMPENSATING LOW-DROPOUT REGULATORS”

致谢

首先要感谢我的导师唐长文老师，正是在他的悉心指导，耐心解答和激励之下，我才得以解决设计中遇到的问题，对研究方法有了更深入的了解，在此衷心的感谢他给与的莫大的帮助!我还要感谢实验室的师兄师姐及同学在设计过程中对我各方面的关心与帮助，使我的设计能够更快更好的完成。在此对大家说一声：谢谢!