

学校代码： 10246

学 号： 073021253

復旦大學

硕 士 学 位 论 文
(专业学位)

基准电压源和线性稳压器的设计

院 系： 信息科学与工程学院
专 业： 集成电路工程
姓 名： 刘立明
指 导 教 师： 唐长文 副教授
完 成 日 期： 2010年4月16日

目 录

图目录	III
表目录	VII
摘 要	1
Abstract	3
第一章 概述	5
1.1 研究动机	5
1.2 研究内容及贡献	5
1.3 论文组织结构	6
第二章 带隙基准电压源电路设计	7
2.1 前言	7
2.1.1 主要性能指标	7
2.1.2 基本结构及原理	8
2.2 电路结构及性能分析	11
2.3 误差分析	14
2.4 温度系数分析	16
2.5 噪声分析	17
2.6 电路实现	20
2.7 仿真结果	23
2.7.1 直流特性	24
2.7.2 环路交流特性	26
2.7.3 <i>PSR</i> 特性	29
2.7.4 噪声	31
2.7.5 自启动	32
2.7.6 数字修正	34
2.8 电路性能总结	35
第三章 电压—电流转换电路设计	37
3.1 前言	37
3.2 电路结构及性能分析	40
3.3 电路实现	41
3.4 仿真结果	42
3.5 电路性能总结	43
第四章 低压差线性稳压器设计	45
4.1 前言	45

4.2 电路结构及性能分析	48
4.3 电路实现	50
4.4 仿真结果	51
4.4.1 直流特性	52
4.4.2 环路交流特性	53
4.4.3 <i>PSRR</i> 特性	58
4.4.4 负载变化	59
4.4.5 噪声	60
4.5 电路性能总结	60
第五章 总结与展望	63
5.1 总结	63
5.2 展望	63
致谢	65
参考文献	67

图目录

图 1-1	系统结构	6
图 2-1	带隙基准电压源电路拓扑结构	9
图 2-2	带隙基准电压源核心电路	10
图 2-3	典型带隙基准电压源电路的温度系数	10
图 2-4	带隙基准电压源电路原理图	11
图 2-5	数字控制带隙基准电压源原理图	12
图 2-6	可控 PNP 晶体管组基本单元	13
图 2-7	简单的差分放大器	13
图 2-8	引起带隙基准电压源电路误差的因素	14
图 2-9	MOS 管的变化对输出参考电压温度曲线的影响	15
图 2-10	电阻的变化对输出参考电压温度曲线的影响	15
图 2-11	双极型晶体管的变化对输出参考电压温度曲线的影响	16
图 2-12	温度曲线	16
图 2-13	带隙基准电压源的等效噪声电路	18
图 2-14	差分放大器的噪声源	20
图 2-15	带隙基准电压源电路图	21
图 2-16	误差放大器电路结构	21
图 2-17	RC 滤波器频率特性	22
图 2-18	RC 低通滤波器对 PSR 的影响	23
图 2-19	RC 低通滤波器对噪声的影响	23
图 2-20	电源变化与温度曲线的关系	25
图 2-21	V_{DD} 为 3.3 V 时工艺角与温度曲线的关系	25
图 2-22	V_{DD} 为 2.1 V 时工艺角与温度曲线的关系	26
图 2-23	电源变化与环路交流特性的关系	27
图 2-24	电源变化与单位增益带宽的关系	27
图 2-25	电源变化与相位裕度的关系	28
图 2-26	V_{DD} 为 2.1 V 时工艺角与环路交流特性的关系	28
图 2-27	V_{DD} 为 3.3 V 时工艺角与环路交流特性的关系	29
图 2-28	电源变化与 PSR 的关系	30
图 2-29	V_{DD} 为 3.3 V 时工艺角与 PSR 的关系	31
图 2-30	V_{DD} 为 2.1 V 时工艺角与 PSR 的关系	31
图 2-31	电源变化与噪声的关系	32
图 2-32	电源变化与启动时间的关系	33

图 2-33	V_{DD} 为 3.3 V 时工艺角与启动时间的关系	33
图 2-34	V_{DD} 为 2.1 V 时工艺角与启动时间的关系	34
图 2-35	V_{DD} 为 2.1 V 时数字修正与温度曲线的关系	35
图 2-36	V_{DD} 为 3.3 V 时数字修正与温度曲线的关系	35
图 3-1	电压—电流转换电路拓扑图	37
图 3-2	电流镜示意图	38
图 3-3	由于 V_{DS} 不同产生输出电流的误差	39
图 3-4	共源共栅(cascade)电流镜	39
图 3-5	低压共源共栅电流镜	40
图 3-6	电压—电流转换电路原理图	41
图 3-7	电压—电流转换电路	41
图 3-8	电源变化和工艺角偏差与输出电流的关系	42
图 4-1	电源管理示意图	45
图 4-2	恒压源及其连接示意图	46
图 4-3	线性稳压器的典型输入—输出特性	46
图 4-4	传统的线性稳压器	47
图 4-5	传统的线性稳压器的波特图	47
图 4-6	低压差线性稳压器	47
图 4-7	低压差线性稳压器的波特图	47
图 4-8	低压差线性稳压器结构示意图	48
图 4-9	负载电流快速切换的等效电路	49
图 4-10	快速瞬态响应的无片外电容的稳压器的原理图	49
图 4-11	简单的电容积分器	50
图 4-12	快速瞬态响应的稳压器等效电路图	50
图 4-13	低压差线性稳压器电路图	51
图 4-14	低压差线性稳压器仿真电路图	51
图 4-15	电源变化和负载电流与温度曲线的关系	52
图 4-16	电源变化与输出电压的关系	53
图 4-17	30 mA 范围内, 负载电流变化与单位增益带宽的关系	54
图 4-18	30 mA 范围内, 负载电流变化与相位裕度的关系	55
图 4-19	1 mA 范围内, 负载电流变化与单位增益带宽的关系	55
图 4-20	1 mA 范围内, 负载电流变化与相位裕度的关系	56
图 4-21	电源电压和负载与环路交流稳定性的关系	56
图 4-22	相位裕度	57
图 4-23	单位增益带宽	57
图 4-24	电源电压和负载与 $PSRR$ 的关系	58

图 4-25 负载电流跳变对输出电压的影响.....59

表目录

表 2-1	电源变化与静态功耗的关系	24
表 2-2	工艺角与静态功耗的关系	24
表 2-3	温度系数	26
表 2-4	电源电压和工艺角与环路交流稳定性的关系	29
表 2-5	电源变化与 <i>PSR</i> 的关系	30
表 2-6	电源电压和工艺角与噪声的关系	32
表 2-7	数字控制输出参考电压	34
表 2-8	带隙基准电压源的性能	36
表 4-1	电源变化与静态功耗的关系	52
表 4-2	工艺角与静态功耗的关系	52
表 4-3	电源电压和负载与环路交流稳定性的关系	53
表 4-4	电源电压和工艺角与环路交流稳定性的关系	58
表 4-5	电源电压和负载与 <i>PSRR</i> 的关系	59
表 4-6	输出电压的变化	60
表 4-7	电源电压和负载与噪声的关系	60
表 4-8	电源电压和工艺角与噪声的关系	60
表 4-9	低压差线性稳压器电路的性能	61

摘要

近年来由于工艺水平不断提高, 电路设计技术不断进步, 集成电路行业发展迅速, 应用领域不断扩展。但同时, 对电路的性能要求越来越苛刻。基准源为其他电路模块提供稳定精确的电压/电流, 其性能影响电路的整体性能。

本文设计的带隙基准电压源对电源电压、工艺和温度的变化不敏感, 具有高电源电压抑制和低噪声的特点。电路中使用数字控制的PNP晶体管阵列进行软修正。该带隙基准电压源电路能为其他电路模块提供稳定精确的电压。从仿真结果来看, 其温度系数小于**28.38 ppm/°C**, V_{DD} 为**3.3 V**时直流的电源抑制比为**88.9 dB**, V_{DD} 为**2.1 V**时直流的电源抑制比为**65 dB**。从**100 Hz**到**100 kHz**范围的积分噪声为**13 μV_{rms}** 。

本文设计的电压—电流转换电路使用片外可调电阻, 将带隙基准电压源产生的输出参考电压转换成稳定的电流。在电源电压和工艺的变化下其输出电流的变化小于**0.5 ‰**。

最后本文设计了低压差线性稳压器, 电路的补偿结构可以使输出电压快速瞬态响应外界负载的变化。极端条件下, 相位裕度为**40 deg**, 其他条件下相位裕度大于**88 deg**。 V_{DD} 为**3.3 V**时直流的电源抑制比为**60 dB**, V_{DD} 为**2.1 V**时直流的电源抑制比为**40 dB**。从**100 Hz**到**100 kHz**范围的积分噪声为**24 μV_{rms}** 。输出电压瞬态响应的变化小于**100 mV**。

本文选用中芯国际的**0.18- μm CMOS**工艺库模型进行仿真。

关键词: 带隙基准电压源、低压差线性稳压器、高电源电压抑制、低噪声、软修正、快速瞬态响应

中图分类号: TN432

Abstract

In recent years, as the technology of semiconductor has improved continuously, and the circuit design technology continues to progress, the IC industry has been growing quickly, the applications continue to be widely. But at the same, that require the circuits must have higher performances.

In this work, the bandgap voltage reference is insensitive with the variations of power-supply, process, and temperature, with a high power supply rejection and low noise. There is a digital control circuit to modify the number of the PNP transistor arrays, as soft-trimming. The circuit produces a stable and accurate voltage to all other integrated circuits. The simulation results are given, the temperature coefficient is less than 28.38 ppm/°C. When V_{DD} is 3.3 V the Power-Supply Rejection is 88.9 dB at DC, it is 65 dB when V_{DD} is 2.1 V. The integrated noise from 100 Hz to 100 kHz is 13 μV_{rms} .

In this work, there is an off-chip adjustable resistance for the voltage to current converter circuit. The circuit converts the output reference voltage from the bandgap voltage reference, to a stable current. As the power supply and process vary, the variation of the output current is less than 0.5 ‰.

Finally, there is a LDO(Low Dropout Regulator) voltage regulator, the compensation scheme provides a fast transient response for output voltage as the load change. Under the extreme condition, the phase margin is 40 deg. The other conditions, phase margin are more than 88 deg. The Power-Supply Rejection is 60 dB at DC when V_{DD} is 3.3 V, it is 40 dB when V_{DD} is 2.1 V. The integrated noise from 100 Hz to 100 kHz is 24 μV_{rms} . The variation of the transient response of the output is less than 100 mV.

This work bases on the SMIC 0.18- μm CMOS process to simulate.

Keywords: Bandgap Voltage Reference, LDO, High PSRR, Low Noise, Soft-trimming, Fast Transient Response

Classification Code: TN432

第一章 概述

1.1 研究动机

基准源是集成电路的重要基本单元电路,包括基准电压源和基准电流源。其性能的好坏对整体性能影响较大。基准源除用做电源外,还为其他电路模块提供精确的参考电压/电流。例如,将基准电压源作为运算放大器的参考输入,模数转换器(ADC)中用于比较的标准电压等[1]。

好的稳定性是对基准源的主要要求,即对外部条件(如工作温度和电源电压等)变化不敏感。基准的噪声和偏差都会严重地影响电路中其他模块的精度和稳定性。因此,系统的精确度在很大程度上由基准的精度决定。基准源的性能不好,则系统性能很难达到设计要求。

基准电压源和基准电流源并不是孤立的,电压基准可以转换为电流基准,反之亦然。本文中电流基准源由电压基准源电路的输出参考电压转换得到。系统内部的模块一般为电流偏置,等同于镜像基准电流,所以电流基准源必须稳定精确。

片上系统(SOC)是集成电路设计的主要趋势之一[2]。减少片外器件,减少引脚,包含更多的子模块,减少流片、封装和测试等费用,进而降低成本。使用线性稳压器时,其输出端的负载电流和负载电容随外接负载变化而变化,这些变化将影响线性稳压器的稳定性,其输出电压不稳定。传统的低压差线性稳压器需接容值较大的片外电容,使其性能稳定,可以快速响应瞬态变化。但增加引脚意味着增加费用。无片外电容的低压差线性稳压需要增加特殊结构,用来完成快速瞬态响应。该结构越简单越好,所需元件减少,直流功耗小;只改善瞬态特性,不影响低压差线性稳压的直流特性。

1.2 研究内容及贡献

本文设计完成了带隙基准电压源电路、电压—电流转换电路和低压差线性稳压器电路,各部分的相互关系如图 1-1 所示。

带隙基准电压源电路使用数字信号控制 PNP 双极型晶体管数目,调整输出参考电压,进行修正,消除温度和工艺等产生的影响。选用合适的双极型晶体管比值和电阻的比值,可以实现低噪声的输出电压。在输出端加 RC 低通滤波器滤除高频噪声,高频性能得到改善。

电压—电流转换电路使用片外可调电阻,抵消工艺产生的偏差。输出电流支路采用低电压共源共栅结构,该结构可以增加输出阻抗,输出的偏置电流更准确。

低压差线性稳压器的设计中增加自动检测网络,在外界负载变化较大时,

输出电压能够快速调整，稳定输出。

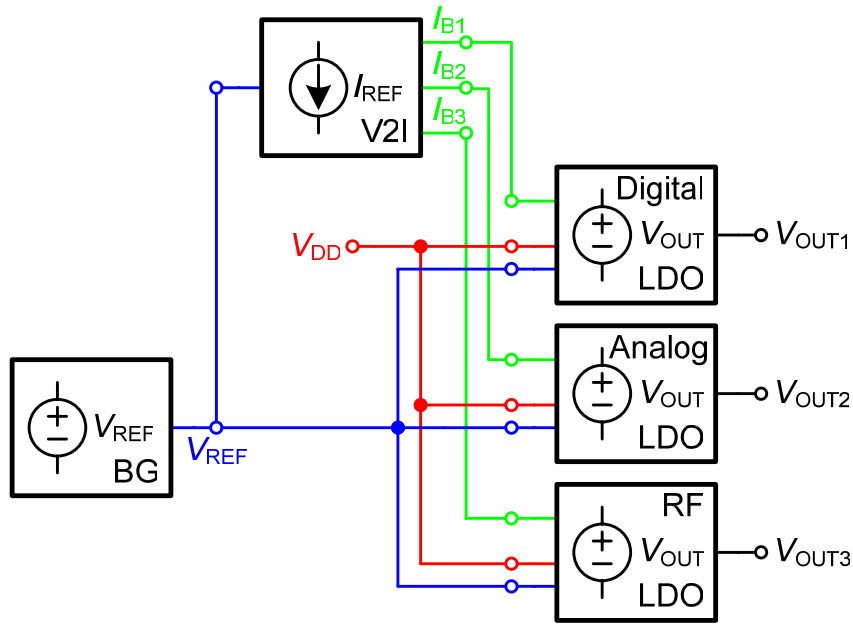


图 1-1 系统结构

1.3 论文组织结构

本文结构如下：

第一章为概述。介绍了研究动机、研究内容和论文结构。

第二章为带隙基准电压源电路设计。介绍了带隙基准电压源的主要性能指标的含义，基本结构及原理。使用方框图分析电路结构及性能，对电路来说比较关键的误差来源，温度系数和噪声进行了详细的分析，接下来叙述电路如何实现和仿真，最后总结了电路的性能。

第三章为电压—电流转换电路设计。分析了电路结构及性能，之后叙述电路的具体实现，分析仿真结果，最后对电路的性能进行总结。

第四章为低压差线性稳压器设计。对电路结构及性能进行了分析。将各个模块连接起来作为整体进行仿真。

第五章为总结与展望。对本文所述内容进行总结，并对今后工作做出展望。

第二章 带隙基准电压源电路设计

2.1 前言

带隙基准电压源主要为系统提供稳定的直流参考电压，其精度和稳定性直接影响和决定系统的整体性能。其主要特性是其输出参考电压不随温度的变化而改变，与温度无关(或关系较小)。

低压低功耗，采用标准 CMOS 工艺，不使用片外电容，节省成本是带隙基准电压源发展趋势。设计要求其在噪声、工艺、温度和外接电源等变化因素影响时，仍具有精度高、温度系数小、线性调整率小、电源抑制比高和噪声低等特性。

2.1.1 主要性能指标

带隙基准电压源主要性能指标有精度、温度系数、线性调整率、电源抑制比、直流功耗和噪声等

a) 精度

带隙基准电压源精度为输出电压与标称值的误差，一般在空载的条件下测量。在很多应用中，如在高精度数模/模数转换需要精确值的系统，精度是最重要的性能指标。

b) 温度系数(Temperature Coefficient, TC)

温度的变化将导致输出电压的变化，温度系数用来表征输出参考电压受温度影响的大小，单位为ppm/°C。在整个工作温度范围内($T_{\max}-T_{\min}$)，输出参考电压的最大值 $V_{\text{REF,max}}$ 与最小值 $V_{\text{REF,min}}$ 之差相对标称输出参考电压 V_{REF} 的变化定义为温度系数，

$$TC = \frac{V_{\text{REF,max}} - V_{\text{REF,min}}}{V_{\text{REF}}} \frac{1}{T_{\max} - T_{\min}} \times 10^{-6} \quad (2.1)$$

由于使用环境温度不确定，同时电路工作时产生热量使器件本身的温度发生变化，要求电路在整个可能的工作温度范围内其温度系数越小越好。有些设计为了得到较小的温度系数，则需要使用曲率补偿技术[3][4][5]。

c) 线性调整率(Line Regulation, LNR)

表征直流状态下电源电压波动对输出参考电压的影响程度。线性调整率越小，输出参考电压越稳定。它是基准电压源的直流特性参数，与瞬时状态和纹波电压无关。输出参考电压变化的直流量(ΔV_{REF})与电源电压变化的直流量(ΔV_{DD})的比值，与频率无关。

$$LNR = \frac{\Delta V_{REF}}{\Delta V_{DD}} \Big|_{DC} \quad (2.2)$$

d) 电源抑制比(Power Supply Rejection Ratio, PSRR)

电源的瞬时小信号变化(如噪声)将导致输出电压的变化, 电源抑制比用来表征电路对这种变化的抑制能力, 单位为分贝(dB)。对于运算放大器等有输入信号的电路模块, 使用电源抑制比 *PSRR* 的概念, 定义为输入到输出的交流电压增益与电源到输出的交流电压增益的比值, 表达式为:

$$PSRR = \frac{A_V}{A_{dd}} \quad (2.3)$$

其中 $A_V = \frac{V_{out}}{V_{in}} \Big|_{V_{dd} = 0}$ 表示电源电压交流小信号为零时输入到输出的增益;

$A_{dd} = \frac{V_{out}}{V_{dd}} \Big|_{V_{in} = 0}$ 表示输入电压交流小信号为零时电源电压到输出的增益。

然而对于带隙基准源, 没有与其他电路模块相似的输入信号。电源为带隙基准源模块的输入, 电源的瞬时小信号变化引起输出电压的变化定义为电源抑制 *PSR*(Power-Supply Rejection), 其表达式为, 输出参考电压变化的交流小信号量(δV_{ref})与电源电压变化的交流量(δV_{dd})—交流小信号纹波的比值, 与频率有关。

$$PSR = \frac{\delta V_{ref}}{\delta V_{dd}} \Big|_f \quad (2.4)$$

e) 直流功耗

直流功耗是衡量电路性能好坏的重要指标, 特别是应用在便携式电子产品, 低功耗一直是主要的研究方向。低电压工作对便携设备具有非常重要的意义。便携设备如手机(Mobile Phone)、个人数字助理(PDA)和手持 GPS 等依靠电池工作, 电池容量有限, 低功耗可以延长电池的使用时间。作为集成电路的一个基本单元电路, 低功耗也一直是基准电压研究发展的一个方向[6]。

f) 噪声

噪声也是电路性能的重要指标, 低噪声是电路设计时必须考虑的性能。对高精度系统, 低频的 $1/f$ 噪声是一个重要的指标。

以上各个性能指标之间存在相互影响, 设计时需要综合考虑, 对各种指标进行折中。

2.1.2 基本结构及原理

带隙基准电压源输出电压由不同温度特性的两部分电压组成: 一部分电压与温度正相关, $\frac{\partial V_1}{\partial T}$ 为正; 一部分电压与温度负相关, $\frac{\partial V_2}{\partial T}$ 为负。当两部分电压以

适当的权重相加，则结果就会为零温度系数，

$$\alpha_1 \frac{\partial V_1}{\partial T} + \alpha_2 \frac{\partial V_2}{\partial T} = 0 \quad (2.5)$$

即总的电压 $V_{REF} = \alpha_1 V_1 + \alpha_2 V_2$ ，理论上与温度无关。在半导体技术的不同器件参数中，双极型晶体管的特性被证明是最具重复特性的，可产生明确的正的温度系数参量和负的温度系数参量的器件[7]。

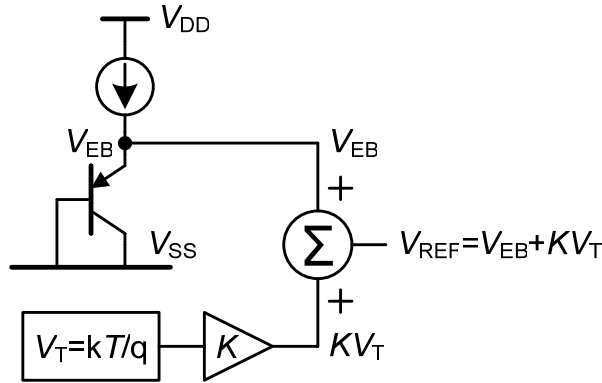


图 2-1 带隙基准电压源电路拓扑结构

使用双极型晶体管，选择适当的电路结构，可得到零温度系数的电压。电路拓扑结构如图 2-1所示[8]。其中 $V_T = kT/q$ 是与绝对温度成正比(Proportional To Absolute Temperature, *PTAT*)的电压 V_{PTAT} ，具有正温度系数。*PNP*双极型晶体管的射极-基极电压 V_{EB} ，即PN结二极管的正偏电压是与绝对温度成互补关系(Complementary To Absolute Temperature, *CTAT*)的电压 V_{CTAT} ，具有负温度系数[9]。 V_T 和 V_{EB} 的温度特性，

$$\frac{\partial V_T}{\partial T} = \frac{k}{q} \quad (2.6)$$

$$\frac{\partial V_{EB}}{\partial T} = \frac{V_{EB} - (4 + m)V_T - E_g/q}{T} \quad (2.7)$$

其中 k 为开尔文常数， E_g 为硅的带隙能量。 V_{BE} 的温度系数与温度有关，因此如果具有正温度系数的 V_T 为定值，与温度无关，带隙基准电压源的温度补偿会出现偏差，即输出参考电压只能在一个温度点上获得零温度系数[10]。

输出电压的表达式由 V_{BE} 、 V_T 和 V_T 的系数项组成。 V_T 出现在双极型晶体管射极电流的表达式 $I_E = I_S e^{\frac{V_{EB}}{V_T}}$ 中，经过变换， V_T 的系数为对数项。如图 2-2所示，如果 $Q2$ 与 $Q1$ 尺寸大小相同，则 $I_{S1} = I_{S2}$ ，得：

$$\Delta V_{EB} = V_{EB2} - V_{EB1} = V_T \ln \frac{nI_0}{I_{S2}} - V_T \ln \frac{I_0}{I_{S1}} = V_T \ln n \quad (2.8)$$

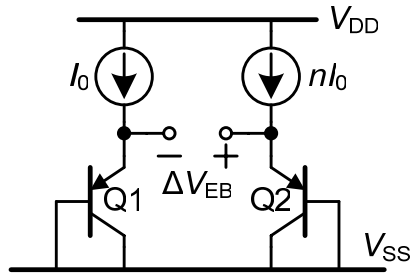


图 2-2 带隙基准电压源核心电路

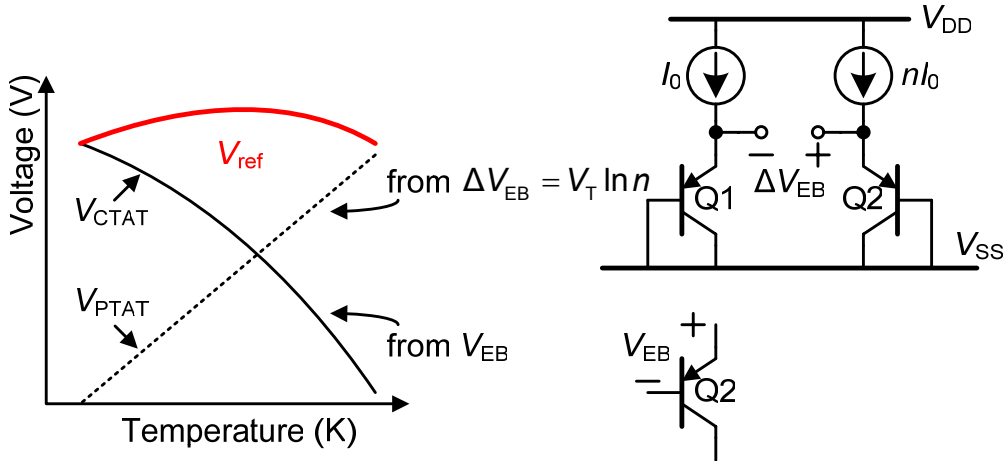


图 2-3 典型带隙基准电压源电路的温度系数

将电压 V_{CTAT} 和 V_{PTAT} 进行组合，可得到温度系数很小的带隙基准电压源，如图 2-3 所示[11]。选择适当的 K 值，则有 $\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{EB}}{\partial T} + K \frac{\partial V_T}{\partial T} = 0$ ，可以得到很小温度系数的参考基准电压 V_{REF} ，

$$V_{REF} = V_{EB} + KV_T \quad (2.9)$$

由于工艺存在偏差，基准源实际输出的参考电压将与标称值有差异。为了得到精确的参考电压，要对电路进行修正(Trimming)。修正的方法有硬修正(hard-trimming)和软修正(soft-trimming)[12]。硬修正使用特殊工艺调整电路元件参数至一个合适的值，如使用激光改变电容或电阻器件的参数，使其值接近理想值，进而得到精确的参考电压。但硬修正需要增加额外的工艺步骤，过程复杂，费用较贵。例如对电阻进行修正，通过切割部分电阻来增大电阻值，或通过一些连线“跳过”某些特定的电阻来减小电阻值，最终得到期望的电阻值。在进行微调的过程中必须始终监视所微调电阻的阻值，以保证得到期望的阻值。如果微调过程中电路加电称为动态微调，不加电则为静态微调。常用的电阻微调技术有熔丝微调、激光调微调和齐纳二极管微调等。这些电阻微调的方法需要额外增加很大的芯片面积，成本也会随之增加。

另一种修正为软修正。该方法使用数字控制的方式，调整电路元件参数，

如使用数字电路控制一些开关，改变接入电路的某种元件的数目。该方法实现简单，无需增加外部控制硬件，控制信号可以由系统内部已有的数字电路产生。本文采用数字电路控制接入电路的 PNP 晶体管数目，调节输出参考电压，得到较为精确的参考电压。

2.2 电路结构及性能分析

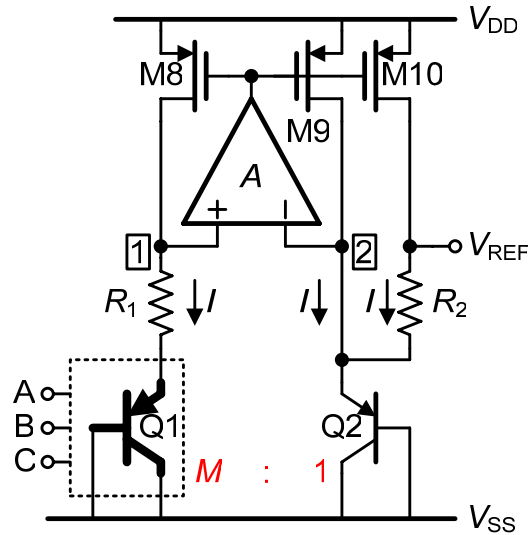


图 2-4 带隙基准电压源电路原理图

本文选用的带隙基准电压源电路原理图如图 2-4 所示，使用数字辅助控制 Q1 包含的 PNP 双极型晶体管数目。Q2 管为 1 个 PNP 晶体管，Q1 管为 M 个 PNP 晶体管。使用高增益的运算放大器实现节点 1 和节点 2 电压相等， $V_1=V_2$ 。设置三路电流均为 I ，则流过 Q1 中每个 PNP 晶体管的电流为 I/M 。由上述条件得：

$$V_1 = V_2$$

$$V_{EB1} = V_T \ln\left(\frac{I_{C1}}{I_{S1}}\right) = V_T \ln\left(\frac{I/M}{I_{S1}}\right)$$

$$V_{EB2} = V_T \ln\left(\frac{2I}{I_{S2}}\right)$$

由各节点电压关系得：

$$V_1 = V_{EB1} + IR_1$$

$$V_2 = V_{EB2}$$

$$V_{REF} = V_{EB2} + IR_2$$

综上条件，带隙基准电压源输出参考电压的为：

$$V_{REF} = V_{EB2} + \frac{R_2}{R_1} \ln(2M)V_T \quad (2.10)$$

改变 R_2 和 R_1 的比值，或改变 PNP 晶体管个数 M 值均可以改变输出参考电压的值，实现对输出参考电压的调整。从 2.5 小节噪声分析可以看到， R_2 和 R_1 的比值较小时，噪声性能较好，所以本文采用改变 M 值改变输出参考电压，实现软修正，得到较为精确的参考电压。

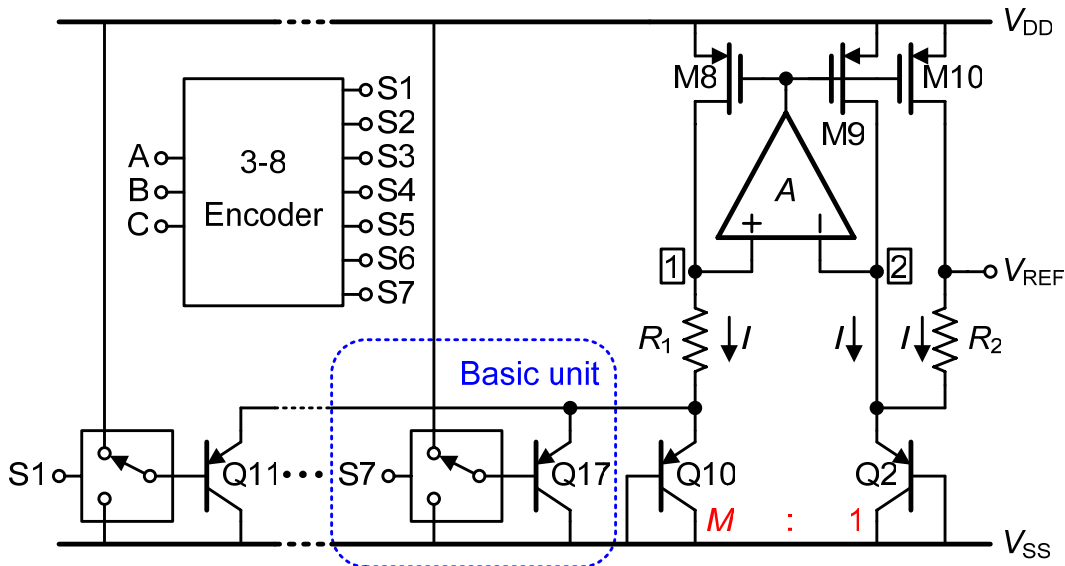


图 2-5 数字控制带隙基准电压源原理图

通过数字信号控制开关，改变 PNP 双极型晶体管 $Q1$ 的数目 M 的原理如图 2-5 所示。数字信号 A、B 和 C 来自内部数字单元。三个数字信号通过译码器产生七个控制信号 $S1 \sim S7$ ，控制“开关”改变 M 值。 M 值可变范围为 109~186，以步长 11 进行变化。传统的带隙基准电路，双极型晶体管 $Q2$ 与 $Q1$ 比值通常取得较小，本文使用的晶体管 $Q2$ 与 $Q1$ 的比值较大，可实现低噪声的输出参考电压，具体分析见 2.5 小节噪声分析。使用 11 作为 PNP 晶体管切换步长可以实现输出参考电压以 4 mV 左右的步长进行调整。输出参考电压的可变范围为 $-16\text{mV} \sim +18\text{mV}$ ，共 8 个值。

$Q1$ 管用 $Q10 \sim Q17$ 管实现，其中 $Q10$ 管包含 109 个 PNP 晶体管， $Q11 \sim Q17$ 管每组包含 11 个 PNP 晶体管。 $Q11 \sim Q17$ 管的导通/关断通过开关控制。每个开关和 PNP 晶体管组构成一个基本单元，如图 2-6 所示。开关由 PMOS 管和 NMOS 管反相器实现，当数字控制信号 S 为高电平时，NMOS 管导通，PMOS 管关断，晶体管 Q 的基极电位被拉到 V_{SS} ，晶体管导通；当数字控制信号 S 为低电平时，NMOS 管关断，PMOS 管导通，晶体管 Q 的基极电位被拉到 V_{DD} ，晶体管截止。数字控制信号 $S1 \sim S7$ 由 3-8 译码器产生，译码器输入来自内部的数字单元。这样就实现了对输出参考电压的软修正。

2.3 误差分析

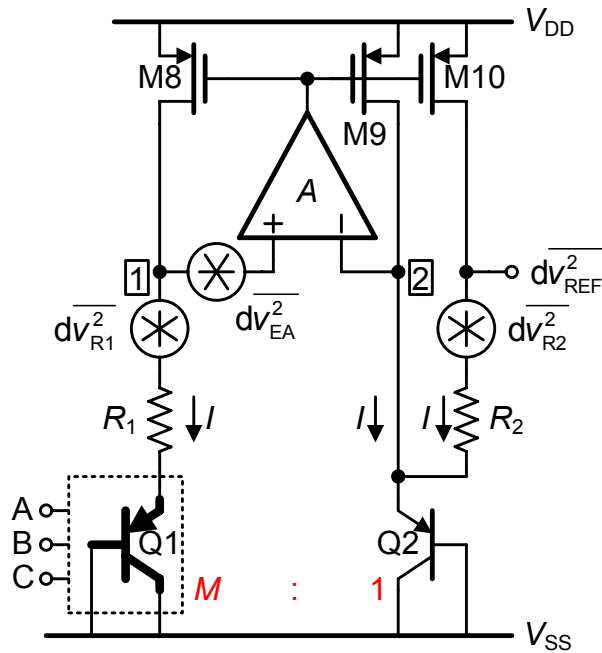


图 2-8 引起带隙基准电压源电路误差的因素

引起电路输出参考电压变化的因素除电路结构外主要是工艺和版图。如图 2-8 所示，MOS 管的失配、电阻的失配和变化、双极型晶体管的失配和基极—射极电压的变化都会影响最终的输出参考电压。M8~M10 管构成电流镜，如果失配将影响各支路的电流，进而影响式(2.10)中的自然对数项。电阻的失配和变化会改变 R_2 和 R_1 的比值，同样式(2.10)的结果将变化。双极型晶体管的失配和基极—射极电压的变化，也会影响式(2.10)中的自然对数项，输出参考电压出现误差。其中元器件失配可以在版图绘制时使用匹配技术减小。单个元器件参数的变化和尺寸不精确可以通过修正来减小。

在不同工艺角下 MOS 管、电阻和双极型晶体管的变化对输出参考电压温度曲线影响的仿真结果，如图 2-9、图 2-10 和图 2-11 所示。电源电压为 2.1 V， M 值为 142。MOS 管的变化对输出参考电压温度曲线的影响较小，双极型晶体管的变化影响较大。

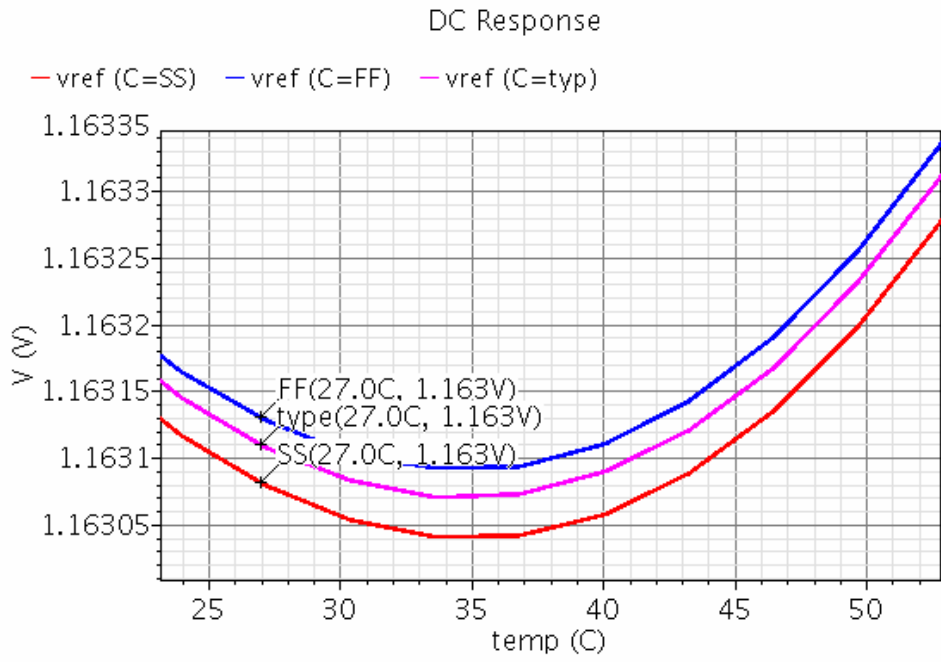


图 2-9 MOS 管的变化对输出参考电压温度曲线的影响

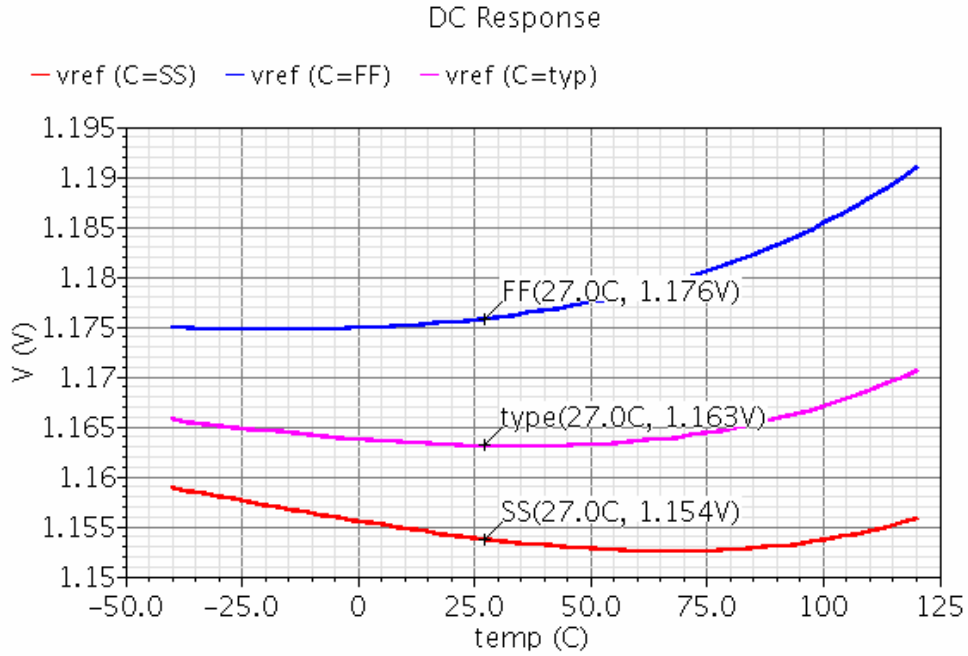


图 2-10 电阻的变化对输出参考电压温度曲线的影响

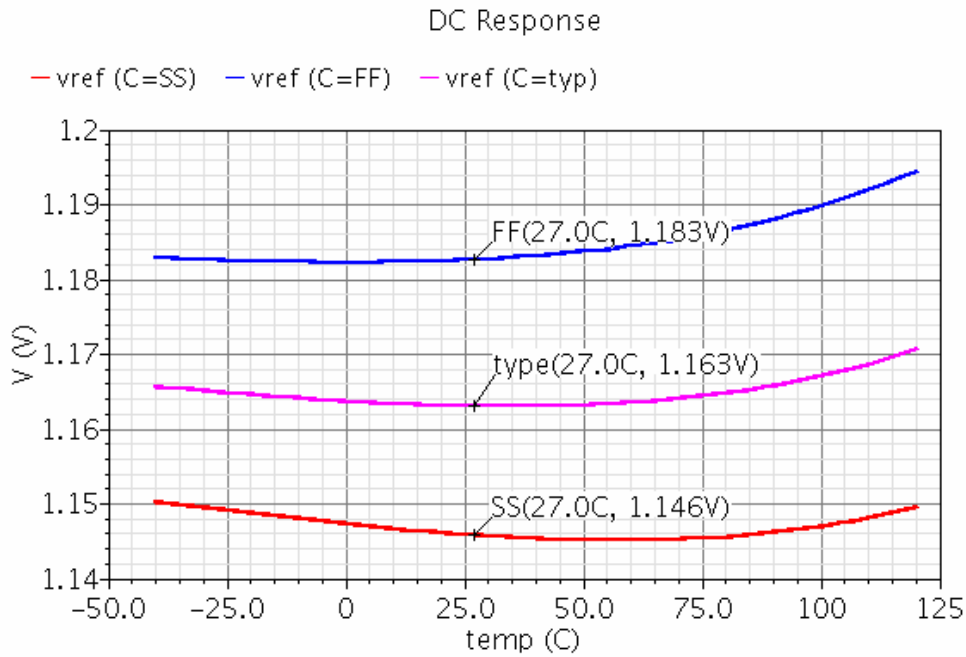


图 2-11 双极型晶体管的变化对输出参考电压温度曲线的影响

2.4 温度系数分析

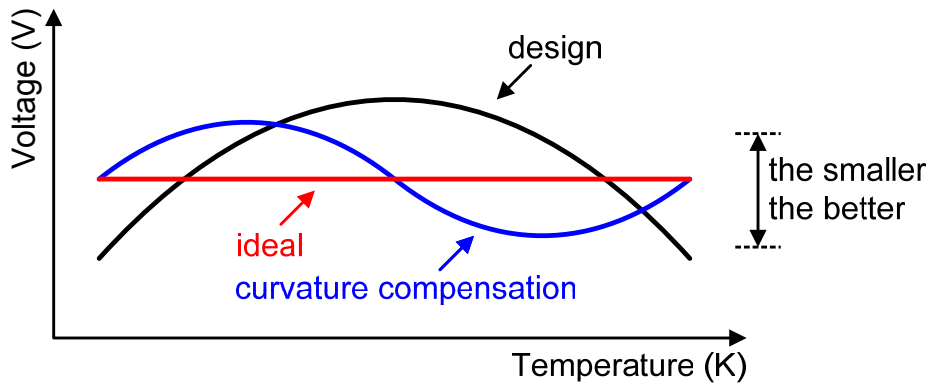


图 2-12 温度曲线

温度系数是带隙基准电压源的重要性能指标，反映输出参考电压受温度影响的大小。为了得到较好的温度系数，许多文献中提出了各种温度曲率校正的方法，使输出参考电压对温度不太敏感。温度系数可以绘制电压—温度曲线，易于理解。如图 2-12所示，在理想的温度曲线中电压不随温度变化。实际电路的温度曲线呈抛物线状，随着温度的变化，电压在较小的范围内变化。如果使用二阶曲线校正等曲率补偿技术，温度曲线可呈正弦波形状，电压的变化范围将更小。

当不使用高阶曲率补偿技术时，温度曲线通常呈抛物线形状，其开口可以向上，也可以向下，抛物线存在一个极值点。由于工艺等因素的影响，测试得

到的温度曲线将会与设计值有一些偏差，所以一般要进行修正。

将式(2.10)的左右两边分别对温度 T 求导，得到：

$$\frac{\partial V_{\text{REF}}}{\partial T} = \frac{\partial V_{\text{EB2}}}{\partial T} + \frac{R_2}{R_1} \ln(2M) \frac{\partial V_T}{\partial T} = \frac{\partial V_{\text{EB2}}}{\partial T} + \frac{R_2}{R_1} \frac{k}{q} \ln(2M) \quad (2.14)$$

当式(2.14)等于零时，理论上此温度处带隙基准电压源的温度系数为零，输出参考电压不随温度变化。

$$\frac{\partial V_{\text{EB2}}}{\partial T} + \frac{R_2}{R_1} \frac{k}{q} \ln(2M) = 0 \quad (2.15)$$

将式(2.7)代入式(2.15)，得：

$$\frac{V_{\text{EB2}} - (4+m)V_T - E_g/q}{T_{\text{pk}}} + \frac{R_2}{R_1} \frac{k}{q} \ln(2M) = 0 \quad (2.16)$$

假设温度曲线的电压为极值时，对应的温度为 T_{pk} ，则有：

$$V_T = \frac{kT_{\text{pk}}}{q} \quad (2.17)$$

将式(2.17)代入式(2.16)，得：

$$T_{\text{pk}} = \frac{E_g}{k[\ln(\frac{2I}{I_{\text{S2}}}) + \frac{R_2}{R_1} \ln(2M) - (4+m)]} \quad (2.18)$$

E_g 为硅的带隙能量， k 为开尔文常数， I_S 为双极型晶体管的反向饱和电流。

在设计带隙基准电压源的温度曲线时，一般将输出参考电压对应的温度值设置在温度变化范围的中间，这样使得输出参考电压随温度变化最小。从式(2.18)可以看出，温度 T_{pk} 的位置由偏置电流 I 、电阻 R_2 和 R_1 的比值以及晶体管个数 M 决定。

当其他值不变，晶体管个数 M 值减小时温度 T_{pk} 右移； M 值增加时温度 T_{pk} 左移。利用这一特性，使用数字信号，调整晶体管个数 M 值，可以调整温度 T_{pk} 的位置，进而对带隙基准电压源的温度曲线进行修正。

当其他值不变，减小偏置电流 I 时，温度 T_{pk} 右移，带隙基准电压源的温度特性会变差，温度系数变大。另外，虽然可以增加电阻 R_2 和 R_1 的比值改善温度特性，但是减小偏置电流会增加噪声。通过对噪声性能的分析可知，电阻 R_2 和 R_1 的比值较小时，噪声性能较好。

2.5 噪声分析

在低噪声应用中，基准电压源的噪声通常是一个很重要的贡献者。许多电路，比如模数转换器(Analog-to-Digital Converter, ADC)、低压差线性稳压器(Low Dropout Regulator, LDO)、低噪声放大器(Low-noise Amplifier, LNA)和压

设电阻 R_1 等效到输出的噪声为 $\overline{dv_{n,R1}^2}$ ，由电路得

$$i_{R1} = \frac{V_{R1}}{\frac{1}{g_{m8}A_{EA}} + R_1 + \frac{1}{g_{m1}}} \quad (2.24)$$

$$v_{2,R1} = 2i_{R1} \frac{1}{g_{m2}} \quad (2.25)$$

$$v_{n,R1} = v_{2,R1} + i_{R1}R_2 \quad (2.26)$$

综上所述可得

$$v_{n,R1} = \frac{R_2 + \frac{2}{g_{m2}}}{\frac{1}{g_{m8}A_{EA}} + R_1 + \frac{1}{g_{m1}}} v_{R1} \quad (2.27)$$

c) 电阻 R_2 等效到输出的噪声

设电阻 R_2 等效到输出的噪声为 $\overline{dv_{n,R2}^2}$ ，等于其电压噪声 $\overline{dv_{R2}^2}$ 。

PNP 晶体管的射极阻抗相对于电阻的阻值可以忽略，则总输出噪声为

$$\begin{aligned} \overline{dv_{REF}^2} &= \left(\frac{R_2 + \frac{2}{g_{m2}}}{R_1 + \frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \right)^2 \overline{dv_{EA}^2} + \left(\frac{R_2 + \frac{2}{g_{m2}}}{\frac{1}{g_{m8}A_{EA}} + R_1 + \frac{1}{g_{m1}}} \right)^2 \overline{dv_{R1}^2} + \overline{dv_{R2}^2} \\ &\approx \left(\frac{R_2}{R_1} \right)^2 (\overline{dv_{EA}^2} + \overline{dv_{R1}^2}) + \overline{dv_{R2}^2} \end{aligned} \quad (2.28)$$

从式(2.28)可知， $(R_2/R_1)^2$ 为 $(\overline{dv_{EA}^2} + \overline{dv_{R1}^2})$ 的系数，若能减小这个比值，则可以减小输出噪声。由式(2.15)得：

$$\frac{R_2}{R_1} = \frac{1}{k/q} \frac{\partial V_{EB}}{\partial T} \frac{1}{\ln(2M)} \quad (2.29)$$

增大 PNP 晶体管的个数 M 值，可以减小电阻 R_2/R_1 的比值。另外，如图 2-4 所示，经过 M9 管和 M10 管的两路偏置电流都经过 Q2 管，式(2.29)的分母中 M 值乘以 2，使得电阻 R_2/R_1 的比值减小，有利于减小带隙基准电压源的等效输出噪声。

差分放大器的噪声源如图 2-14 所示。电路的噪声由放大管和负载管产生。为了方便计算，各个管子的噪声源用电流噪声表示。根据差分结构的特征，M1 管与 M2 管、M3 管与 M4 管的尺寸分别相同，两边的结构是对称的，则放大管和负载管的噪声贡献也分别相同。将输出端电流噪声除以电路跨导 g_{m1} 的平方等效到输入端，

$$\overline{dv_{ieq}^2} = \frac{\overline{di_{out}^2}}{g_{m1}^2} = \frac{2\overline{di_1^2} + 2\overline{di_3^2}}{g_{m1}^2} = 2\overline{dv_1^2} \left(1 + \frac{g_{m3}}{g_{m1}} \right) \quad (2.30)$$

要想减小差分放大器的噪声可以增大 M1 管的跨导 g_{m1} 值，或者减小 M3 管的跨导 g_{m3} 值。在偏置电流 I_B 不变的条件下，减小 g_{m3} 值可以减小宽长比 W/L ，增加过驱动电压 $(V_{GS}-V_T)$ 。

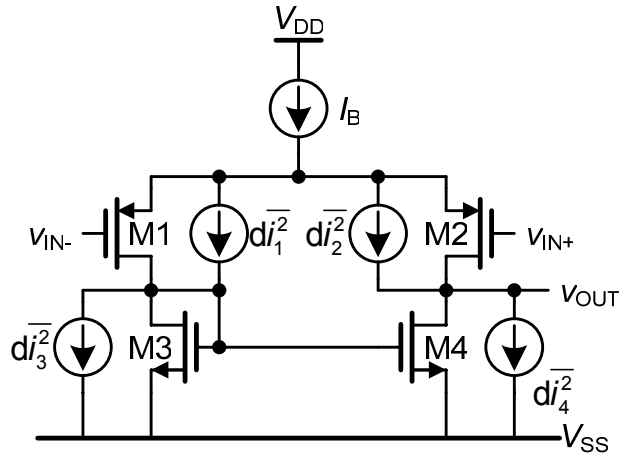


图 2-14 差分放大器的噪声源

2.6 电路实现

本文设计的带隙基准电压源电路图如图 2-15 所示。由启动电路、误差放大器、带隙基准核心电路、RC 滤波器和 PNP 晶体管阵列组成。在不加启动电路时，带隙基准电压源电路存在“简并点”，无法正常工作。若无启动电路，当 M5 管的栅为高电压时，M5 管处于截止状态，无电流通过 M1 和 M2 管，此时符合电路的约束条件，误差放大器处于不工作稳定状态，电路无法开启，将会一直保持关断状态。反之，M5 管的栅端为低电压时，M5 管导通，有电流流过 M1 和 M2 管，误差放大器启动，直至进入稳定正常的工作状态。为防止上电后电路进入“简并”状态，必须增加启动电路破坏这个简并点，使电路进入正常的稳定工作状态。启动电路由 M11 管、M12 管和 M13 管组成。上电瞬间 M5 管的栅端为高电压，M11 管栅极接地，M11 管不导通，其漏端电压接近 V_{DD} ，即 M12 管栅端接高电压，M12 管导通，将 M5 管的栅端电压拉低，M5 管通过的电流增大。M5 管导通后，有电流注入 M3 管，M11 管栅端电压被拉高，M11 管导通，电流增大，M12 管的栅端电压减小。当 M12 管的栅端电压小于开启条件时 M12 管关断，电路进入正常的稳定工作状态。当上电完成后，电路正常工作时，由于 M13 管为倒比管，阻值很大，流过的静态电流很小；M12 管关断，启动电路关闭。启动后，启动电路不影响带隙基准电压源电路的正常工作。

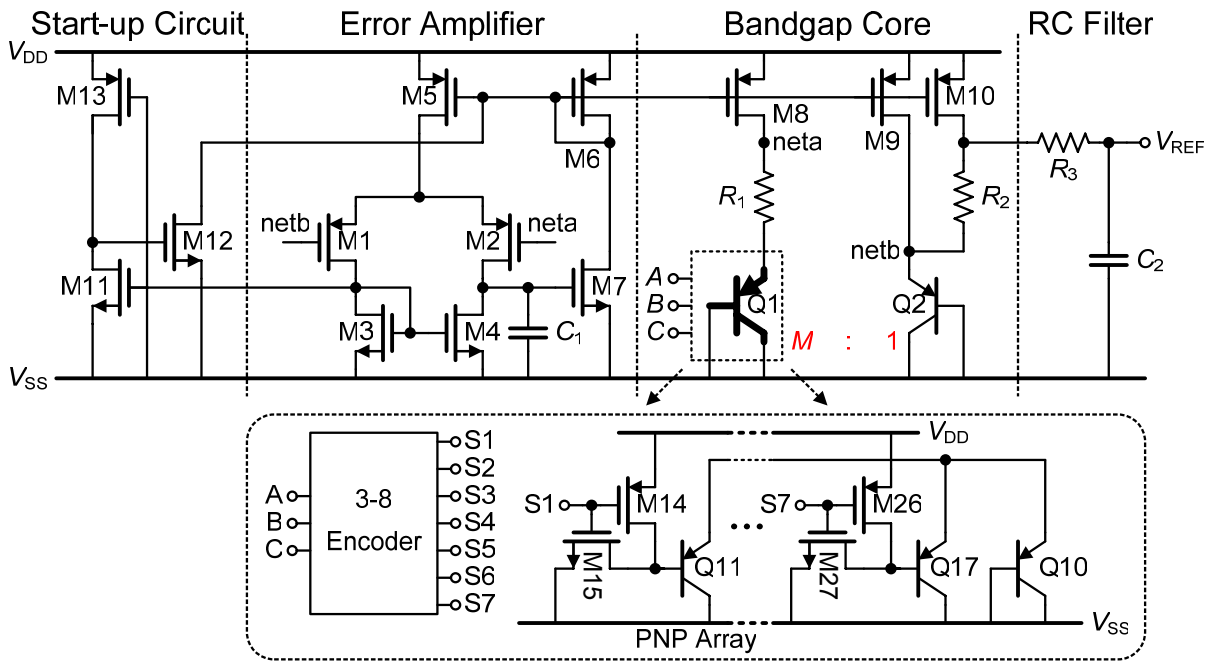


图 2-15 带隙基准电压源电路图

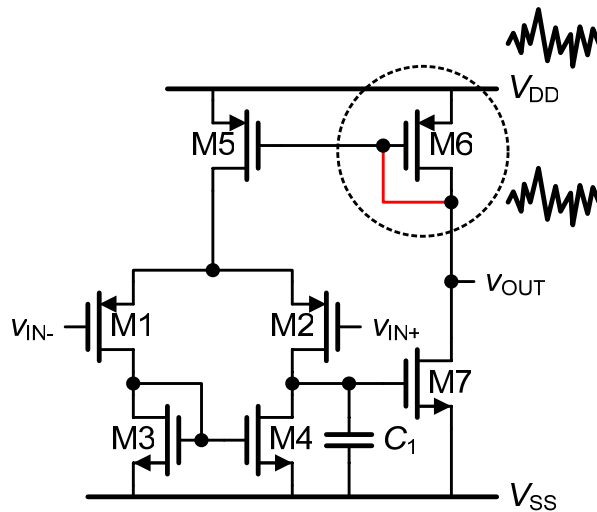


图 2-16 误差放大器电路结构

误差放大器由 M1~M7 管组成，其作用是使结点 *neta* 和 *netb* 的电压相同，电路结构如图 2-16 所示。其中 M6 管为二极管连接形式，可以提高 *PSRR* 性能。电源电压到输出的增益为：

$$\frac{V_{out}}{V_{dd}} = \frac{r_{DS7}}{\frac{1}{g_{m6}} + r_{DS7}} \approx 1 \quad (2.31)$$

当 V_{DD} 变化产生纹波时，则 v_{out} 的变化与之相同，那么误差放大器的电源抑制比非常高，进而带隙基准电压源的电源抑制非常高。

带隙基准核心电路由 M8~M10 管、Q1 和 Q2 管、电阻 R_1 和 R_2 组成，其

功能是产生电压 V_{CTAT} 和 V_{PTAT} ，并选择适当的权重将两者进行组合，得到温度系数较小的参考基准电压 V_{REF} 。Q1 管由 M 个 PNP 双极型晶体管和数字控制单元组成， M 值可变范围 109~186，以步长 11 进行变化，实现软修正，获得较为精确的输出参考电压。

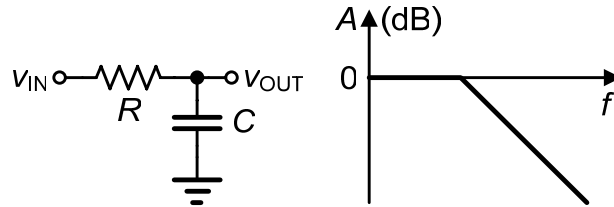


图 2-17 RC 滤波器频率特性

本设计在带隙基准电压源电路的输出加了一阶 RC 低通滤波器。RC 滤波器的作用是滤除高频噪声，减少噪声对下一级的影响，其频率特性如图 2-17 所示。增加 RC 低通滤波器后，带隙基准电压源的电源抑制的高频性能也会变好。RC 低通滤波器频率特性为，

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + j\omega RC} \quad (2.32)$$

如果增加电阻 R 值或电容 C 值特征频率都会向低频移动，但是这会增加版图面积。另外，如果增加 R 值，它将贡献更多的噪声。

图 2-18 和图 2-19 显示了 RC 低通滤波器对高频 PSR 和噪声的抑制作用。其中上面黑色的曲线为 RC 低通滤波器之前的信号，下面蓝色的曲线为经过 RC 低通滤波器之后的信号。

可以看到，1 MHz 频率以上低通滤波器对噪声和 PSR 的抑制作用非常明显。但是低通滤波器的电阻热噪声也会对电路整体的噪声有所贡献。电路中还有一部分结构是 PNP 晶体管阵列。如前文所述 PNP 晶体管阵列完成对 Q1 管所含双极型晶体管数目的调整，进而改变输出参考电压，优化电路精度、温度系数和噪声等性能。选用的 Q1 管的双极型晶体管数目较大，可以减小噪声。

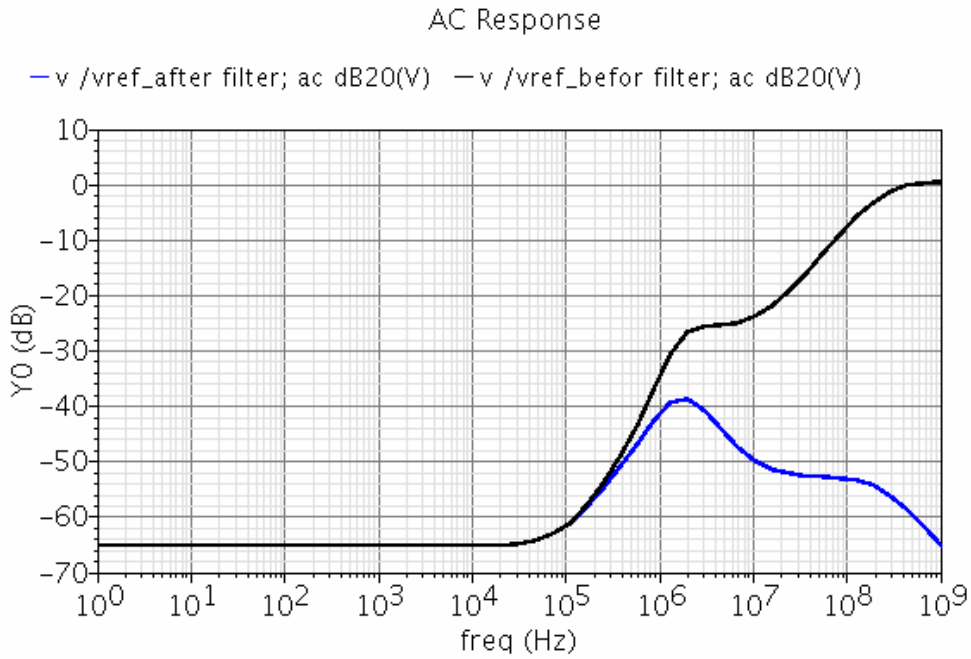
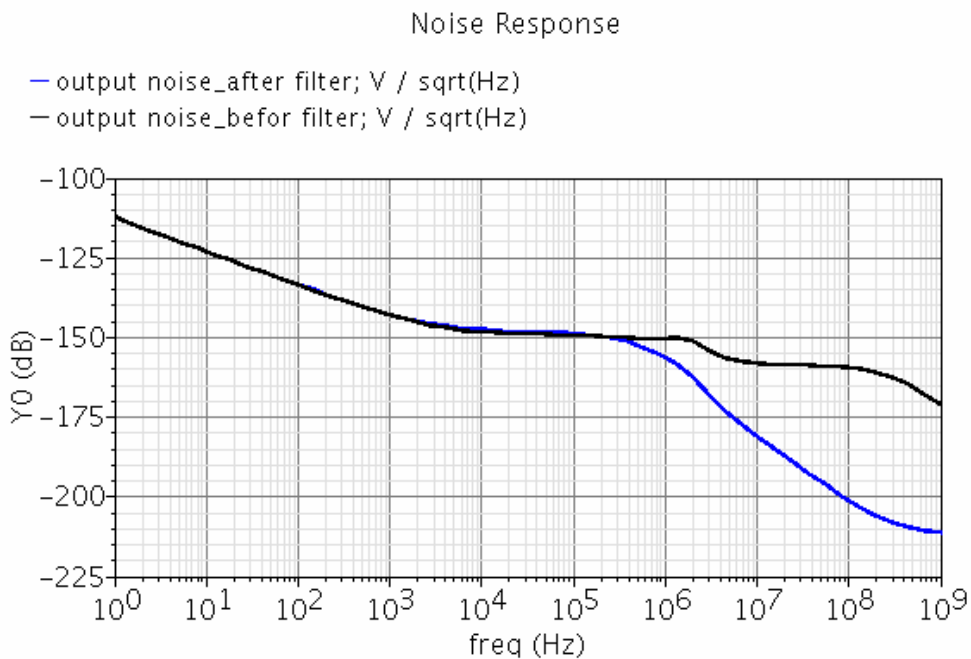
图 2-18 RC 低通滤波器对 PSR 的影响

图 2-19 RC 低通滤波器对噪声的影响

2.7 仿真结果

本文使用中芯国际的 $0.18\text{-}\mu\text{m}$ CMOS 工艺库模型进行仿真, 电路仿真的条

件，除特殊说明外均选用典型条件： $Q1$ 管的双极型晶体管数目 M 值取 143，室温取 $27\text{ }^{\circ}\text{C}$ 。另外 M 值每次增加的值不都是 11，具体值参见表 2-7。仿真结果包括：直流特性、环路交流特性、自启动仿真和数字修正。

2.7.1 直流特性

静态功耗仿真的结果如表 2-1 和表 2-2。从数据可以看出电源的变化直接影响静态功耗，电流大小变化不大，功耗变化是由电源电压变化引起的。工艺角的变化对静态功耗影响不大，基本无影响。图 2-20 显示了电源变化对温度曲线影响较小。在不同的电压下，各曲线形状几乎相同，如电压为 2.1 V 和 3.3 V 时， $27\text{ }^{\circ}\text{C}$ 的输出参考电压均为 1.163 V 。图 2-21(V_{DD} 为 3.3 V 时)和图 2-22(V_{DD} 为 2.1 V 时)显示了工艺角的偏差对温度曲线影响较大，具体数值见表 2-3。带隙基准电压源电路的温度系数如表 2-3 所示。测试条件选择 V_{DD} 为 2.1 V 和 3.3 V 两种极端电压情况。

表 2-1 电源变化与静态功耗的关系

V_{DD}	(V)	2.1	2.2	2.3	2.4	
I	(μA)	310.541	310.904	311.125	311.303	
POWER	(μW)	652.137	683.99	715.587	747.126	
V_{DD}	(V)	2.5	2.6	2.7	2.8	
I	(μA)	311.464	311.619	311.77	311.921	
POWER	(μW)	778.66	810.209	841.78	873.38	
V_{DD}	(V)	2.9	3	3.1	3.2	3.3
I	(μA)	312.072	312.224	312.377	312.53	312.685
POWER	(μW)	905.01	936.672	968.368	1000.10	1031.86

表 2-2 工艺角与静态功耗的关系

corner		sf	fast_best	typ	fs	slow_worst
V_{DD}	(V)	2.1	2.1	2.1	2.1	2.1
I	(μA)	310.776	310.003	310.541	310.209	308.764
POWER	(μW)	652.63	651.005	652.137	651.44	648.404
		sf	fast_best	typ	fs	slow_worst
V_{DD}	(V)	3.3	3.3	3.3	3.3	3.3
I	(μA)	312.907	312.647	312.685	312.475	310.581
POWER	(μW)	1032.59	1031.73	1031.86	1031.17	1024.92

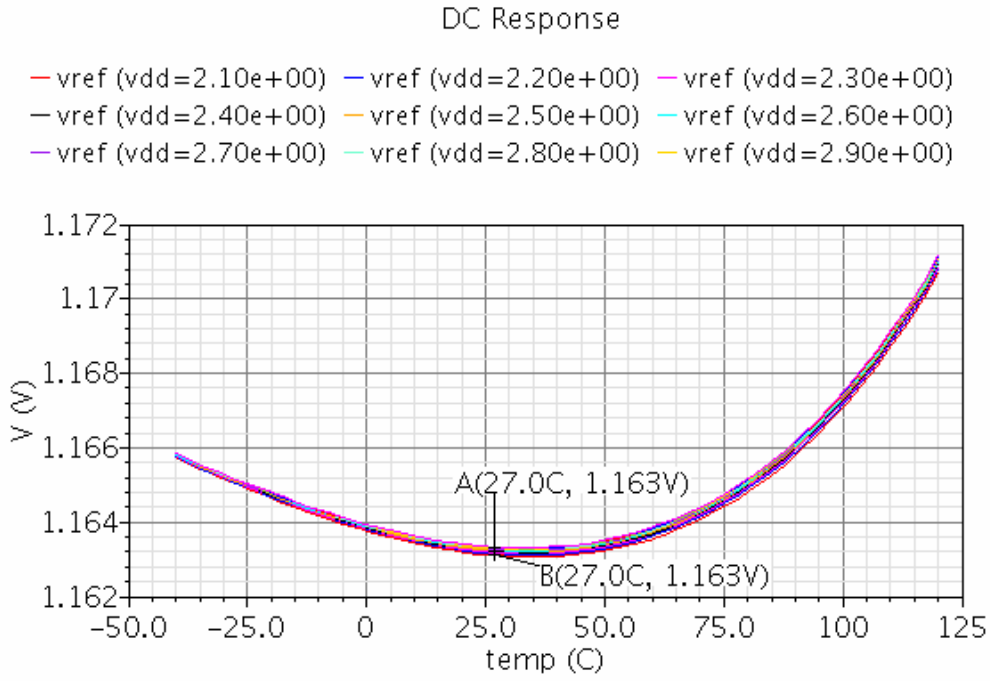


图 2-20 电源变化与温度曲线的关系

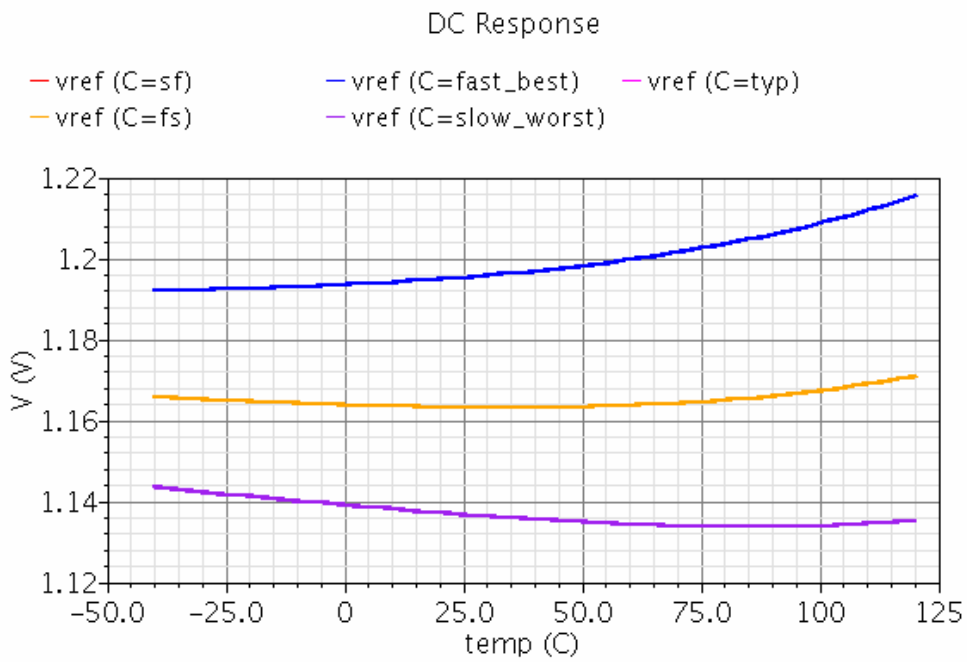


图 2-21 V_{DD} 为 3.3 V 时工艺角与温度曲线的关系

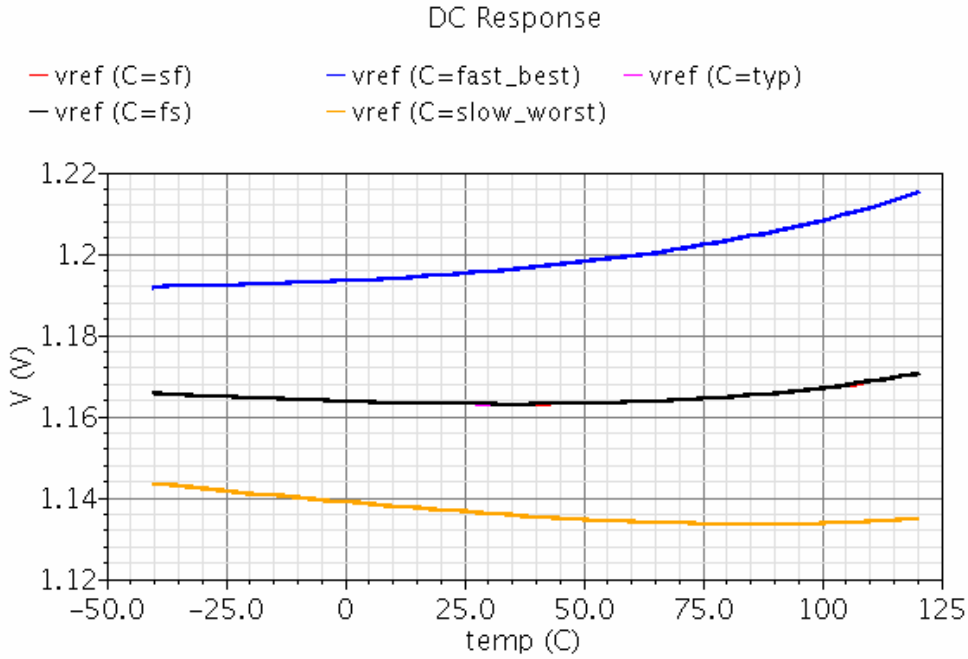


图 2-22 V_{DD} 为 2.1 V 时工艺角与温度曲线的关系

表 2-3 温度系数

$V_{DD}=2.1\text{ V}$			
Corner	$V_{REF}(V)$	$\Delta V(mV)$	Temperature Coefficient(ppm/ $^{\circ}C$)
FF	1.195415	23.00298	120.27
TT	1.163111	4.941014	26.55
SS	1.136463	-8.5008	-46.75
$V_{DD}=3.3\text{ V}$			
Corner	$V_{REF}(V)$	$\Delta V(mV)$	Temperature Coefficient(ppm/ $^{\circ}C$)
FF	1.195669	23.43615	122.51
TT	1.163336	5.282863	28.38
SS	1.136675	-8.21434	-45.17
ΔV 为-40~120 $^{\circ}C$ 范围输出电压的变化			

2.7.2 环路交流特性

图 2-23 为电源变化时环路交流特性，从图 2-24 和图 2-25 的单位增益带宽和相位裕度的变化可以看到，电源的变化对环路交流特性影响较小，环路始终处于稳定状态。单位增益带宽都在 1.13 MHz 左右，相位裕度均为 59 deg，具体数值参见表 2-4。 V_{DD} 为 2.1 V 时，环路交流特性如图 2-26 所示。 V_{DD} 为 3.3 V 时，环路交流特性如图 2-27 所示。 V_{DD} 为 2.1 V 和 3.3 V 的环路交流特性数据整理为表 2-4。

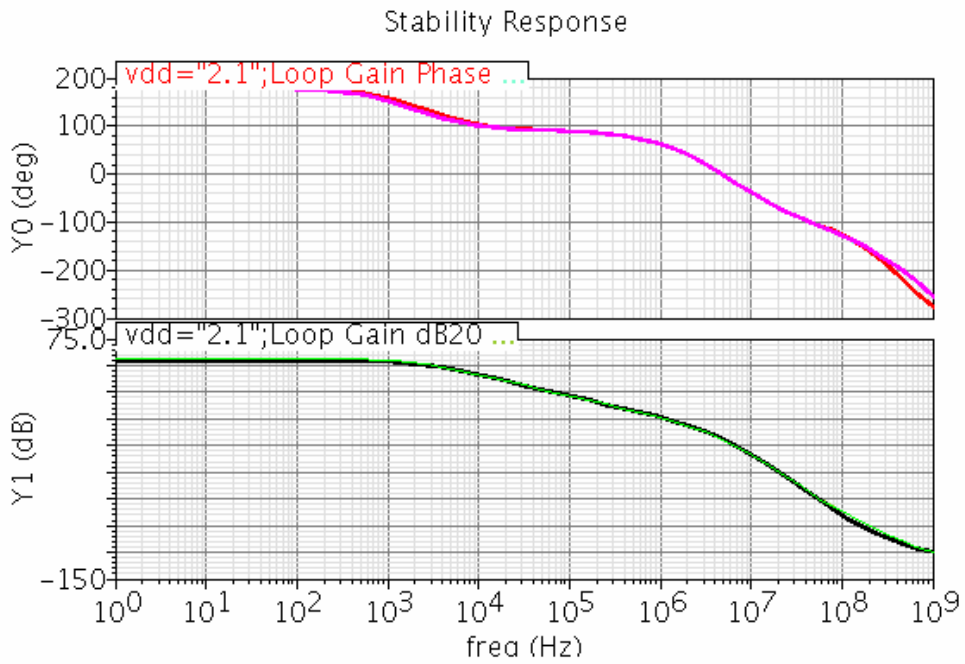


图 2-23 电源变化与环路交流特性的关系

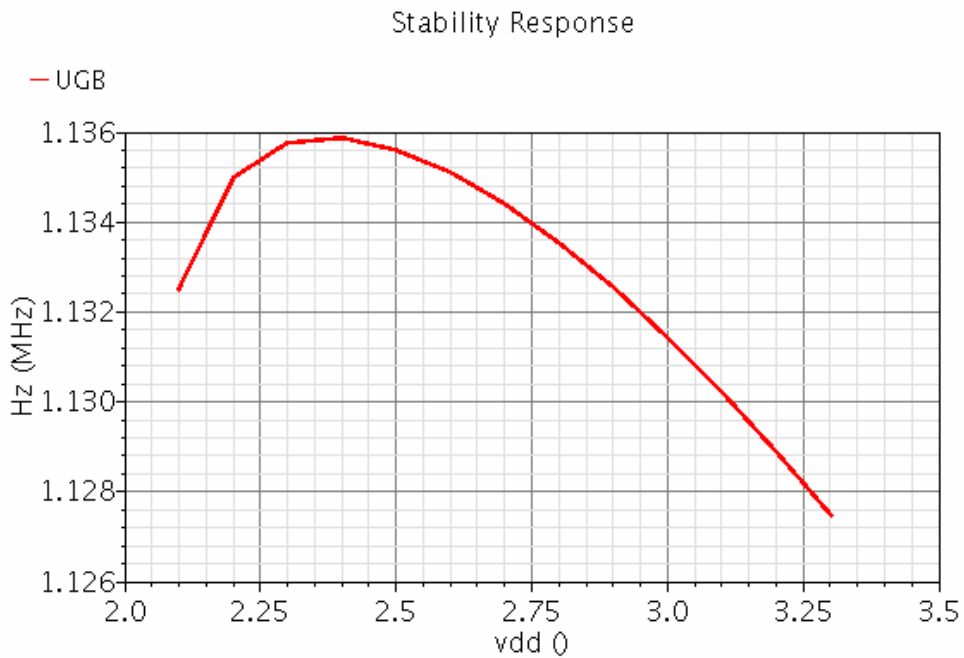


图 2-24 电源变化与单位增益带宽的关系

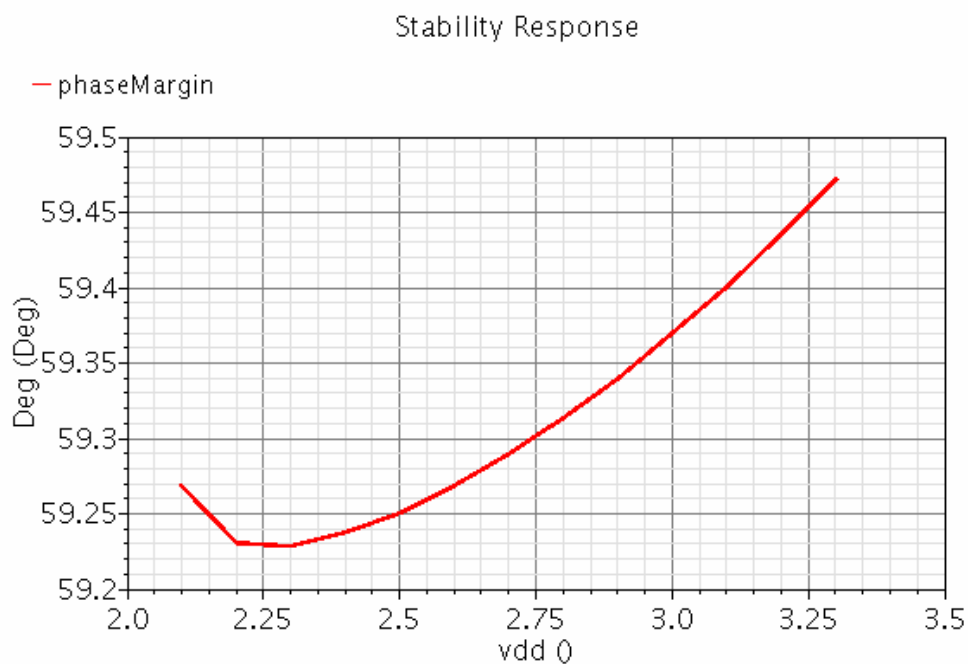


图 2-25 电源变化与相位裕度的关系

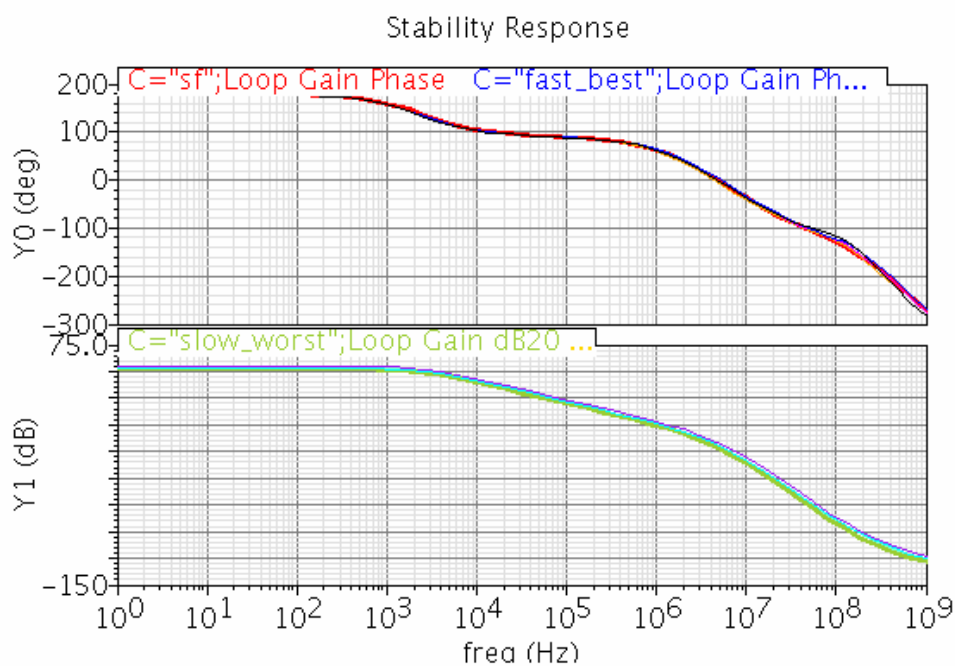


图 2-26 V_{DD} 为 2.1 V 时工艺角与环路交流特性的关系

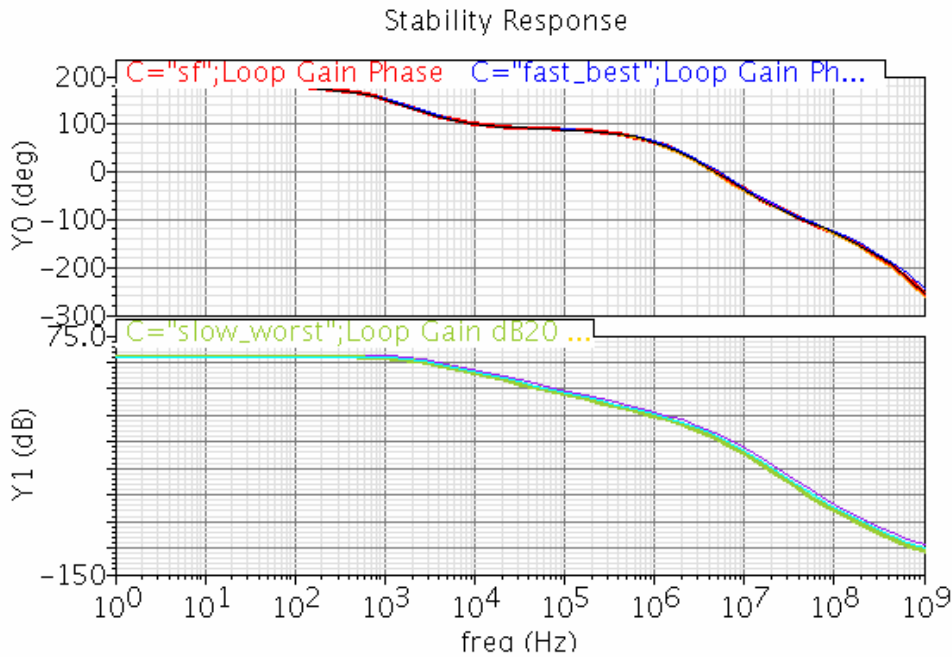
图 2-27 V_{DD} 为 3.3 V 时工艺角与环路交流特性的关系

表 2-4 电源电压和工艺角与环路交流稳定性的关系

$V_{DD}=2.1$ V						
Corner		sf	fast_best	typ	fs	slow_worst
GBW	MHz	1.1344	1.3705	1.1325	1.1288	0.95
PM	deg	59.41	56.73	59.27	59.17	61.88
$V_{DD}=3.3$ V						
Corner		sf	fast_best	typ	fs	slow_worst
GBW	MHz	1.1286	1.364	1.1275	1.1257	0.95
PM	deg	59.62	56.97	59.47	59.34	61.95

2.7.3 PSR 特性

图 2-28 为电源变化时 PSR 特性的仿真结果，总结为表 2-5。 V_{DD} 为 3.3 V 时 PSR 为 88.9 dB， V_{DD} 为 2.1 V 时 PSR 为 65 dB。电源电压变化对 PSR 特性影响很大。通过仿真结果可以看到当工艺角变化时， PSR 特性仍然很好。 V_{DD} 为 3.3 V 时，如图 2-29 所示， $PSR < 85$ dB； V_{DD} 为 2.1 V 时，如图 2-30 所示， $PSR < 63$ dB。

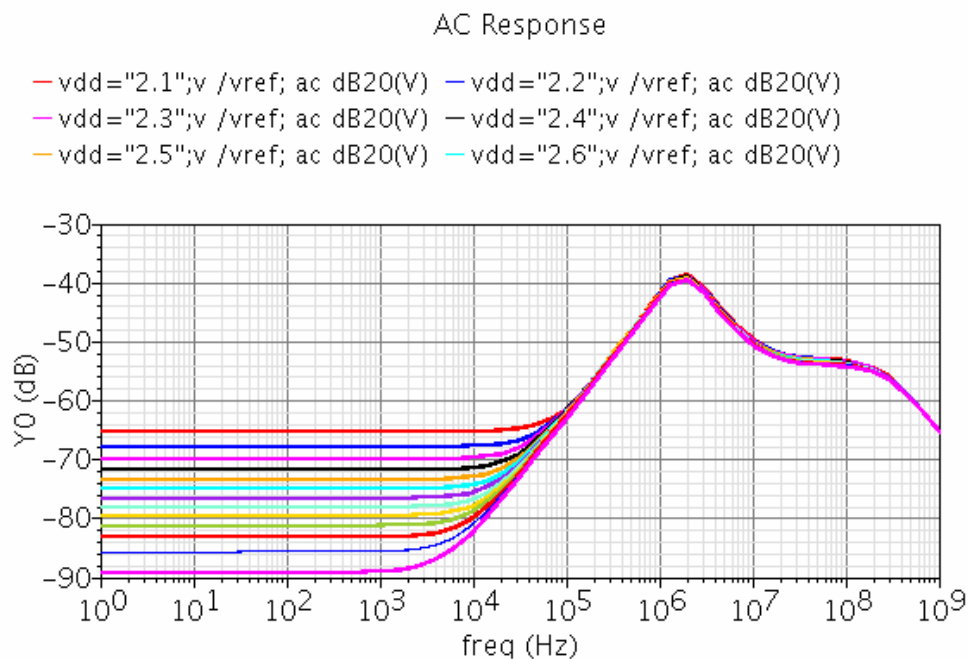
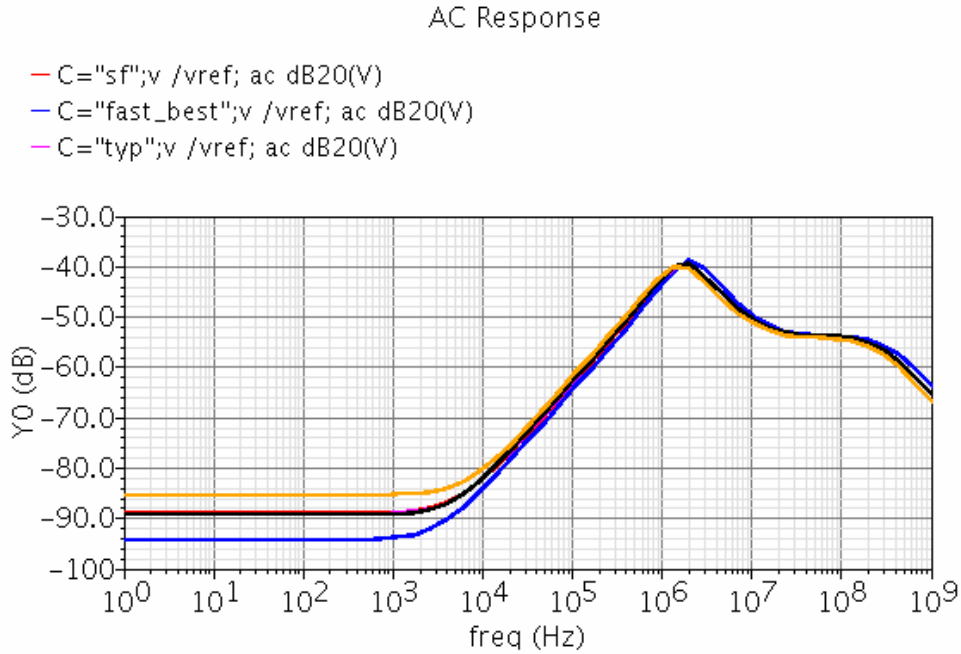
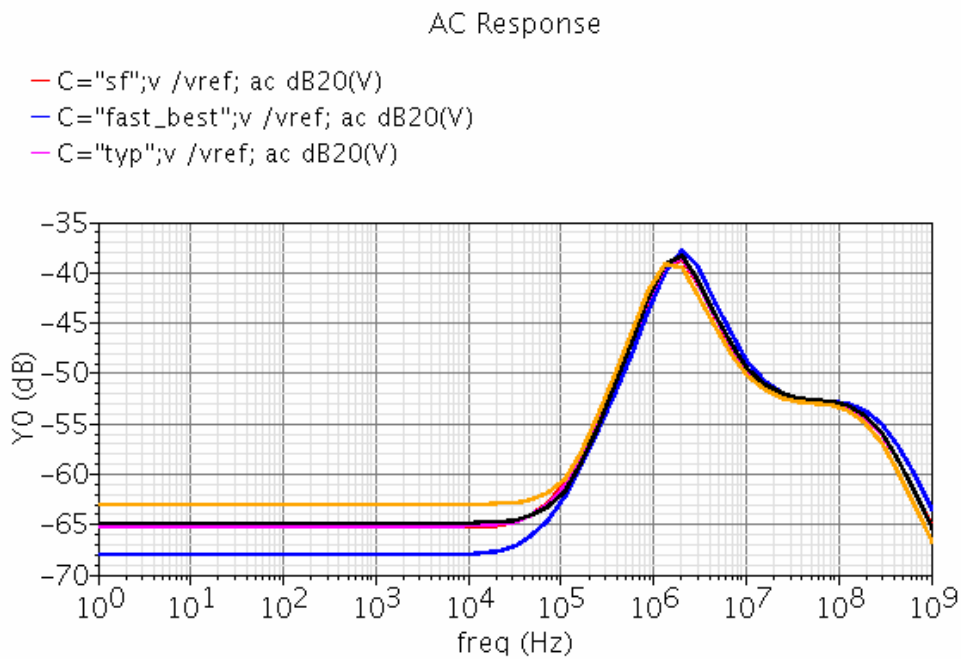


图 2-28 电源变化与 *PSR* 的关系

表 2-5 电源变化与 *PSR* 的关系

V_{DD}	(V)	3.3	3.2	3.1	3	
1	(kHz)	88.92946	85.45257	83.03918	81.13722	
100	(kHz)	63.10802	62.85414	62.64247	62.46402	
1	(MHz)	42.52358	42.46675	42.4143	42.36505	
10	(MHz)	50.39967	50.35191	50.30266	50.25147	
20	(MHz)	52.79997	52.74066	52.67907	52.61484	
V_{DD}	(V)	2.9	2.8	2.7	2.6	
1	(kHz)	79.49593	77.97632	76.49102	74.97997	
100	(kHz)	62.31077	62.17583	62.05346	61.9389	
1	(MHz)	42.31775	42.27115	42.22404	42.17505	
10	(MHz)	50.1978	50.14099	50.08016	50.01407	
20	(MHz)	52.54758	52.47679	52.40189	52.32206	
V_{DD}	(V)	2.5	2.4	2.3	2.2	2.1
1	(kHz)	73.39777	71.70447	69.85396	67.76626	65.2123
100	(kHz)	61.82802	61.71717	61.60522	61.51025	61.58067
1	(MHz)	42.1224	42.06298	41.99036	41.89074	41.74477
10	(MHz)	49.94073	49.85657	49.75425	49.61652	49.39684
20	(MHz)	52.23618	52.14239	52.03731	51.91359	51.75179

图 2-29 V_{DD} 为 3.3 V 时工艺角与 PSR 的关系图 2-30 V_{DD} 为 2.1 V 时工艺角与 PSR 的关系

2.7.4 噪声

噪声是电路的重要性能指标。噪声的仿真结果如图 2-31 和表 2-6 所示，电源电压变化和工艺角偏差对噪声影响不大。

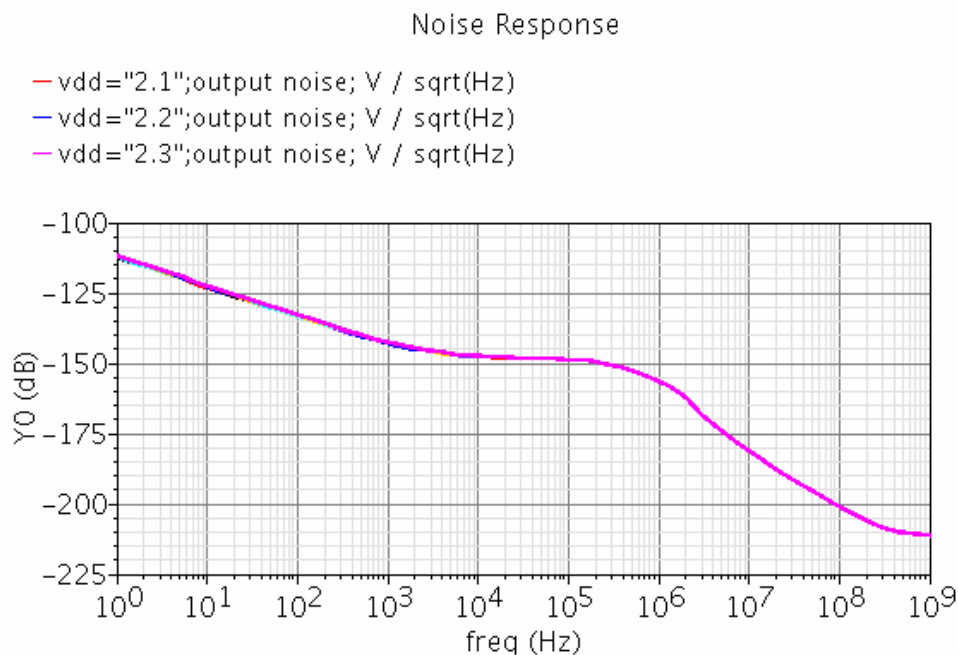


图 2-31 电源变化与噪声的关系

表 2-6 电源电压和工艺角与噪声的关系

corner		sf	fast_best	typ	fs	slow_worst
V _{DD} (V)	2.1	12.8	10.9	12.8	12.8	14.7
	3.3	12.9	11	12.9	12.9	14.8
Integrated noise from 100 Hz to 100 kHz, μV_{rms}						

2.7.5 自启动

从图 2-32 可以看出电源变化对启动时间影响不大,启动时间均小于 7 μs 。从图 2-34 和图 2-33,可以看出工艺角偏差对启动时间影响很大,特别是低电压 2.1 V 时工艺角 FF 对应的启动时间为 6 μs ,而工艺角 SS 则需要 11 μs 的启动时间。

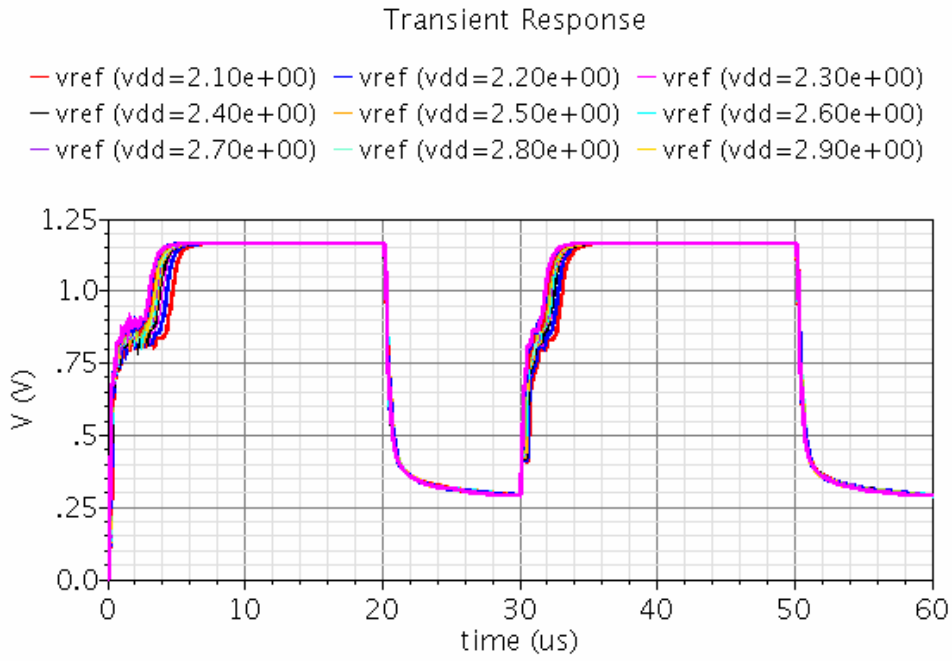


图 2-32 电源变化与启动时间的关系

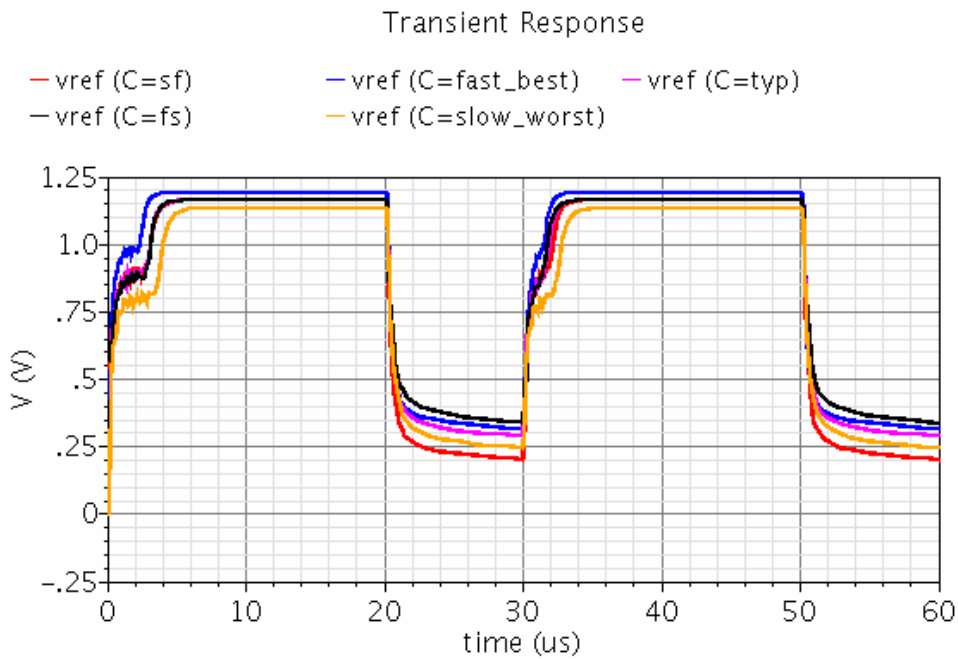


图 2-33 V_{DD} 为 3.3 V 时工艺角与启动时间的关系

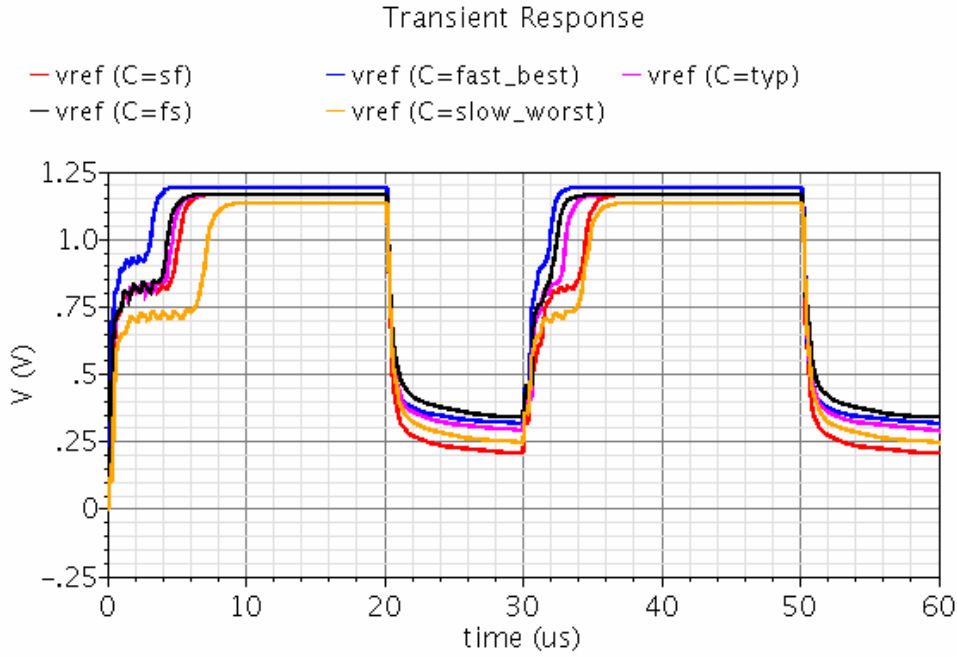


图 2-34 V_{DD} 为 2.1 V 时工艺角与启动时间的关系

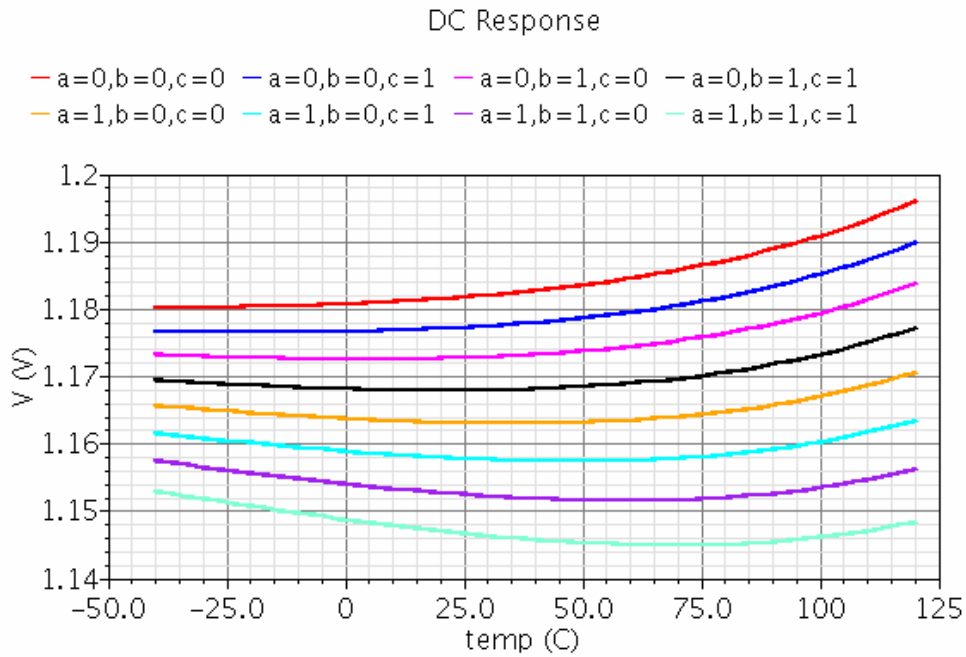
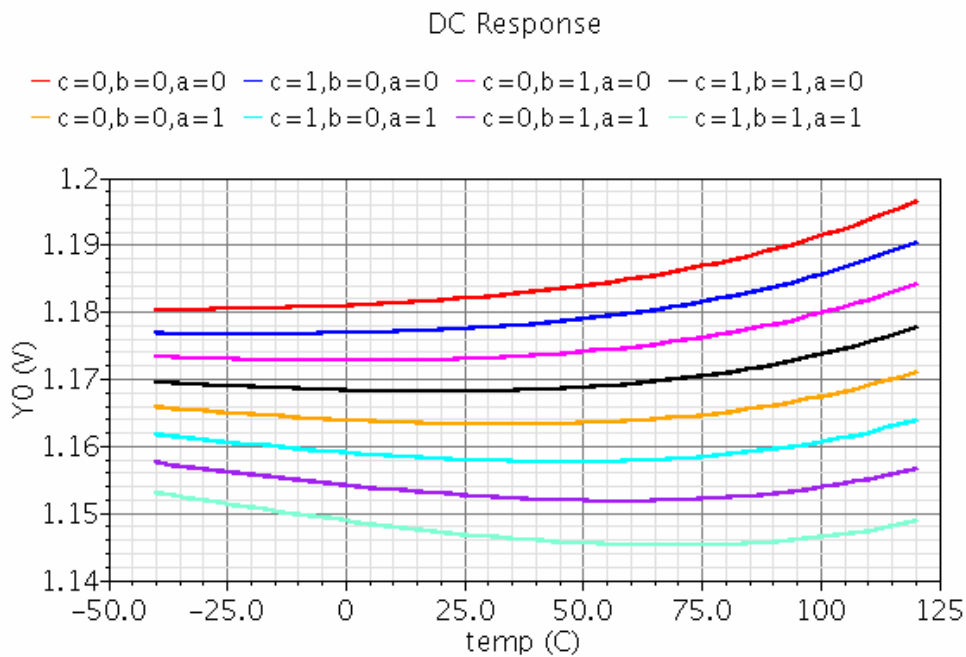
2.7.6 数字修正

数字修正电路对输出参考电压的修正如表 2-7 所示，可以看出输出参考电压的变化范围为 $-16.5\text{ mV} \sim +18.8\text{ mV}$ 。图 2-35 和图 2-36 显示了数字修正对温度曲线的调整。从数据可以看到，当外界条件发生变化，如电源电压和温度和工艺偏差，都会对输出参考电压产生影响。通过数字修正电路可以调整输出参考电压，得到期望的数值。

表 2-7 数字控制输出参考电压

					$V_{DD}=2.1\text{ V}$		$V_{DD}=3.3\text{ V}$	
A	B	C	Bipolar比例	ΔM	$V_{REF}(\text{V})$	$\Delta V_{REF}(\text{mV})$	$V_{REF}(\text{V})$	$\Delta V_{REF}(\text{mV})$
1	1	1	1:109	—	1.14659	-16.52	1.146771	-16.57
1	1	0	1:120	11	1.15244	-10.67	1.15264	-10.70
1	0	1	1:131	11	1.15778	-5.33	1.157992	-5.34
1	0	0	1:143	12	1.16311	0.00	1.163336	0.00
0	1	1	1:155	12	1.16801	4.90	1.168248	4.91
0	1	0	1:168	13	1.1729	9.79	1.173153	9.82
0	0	1	1:181	13	1.17743	14.32	1.17769	14.35
0	0	0	1:195	14	1.18195	18.84	1.182222	18.89

ΔV_{REF} 为各个修正值与典型值之差

图 2-35 V_{DD} 为 2.1 V 时数字修正与温度曲线的关系图 2-36 V_{DD} 为 3.3 V 时数字修正与温度曲线的关系

2.8 电路性能总结

本章叙述的内容为数字控制带隙基准电压源的设计。使用数字控制 PNP 双极型晶体管数目，修正输出参考电压。Q1 和 Q2 管的比值较大(143:1)，电

阻比值 R_2/R_1 较小，这样可以实现低噪声的输出参考电压。在输出端加 RC 低通滤波器可以减少高频噪声，同时 PSR 的高频性能也会更好。误差放大器的第二级负载二极管连接形式的 MOS 管，电路的电源抑制性能得到提高。

本文设计电路的仿真性能总结为表 2-8。从仿真结果可以看到，电路的环路交流特性稳定，电源电压和工艺角变化对其影响较小。 PSR 性能受电源电压变化和工艺角变化影响很大，但 PSR 性能仍然较好。电源电压和工艺角对噪声影响不大，工艺角偏差对启动时间影响很大，但电路启动不存在问题。电路启动后，一般不会反复启动。通过增加数字控制的 PNP 晶体管阵列，改变 PNP 晶体管个数可以修正输出参考电压，使输出参考电压的值可在 $-16.5\text{ mV}\sim+18.8\text{ mV}$ 范围内变化。

表 2-8 带隙基准电压源的性能

POWER	< 320 μA
Temperature Coefficient	< 28.38 ppm/ $^{\circ}\text{C}$
GBW	1.13 MHz
PM	59.27 deg
$PSR@3.3\text{ V, DC}$	88.9 dB
$PSR@2.1\text{ V, DC}$	65 dB
Integrated noise from 100 Hz to 100 kHz	<13 μV_{rms}
Start Time	<7 μs

第三章 电压—电流转换电路设计

3.1 前言

在电路设计中,要使晶体管工作在期望的状态,必须对其进行直流偏置。局部偏置一般使用电压偏置,长距离的全局偏置一般使用电流偏置。用于偏置的参考电流可以由单独电路产生[14],也可以由电压转换得到。

产生参考电压后,使用电压—电流转换电路将其转换成参考电流,经过电流镜单元供给其他模块电路,作为偏置电流。电流镜是对给定的参考电流进行复制,使输出电流完全与参考电流相同的电路。其他模块再使用电流镜单元生成多路,与期望值相应的电流。

电压—电流转换电路的结构如图 3-1 所示。带隙基准电压源产生的参考输出电压 V_{REF} ,通过运放 A、晶体管 M1 管和可调电阻 $R_{offchip}$ 构成的反馈网络转换成电流 I_{REF} ,并通过由 M1 管和 M2 管组成的电流镜镜像输出,产生输出电流 I_{OUT} 。其中电阻 $R_{offchip}$ 为可调电阻, $R_{offchip}$ 可以减小由工艺等引起的偏差对性能的影响。

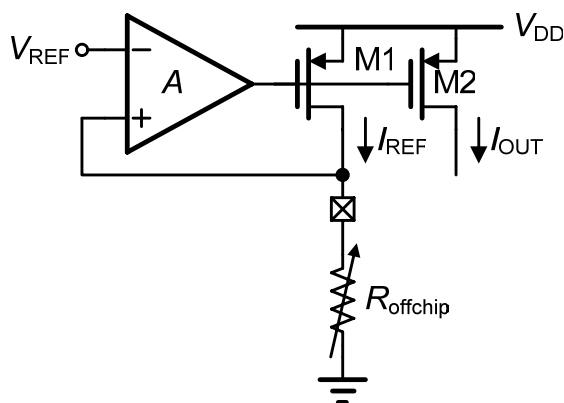


图 3-1 电压—电流转换电路拓扑图

反馈网络将运放输入端口电压调整相等。稳定后, M1 管的电流和可调电阻 $R_{offchip}$ 的相同,电路生成的参考电流为:

$$I_{REF} = \frac{V_{REF}}{R_{offchip}} \quad (3.1)$$

电流镜电路示意图如图 3-2 所示。电流镜进行电流复制时,一般各个分路得到的输出电流完全与参考电流相同,使用时选取一个或多个输出电流,得到与参考电流相同或呈倍数关系的电流。这样做,电流镜电路设计简单,各支路元件参数完全相同,绘制版图时也会较方便。

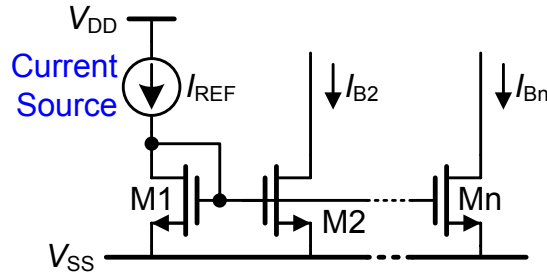


图 3-2 电流镜示意图

忽略沟道长度调制效应，M1管和Mn管的电流分别为：

$$I_{DS1} = I_{REF} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_1 (V_{GS1} - V_T)^2 \quad (3.2)$$

$$I_{DSn} = I_{Bn} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{GSn} - V_T)^2 \quad (3.3)$$

各 MOS 管的栅源电压相等，则整理得：

$$I_{Bn} = \frac{(W/L)_n}{(W/L)_1} I_{REF} \quad (3.4)$$

由式(3.4)可知，表达式不含工艺和温度参数项，表明电流镜可以精确地复制参考电流而不受工艺偏差和温度变化的影响。电流 I_{Bn} 与 I_{REF} 的比值由器件尺寸的比率决定，版图设计时进行合理的布线布局，该值可以得到较精确的偏置电流。通常电流镜中所有的晶体管通常采用相同的栅长，这样可以减小由于源区和漏区边缘扩散所产生的误差。而且，短沟道器件的沟道长度调制效应较大，阈值电压的变化受沟道长度变化的影响较大，这也是选择相同栅长的一个原因。一般通过调节晶体管的宽度来得到想要的电流，但这样需要设计每一个支路的参数。而同时选取多个输出电流，得到与参考电流呈倍数关系的大电流，设计将会简单很多。

沟道长度调制效应存在的情况下，实际镜像输出电流误差很大。考虑沟道长度调制效应，式(3.2)和(3.3)改写为：

$$I_{DS1} = I_{REF} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_1 (V_{GS1} - V_T)^2 (1 + \lambda V_{DS1}) \quad (3.5)$$

$$I_{DSn} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{GSn} - V_T)^2 (1 + \lambda V_{DS2}) \quad (3.6)$$

则式(3.4)改写为：

$$I_{Bn} = \frac{(W/L)_n}{(W/L)_1} \frac{1 + \lambda V_{DSn}}{1 + \lambda V_{DS1}} I_{REF} \quad (3.7)$$

由于晶体管的输出电阻是有限值，各 MOS 管源漏电压不同，电流镜的电流比值不精确，得到的输出电流与期望值有误差。以 M1 和 M2 管为例，M1 管工作在 $V_{DS1} = V_{GS1}$ ，电压值较小；M2 管工作在 $V_{DS2} = V_{OUT}$ ，电压值较大。 V_{DS2}

的值由输出负载决定。两个 MOS 管的 V_{DS} 不同，MOS 管的 $I-V$ 曲线不平坦，输出电流存在误差值 ΔI_{OUT} 。

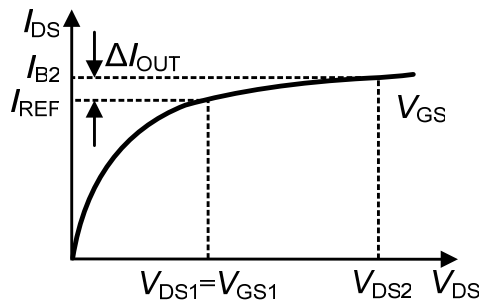


图 3-3 由于 V_{DS} 不同产生输出电流的误差

则电流镜的输出电流误差值 ΔI_{OUT} 表达式为

$$\frac{\Delta I_{OUT}}{I_{OUT}} = \frac{I_{B2} - I_{REF}}{I_{REF}} = \lambda(V_{DS2} - V_{DS1}) = \frac{V_{DS2} - V_{DS1}}{V_E L_2} \quad (3.8)$$

由式(3.8)可知， V_E 是与工艺相关的值，在这里可以认为是常数，那么要减小输出电流的误差值可以增加 MOS 管的栅长。如果能强制两个晶体管的 V_{DS} 相等，则电流将没有误差。在实际应用中，两个晶体管的 V_{DS} 很难相等，所以要增加额外的结构，进行改进。

如图 3-4 所示，在电流镜上增加了 M3 和 M4 两个晶体管，构成了两个共源共栅电路。该结构有如下特点： $V_{DS1} = V_{DS2}$ ，这样可以得到精确的电流比；共源共栅结构，输出电阻非常大 $R_{out} = r_{DS2} g_{m4} r_{DS4}$ ；通过设置偏置电压 V_B 可以使 M2 和 M4 管在较低的偏置电压下工作。不过该结构需要额外增加偏置电路来产生电压 V_B 。

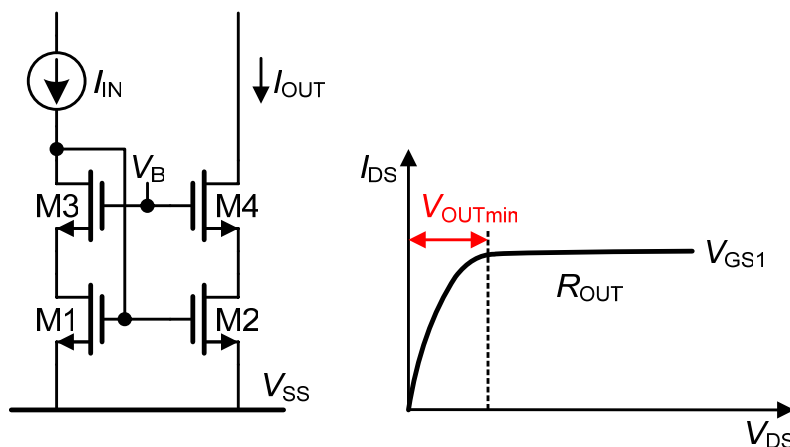


图 3-4 共源共栅(cascade)电流镜

本文选用的共源共栅电流镜，如图 3-5 所示。主要原理是，设置 M4 管和 M6 管的栅源电压、源漏电压和衬底电压分别相等，也就是两个管子的四端口

电压相同，这样 M6 管就可以精确的复制 M4 管的电流。设置 M3~M6 管的宽长相同，则 M3 管和 M5 管的栅源电压相同，节点 4 和 6 电压相同，这意味着 M4 管和 M6 管源漏电压相同。同时 M4 管和 M6 管的栅、源和衬底分别接相同电压，这样的设计使两个管子的四端口电压相同。当选择 M4 管和 M6 管的参数相同时 $I_{OUT}=I_{REF}$ 。当节点 5 的电压变化时，变化的电压将被“消耗”在 M5 管的源漏电压上，对 M6 管的漏源电压影响很小，则支路的电流不受负载影响，电流准确。

同时低压共源共栅结构可以达到低电压要求。节点 3 电压大于 1 个过驱动电压加 1 个阈值电压时，M4 管和 M6 管正常工作。节点 1 电压大于 2 个过驱动电压加 1 个阈值电压时，M3 管和 M5 管正常工作。则节点 5 电压只要大于 2 个过驱动电压，电路就可以正常工作。M2 管工作在线性区，调节其尺寸，可以得到节点 1 电压大于 2 个过驱动电压加 1 个阈值电压。

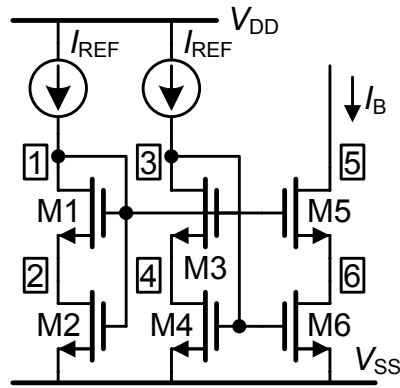


图 3-5 低压共源共栅电流镜

3.2 电路结构及性能分析

本文选用由带隙基准电压经过转换得到电流，电路结构如图 3-6 所示。由带隙基准电压源电路得到的输出参考电压 V_{REF} 从运放的一端输入，利用运放做负反馈，使得运放同相端的电压和电压 V_{REF} 相等。由于工艺偏差，片内电阻绝对值偏差较大并且具有一定的温度系数，所以本文设计的电路采用片外可调电阻 $R_{offchip}$ ，这样通过调节其阻值可以得到较为精确的偏置电流。输出电流镜采用低电压共源共栅结构，可以增加输出阻抗，减小负载对输出电流的影响，偏置电流更准确。采用密勒 RC 补偿结构，用以稳定环路交流特性。

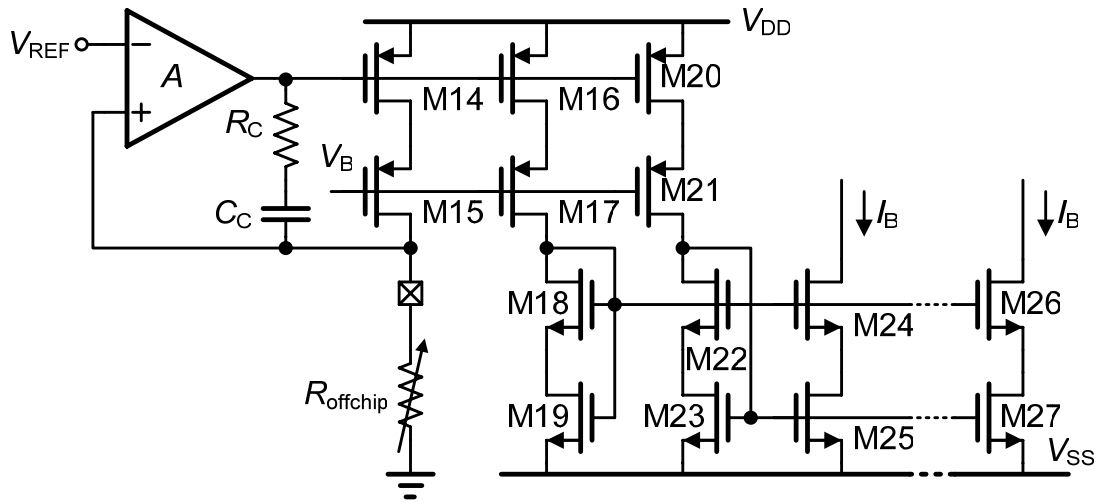


图 3-6 电压—电流转换电路原理图

3.3 电路实现

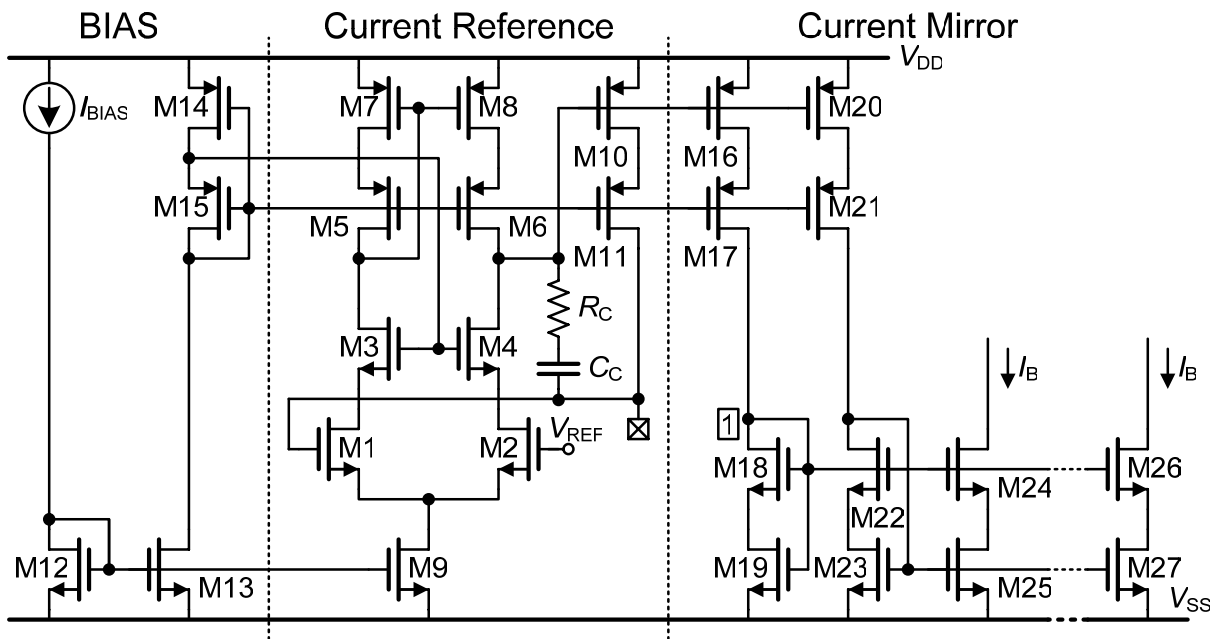


图 3-7 电压—电流转换电路

本文设计的电压—电流转换电路图如图 3-7 所示。由偏置电路、基准电流转换电路和电流镜电路组成。版图布局时带隙基准电压源电路和电压—电流转换电路作为一个模块，所以电压—电流转换电路的一路偏置电流 I_{BIAS} 由带隙基准电压源电路提供。

M1~M9 管组成放大器，与 M10 管和 M11 管以及片外电阻组成基准电流转换电路。电阻 R_C 和电容 C_C 组成的 RC 补偿电路可以稳定环路交流特性。M12

管、M13 管和 M19 管构成电流镜。M14 管和 M15 管产生偏置电压，其中 M14 管工作在线性区。M16 管和 M17 管，M20 管和 M21 管分别复制流过 M10 管和 M11 管的基准电流，构成共源共栅的电流镜。M18 管、M19 管、M22 管和 M23 管产生合适的偏置电压，偏置输出的低压共源共栅电流镜。电流镜电路包含了上下两个电流镜。各个输出支路 MOS 管使用相同的尺寸，方便版图绘制。各输出支路电路相同，需要大电流时，选择多条支路。

3.4 仿真结果

使用中芯国际的 0.18- μm CMOS 工艺库模型进行仿真，仿真的条件，运放输入接的参考电压 V_{REF} 为 1.163 V，偏置电流 I_{BIAS} 为 10 μA ，外接电阻 R_{offchip} 为 23.26 k Ω 。其中运放输入接的参考电压认为是定值，这样可以考察电压—电流转换电路的特性。而实际应用时，参考电压为上一章带隙基准电压源的输出，会受工艺、电压和温度等影响。但是参考电压变化带来的影响，可微调外接可调电阻消除。当电源发生变化和工艺角产生偏差时，输出电流的值发生变化，仿真结果如图 3-8 所示。其中标记 A 位置的电流为 10.00469 μA ，B 位置的电流为 10.00049 μA 。电源变化和工艺角偏差对输出电流的影响小于 0.5 %，电压—电流转换电路的输出电流稳定。

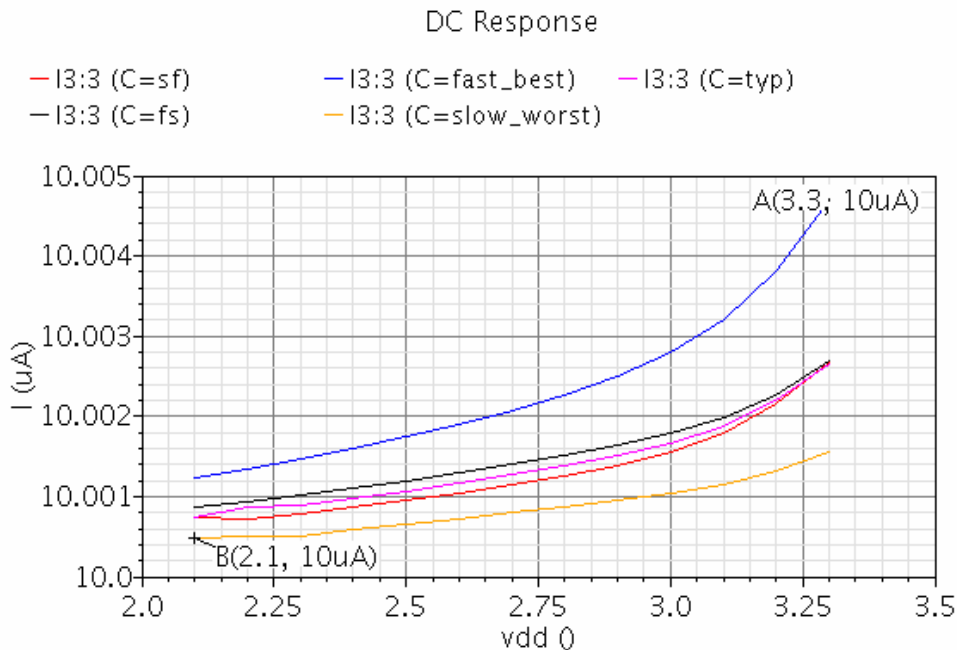


图 3-8 电源变化和工艺角偏差与输出电流的关系

3.5 电路性能总结

本章叙述的内容为电压—电流转换电路的设计。本章的设计使用前一章所述电路产生的输出参考电压转换得到输出电流。电路外接可调电阻减小由工艺等引起的偏差对输出电流的影响。输出支路选用低压共源共栅电流镜，该结构可以得到更为精确的输出电流，同时所需压差较小，这样外接电路可用电压范围更大。各输出支路电路结构相同，复制该结构，可以得到多路输出。当需要大电流时，选择多条支路得到大电流。这样电路结构简单，方便绘制版图。输出支路的数量，视具体需要决定。

通过仿真结果可以看到，电压—电流转换电路在电源变化和工艺角产生偏差时，输出电流的变化小于 0.5‰，电路性能稳定。

第四章 低压差线性稳压器设计

4.1 前言

电源管理模块是芯片的基本单元电路，其设计在手持和便携设备领域尤为重要。这些设备使用电池供电，储存电量有限。电源管理的主要目的是延长电池使用时间进而使设备的工作时间延长。一般电源管理模块会使用数字辅助模块，改变其他子系统的特性—控制电压输出的有无，改变输出电压的大小，达到优化设备功耗的目的。

如前面提到的片上系统(SOC)是芯片设计的趋势之一，也是电源管理模块设计方向之一，集成更多的器件和模块意味着减少管脚和外围器件，降低成本，工业界一直为之努力。无片外电容的低压差线性稳压器，是现在流行的典型线性稳压器结构。片上系统内有多个子系统，需要使用多个低压差线性稳压器，如图4-1所示。基准电压源产生稳定精确的参考基准电压，输送到子系统，经过低压差线性稳压器输出期望的电压。片内的子系统主要有数字，模拟和射频三类。各个子系统特性不同，所需低压差线性稳压器性能也不一样。各个子系统分开接不同的低压差线性稳压器还可以避免相互之间的干扰。当电源电压 V_{DD} ，负载电流和负载阻抗等变化时线性稳压器输出依然稳定，变化较小。

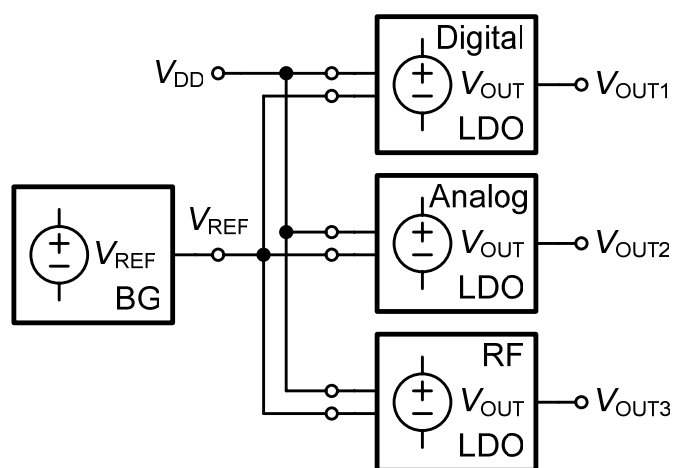


图 4-1 电源管理示意图

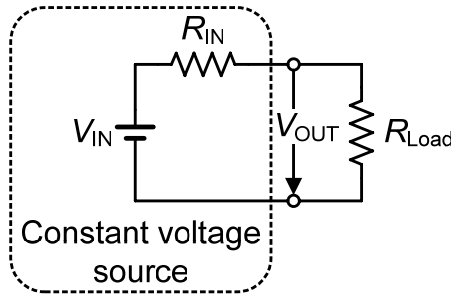


图 4-2 恒压源及其连接示意图

实际应用时，低压差线性稳压器的输出会受到负载变化的影响，并且其稳定性受到容性负载以及负载电流变化的影响很大。线性稳压器的典型输入—输出特性如图 4-3 所示，其输入电压 V_{IN} 就是正电源电压 V_{DD} 。在实际使用过程中，线性稳压器的输入电压会随着电池存储的能量降低而减小，其工作状态会经历三个区域，线性区、压降区和截止区。工作在线性区时，输出电压不会随着输入电压变化而改变，为恒定值。当输入电压小于临界值 V_2 ，大于压临界值 V_1 ，线性稳压器工作在压降区，输出电压不再恒定，但有电压输出。电压 V_2 和 V_1 之间的输入电压与输出电压的差值为 $V_{Dropout}$ 。当输入电压小于临界值 V_1 后，不再有电压输出，低压差线性稳压器工作在截止区。

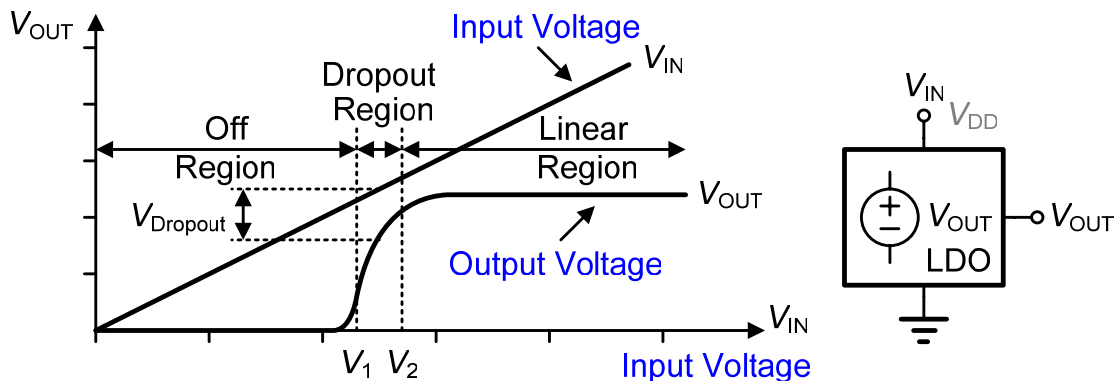


图 4-3 线性稳压器的典型输入—输出特性

线性稳压器可分为传统的线性稳压器如图 4-4 所示，和低压差线性稳压器如图 4-6 所示。两种结构的主要区别是导通管不同，传统的线性稳压器使用源极跟随的单个或达林顿结构的三极管，而低压差线性稳压器使用工作在饱和区的共源结构的单个 MOS 管。传统的线性稳压器的波特图如图 4-5 所示，主极点 P_1 由误差放大器的输出节点产生，输出极点 P_2 会随着负载的变化而移动，但一直位于高频，不会影响稳定性，但效率低。低压差线性稳压器的波特图如图 4-7 所示，主极点 P_1 由大输出电容和大负载电阻产生，该值随外部变化而改变，接近误差放大器的输出极点 P_2 。因而低压差线性稳压器环路交流特性不稳定，需要补偿。

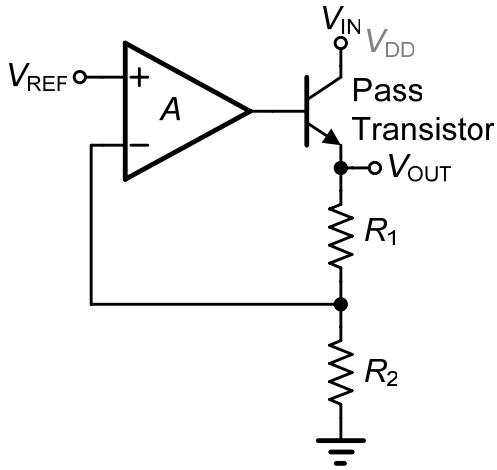


图 4-4 传统的线性稳压器

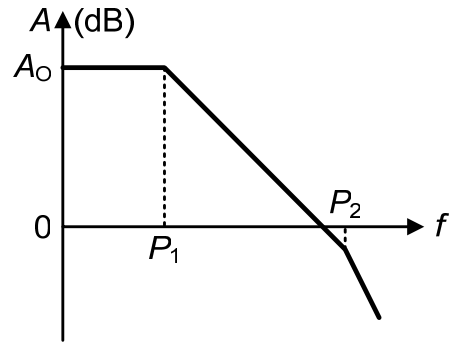


图 4-5 传统的线性稳压器的波特图

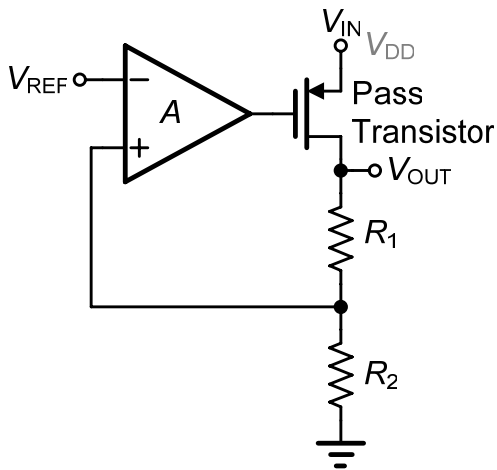


图 4-6 低压差线性稳压器

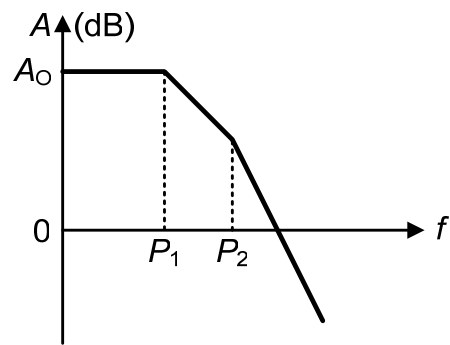


图 4-7 低压差线性稳压器的波特图

为了稳定环路交流特性，传统的低压差线性稳压器使用片外大电容，一般为几毫法量级的电容。低压差线性稳压器的一般结构如图 4-8 所示，包括基准电压源，产生稳定的参考电压；误差放大器，箝位两端输入节点的电压；导通管，随负载变化调整电流保持输出电压稳定；电阻反馈网络，得到期望的输出电压值。

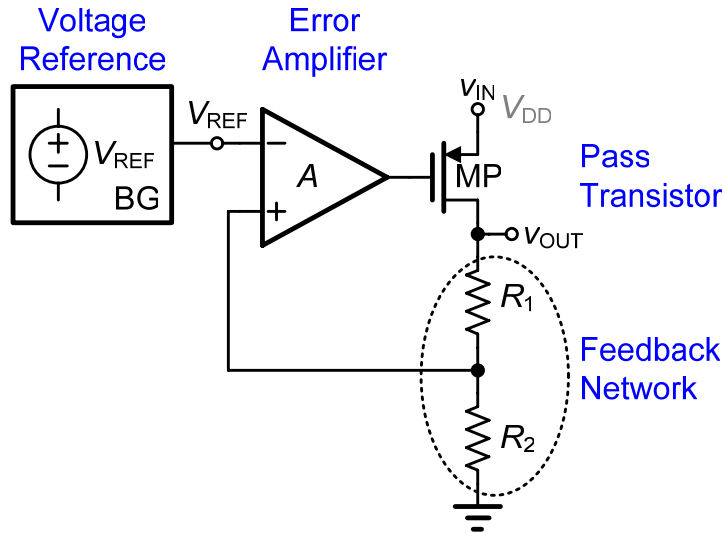


图 4-8 低压差线性稳压器结构示意图

4.2 电路结构及性能分析

低压差线性稳压器的结构中使用大容值的片外电容，用以改善负载瞬态变化对输出电压的影响，如图 4-9 所示。片外输出电容存储的电势能等于输出电压。假设电容的寄生串联电阻为零，则理想的电容具有无限的带宽可以驱动瞬态电流。从电容转移的电荷可以调节负载上输出电压的下降或上升。

$$\Delta V_{\text{OUT}} = \frac{I_{\text{max}} \Delta t}{C_{\text{OUT}}} = \frac{\Delta Q}{C_{\text{OUT}}} \quad (4.1)$$

其中 I_{max} 为负载电流的变化， Δt 负载电流变化的时间， ΔQ 变化的负载电荷， C_{OUT} 片外输出电容。电压的变化反比于输出电容的值。对于给定的负载瞬态变化，即变化的总电荷一定，则输出电容越大输出电压产生变化越小。当负载的瞬态变化快于单位带宽乘积时，这种关系更加明显。如图 4-9 所示，显示了在传统的低压差线性稳压器中发生的状况。

当负载电流的瞬态变化远远快于单位带宽乘积时，负载电流瞬态变化过程中导通 MOS 管的栅电压可以假设为常数[16]，导通 MOS 管用一个常电流源代替，如图 4-9 (b)所示。但是，无片外电容的稳压器没有这个大电容，不具有这种优势。所以，常电流源必须用一个高速可调的电流源代替，以便对外部负载电流的瞬态快速变化做出快速反应。

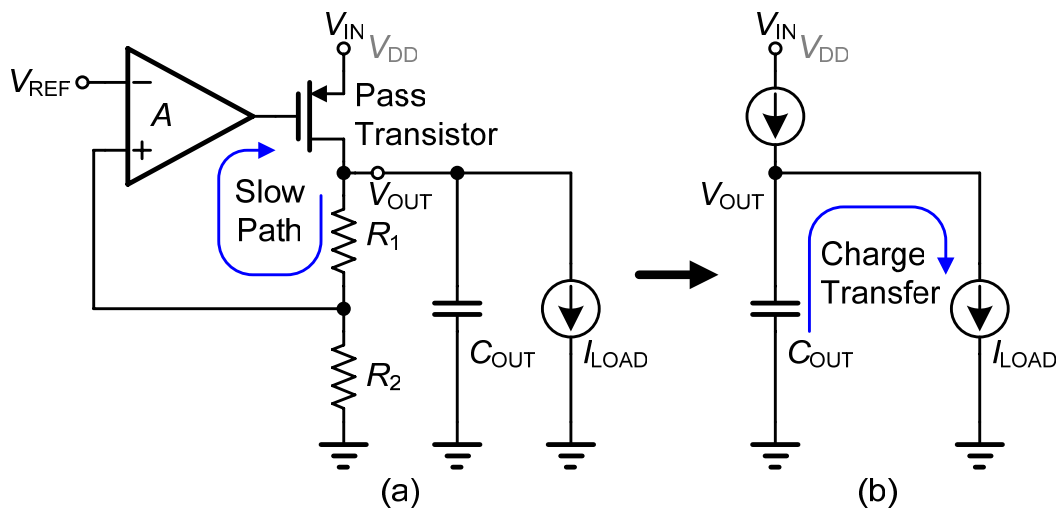


图 4-9 负载电流快速切换的等效电路

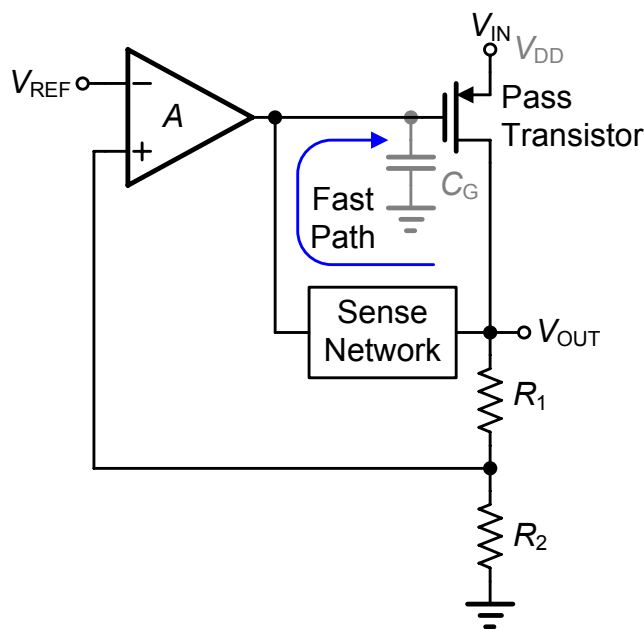


图 4-10 快速瞬态响应的无片外电容的稳压器的原理图

需要一种新结构来对无片外电容稳压器进行补偿，使其在小电流时仍然具有好的负载瞬态响应和稳定性。希望电路的瞬态响应由导通 MOS 管的响应速度决定，而不是输出电容。如图 4-10 所示，增加自动检测网络，快速感应负载电流的变化，电流的变化放大后直接注入到导通 MOS 管的栅极。导通 MOS 管是组成自动检测网络的重要器件，它给负载阻抗提供电流，产生所需的输出电压。栅电容将电流转换成电压。

理想的自动检测网络可以将输出电压变化的信息复制到栅电容上，同时不会消耗能量，不会改变导通管的直流偏置点。许多积分结构可以用来构建自动检测网络，一个简单的电容积分器如图 4-11 所示。

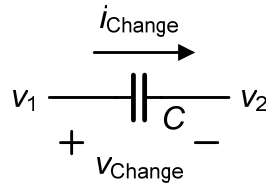


图 4-11 简单的电容积分器

电容感应两端电压的变化，产生电流，电压和电流的关系为

$$i_c = C \frac{V_1 - V_2}{dt} \quad (4.2)$$

如果该积分器的一端接在输出电压节点，则输出电压的变化将影响电容的电流。变化的电流要经过耦合网络放大后加载到导通管的栅电容上。图 4-12 所示的结构可以完成该功能。图中电容 C_f 感应输出的变化，耦合网络为电流放大器，用跨导放大器代替。

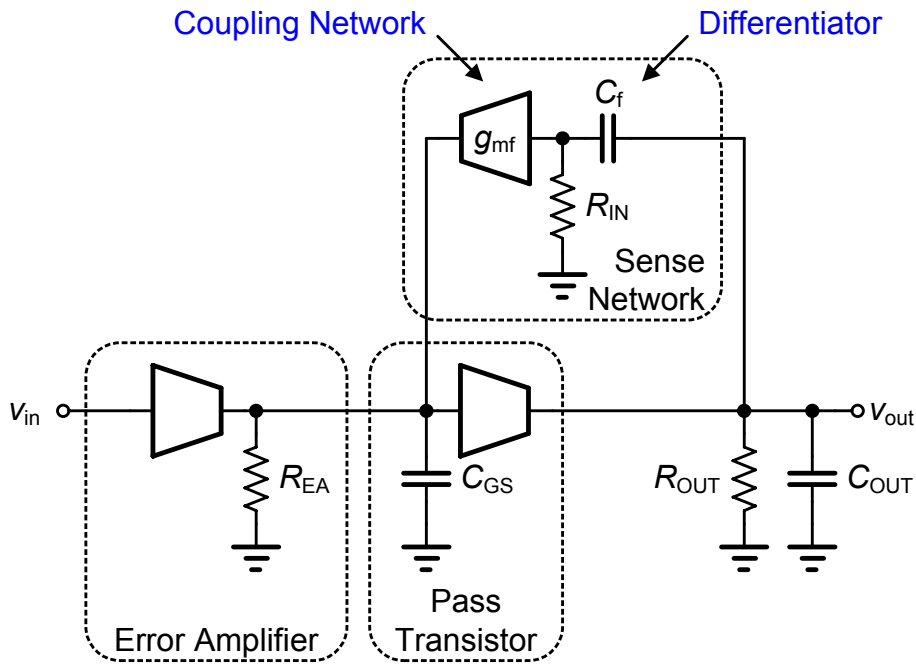


图 4-12 快速瞬态响应的稳压器等效电路图

4.3 电路实现

本文设计实现的低压差线性稳压器如图 4-13 所示。电路由误差放大器、补偿电路和导通管三部分组成。该部分电路除接 V_{DD} 做输入外， I_{BIAS} 来自电压—电流转换电路， V_{REF} 来自带隙基准电压源电路。

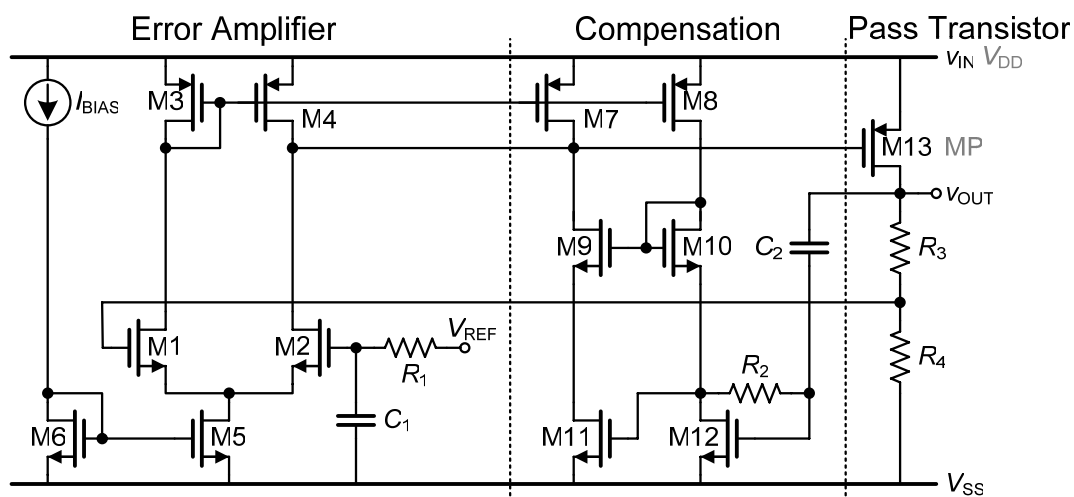


图 4-13 低压差线性稳压器电路图

4.4 仿真结果

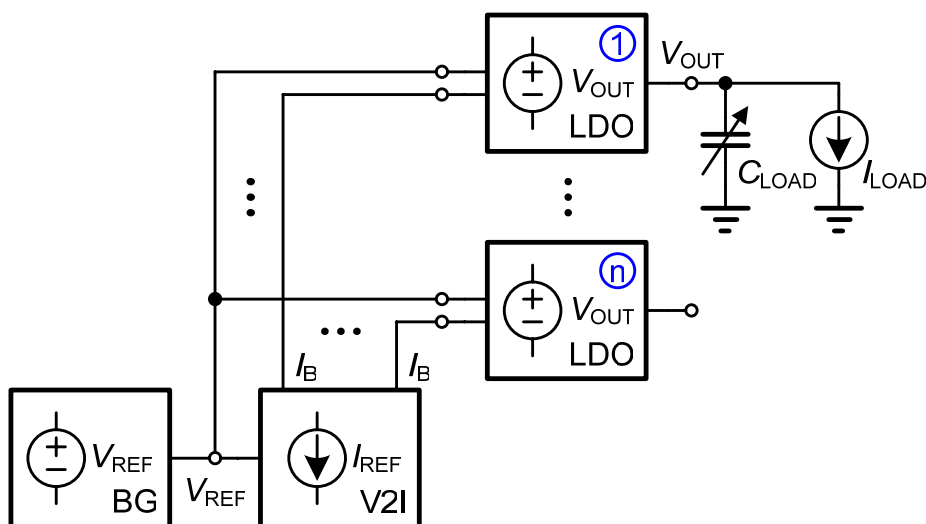


图 4-14 低压差线性稳压器仿真电路图

使用中芯国际的 $0.18\text{-}\mu\text{m}$ CMOS 工艺库模型进行仿真。以下仿真的条件，除特殊说明外均选用典型条件：偏置电流为 $10\ \mu\text{A}$ ，负载电容 $100\ \text{pf}$ ，负载电流 $0\ \text{mA}$ ，室温取 $27\ ^\circ\text{C}$ ，工艺角为典型工艺。

仿真电路的结构如图 4-14 所示。低压差线性稳压器的参考电压来自带隙基准电压源的输出参考电压，偏置电流来自电压—电流转换电路的输出偏置电流。负载电容用外接可变电容，负载电流源选用理想的可变电流源，用来模拟负载的变化。仿真项目包括：直流特性、环路交流特性、*PSRR* 特性、负载变化和噪声。

4.4.1 直流特性

表 4-1 和表 4-2 显示了静态功耗的仿真结果。电源的变化对总电流影响较小，功耗的变化来自电源的变化。工艺角变化对静态功耗影响不大。

表 4-1 电源变化与静态功耗的关系

V_{DD}	(V)	2.1	2.5	2.9	3.3
I	(μA)	199.024	199.61	199.767	199.904
POWER	(μW)	417.951	499.025	579.323	659.684

表 4-2 工艺角与静态功耗的关系

corner		sf	fast_best	typ	fs	slow_worst
V_{DD}	(V)	2.1	2.1	2.1	2.1	2.1
I	(μA)	193.476	220.995	199.024	199.769	173.313
POWER	(μW)	406.301	464.09	417.951	419.514	363.957
corner		sf	fast_best	typ	fs	slow_worst
V_{DD}	(V)	3.3	3.3	3.3	3.3	3.3
I	(μA)	199.114	221.489	199.904	200.316	181.973
POWER	(μW)	657.076	730.915	659.684	661.044	600.512

DC Response

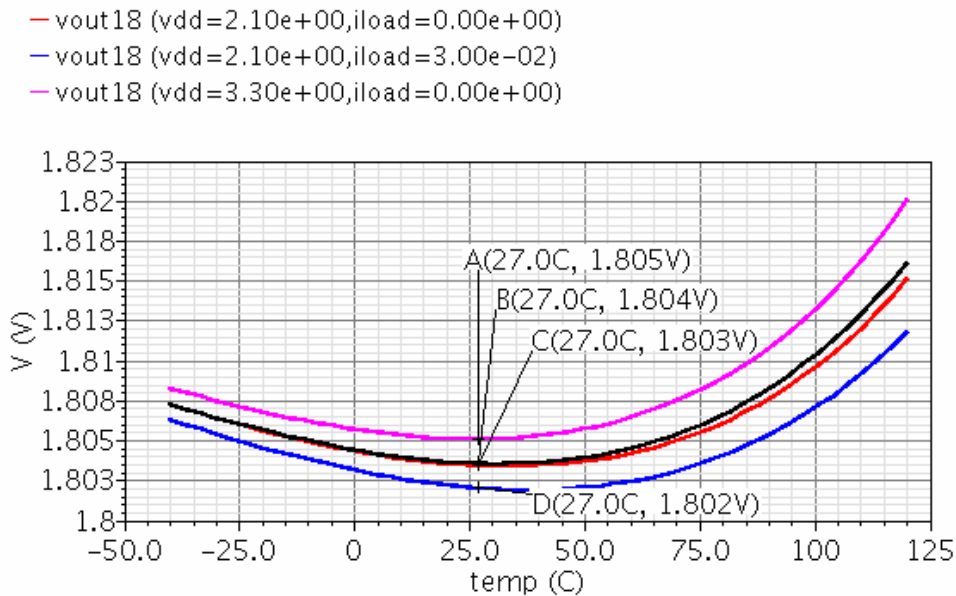


图 4-15 电源变化和负载电流与温度曲线的关系

图 4-15 显示了电源变化和负载电流与温度曲线的关系。四条曲线从上至下设置的条件依次为： V_{DD} 为 3.3 V， I_{LOAD} 为 0 mA； V_{DD} 为 3.3 V， I_{LOAD} 为 30 mA； V_{DD} 为 2.1 V， I_{LOAD} 为 0 mA； V_{DD} 为 2.1 V， I_{LOAD} 为 30 mA。低压差线性稳压器温度曲线的变化趋势与带隙基准源的输出参考电压温度曲线相同，直

接受其影响，若输出参考电压理想，则低压差线性稳压器输出电压不随温度变化。

图 4-16 显示了电源变化与输出电压的关系。电源电压 V_{DD} 由 3.3 V 降到 2.1V，低压差线性稳压器输出电压只减小了 3 mV。

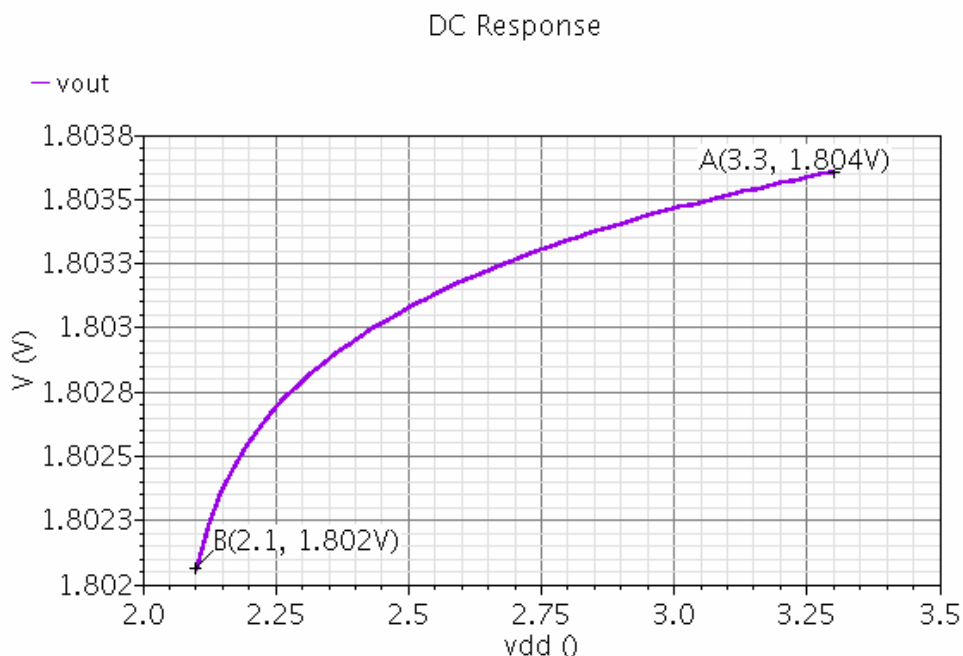


图 4-16 电源变化与输出电压的关系

4.4.2 环路交流特性

表 4-3 电源电压和负载与环路交流稳定性的关系

PM(deg)					
		$V_{DD}=2.1\text{ V}$		$V_{DD}=3.3\text{ V}$	
$C_{LOAD}(\text{pF})$		0	100	0	100
$I_{LOAD}(\text{mA})$	0	88.9539	40.20655	88.397	41.557
	1	96.9846	88.62255	95.183	88.0855
GBW(MHz)					
		$V_{DD}=2.1\text{ V}$		$V_{DD}=3.3\text{ V}$	
$C_{LOAD}(\text{pF})$		0	100	0	100
$I_{LOAD}(\text{mA})$	0	3.8366	3.247692	3.63041	3.18293
	1	3.72401	4.01354	3.42774	3.815

外界负载的变化对低压差线性稳压器的环路交流特性影响较大。从表 4-3 可以看到，在负载电容和负载电流变化的组合中，当 C_{LOAD} 为 100 pF 和 I_{LOAD} 为 0 mA 时其稳定性最差。依照表 4-3 的环路交流稳定性，将 C_{LOAD} 固定为 100 pF，扫描负载电流到 30mA，单位增益带宽和相位裕度的变化如图 4-17 和图

4-18 所示。其中红色曲线对应的 V_{DD} 为 2.1 V，蓝色曲线对应的 V_{DD} 为 3.3 V。可以看到，负载电流稍大于 1 mA 电路就将稳定。

扫描负载电流到 1 mA，如图 4-19 和图 4-20 所示，看单位增益带宽和相位裕度的变化。负载电流大于 150 μA ，相位裕度将大于 60 deg。选择低压差线性稳压器环路交流稳定性的极端状况， V_{DD} 为 3.3 V 和 2.1 V，负载电流为 0 mA 和负载电容为 100 pF(下面两条曲线)；负载电流为 30 mA 和负载电容为 0 pF(上面两条曲线)进行仿真，如图 4-21 所示。

当负载电流为 0 mA，负载电容为 100 pF， V_{DD} 为 3.3 V(红色，第奇数个)和 2.1 V(蓝色，第偶数个)时，工艺角与环路交流稳定性的关系如图 4-22 和图 4-23 所示。将数据总结为表 4-4。可见电源电压对环路交流稳定性影响不大，工艺角偏差对环路交流稳定性影响较大。

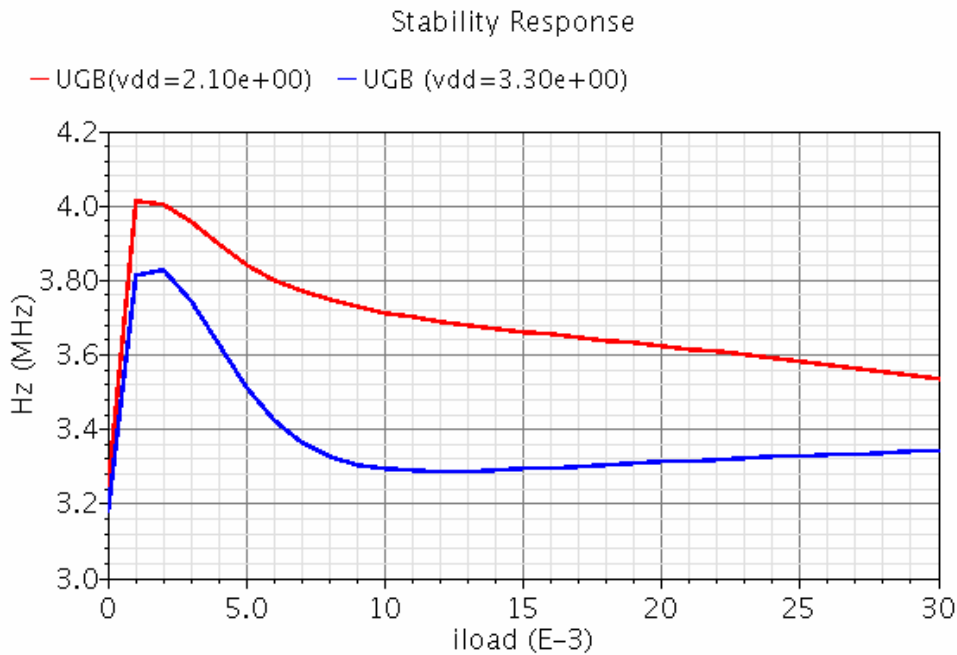


图 4-17 30 mA 范围内，负载电流变化与单位增益带宽的关系

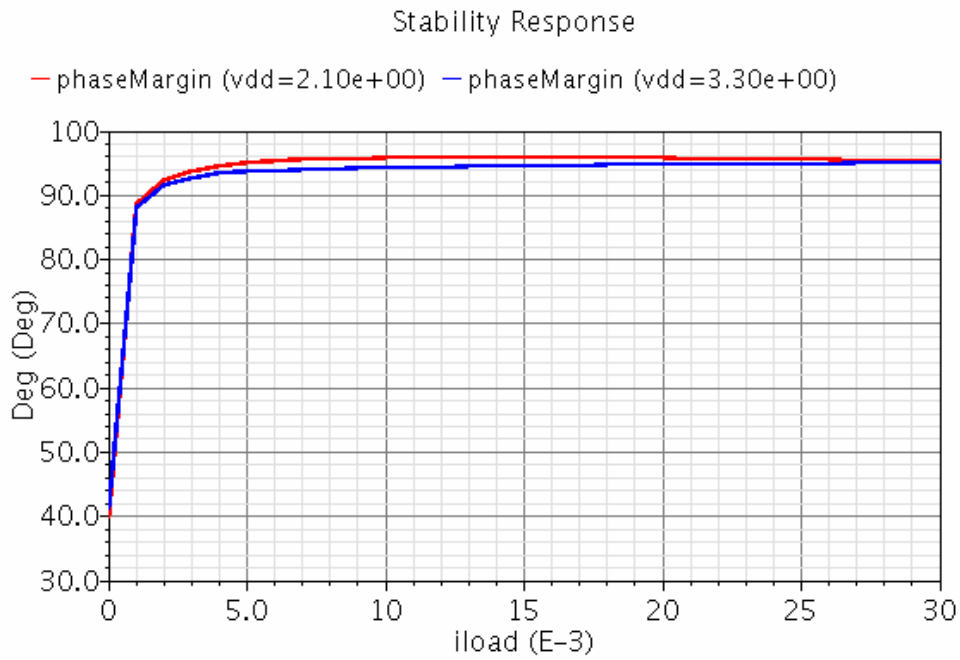


图 4-18 30 mA 范围内，负载电流变化与相位裕度的关系

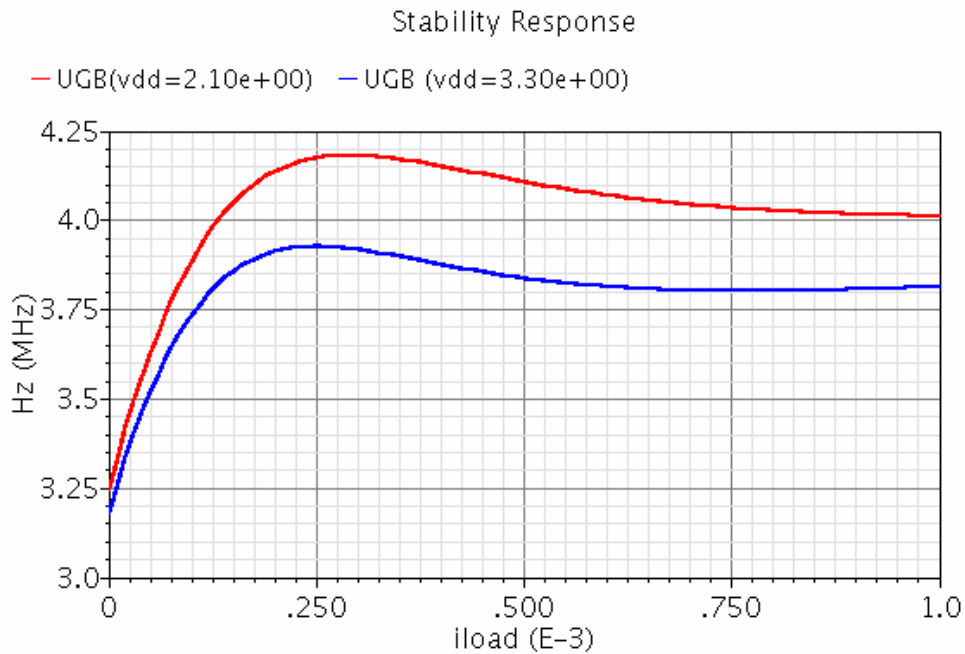


图 4-19 1 mA 范围内，负载电流变化与单位增益带宽的关系

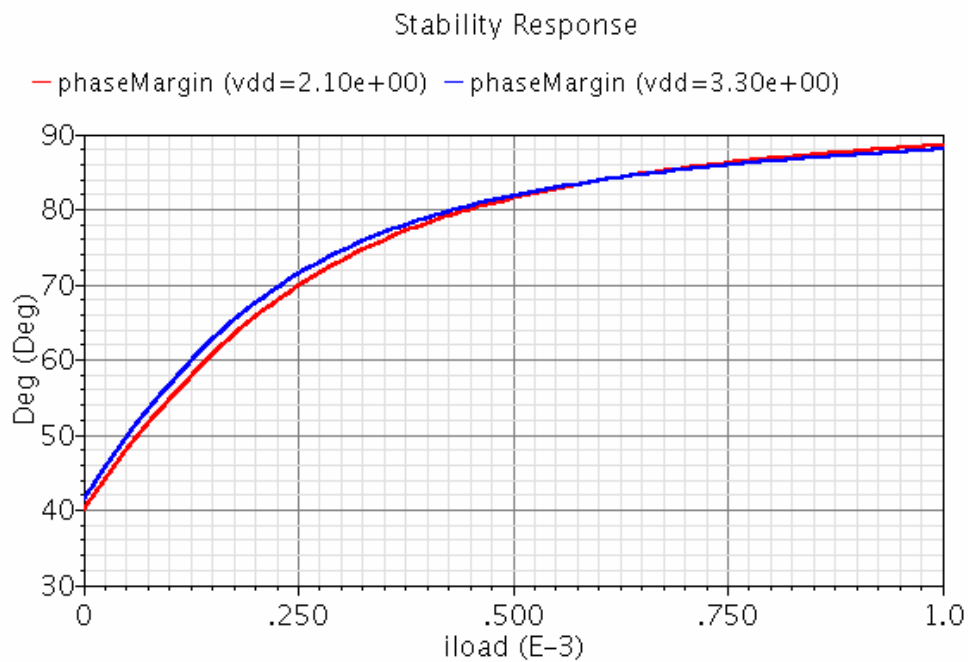


图 4-20 1 mA 范围内，负载电流变化与相位裕度的关系

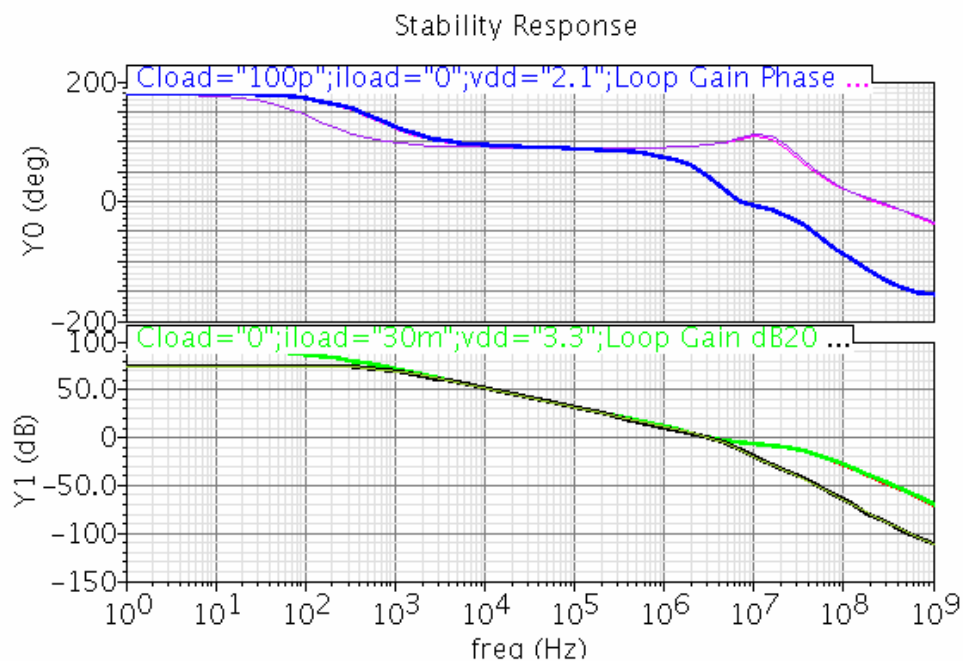


图 4-21 电源电压和负载与环路交流稳定性的关系

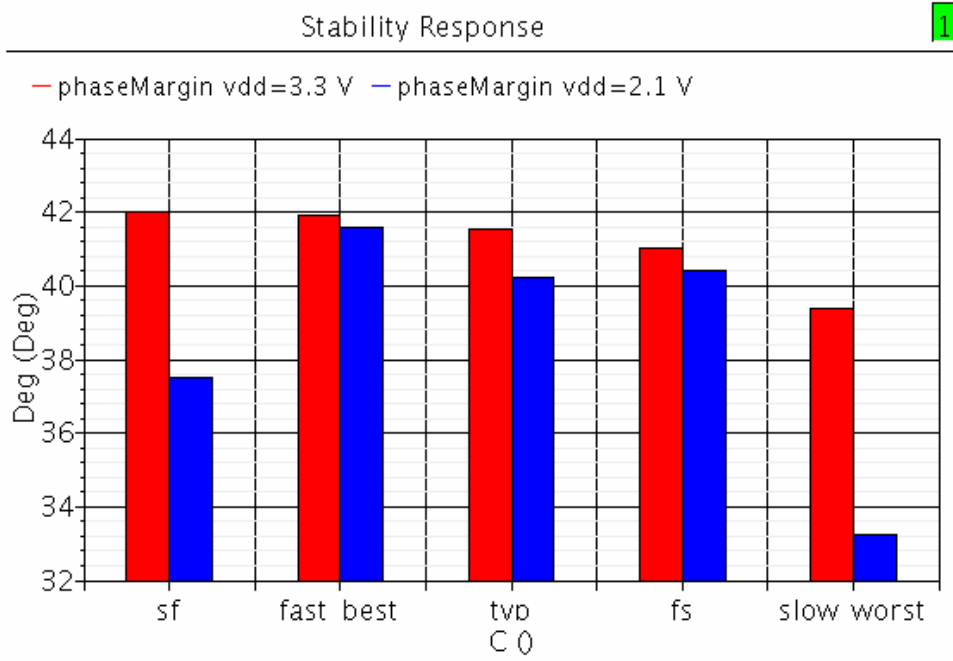


图 4-22 相位裕度

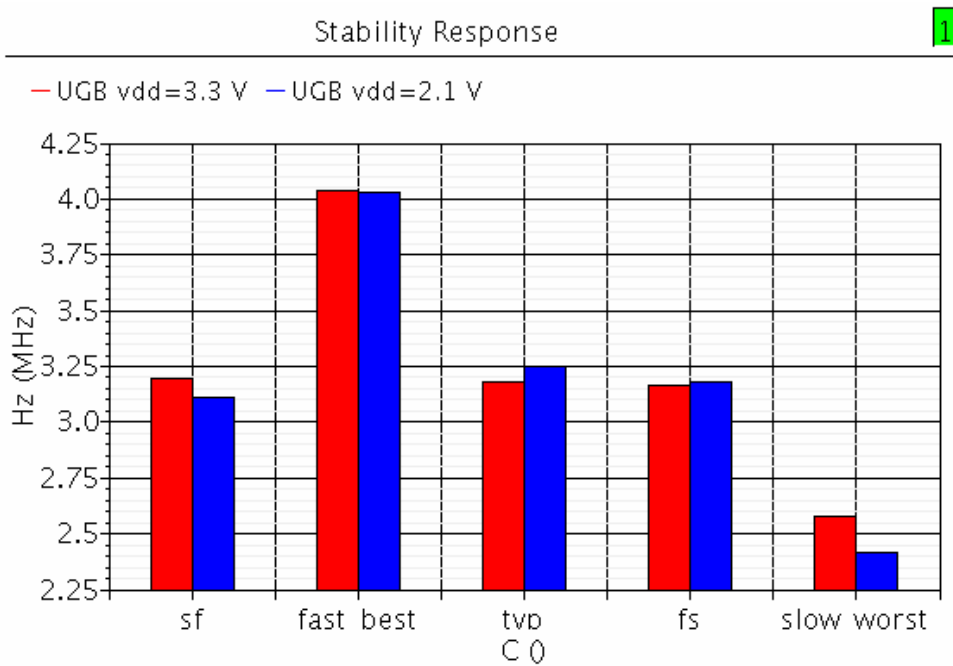


图 4-23 单位增益带宽

表 4-4 电源电压和工艺角与环路交流稳定性的关系

$V_{DD}=3.3\text{ V}$						
Corner		sf	fast_best	typ	fs	slow_worst
<i>GBW</i>	MHz	3.195	4.034	3.183	3.166	2.58
<i>PM</i>	deg	42	41.9	41.56	41.01	39.38
$V_{DD}=2.1\text{ V}$						
Corner		sf	fast_best	typ	fs	slow_worst
<i>GBW</i>	MHz	3.108	4.0335	3.2477	3.1776	2.4149
<i>PM</i>	deg	37.49	41.57	40.21	40.42	33.23
$I_{LOAD}=0\text{ mA}$ $C_{LOAD}=100\text{ pF}$						

4.4.3 PSRR 特性

电路 *PSRR* 特性的仿真结果如图 4-24 所示，将数据汇总为表 4-5。从数据可以看出，低频时电源电压是主要影响因素；高频时如果负载电容为 100 pF，*PSRR* 特性会好，相当于外接去耦电容。

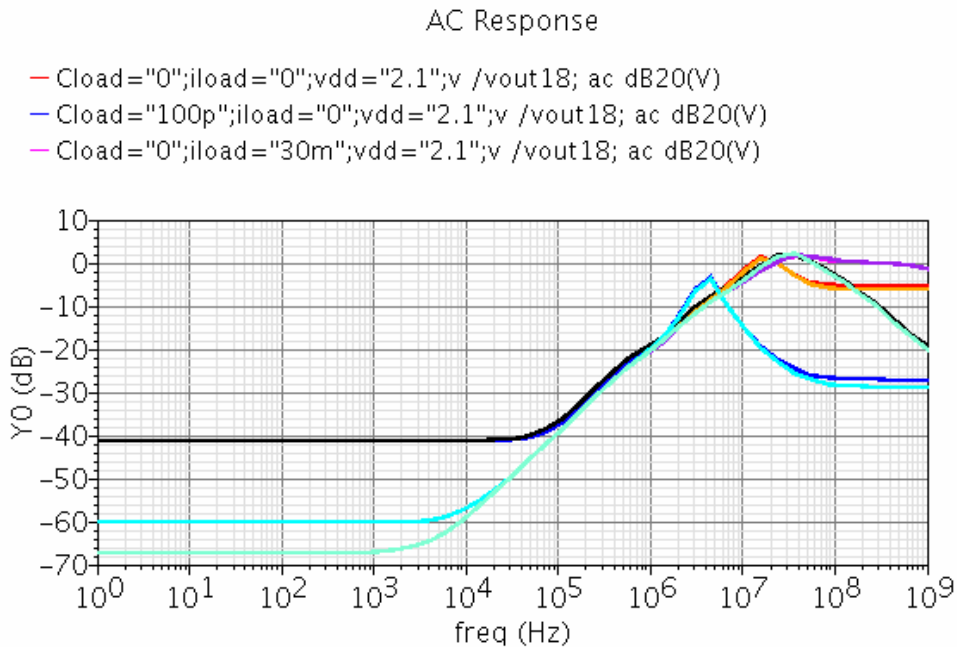


图 4-24 电源电压和负载与 *PSRR* 的关系

表 4-5 电源电压和负载与 $PSRR$ 的关系

			$V_{DD}=2.1\text{ V}$		$V_{DD}=3.3\text{ V}$	
$C_{LOAD}(\text{pF})$			0	100	0	100
$I_{LOAD}(\text{mA})$	0	1 (kHz)	-41.426	-41.426	-60.219	-60.219
		100 (kHz)	-37.592	-37.586	-39.557	-39.551
		1 (MHz)	-20.255	-19.671	-20.38	-19.792
		10 (MHz)	-1.7157	-14.61	-2.2654	-14.694
		20 (MHz)	0.58488	-20.994	0.47979	-21.38
	30	1 (kHz)	-41.405	-41.405	-67.166	-67.166
		100 (kHz)	-36.743	-36.743	-39.485	-39.485
		1 (MHz)	-19.015	-19.005	-20.311	-20.302
		10 (MHz)	-3.5707	-3.155	-4.5139	-4.0992
		20 (MHz)	-0.1209	0.7109	-0.6671	0.33003

4.4.4 负载变化

负载电流的跳变将影响输出电压，如图 4-25 所示。四条曲线从上到下设置的条件依次为： V_{DD} 为 2.1 V， C_{LOAD} 为 0 pF； V_{DD} 为 2.1 V， C_{LOAD} 为 100 pF； V_{DD} 为 3.3 V， C_{LOAD} 为 0 pF； V_{DD} 为 3.3 V， C_{LOAD} 为 100 pF。负载电流由 0 mA 跳变到 30 mA。仿真结果整理为表 4-6，可以看到输出电压的变化在 100 mV 之内。

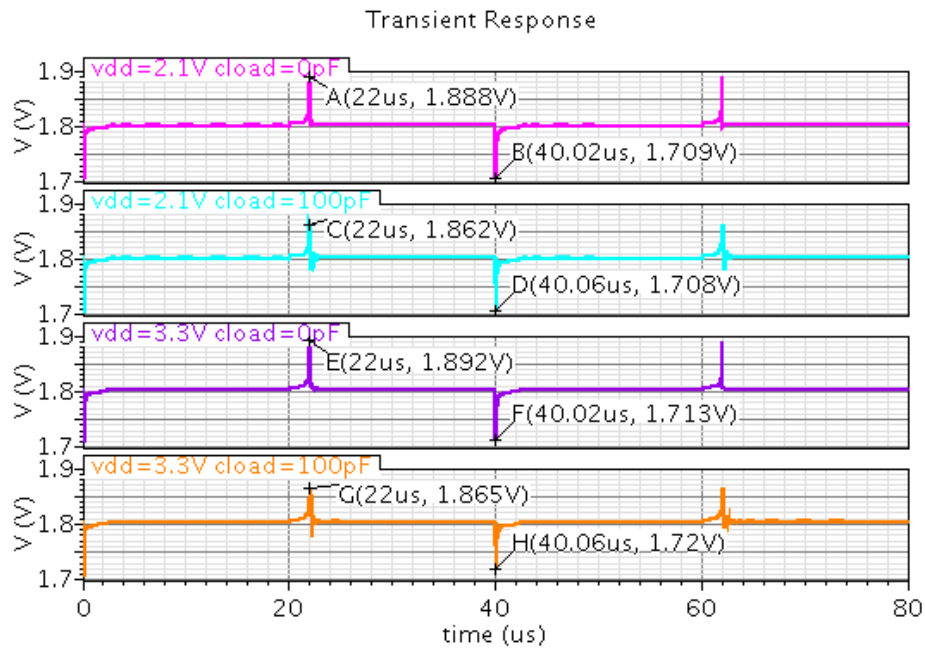


图 4-25 负载电流跳变对输出电压的影响

表 4-6 输出电压的变化

		$V_{DD}=2.1\text{ V}$		$V_{DD}=3.3\text{ V}$	
$C_{LOAD}(\text{pF})$		0	100	0	100
Max.	(V)	1.889	1.864	1.89	1.864
Min.		1.707	1.707	1.709	1.719
$I_{LOAD} : 0\text{ mA to }30\text{ mA}$					

4.4.5 噪声

噪声的仿真电路中参考电压和偏置电流接理想源。仿真结果如表 4-7 所示。从仿真结果来看负载对噪声性能影响不大。仿真工艺角时，负载电容 100 pF，负载电流 0 mA，结果如表 4-8 所示。

表 4-7 电源电压和负载与噪声的关系

		$V_{DD}=2.1\text{ V}$		$V_{DD}=3.3\text{ V}$	
$C_{LOAD}(\text{pF})$		0	100	0	100
$I_{LOAD}(\text{mA})$	0	23.8257	23.8302	24.1075	24.112
	30	23.8055	23.8055	24.1143	24.1144
Integrated noise from 100 Hz to 100 kHz, μV_{rms}					

表 4-8 电源电压和工艺角与噪声的关系

corner		sf	fast_best	typ	fs	slow_worst
$V_{DD}(\text{V})$	2.1	23.67	19.93	23.83	23.83	27.08
	3.3	24.17	20.08	24.11	24.06	27.92
$I_{LOAD}=0\text{ mA } C_{LOAD}=100\text{ pF}$						
Integrated noise from 100 Hz to 100 kHz, μV_{rms}						

4.5 电路性能总结

本章叙述的内容为低压差线性稳压器电路的设计。电路的性能总结如表 4-9。从仿真的结果可以看出，在 C_{LOAD} 为 100 pF 和 I_{LOAD} 为 0 mA 时电路的相位裕度较小。

表 4-9 低压差线性稳压器电路的性能

Output	1.803 V
POWER	< 200 μ A
GBW	4 MHz
$PM@I_{LOAD}=0$ mA $C_{LOAD}=100$ pF	40 deg
$PM@$ Other	>88 deg
$PSRR@3.3$ V, DC	60 dB
$PSRR@2.1$ V, DC	40 dB
Integrated noise from 100 Hz to 100 kHz	24 μ V _{rms}
Transient Response of Output	<100 mV

第五章 总结与展望

5.1 总结

本文设计实现了带隙基准电压源电路、电压—电流转换电路和低压差线性稳压器电路。

设计带隙基准电压源电路时，选用的电路结构具有噪声低的特点。其内部误差放大器第二级选用二极管连接形式，可以得到高电源抑制。电压—电流转换电路中产生电流的可变电阻置于芯片外，可以更好的减小工艺角偏差。这些设计之初的考虑可以得到更优的电路性能。在调试过程中尽可能仿真各种情况，特别是工艺角，这样设计的电路性能更稳定。

从仿真结果来看：带隙基准电压源电路噪声低，电源电压抑制高，输出参考电压可调—减小外界影响；电压—电流转换电路输出的偏置电流稳定，输出电流精确误差小；低压差线性稳压器电路瞬态响应快速，负载变化对其输出电压影响小。

5.2 展望

以上的仿真基于电路级仿真，如绘制版图后，应根据后仿结果调整电路，性能会更接近实际情况。版图绘制时，使用一些匹配技术可以减小失配，提高性能。虽然带隙基准电压源电路的温度系数较低，但如果使用曲率补偿技术，其性能将更稳定。本文在设计带隙基准电压源时，选用较大的双极型晶体管数目来减小电阻比值，继而减小噪声。但电阻的比值还可以进一步优化。

低压低功耗，片上集成是集成电路的发展趋势。本文的设计基于中芯国际的 0.18- μm CMOS 工艺，随工艺进一步提升，器件工作电压不断减小，需设计新的电路结构与之适应。在仿真时，本文对各种工艺角进行详细仿真，将各种可能出现的状况尽可能仿真，但仍然不全面。仿真的项目可以根据芯片的测试结果和使用过程中遇到的状况重新设计参数和项目，将可能出现的问题在设计阶段解决。

致谢

感谢导师唐长文副教授的悉心指导。唐老师严谨的治学态度和刻苦的科研精神给我留下了深刻的印象，使我受益匪浅。

感谢上海锐协微电子科技有限公司的廖友春总经理，对本文的写作给予很多帮助。在此表示深深的谢意。

感谢谈熙老师和闫娜老师给予的帮助。感谢路守领、车文毅、杨玉庆、熊廷文、韩科锋和曹圣国。感谢温晓珂、尹睿、赵薇、孟令部、余永长、黄兆磊、卢磊、邹亮和宫志超。

感谢公司的张予，张经理。谢谢张经理给我的这份工作，让我有机会了解工作流程。看到了如何进行产品的研发生产，团队的协同工作，部门之间的沟通合作。工作经历对我影响很大，受益良多。谢谢张经理给予我的照顾。感谢 Jeely 和 Peng 给予的帮助。感谢 Ahwin、Eric、Jane、Jash、Jie、Jill、Kison、Kylin、Radar 和 Sky。

感谢家人的关心照顾，感谢家人的理解支持。

感谢所有给予我帮助的人！

参考文献

- [1]. C. Lee, K. McClellan, and J. Choma Jr., "A supply-noise-insensitive CMOS
- [2]. C. C. Chen and C. Cheng, "Future SOC design challenges and solutions," in *Proc. IEEE Intl. Symp. Quality Electronic Design*, San Jose, CA, Mar. 2002, pp. 534-537.
- [3]. Made Gunawan, Gerard C. M. Meijer, Jeroen Fonderie, Johan H. Huijsing, "A curvature-corrected low-voltage Bandgap reference," *IEEE J. of Solid-State Circuit*, vol. 28, pp. 667-670, June 1993.
- [4]. P. Malcovati, F. Maloberti, M. Pruzzi, C. Fiocchi, "Curvature-Compensated BiCMOS Bandgap with 1-V Supply Voltage," *IEEE J. of Solid-State Circuit*, vol. 36, pp. 1076-1081, JULY 2001
- [5]. Ka Nang Leung, Philip K. T. Mok, Chi Yat Leung, "A 2-V 23- μ A 5.3-ppm/ $^{\circ}$ C Curvature-Compensated CMOS Bandgap Voltage Reference," *IEEE J. of Solid-State Circuit*, vol. 38, pp. 561-564, March 2002.
- [6]. David C. W. Ng, William Y. T. Wong, etc. "A low-power high-output-driving CMOS voltage reference with $\pm 0.5\%$ trimming accuracy," in *Proc. IEEE International Conference on Mechatronics*, Cairo, Dec. 2007, pp. 338-341.
- [7]. Behzad Razavi. *Design of Analog CMOS Integrated Circuits* 北京: 清华大学出版社. 2003: 381.
- [8]. Phillip E. Allen, Douglas R. Holberg. *CMOS Analog Circuit Design* 北京: 电子出版社, 2007: 153
- [9]. Behzad Razavi. *Design of Analog CMOS Integrated Circuits* 北京: 清华大学出版社. 2003: 382
- [10]. 何乐年, 王忆. *模拟电路设计与仿真* 北京: 科学出版社, 2008: 197
- [11]. Vishal Gupta. *AN ACCURATE, TRIMLESS, HIGH PSRR, LOW-VOLTAGE, CMOS BANDGAP REFERENCE IC* Atlanta: Georgia Institute of Technology, 2007
- [12]. Bang-Sup Song, Paul R. Gray, "A precision curvature-compensated CMOS Bandgap reference," *IEEE J. of Solid-State Circuit*, vol. 18, pp. 634-643, December 1983.
- [13]. Keith Sanborn, Dong sheng Ma, Vadim Ivanov, "A Sub-1-V Low-Noise Bandgap Voltage Reference," *IEEE J. of Solid-State Circuit*, vol. 42, pp. 2466-2481, November 2007
- [14]. Behzad Razavi. *Design of Analog CMOS Integrated Circuits* 北京: 清华大学出版社. 2003: 378-379
- [15]. Tom Kugelstadt. *Fundamental Theory of PMOS Low-Dropout Voltage Regulators*, TI Company, Inc., 1999
- [16]. Robert J. Milliken, Jose Silva-Martínez, Edgar Sánchez-Sinencio, "Full On-Chip CMOS Low-Dropout Voltage Regulator," *IEEE J. of Solid-State Circuit*, vol. 54, pp. 1979-1890, September 2007

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名： 刘立明 日期： 2010.6.3

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名： 刘立明 导师签名： 唐长文 日期： 2010.6.3