

学校代码: 10246

学 号: 032021050

復旦大學

硕 士 学 位 论 文

3.3 伏、100 兆采样频率、10 比特流水线结构模数转
换器的设计和低功耗实现

院 系: 信息科学与工程学院
专 业: 微电子学与固体电子学
姓 名: 谭 珺
指 导 教 师: 闵 昊 教授
完 成 日 期: 2006 年 5 月 12 日

指导小组成员名单

目 录

摘 要.....	I
Abstract.....	II
第一章 引言	1
1.1 概述.....	1
1.2 高速高精度模数转换器的应用.....	1
1.3 国内外研究现状和本文的研究目标.....	2
1.4 主要工作及论文的组织结构.....	4
第二章 系统结构设计	5
2.1 模数转换器的回顾.....	5
2.2 高速模数转换器的介绍.....	5
2.2.1 全并行结构模数转换器.....	6
2.2.2 两步式模数转换器.....	7
2.2.3 流水线模数转换器.....	9
2.3 流水线模数转换器的体系结构.....	10
2.4 每级 1.5 比特的流水线模数转换器算法.....	13
2.5 1.5 级流水线结构的实现.....	15
2.6 非理想因素及其影响.....	16
2.7 行为级系统仿真.....	17
第三章 电路设计	20
3.1 采样保持电路.....	20
3.1.1 概述.....	20
3.1.2 底极板采样技术.....	21
3.1.3 采样保持电路结构.....	22
3.1.4 实际电路结构.....	24
3.1.5 噪声和误差分析.....	27
3.1.6 采样保持电路中开关的设计和优化.....	32
3.1.7 低功耗高速运算放大器.....	34
3.1.8 采样保持电路的总体性能仿真.....	40
3.2 余量增益电路.....	41
3.3 开关电容比较器.....	43
3.4 恒跨导偏置电路.....	45
3.5 子模数转换器与编码电路.....	46
3.6 数字校正电路.....	47
3.7 总体误差分析和参数设计.....	48

3.7.1 余量增益电路的增益误差分析.....	48
3.7.2 比较器失调及数字校正技术.....	50
第四章 芯片实现	52
4.1 时钟产生和分配电路.....	52
4.2 偏置电流.....	54
4.3 参考电压转换与驱动.....	54
4.4 总体电路仿真.....	55
4.5 版图设计和优化.....	56
4.5.1 隔离与屏蔽.....	57
4.5.2 匹配对称性的考虑.....	57
4.5.3 版图总体考虑和布局.....	58
第五章 芯片测试	60
5.1 模数转换器的参数定义.....	60
5.1.1 静态特性参数.....	60
5.1.2 动态特性参数.....	62
5.2 测试方案.....	64
5.2.1 静态特性测试.....	64
5.2.2 动态特性测试.....	65
5.3 测试电路设计.....	65
5.3.1 信号输入电路.....	65
5.3.2 参考电压.....	66
5.3.3 时钟电路.....	67
5.4 PCB设计.....	67
第六章 总结与展望	69
6.1 总结.....	69
6.2 未来工作展望.....	69
参考文献.....	70
致谢.....	73

摘 要

本文在分析比较了各种高速模数转换器的特点后，完成了一个10比特3.3v电源电压100MHz采样频率的流水线模数转换器的设计和芯片实现。

模数转换器采用传统的每级1.5位结构，一共9级流水线结构。另外，电路子模块的设计具有如下的特点：高增益、高带宽的运算放大器与改进的栅压自举(bootstrap)采样开关的结合大大提高了采样保持电路的精度和线性度；优化的偏置电路提高了运放整体的一致性和稳定性；回踢噪声(kickback noise)很小的动态比较器使模数转换器在高速采样时钟下能保持各级输出的模拟信号的稳定；双相非交叠时钟产生电路提高了时钟周期的利用率。

为了得到低功耗的设计，从结构上选择了功耗相对较小的套筒式运放电路的结构，并且使用动态比较器减小整体的功耗，此外，逐级缩小运放的尺寸以进一步优化功耗。

该模数转换器芯片采用Charter 0.35um, 3.3v, 双层多晶，四层金属的CMOS工艺混合信号工艺实现，有效面积为 $1.1 \times 1.2 \text{ mm}^2$ 。芯片的整体功耗为142mW，在100MHz的采样频率时，对于42MHz的正弦信号，仿真具有58.7dB的SINAD。

关键词：数模混合集成电路；模数转换器；流水线；栅压自举；双相非交叠
中图分类号：TN 432

Abstract

The thesis presents the design of a 3.3V 100MHz 10-bit pipeline Analog-to-Digital Convert following an analysis on various high speed A/D convert.

It's a 1.5bit/stage pipeline ADC with 9 stages. Besides, the following technologies are taken: high-speed, high-gain OTA and improved bootstrap sample switches used in S/H, resulting in higher resolution and higher linearity; the dynamic comparators which are lack of kickback noise keep the analog signal from pipeline stage stable during the high frequency sampling phase; the two-phase non-overlapping clock generator is designed to make full use of the holding time. A proposed stable high-swing bias circuit is used for a wide-swing gain-boosting telescopic amplifier to improve the performance.

In order to decrease the power of the whole chip, the telescopic architecture amplifier is used, which need least power of three traditional amplifiers, furthermore, the dynamic comparators help to decrease the power and the amplifier in each stage is scaled down gradually.

This chip is being manufactured in Charter 0.35um double-poly four-metal CMOS mixed-signal process. The consumed die area is $1.2 \times 1.1 \text{mm}^2$. The power dissipation is 142mW with 3.3v power supply. SNDR is 58.7dB when sampling 42MHz sinusoid input signal at 100MHz sampling clock.

第一章 引言

1.1 概述

近些年来，随着计算机和微电子技术的高速发展，使系统级芯片成为当前CMOS 技术的一个发展潮流，明显的特征就是数字信号处理（DSP）技术已经广泛地应用于军事、民用领域的各个方面。数字技术也借此机会得到了飞速发展，各技术领域的数字化程度不断加深。数字电路可以完成越来越多的功能，并且可以替代已有的许多模拟电路实现的系统。如美国已经宣布在2006年9月全面停播模拟电视，全部采用高清晰数字电视。

虽然目前在信号传输和信号处理领域，大都采用数字系统进行信号处理。但是，我们生活的自然界却是一个连续的模拟环境，来自于自然界的信号，如语音信号、传感器信号等大多是模拟量，我们感知外界的方式也是模拟，并不能用数字信号0和1的简单积累来等同。而且处理后的数字信号往往还要再转换为模拟信号，以实现系统对外界的控制。因此在模拟世界和数字处理系统之间，必然要存在转换接口。

模数转换器(ADC)就是将模拟信号转换为数字信号的接口电路，它的功能是把外界的模拟输入量转换为按照一定规则与之对应的数字编码。它是连接模拟信号和数字处理电路的桥梁，只有通过它，才能对外界模拟信号进行采集和处理。因此，模数转换器的发展就成为了系统级芯片发展的瓶颈。随着高速信号处理应用的需求不断增加，模数转换器也必须向着高速度、高精度方向发展，以此满足高分辨率图像、无线通信等领域的要求。

1.2 高速高精度模数转换器的应用

随着无线网络技术、数字信号处理技术、计算机技术和高速数据采集技术的不断发展，高速高精度的模数转换器被广泛应用于数字通信、自动控制等领域。像HDTV（高清晰数字电视）、数字摄像机、医疗成像设备以及便携式的数据通信系统等，都对模数转换器的性能提出了更高的要求。数字无线电接收器是目前比较典型的应用，它的出现对模数转换器的发展更是一个直接的推动力。数字无线电概念和结构的提出，一直都被称为无线通信的革命，它使数字通信系统越来越多的功能可以通过软件来定义和数字处理，提高了系统的灵活性和适应性。

多年来模数转换技术一日千里，令接收器可以更大量采用数字集成电路。图1.1就是数字无线电接收器基本结构图。接收器的数字电路越靠近天线，便越

能发挥接收的优势，将本来只能由模拟电路实现的部分信号前端处理(例如信道切换、下变频、滤波、解调等)转换为由可编程数字处理芯片(DSP)来实现，用户只需将不同的数字处理模块下载到DSP即可灵活切换信道接入方式，就可接收来自不同发射系统的信号。如果可以将模数转换器置于射频系统的输出端，就可以直接进行射频取样。但是为了能够预先抑制不需要的带外信号，以及满足模数转换器所需要的频率范围，已接收的信号在输入模数转换器之前必须加以滤波，以及自动增益控制。

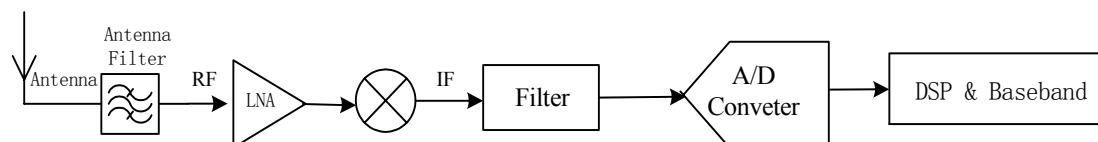


图1.1 数字无线电接收器基本结构图

因此很多数字接收器采用折中的方法，先由输出端的第一及第二中频级将模拟信号转为数字信号，使带外信号还未进入模数转换器之前先接收滤波，也确保部分信号在未进入模数转换器之前先行在模拟级接收自动增益控制，以尽量避免带内信号过驱动模数转换器。使信号在进行模数转换之前可以达到最大的信号增益。此外，如果采用中频取样及数字接收技术，则无需另外加入中频级如混频器、滤波器及放大器，有助于减低成本，而且系统设计工程师若采用可编程数字滤波器取代固定的模拟滤波器，便可充分发挥设计上的灵活性。

1.3 国内外研究现状和本文的研究目标

随着半导体技术的日益发展，数字技术相对于传统的模拟技术具有抗干扰能力和稳定性强、电路结构简单、设计方便、集成度高以及灵活性和可移植性的特点日益突出。因此，混合信号集成的设计出现了一些新的趋势：模拟技术数字化；模数（A/D）和数模（D/A）转换器等模拟电路的速度随数字电路的速度的提高而相应提高，成本和性能要求混合信号系统集成在单一芯片上。

在过去的20年里，随着CMOS工艺水平的长足进步和数字系统设计软件的日趋成熟，使数字系统无论在处理能力还是处理速度上都取得了飞速的发展。相对而言，模拟和数字接口电路的设计在很长一段时间内没有得到足够的重视，加之模拟设计软件业不够成熟，模数接口电路的发展落后于数字电路的发展，因此，在一些包括数模接口的电子系统，如数字电视视频系统和数字通信系统中，接口电路的性能（如速度、精度）成为了限制整个系统性能的瓶颈。

为了消除数模接口电路对系统性能造成的限制，在国际上，各著名大学和实验室里都有大量的研究人员从事于各种模数转换器的结构与基础研发工作，其研

究目标主要集中在新型ADC系统结构、单元电路和具体的技术难点的突破;而公司、生产厂家则主要对已经证实为准确、可靠的A/D转换技术,从设计、工艺、生产成本等方面进行改进和完善,以期让这些技术和产品尽快应用于军民用领域。国外MAXIM, ADI, TI和美国国家半导体(National Semiconductor)等主要设计生产模拟IC的这些专业化大公司的产品代表了当今国际模数转换技术的领先水平。除此以外,随着更先进的CMOS工艺不断应用于数字电路,近年来在高性能ADC领域出现了一个明显的发展趋势,即用“极限”工艺实现“极限”指标,其采用的工艺与主流数字工艺的距离比以往大大缩小。

精度10比特及以上的高速模数转换器广泛应用于数字视频和通讯系统中,为了能够内嵌于单片数字系统,并适合便携设备使用,除了需要满足精度和速度的要求外,也希望A/D转换器消耗尽可能低的功耗和芯片面积。考虑到流水线结构可以在速度、精度、功耗和芯片面积之间达到最好的折衷,目前大多数视频芯片中的A/D转换器都采用这种结构。不过高速模数转换器通常需要消耗大量的芯片面积、功耗和设计时间,因此如何优化设计低功耗、高速、高精度流水线模数转换器也成为国际数模混合信号设计领域的研究热点。表1.1列出了代表目前国外先进水平的两个高速、10位低功耗A/D转换器的主要性能指标。第一个A/D转换器由美国Analog Device 公司设计的AD9215,第二个A/D转换器是Maxim公司生产的MAX1180。

表1.1 两个10位高速、低功耗模数转换器的主要性能指标

	AD9215	MAX1180
电源电压	3V	3.3
分辨率	10	10
INL	<0.65LSB	<0.75LSB
DNL	<0.25LSB	<0.4LSB
最大采样速率	105MS/s	105MS/s
SINAD $f_s=105\text{MS/s}$	58dB @ 50Mhz	57.6dB@50Mhz
最大功耗	120mW	125mW

从上面的介绍可以看到,目前发达国家对高速数据转换电路的研究开发已经达到了很高的水平,由于各种原因,国内模数转换器的发展起步较晚,研究水平较为落后,自主研发的产品进入市场的不多,而且主要集中在全并行、积分型、逐次逼近型等低精度高速或低速高精度的结构上,高速、高精度的模数转换器研究

尚不多见。这严重限制了我国在集成电路设计尤其是系统集成方面的发展。为了缩短与国外先进水平之间的差距,我们急需加强在这个领域的研究。本论文针对3.3V电压的低功耗要求,设计一个功耗150mW以下的10比特100MHz采样频率的流水线结构模数转换器。从系统设计到最终芯片测试的全流程上探讨高速模数转换器的设计理论和测试方法,并提出了一些创新思想,希望论文期间所做的研究能给高速高精度模数转换器的设计研究起到一定的借鉴作用。

1.4 主要工作及论文的组织结构

在论文工作期间,作者查阅了大量有关数据转换方面的资料,较系统地研究了各种数据转换器的结构和性能,设计完成了一个3.3V电源电压10bit 100MS/s流水线A/D转换器。A/D转换器已经完成电路版图设计并进行流片。

基于速度、精度、功耗之间最好的优化和折中考虑,本模数转换器采用了1.5位的9级流水线结构实现,并在低功耗、高速和高精度三个方面做了细致的研究工作,主要有:(1)研究并比较了流水线模数转换器的多级算法,对1.5位/级流水线模数的结构和校正算法进行分析;(2)建立流水线模数转换器的部分模型,包括了运放的各种非理想因素和各级电容匹配等主要误差源,初步确定电路各级的性能参数;(3)高速增益自举低功耗跨导运算放大器(OTA)设计;(4)采用改进型栅压自举(Bootstrap)采样开关来提高采样保持电路的精度与线性;(5)在运算放大器中采用新型结构的偏置电路,提高了运放的稳定性。

论文的组织结构如下:

第二章首先介绍了模数转换器结构的发展,接着介绍了普遍采用的1.5位/级流水线模数转换器的结构和算法。最后一部分介绍了流水线模数转换器的电路实现方法,并且提出了每级流水线精度要求。

第三章中主要介绍了ADC各模块的技术背景和具体电路实现。

第四章中讨论了芯片最终实现时的一些全局考虑因素和版图的设计。

第五章研究了高速ADC的测试理论和方法,介绍了具体测试电路的设计。

第六章是总结和未来工作的展望。

第二章 系统结构设计

2.1 模数转换器的回顾

A/D 转换器的雏形最早是伴随着 PCM(pulse code modulation)技术在电话中的使用出现在上个世纪 30 年代的。然而,直到上个世纪 50 年代,随着数字计算机和各种航空器及导弹数据处理系统的出现, A/D 转换器才获得了进一步的发展。近 20 年,由于深亚微米集成技术的日趋成熟,促使 A/D 转换器发生了从分立实现到单片集成的革命。早期用分立元件实现的 A/D 转换器,不仅成本高、而且体积和功耗也大的惊人。单片集成 A/D 转换器的各方面性能都远远超过了它的前辈,随着数字技术的发展,模数转换器主要的应用领域不断拓宽,广泛应用于多媒体、通讯、自动化、仪器仪表等领域,同时模数转换器也有了长足的进步和发展。现在人们对转换器性能的要求越来越高,其技术难度越来越大,但是对模数转换技术的研究开发更加活跃,不断将产品向更高性能推进。新型的模数转换器正朝着结构不断简化、低功耗、高速、高分辨率的方向发展,同时还要考虑体积、便捷、多功能、与计算机及通信网络的兼容性。

2.2 高速模数转换器的介绍

在 A/D 转换器的发展过程中,出现了许多种体系结构。不同的结构侧重于不同的需求,有的侧重于高精度,有的侧重于高速度,有的侧重于低功耗,有的侧重于低硬件消耗。在当今各种 A/D 转换器中,按基本的转换原理划分,可分为奈奎斯特(Nyquist) A/D 转换器和过采样(Oversampling)A/D 转换器。

对于奈奎斯特 A/D 转换器,其主要特征是:每一个被采样的模拟信号都被转换为唯一与之相对应的数字信号,即采样速率和转换速率相同。而过采样型是一类通过提高过采样比(采样速率与转换速率的比值)来达到高动态范围的 A/D 转换器。在目前所有的 A/D 转换器中,过采样型是精度最高的,但由这类转换器从本质上是通过牺牲速度来换取高动态范围的,所以它的转换速率较低(一般小于 10MS/s),这种转换器广泛用于音频处理、图像处理等低速、高动态范围领域。目前,大多数的高速 A/D 转换器都属于 Nyquist 型,其中包括快闪型、两步快闪型、主从型、折叠插值型、积分型和流水线型等。

表 2.1 是简单概括和比较了上述各种模数转换器结构和性能特点,同时明显的体现了模数转换器在速度、精度、功耗这三个方面是重要的约束条件,他们之间并非相互独立,而是存在相互联系、相互制约的辩证关系。任何一个体系结构的模数转换器都无法使上述三个约束条件同时达到最优,而只能在它们之间折

中。

表2.1 各类模数转换器的结构特点

结构	速度	精度	功耗	典型应用
全并行 内插式	快 快	低 低	高 较高	通信、雷达、高速数据读取
两步式 折叠式 流水线	较快	中等	中等	数据通信、视频等
逐次比较型 算法型 积分型	中等	较高	较低	音频、自动控制、仪表等
过采样型	较慢	高	中	音频、通信、精密测试等

可见，在数据转换速率较高的场合(几十MHz以上)可以采用全并行，内插型，两步式，折叠式，流水线等模数转换器结构。结合高速高精度的设计要求，流水线式模数转换器在几个约束条件之间折中，而且功耗相对较低，因此也是本文要关注的重点。

2.2.1 全并行结构模数转换器

全并行结构的模数转换器最早出现于 1959 年，这种转换器的特点是结构十分简单，而且速度非常快，缺点是分辨率不高，一般在 10 比特以下。因此在目前的情况下，这种结构主要应用在高速、中等分辨率领域。

基本的全并行模数转换器通常是由 2^n-1 个并行比较器、参考电压和二进制译码电路组成的。基准间隔为 $V_{FS}/2^n$ （即LSB）。如图 2.1 所示。该电路采用并行比较方式，模拟输入信号送入每个比较器，并于电阻分压网络提供的参考电压分别进行比较，然后把比较结果输入优先编码的译码器进行编码，并最终输出N位二进制代码。这种结构的模数转换器实现一次变化只需要比较一次，所以其变换速度非常快，但是其缺点也是十分明显的，那就是需要的比较器的个数（ 2^n-1 ）将随着转换器的位数n的增加而指数增加。对于一个 10 比特全并行结构的模数转换器，需要 1023 个比较器，这将消耗相当可观的功耗，占有的芯片面积和输入电容也与分辨率成指数关系；其次，如此多的比较器都要靠一个采样/保持电路驱动，相当于采样/保持电路带了一个非常大的电容，这将使其建立时间显著增加，从而使A/D转换器的速度变慢；第三，每一个比较器的失调误差和电阻之间的匹配误差都将在A/D转换器中引入非线性误差，因此必须控制在 $1/2LSB$

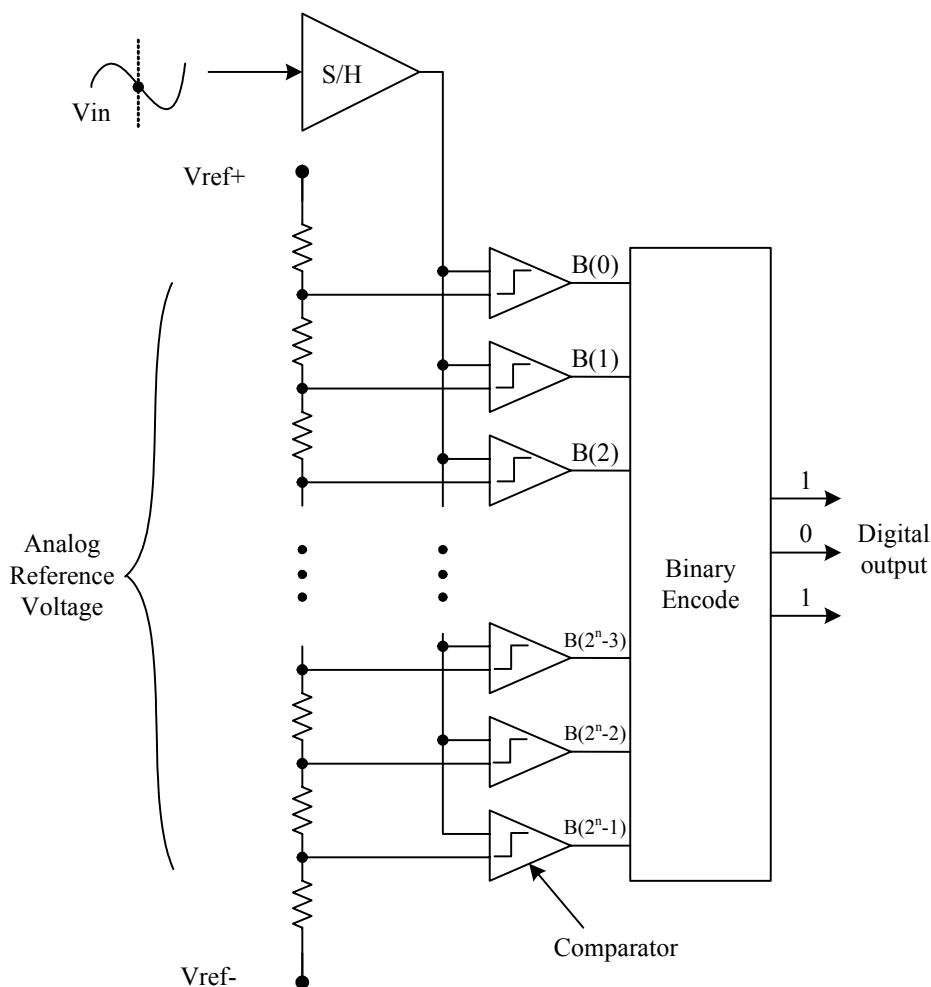


图 2.1 全并行 A/D 转换器

之内，对于一个 10 比特精度的 A/D 转换器来说，要将误差控制在范围内是相当困难的，因此，比较器的输入失调限制了全并行模数转换器所能达到的分辨率。为了提高它的分辨率，可以采取一些补偿措施，如采用自校零技术等。但是分辨率的提高是以速度的降低为代价的。所以，在 CMOS 工艺中，这种结构主要用来设计高速、中低分辨率的 ADC。

2.2.2 两步式模数转换器

为了提高分辨率，并能保持较高的转换速率，在全并行模数转换结构的基础上，两步式结构模数转换器被提出，它的体系结构如图 2.2 所示。这种 A/D 转换器由一个采样/保持放大器(SHA)、两级位数相同的全并行模数转换器（分别用于高位和低位量化）、一个 D/A 转换器和一个减法器构成。全并行结构只需一步就得到完整的一组数据，而它一共需要两步才能产生一组数据。

在第一步，采样/保持电路输入信号，在保持阶段，第一个模数转换器对信号进行量化，产生高位的数据（MSB），然后一个 D/A 转换器把这个数据变回到模拟

信号，并与输入的模拟信号相减。在第二步，减出的余量送入第二级模数转换器中量化，并产生低位的数据（LSB）。最终输出的数据由高位数据和低数据位组

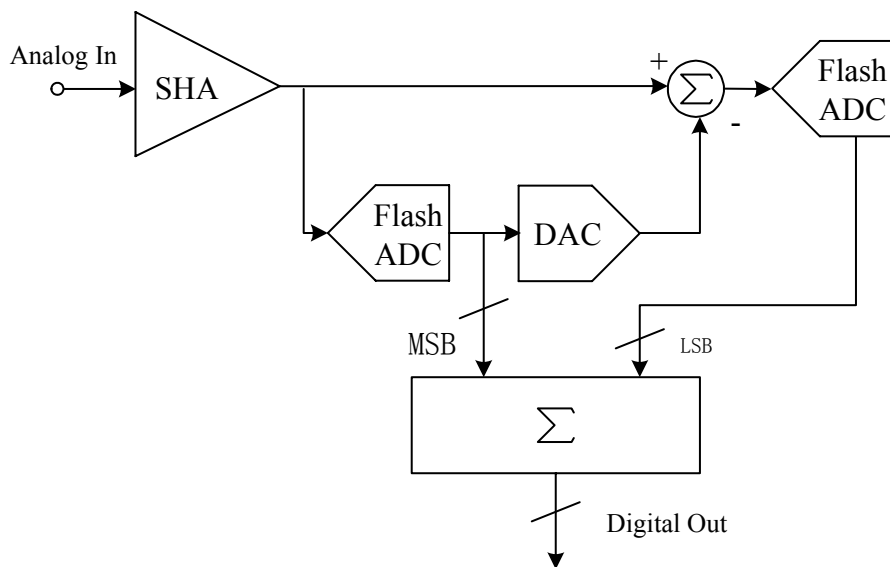


图 2.2 两步式 A/D 转换器

成。由于低位数据的产生要经过两次 A/D 变换，因此两步式结构的转换时间要比全并行的结构长一些，但仍然是非常快的。然而，由于两步快闪需要的比较器远远少于同样位数的全快闪结构，因此大大地节省了功耗和芯片面积（例如，同样是 10 位分辨率，全快闪需要 1023 个比较器，而两步快闪由于每一个的比较位数都是 5 位，所以仅需要 $31+31=62$ 个）。

两步式模数转换器的主要优点是减少了比较器的数目，因此它消耗的功耗、占有的芯片面积和输入电容都比全并行的模数转换器小。不过，由于两次子模数转换都需要在采样保持电路的保持周期进行，因此需要三个时钟周期完成一次转换，整体转换周期长，转换速率不高；信号在通信中没有增益，第二级比较器精度要求较高，不利于设计。两步快闪结构经常被用于 8 位以上分辨率的高速应用中。

为了改进两步式结构的不足，图 2.3 是一种改进的两步式结构，与图 2.2 的结构相比，它在余量输出和低位子模数转换器之间增加了一个采样/保持电路，并在高位的数据输出之后增加了一个延迟单元。两个采样/保持电路在同步时钟控制下工作。在第一个周期，输入采样/保持电路（SH1）对模拟输入信号采样，并把采样到的值保持到余量计算完成，完成高位数据的量化；在第二个周期，级间保持电路（SH2）保持余量值，同时低位 A/D 转换器对余量进行变换。

显然，由于增加了级间采样/保持电路，在低位 A/D 转换器进行转换的同时，输入采样电路可以进行下一次采样。这样，高位和低位快闪被级间采样/保持电路分成了两级，分别独立地进行高位和低位转换，因此使速度比改进前提高了近

一倍。由于对高位和低位的转换相差一个周期，为了保证数据同步，要在高位数据后加一个移位寄存器对其延迟。这样，在模拟输入信号和数字输出信号之间会

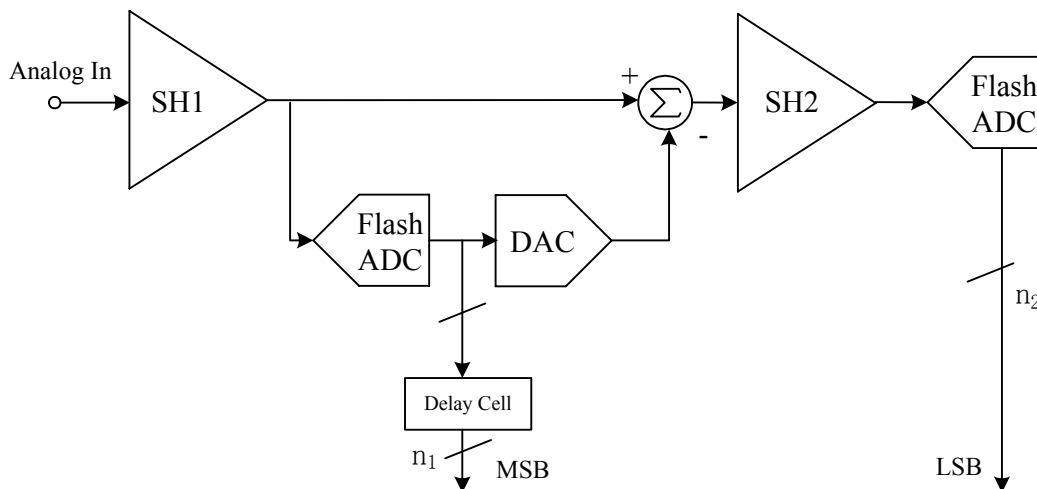


图 2.3 改进型两步式 A/D 转换器

有 2 个周期的延迟，这个延迟被称为转换器的“latency”。

上面的这种操作方式就是所谓的流水线操作方式，改进的两步式模数转换器的结构其实就是流水线模数转换器的雏形。它克服了两步快闪结构上的缺陷，充分地利用了硬件资源，使速度和精度达到了几乎完美的优化。

2.2.3 流水线模数转换器

1987 年，第一个单片集成的 CMOS 流水线 A/D 转换器被设计成功。此后的十几年，这种结构获得了不断的改进，成为高速、高精度 A/D 转换器的主流产品。

流水线型 ADC 主要是针对全并行 ADC 的上述缺点，在改进两步式模数转换器的基础上面，把模数变换分成了几个子变换部分来实现。如图 2.4 所示，流水线结构模式周期由 m 级流水线来构成，每一级都包含采样保持电路、低分辨率的子模数转换器、子数模转换器电路、余量和增益电路（最后一部分没有 DAC）。

电路工作时，前一级采样保持电路采集的样本信号一路送入与其配套的子模数转换器变为 k 位二进制数字信号，另一路送入减法器与相应 k 位的子数模转换电路的输出信号相减，其结果经过放大后送入下一级采样保持电路，接着实现与前一级相同的运算与变换过程。最后，由数字误差校正电路对每分子模数转换器输出的数字信号统一进行校正，并最终输出 n 位二进制代码信号。由于每级都有内部的采样保持电路，所以它们能同时进行数据的转换，这就保证了流水线模数转换器每个时钟周期产生一次转换输出。

从整个转换过程来看，流水线工作方式可以看作是串行的，但就每一步转换来看，是并行工作的。因而总的最大转换速率取决于单级电路的最大速度，而且，

总的转换速率与流水线结构的级数没有关系。

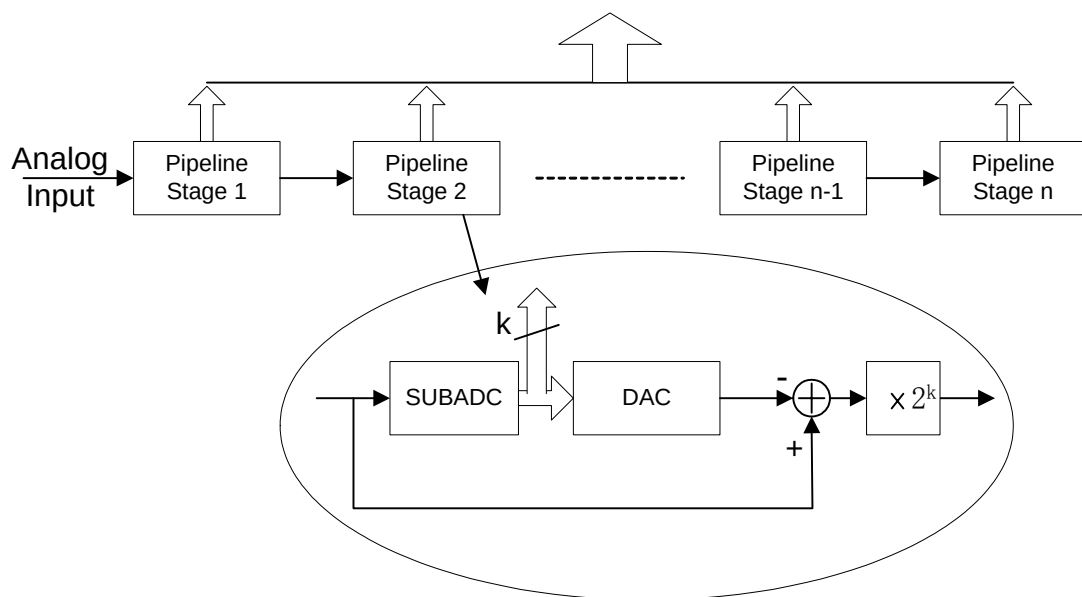


图 2.4 流水线结构模数转换器

总之，流水线模数转换器所完成的功能就是一个不断地求商取余数，并把余数放大相应的倍数，然后重复相同的操作，直到达到最终所需要的结果。

流水线结构的最大优势在于速度、精度、功耗等方面的很好的平衡，而且可以工作在更低的电压条件下。两步式转换器虽然达到了降低硬件消耗的目的，但它所需要的比较器数目仍然和转换器的分辨率成指数关系，而且在第二个模数转换器中需要高精度的比较器。与两步式主要的不同之处在于：（1）流水线结构每一级均有采样保持电路，所以各级可以同步处理，提高数据输出的效率，这也正是流水线的概念。（2）级间放大器的增益大于 1，后级的非线性效应会被前级的增益所衰减，降低后级电路的要求以进一步优化功耗和面积。（3）数字校正算法和冗余自校正的技术，可以把电路非理想因素对线性的影响减到最小，放宽对比较器失调的要求，可以采用动态比较器减小功耗。

基于以上的这些特点，流水线型模数转换在保持较高转换速率的同时，其电路规模和功耗与分辨率接近线性关系而不是随分辨率提高大幅指数增加。

2.3 流水线模数转换器的体系结构

流水线结构的基本思想就是把总体上要求的转换精度平均分配到每一级，每一级的转换结果合并在一起可以得到最终的转换结果。流水线结构的转换率几乎与级数无关。

每一级可以有不同的位数。最简单的是 1 位，每一级只要 1 个比较器，缺点是没有校准位；对于 7 位以上精度的转换器，必须要有校准功能。每一级的冗余放大器放大输入信号与 D/A 转换器的输出信号的差值电压是整个电路的主要瓶颈；

随着每一级位数的增加，放大器增益 G 要求增大，同时，带宽也将按同比例大幅减小。因此，如何确定流水线的每级转换位数是一个重要的问题，流水线结构的模数转换器每一级所完成的转换精度依赖于具体应用中所要求的转换速度和转换精度。因为它决定了为达到所要求的精度系统所需要的级数和级间增益倍数。这些又决定了系统如何在面积和转换速度间取舍。

研究单级分辨率与线性度的关系，可以得出结论：从线性度的角度出发，希望大的单级分辨率，但若A/D转换器采用了冗余位和数字校正，且级间增益至少为2，则其对线性度的作用不大。一般来说，一些低速高精度的模数转换器往往每级的转换精度较高，比如说每级4比特，而一些对速度要求较高的模数转换器

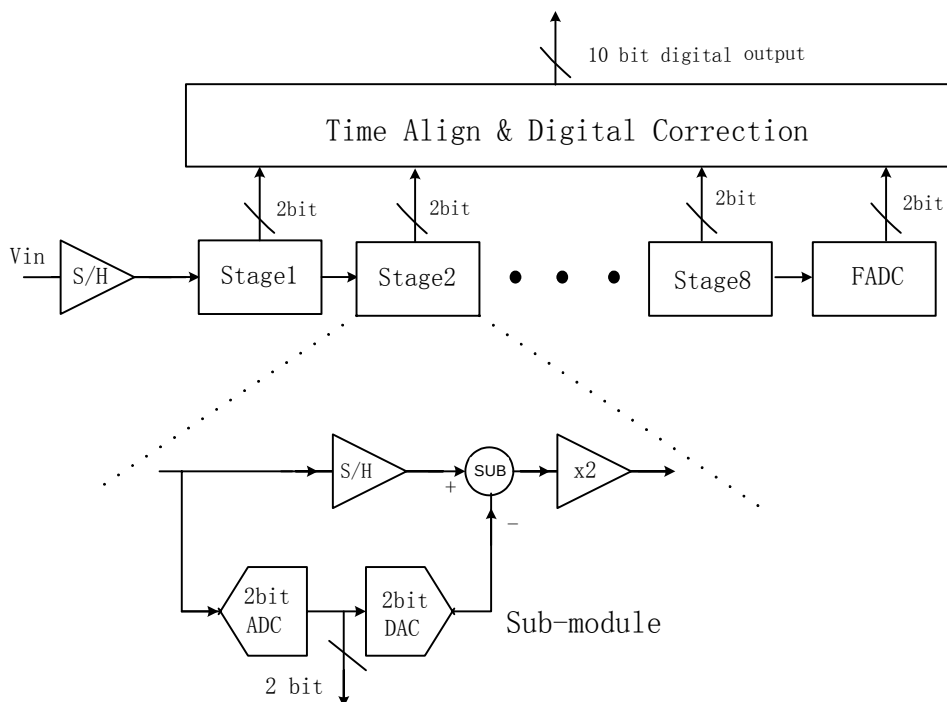


图2.5 每级1.5位的9级流水线结构模数转换器

往往每级的转换精度较低，最低的就是2比特。对于 N 位的转换精度，流水线每一级内部都需要一个放大倍数 2^k 的放大器来放大余数。这一放大器的带宽决定了整个模数转换器信号通道的带宽。由于运算放大器的增益带宽乘积在一定的功耗和一定的工艺下是基本恒定的，所以放大器的闭环放大倍数越低，放大器的带宽也就越大，整个模数转换器的能达到的速度也就越高。2比特/级的流水线结构非常简单，通道带宽最大，而且在设计过程中可以共用或者节省很多部件，因此一度获得广泛的应用。

从单级分辨率与速度、功耗的关系看，低采样率下，采用大的单级分辨率功耗较小，但存在与工艺相关的拐点频率，超过它之后，较小的单级分辨率功耗较小。在高频A/D转换器设计中，采用最小的单级分辨率能获得最大的转换率及最小的芯片功耗。

每级产生2位输出, 其中1位作为冗余校正位, 通常称之为每级1.5的流水线结构, 如图2.5所示。1.5比特/级的结构能够比较方便的校正电路中一些非理想因素造成的误差, 而且, 由于它对比较器失调不敏感, 使得电路可采用动态比较器来减小静态功耗。每级的子模数转换器只需要两个比较器, 每个比较器只需要两个比较电平, 并且在把数字电平转换成模拟量的过程中, 只需要两个参考电平。它极大的简化了MDAC电路的设计, 同时级间增益为2也使得采样保持放大器在给定功耗下可以获得最大的带宽。因此, 在目前的高速流水线模数转换器设计中, 每级1.5比特是常见的结构。

本篇论文中采用的9级1.5比特/级的10位流水线结构模数转换器。模拟输入在采样保持电路后由第一级内部的子模数转换器产生两位数字输出, 同时作为第二级余量增益电路 (MDAC) 的输入, 与保持的输入信号相减, 余量放大2倍。这之后每级均量化两位输出, 9级共产生18位的数字输出, 最后一级是标准的两位全并行结构, 无需校正。18位的数字输出经过延时对齐后由数字校正电路通过冗余信息消除比较器失调误差, 并产生最终的10位量化输出。

图2.6是流水线模数转换器工作的时序分配示意图。流水线结构采用两相非交叠时钟交替工作, 相邻两级电路分别处于采样和保持两个不同的阶段, 即奇数级电路进行采样的时候, 偶数级电路保持, 偶数级电路进行采样的时候, 奇数级电路对数据进行保持。

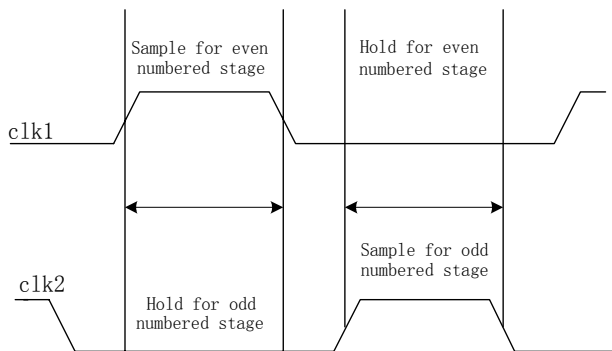


图2.6 流水线的时序分配图

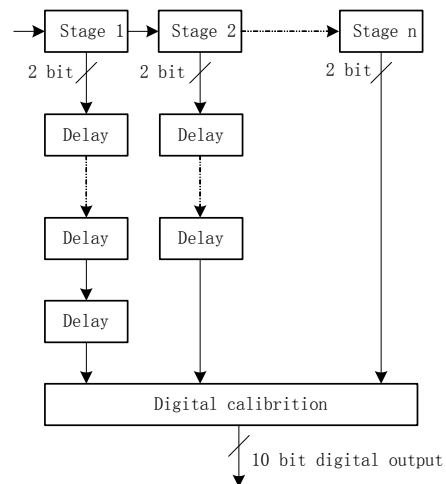


图2.7 各级量化输出的同步

图2.7是流水线模数转换器的同步方案, 由于采用两相时钟, 相邻两级相差半个时钟周期的延时, 所以相邻两级产生的数字信号需要用不同时钟沿进行锁存和对齐, 也就是说第一级的输出延时半个时钟周期以后与第二级输出对齐, 再将这对齐后的4位输出延时半个时钟周期与第三级的输出对齐, 这样经过四个时钟周期的延时后, 所有的18位数字输出可以对齐以进行数字校正。

2.4 每级 1.5 比特的流水线模数转换器算法

在流水线模数转换器的发展过程中，出现过许多的校正算法，其中最成功的算法是1992年由Stephen H. Lewis提出的数字校正算法。这种算法的最大优点是可以在很大程度上消除比较器的失调，而且很容易实现。因此，采用这种算法的模数转换器具有达到更高分辨率的潜力。下面就以每级1.5位的流水线结构来介绍这个算法。

每级1.5位算法的模数转换器中有两个比较器和两个判决电平，比较器的输出通过编码逻辑电路后，得到的模数转换器输出为00、01、10三个编码。流水线中前8级的转换曲线如图2.8所示，传输函数的关系如下：

$$V_o(n) = \begin{cases} 2V_i + V_{ref} & -V_{ref} \leq V_{in} < -\frac{1}{4}V_{ref} \Rightarrow d_1=01(\text{二进制}) \Leftrightarrow 0(\text{十进制}) \\ 2V_i & -\frac{1}{4}V_{ref} \leq V_{in} < +\frac{1}{4}V_{ref} \Rightarrow d_1=01(\text{二进制}) \Leftrightarrow 1(\text{十进制}) \\ 2V_i - V_{ref} & +\frac{1}{4}V_{ref} \leq V_{in} < V_{ref} \Rightarrow d_1=10(\text{二进制}) \Leftrightarrow 2(\text{十进制}) \end{cases}$$

从传输函数关系和转换曲线图可以看出，只需要两个判决电平 -0.5LSB 、 0.5LSB ，每一级的子模数转换器的转换范围都是 4LSB （ $-2\text{LSB} \sim 2\text{LSB}$ ）。只要任何一个判决电平的偏移距离不超过 $1/2\text{LSB}$ ，都能够保证最终得出的余量增益被限制在 $-2\text{LSB} \sim 2\text{LSB}$ 的范围以内，也就是没有超出下一级的转换范围，不会因为下一级过载而引入非线性误差。这就意味着，只要子模数转换器的非线性误差小于 $1/2\text{LSB}$ ，该非线性误差都可以被后续的数字校正电路修正。

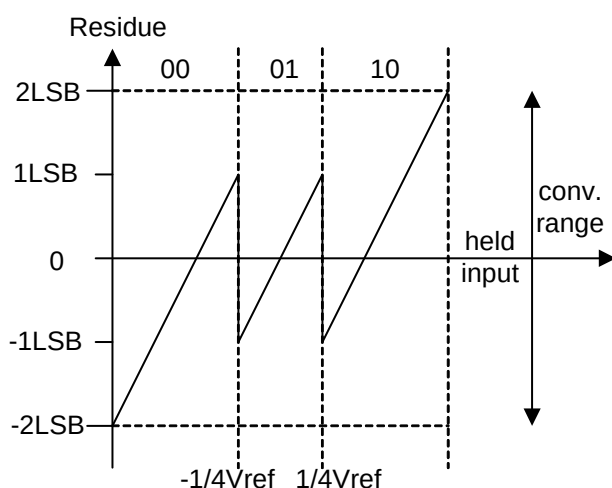


图2.8 1.5位/级的流水线转换曲线

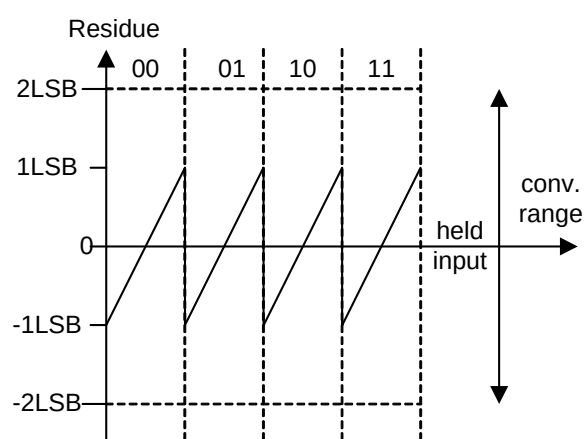


图2.9 2位/级的流水线转换曲线

最后一级不可以校正，所以需要有三个标准的转换电平，仅为一个电压比较型的2位ADC，转换曲线如图2.9所示，其量化输出函数如下：

$$\begin{aligned}
 \text{if } V_i > V_{ref} / 2 & \quad d = 3(11)_2 \\
 \text{if } 0 < V_i < V_{ref} / 2 & \quad d = 2(10)_2 \\
 \text{if } -V_{ref} / 2 < V_i < 0 & \quad d = 1(01)_2 \\
 \text{if } V_i < -V_{ref} / 2 & \quad d = 0(00)_2
 \end{aligned}$$

所谓数字校正电路就是根据流水线直接输出的数据位，纠正其中的子模数转换器引入的非线性误差，从而得到最终的无冗余的数据位。考察直接相联系的两级，分别称为当前级和下一级，假设下一级的两位数字信号已经被校正，校正后的数据位分别称为b0c和a0c，而当前级的未校正的两位数据位分别称为b1和a1，那么可以根据简单的逻辑关系得出当前级校正后的数据位b1c和a1c。实际上只要有b0c、b1、a1就可以决定出b1c和a1c。也就是说，知道当前级的输出数据和当前级的余数是大于零还是小于零，就可以唯一的确定出校正后的数据。比如说当前级输出00，余数小于零，则校正后的数据仍然为00，如果余数大于零，则校正后的数据为01。依此类推，可以得到完整的逻辑关系。

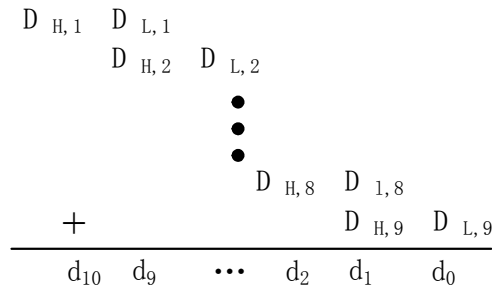


图2.10 数字校正算法

图2.10是数字误差校正算法的示意图，其中DH(n)、DL(n)分别表示第n级数据输出的高位和低位。如果整个模数转换器的量程为 $[-V_{ref}, V_{ref}]$ ，那么这种结构的最大优点在于它可以完全消除SUB-ADC中，比较器不大于 $V_{ref}/4$ 的失调误差。从图中可看出，这种算法的原理其实很简单，只需把每一级输出的量化值错位相加即可得到最终的量化值。

2.5 1.5 级流水线结构的实现

如图 2.5 所示的，采用 1.5 位/级结构的流水线模数转换器一共有 9 级，每一级由子模数转换器产生 2 位的输出，并从输入信号中减去，将得到的余量进行 2 倍放大。电路在每级之间都由开关电容采样电路作为级间缓冲，来保证流程的一致性。产生的 18 位数字结果通过数字校正电路得到最终的 10 比特输出。

每一级的结构框图如图 2.11 所示，由开关电容结构来实现流水线模数转换器。为了简化说明，选择了单端的结构来解释电路原理，实际的电路都是采用全差分的形式实现的。电路选择了开关电容的结构，整个模块在两相非交叠时钟的

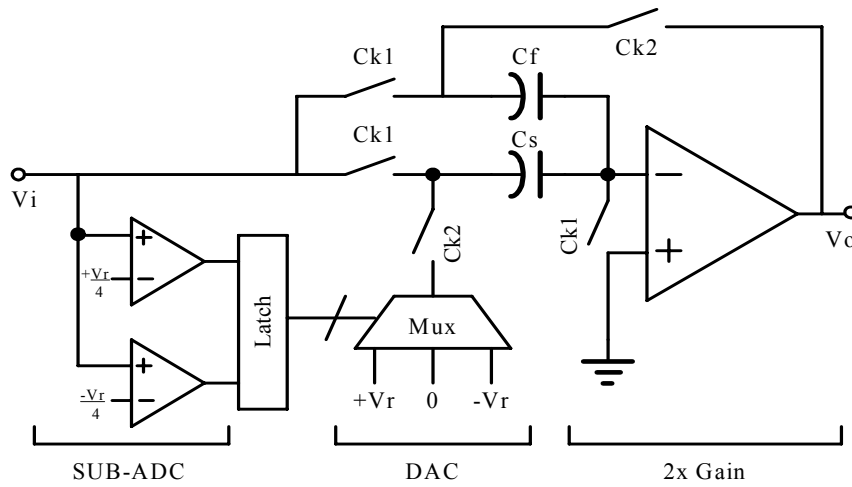


图 2.11 开关电容电路实现的每级流水线

控制下工作。在第一个时钟周期，输入信号被送入 SUB-ADC 中，输入信号的幅度从 $-V_{ref} \sim V_{ref}$ （差分输入）。与此同时，CK1 闭合，Cs 和 Cf 采样输入信号。在第一个时钟周期结束的时候，输入信号通过 Cs 和 Cf 被采样并且保持。在第二个时钟周期，CK1 断开，CK2 闭合，Cf 连接电路形成负反馈的模式，而此时 Cs 的底极板连接到 DAC 的输出端。这一结构在 Vo 端得到一级的余量。SUB-ADC 的输出同时决定了 DAC 的输出电压 Vdac。因此，得到输出端的关系式如下：

$$V_o = \begin{cases} (1 + \frac{C_s}{C_f})V_i - V_{ref} & V_{in} > -\frac{1}{4}V_{ref} \\ (1 + \frac{C_s}{C_f})V_i & -\frac{1}{4}V_{ref} \leq V_{in} < +\frac{1}{4}V_{ref} \\ (1 + \frac{C_s}{C_f})V_i + V_{ref} & V_{in} < -\frac{1}{4}V_{ref} \end{cases}$$

在 1.5 位/级的流水线结构中，两个电容的比值 C_s/C_f 决定了各级之间的增益，为了实现传输函数中的 2 倍增益，选择 $C_s=C_f$ 。

2.6 非理想因素及其影响

一般的，在开关电容流水线结构模数转换器中，误差主要来源于热噪声和下述因为工艺而使电路实现时候的非理想因素：比较器失调、采样开关时钟馈通和电荷注入效应、运放的有限开环增益和电容失配等。其中热噪声是一种随机误差，它构成模数转换器输出频谱中的噪声底部，其均方值与 KT/C 的平方根成正比。

流水线结构中，由于这些非理想因素的存在，使得每一级的输入输出特性都与理想的转移特性有所不同，并且不同的非理性因素对输入输出特性的影响也各不相同。

以 2-bit 的传输曲线为例，电路的正常输入范围为 $(-V_{ref}, V_{ref})$ ，由于实际电路中各种非理想因素的存在，图 2.12 种所示的输入输出转移特性与理想的有所不同。

具体的说，电容失配、运放有限开环增益等引起的级间增益的变化将改变线段 La、Lb、Lc 等的斜率；开关时钟馈通和电荷注入、运放输入失调将导致输入输出曲线在垂直方向上的整体移动；比较器失调将使阶跃点 A、B、C 等在水平方向上移动；最后，MDAC 的非线性使得各个阶跃点处的阶跃高度 Ta 、 Tb 、 Tc 等各不相同。对应于不同的电路结构，会有不同的非线性分析，这些将在具体的电路中进行分析。

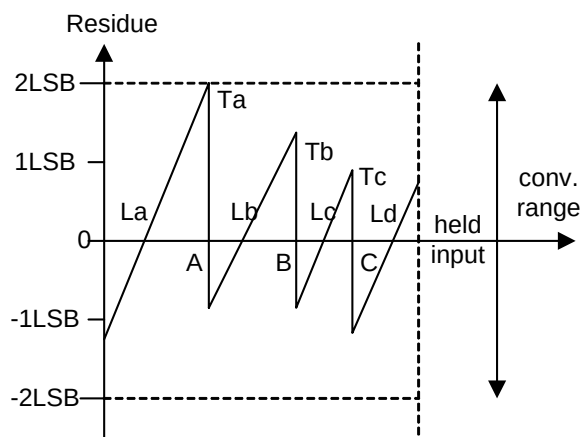


图 2.12 非理想因素影响下的输入输出转换曲线

除了上面提到的几种非理想因素外，电路中还存在一些非线性因素：级间放大器的非线性、与漏源掺杂有关的非线性结电容、电容容值电压系数等，他们会使图 2.12 中的直线段 La、Lb 和 Lc 成为曲线段，从而给模数转换器结果带来积分非线性误差，一般情况下，这些非线性因素对模数转换器的线性影响较小，可以不予考虑。

2.7 行为级系统仿真

随着工艺的不断革新以及芯片规模不断的扩大,芯片的复杂度也随之不断的增加,伴随而来的就是设计验证时间的成倍增加。目前,芯片从设计到投产的时间越拉越短,时间即是市场(Time to Market)的概念不断的得到发展,如何尽可能的避免设计的重复就显得十分的重要。传统的模拟电路设计都是从电路级的仿真开始,这样的设计方法只有在总体电路完成以后才能发现结构上的问题,此时如果再重新设计电路,重复的工作量是十分大的,而且往往会延误整个项目的进程。

流水线模数转换器作为一个数模混合系统,其中涉及到的模块相当多,如采样保持电路、MDAC电路,子模数转换电路、时钟对齐电路和数字校正电路等。行为级的系统仿真可以保证芯片在系统一级上面设计方案的正确性和可靠性,同时也可以系统在级对误差的基本传递关系做一个大致的预测。

类似于数字电路的设计流程,模拟电路的设计也可以采用自上而下的验证方式,在行为级系统、电路和版图这三个阶段分别验证,只有在每个节点满足设计要求以后才能进行下一步的设计,避免设计的重复,提高效率。

采用Matlab中的Simulink工具对于整个流水线模数转换器进行行为级的系统仿真。图2.13是行为级系统仿真的框图。

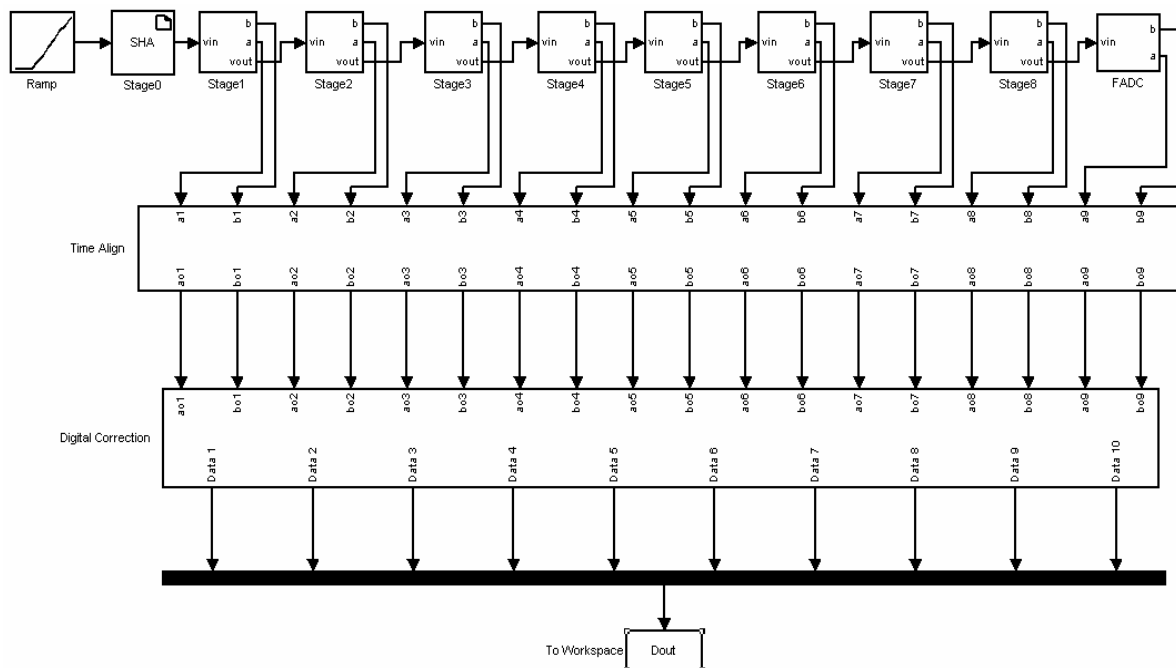


图2.13 转换器行为级结果框图

对于10比特的流水线模数转换器,共有9级,每一级产生两位输出,除最后一级外,前面8级的2位输出中均有1位的冗余信息用于数字校正,总共18位的数字输出经延时对齐与校正电路后得到最终的10位量化输出。在Matlab进行系统结

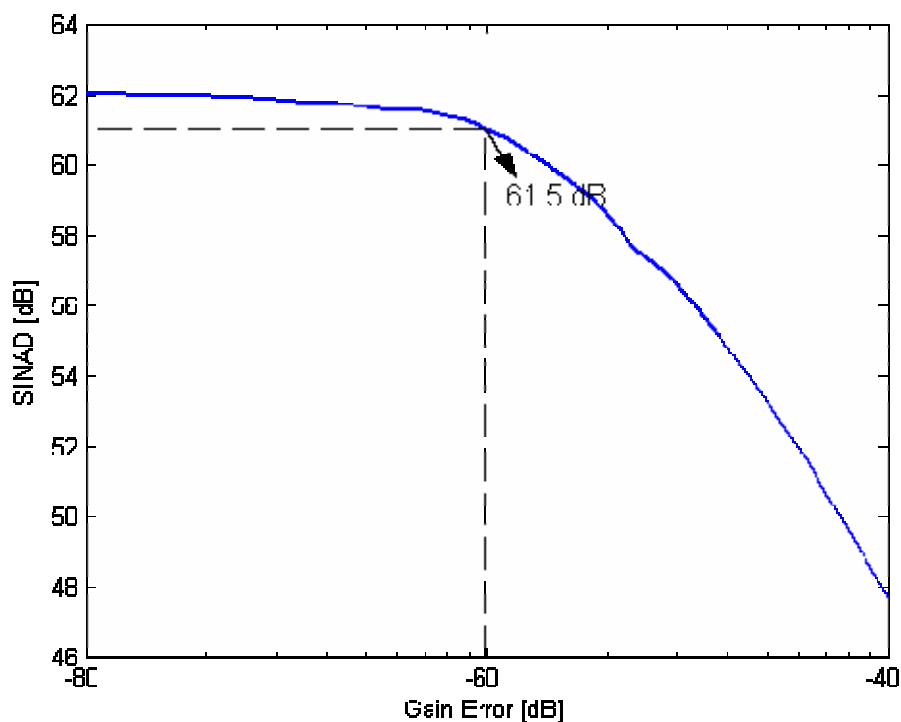


图2.14 输出信噪比与增益误差的关系

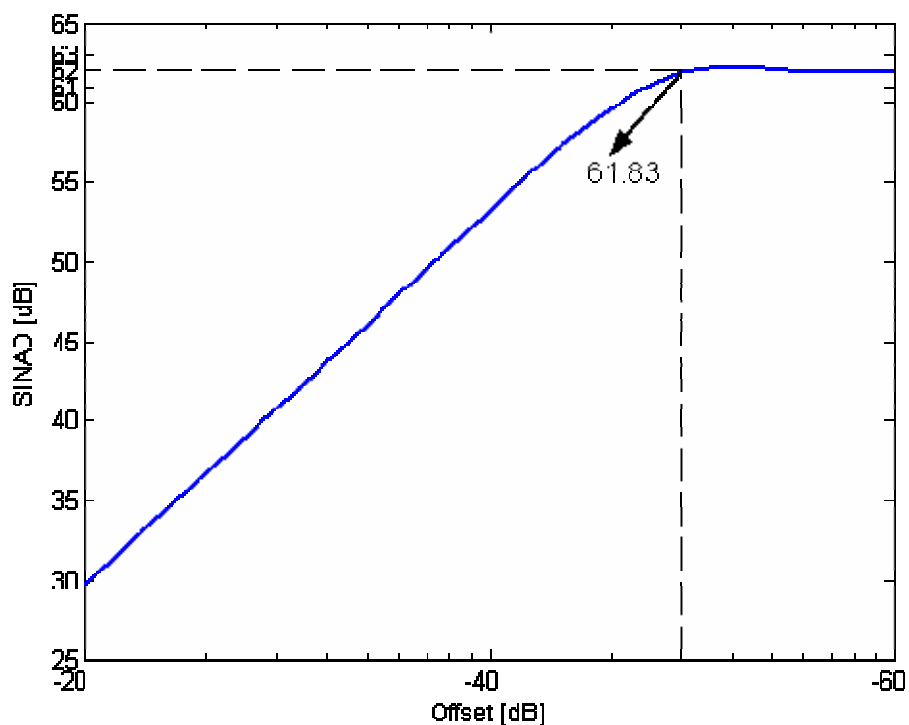


图2.15 输出信噪失真比与失调的关系

构验证的时候，省去了时序和偏置的信息，考虑到电路主要的非理想因素。其中MDAC模块的传输特性使用Matlab脚本来描述，该脚本模拟MDAC的理想传输曲线，并加入一定的增益误差（gainerr）、失调误差（dacoff）以及子模数转换区的非线性误差（表现为判决电平随机偏移）。

图2.14是随着增益误差由-40dB到-80dB范围内，输出信噪失真比的变化，当增益误差小于-60dB（0.1%）时，SINAD大于61.5dB，仅比理想值小0.4dB。增益误差包括源于比例电容的失配、运放有限增益和运放不完全建立的等效增益误差。这些都将在后面一章进行分析。

图2.15是输出信噪失真比与失调的关系，失调对SINAD的影响主要是因为失调减少了信号的输入范围，失调本身比较容易通过数字电路消除。由图上显示可得，当失调小于-50dB（0.3%）时，SINAD大于61.83dB，完全满足系统设计指标的要求。

第三章 电路设计

在前面两章中，简单介绍了流水线模数转换器的工作原理以及本文所设计的模数转换器的实现方案，并在Matlab中仿真了热噪声、增益误差与失调对整体性能的影响。整个流水线模数转换器的模块有采样保持电路、余量增益电路，时间对齐电路、数字校正电路、时钟产生电路等。采样保持电路的精度是限制转换器最关键的模块，在设计中采用栅压自举的采样开关提高线性度与输入带宽，精心设计了增益自举的Telescopic 运算放大器，采用电容翻转的结构提高速度，通过数字校正电路来消除比较器的失调等。本章将具体介绍各个模块的电路设计，着重介绍高线性开关与高速运算放大器的低功耗设计。

3.1 采样保持电路

3.1.1 概述

采样保持电路是模数转换器中采集模拟信号电压值的模块电路，因此它性能的优劣对整个模数转换器的精度影响很大。采样保持电路的作用是对模拟信号准确采样，并将采样的结果保持一定的时间以供后继电路进行量化处理以提高模数转换器对较高频率输入信号的能力。模数转换器的整体误差也主要由输入端的采样保持电路决定，所以它的精度和速度决定了整个模数转换器的最高精度和速度，是整个模数转换器设计的关键所在。

在MOS电路中，最简单的采样/保持电路只需要一个MOS开关和保持电容就可以实现，如图3.1所示。在时钟的采样周期，MOS开关处于导通状态， C_s 上的电压跟踪输入信号的电压值，而在下一个时钟相位，采样时钟电平变低使开关截止，此刻输入信号的电压值被采样并保持在电容 C_s 上，这就实现了基本的采样保持功能。

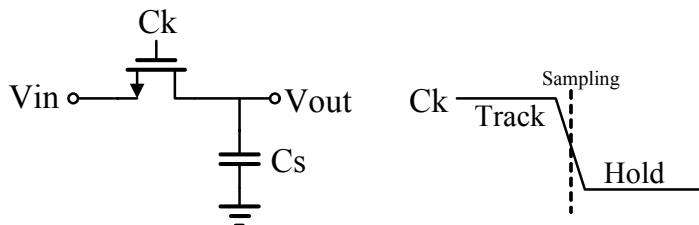


图3.1 简单的采样保持电路

但是由于MOS开关管固有的电荷注入效应和时钟馈通效应，使得这一简单的采样/保持电路很难满足实际应用的要求。

电荷注入效应机理如图3.2(a)所示。根据MOS器件的原理，当一个MOS管处于导通的时候， $\text{SiO}_2\text{-Si}$ 界面必然存在反型层，反型层中存在的总电荷为：

$$Q = WLC_{ox}(V_{ck} - V_{in} - V_{th})$$

其中，W和L分别表示MOS晶体管的宽和长， C_{ox} 为单位栅电容， V_{th} 是器件的阈值电压， V_{ck} 为采样时钟的高电平。当开关断开后，Q会通过源端和漏端流出，这种现象称为沟道电荷注入。

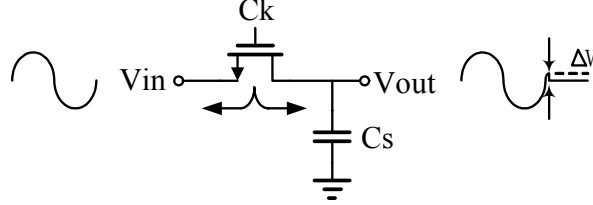


图3.2(a) 电荷注入效应

在图中，注入到左边的电荷被输入信号源吸收，不会产生误差。但是注入到右边的电荷会沉积在 C_s 上，这就给存储在采样电容上的电压值带来误差。设注入 C_s 的电荷占沟道总电荷百分比为k，由于沟道电荷的注入而产生电压变化 ΔV ，其变化值为：

$$\Delta V = kQ / C_s = kWLC_{ox}(V_{ck} - V_{in} - V_{th}) / C_s$$

系数k取决于源漏电压及其间的等效阻抗；参数k， V_{th} ， V_{ck} ， V_{in} 都依赖于输入电压，因此电荷注入而引起的误差将会随着信号输入幅度的变化而变化，这样就会造成采样保持电路的非线性误差。

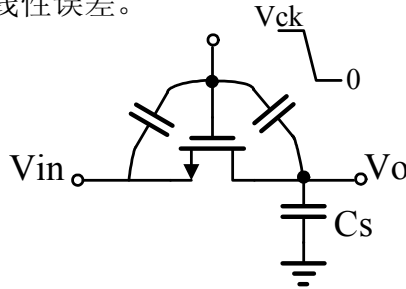


图3.2(b) 时钟馈通效应

除了沟道电荷注入，MOS开关还会通过栅源或栅漏交叠电容将时钟信号跳变耦合到采样电容上。这种效应给采样输出电压引入误差，其大小为：

$$\Delta V = -(V_{dd} - V_{ss})C_{para} / (C_{para} + C_s)$$

式中， C_{para} 表示寄生电容， V_{dd} 、 V_{ss} 表示时钟的高低电平。误差 ΔV 与输入电压无关，在输入/输出特性中表现为固定的失调。同电荷注入一样，时钟馈通效应也产生速度和精度之间的折中问题。

由于这两个主要误差源的存在，这个简单结构的采样保持电路是不适合高精度要求的应用的。

3.1.2 底极板采样技术

现在通常是以底极板采样技术来克服与输入信号相关的电荷注入。为了有效

的消除采样开关的电荷注入，利用电容的底极板采样，上极板保持电荷，并且在采样开关断开前，先隔断保持电荷与上极板的电荷通路，这种消除电荷注入与时钟馈通的方法称为底极板采样。

图3.3表示的是电容底极板采样的原理图，控制采样开关M1的时钟ck相对于ck'有一定的延时。Vi是输入的采样信号，当时钟ck为高时，信号电压通过开关管M1传到采样电容Cs上，此时M2的控制时钟ck'为高，电容的上极板接地电位。因此，电容Cs的底极板电压随着信号电压作相应的变化，接着时钟ck'跳变为低电平，此时开关管M2截止，因此电容上极板和地之间的通路被截断，极板上的电荷也因此失去泄放回路，此时极板上保存的电荷量为 $Q=C \cdot V_i$ 。此后，不管电容的左极板加多大的电压，电容两端的电压差值 $\Delta V=Q/C=-V_i$ 始终保持不变，实质上已经完成了电压保持的功能。随着ck变为低电平，开关管M1关断，信号此时的输入电压值Vi' 会在电容的右极板上以 $V_o=V_i' + \Delta V$ 的形式体现，其中Vi' 为M1关断瞬间输入信号的电压值。可以发现，在这个采样保持电路中，当M1关断后，不管其沟道内有多少电荷注入到电容上，在输出X 端的电压 $V_o=V_i' + \Delta V$ 始终保持不变。要说明的是，M2的断开会对Cs产生电荷注入和时钟馈通的影响，但M2的源漏接的是固定电压，关断所造成的误差都和信号无关，仅仅会造成一个直流偏移，可以通过全差分结构加以消除。

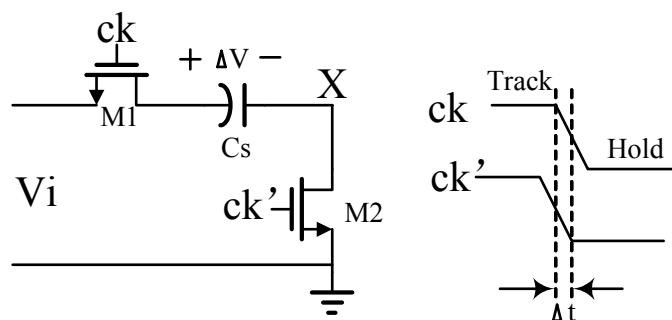


图3.3 底极板采样

在实际电路中X 点通常会连接运放的输入端，X点的寄生电容就会影响采样保持的精度和速度，所以希望X点寄生电容尽可能减小。而在MOS工艺中，MOS管的上极板的寄生电容比底极板要小得多，因此选用电容的底极板作为采样极板，上极板作为电荷储存极板。另外底极板采样还可以减小衬底噪声对X点的影响。

3.1.3 采样保持电路结构

对于底极板采样的技术，基本的电路结构可以分成两类：电容翻转结构和电荷再分布结构。

图3.4 就是电容翻转结构的单位增益采样器。采样阶段的电容在保持阶段翻转，连接到输出端从而实现保持的功能。翻转式采样保持电路可以消除运放输入的失调电压。在采样周期，运放接成跟随器的形式，电容Cs连接输入信号和运放

输入负端X点。这样 C_s 极板上的电压差为 $V_{in}-V_{os}$ ，其中 V_{os} 是运放输入端的失调电压。在随后的保持周期中， C_s 接成运放负反馈的形式，X点是虚地，所以输出电压等于 V_{in} ，消除了运放失调电压。这种结构反馈因子大，可以获得更快的建立速度，而且没有电容匹配的问题，但是这种结构需要运放输入共模电压和输出共模电压相等，不能很好的抑制信号共模电压的漂移。

采用适当的时序，图3.4(a)的电路可以极大的减轻沟道电荷注入的问题。从采样模式转换到放大模式，开关 S_2 比 S_1 稍微早断开一会，这样 S_2 的沟道电荷仅仅在输入/输出特性中引入了失调，并可以通过差动工作很容易的消除。

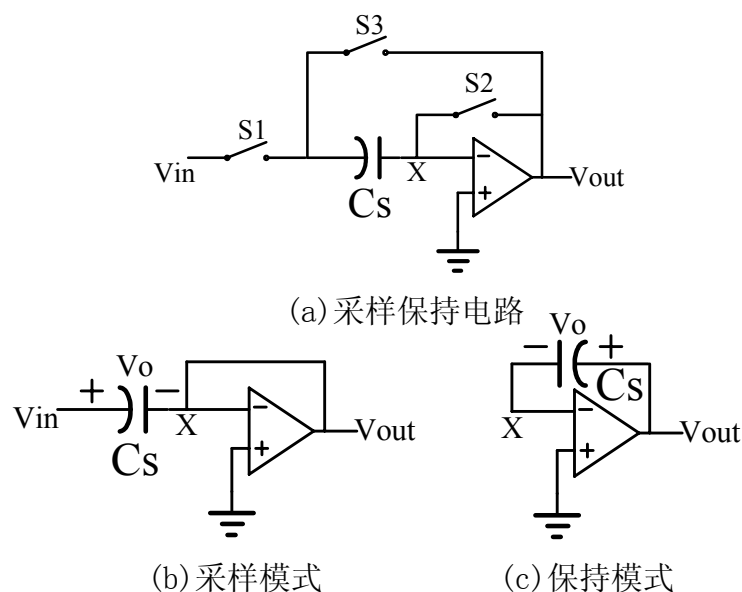
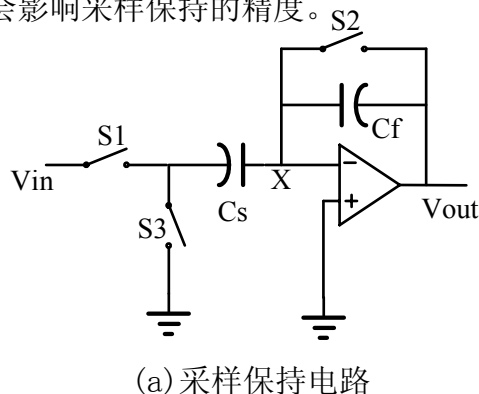
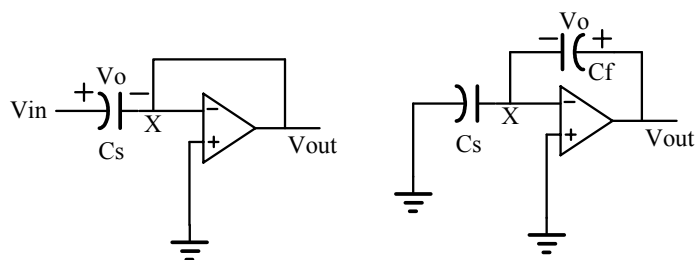


图3.4 电容翻转式采样保持电路

电荷再分布的结构是基于电荷转移的双电容结构，如图3.5所示。该结构可以很好的抑制信号共模漂移，输入信号的共模电压的变化几乎对电路的性能不产生影响。这是因为电路中的电容 C_f 隔离了输入输出的共模电压，其输出端的共模电压值就可以通过设置电压来调节。不过由于输出端电压和两个电容比值相关，所以电容的匹配也会影响采样保持的精度。



电路所有的开关顺序和电容翻转结构相同，采样时候，开关 S_1 和 S_2 闭合，电路先将电荷保持在采样电容 C_s 上面，然后在保持阶段开关 S_3 闭合， C_s 的底极板接



(b) 采样模式

(c) 电路跳边到放大的模式

图3.5 电荷再分布结构的采样保持电路

地, 其上的电荷转移到运放的反馈电容 C_f 上面。输出结果 $V_{out} = V_{in}C_s/C_f$ 。如果 $C_s = C_f$, 那么 V_{out} 就等于 V_{in} , 电路即为单位增益的采样保持电路。同样, 为了减小电荷注入效应的影响, 从采样模式转换到放大模式的时候, 开关 S_2 比 S_1 稍微早断开一会。这样注入到开关的电荷和输入没有关系, 可以采用差分的结构来给予消除。

3.1.4 实际电路结构

全差分的结构可以很好的消除直流偏移和偶次谐波失真, 抑制衬底噪声等优点, 所以高精度的模拟电路设计通常以全差分的结构实现。图3.6就是设计中采用的全差分电荷再分布结构的采样保持电路。

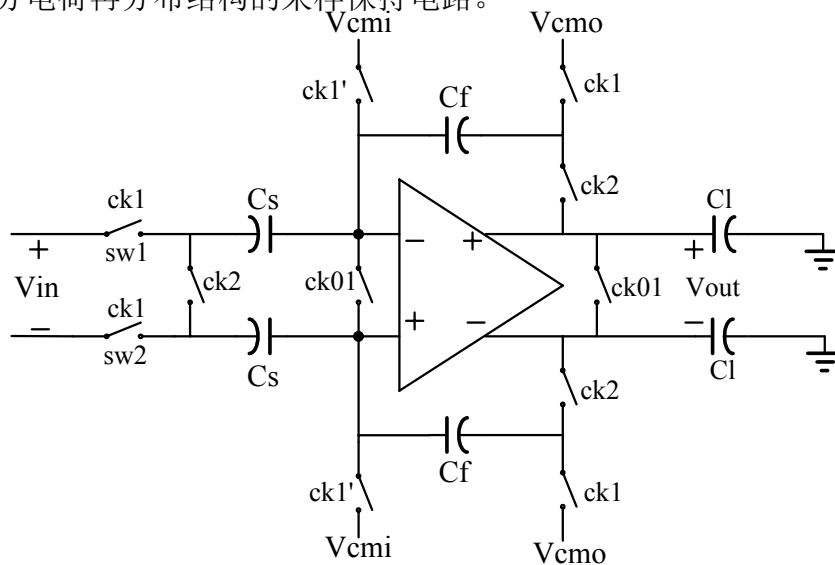


图3.6 全差分电荷再分布结构的采样保持电路

根据时钟可以将该电路工作分为采样和保持两个阶段。使用了两相非交叠及其延时时钟, 分别实现采样和保持的功能。

除了时钟 Ck_1 , 还设有时钟 Ck_1' 和 Ck_{01} 。按照顺序 Ck_1' 、 Ck_{01} 和 Ck_1 依次闭合然后再相继断开。图3.7是双相不交叠时钟的工作时序图。

采样阶段, 时钟 Ck_1 有效, 运放的两个输入端被短路, 采样得到的电压以电荷的形式存储在采样电容 C_s 上面。输入采样开关 SW_1 、 SW_2 的非线性导通电阻引入的非线性误差、相移误差制约着采样保持电路的带宽与性噪比的提高, 也限制了

信号的输入范围,所以采样栅压自举电压控制的NMOS采样开关用以减小非线性误差,提高信号的输入范围。同时开关SW1、SW2在采样时钟C1k1'、C1k01和C1k1控制的开关中,是最后闭合的一组,对采样得到的电压不会造成电荷注入的误差。

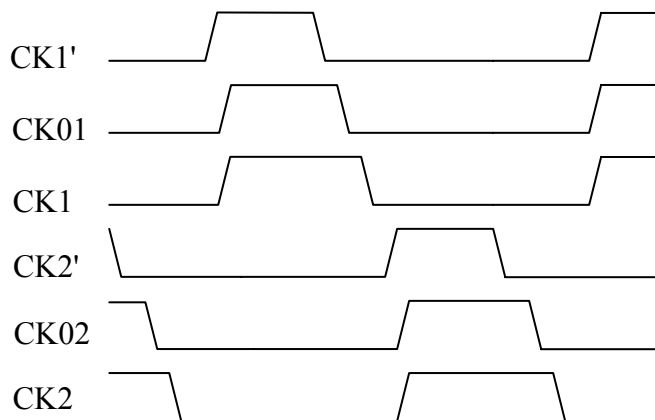


图 3.7 双相不交叠时钟及其延时时钟

由于运放在采样的时候处于开环状态,所以运放的两个输出端也被直接短路,并且被同时接到 V_{cmo} 共模输出电压。否则的话,在采样过程中,运放的两个输入端虽然被短路到共模输入电平,但是由于开关具有一定的电阻,所以正负输入端会具有一定的电压差,在运放开环的情况下,该电压差被放大,会使得运放的差分输出电压很大,以至于运放进入线性区(Triode Region)。在运放开始保持阶段的时候,如果必须先从线性区出来的话,就会使得总的收敛时间大大加长。

在采样阶段即将结束的时候,时钟C1k1', C1k01 和C1k1 控制的开关依次断开,在C1k01 控制的开关断开以后,运放的正负两个输入端的结点完全处于开路的状态,所以这两个结点上存储的电荷差值就不会再改变了。但是开关断开时仍会对正负端同时造成电荷注入的误差。从理论上讲,只要运放的正负两端完全对称,对两端的电荷注入误差也会相等。但在实际上由于运放输入端 V_{in+} 和 V_{in-} 的并不完全相等,在瞬态过程中运放的正负端仍然会存在着电压差,但是随着保持过程的到来,电压差就从采样电容 C_s 上转移到保持电容 C_f 上,也即转移到 V_{out} 的差值上。时钟C1k01 控制的NMOS管是造成电荷注入误差的主要元件,所以宽长比取得比较小。

保持阶段,ck1、ck1'和ck01 为低电平,ck2 为高电平,通过电荷的重新分配,将输入的信号通过保持电容 C_f 转移到输出端,在差分电压输出达到稳定值以后,保持过程结束。选择 $C_s=C_f$,采样保持电路的增益为 1。

在 3.1.3 节中,曾经介绍过单端电荷再分布采样保持电路,这里具体实现的全差分结构,所以对功能的正确性进行以下论证。

图 3.8 是全差分采样保持电路的等效电路,分别对应采样和保持的阶段。在

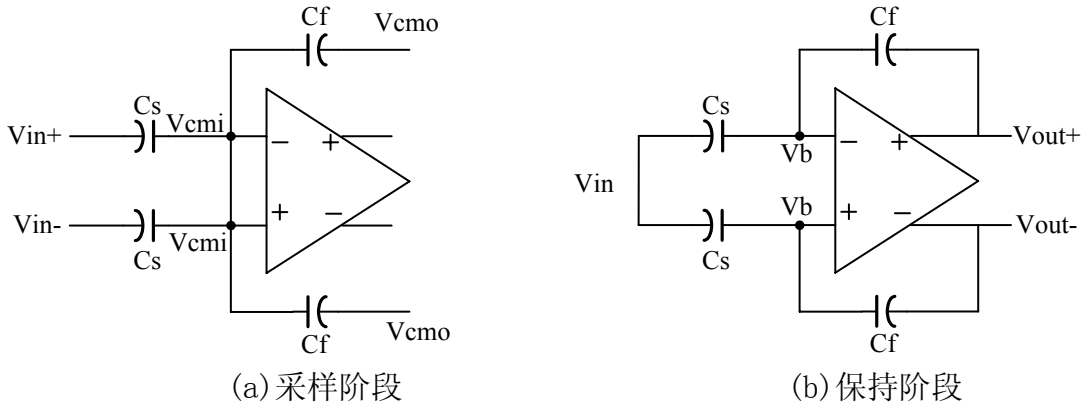


图 3.8 采样保持电路电荷传递关系图

采样阶段，运放的输入端和共模输入电压（ V_{cmi} ）直接连接，运放不工作，由采样电容 C_s 上面的电压差跟踪输入 V_{in} 。在保持阶段，运放处于负反馈的工作状态，假设运放为理想运放，那么其输入端分别为“虚短”的状态。设定运放稳定以后的输入端电压为 V_b ，由于进入保持状态以后， C_s 的上极板和底极板都没有直流通路，所以根据电荷守恒的原理可以得到下面的等式关系：

$$\begin{cases} (V_{in+} - V_{cmi}) + (V_{cmo} - V_{cmi}) = (V_{in} - V_b) + (V_{out+} - V_b) \\ (V_{in-} - V_{cmi}) + (V_{cmo} - V_{cmi}) = (V_{in} - V_b) + (V_{out-} - V_b) \\ 2(V_{in} - V_b) = (V_{in+} - V_{cmi}) + (V_{in-} - V_{cmi}) \end{cases}$$

式中 V_{in} 是保持阶段 C_s 底极板的电压。

而且，由于全差分运放的输出共模反馈的存在，可以保证电路保持时的输出共模电压为 V_{cm} ，即 $V_{out+} + V_{out-} = 2V_{cm}$ ，假设 $V_{cmo} = V_{cm}$ ，那么可以得到如下的结论：

$$\begin{cases} V_{in} = (V_{in+} + V_{in-}) / 2 \\ V_{cmi} = V_b \\ V_{out-} - V_{out+} = V_{in+} - V_{in-} \end{cases}$$

根据以上等式，可以得到两个重要的结论：（1）通过设置 V_{cmo} 和 V_{cmi} 的值，可以调整运放输入端的稳定工作电压。（2）信号的输入共模电压不影响运放的工作状态。

其实，第2点也说明了这种采样保持电路的最大优点——可以抑制输入信号的共模漂移。这样，输入信号的共模电压的变化就对电路基本不产生影响，所以可靠性较强，在工业产品中得到广泛的应用。

电路在运放的输入端使用了补偿开关，因为在运放输入两端的开关不可避免的存在电阻差值，注入的电荷也有不同，补偿管的作用是尽可能的减少因为不匹配而造成的两端的电荷注入误差。同样，为了改善采样保持电路的高频特性，在输出端也加上了短路开关，每次采样周期时这个开关将输出复位至共模输出电压，可以缩短高频信号下的运放建立时间。

3.1.5 噪声和误差分析

在流水线模数转换器中，几乎所有的误差都来自于采样保持和余量增益电路。因此在设计具体的电路之前，有必要对他们可能产生的一些误差进行分析。

采样保持电路的误差主要来自两类非理想因素：确定性因素和随机因素。确定性因素主要指那些可以预见的误差来源，如开关的导通电阻、运放的有限增益和有限建立时间等。不确定因素主要指在每个采样周期不可预见的误差来源，主要是开关的热噪声和运放MOS管的热噪声。

为了方便说明，这里按照误差源进行分类。

3.1.5.1 采样电容的分析和优化

根据前面的说明，对于电荷再分布的采样保持电路，两个电容的比值 C_s/C_f 决定了流水线各级的级间增益，为了实现1.5位/级的流水线传输函数中的2倍增益，取 $C_s=C_f$ 。

不过在实际中，电容 C_s 和 C_f 不可能完全相等，工艺造成的电容不匹配将会影响整个流水线的传输曲线，最终影响整个ADC的线性度。假设失配电容反应在 C_s 上，容量为 C_s 的电容的匹配精度为 ΔC ，那么采样电容和保持电容的比值为：

$$\frac{C_s}{C_f} \approx 1 + \Delta C$$

整个流水线的传输函数就会有相应的改变，从而得到电容不匹配造成的余量误差为：

$$V_e = \begin{cases} (\Delta C)V_i + (\Delta C)V_r & V_i < -\frac{1}{4}V_r \\ (\Delta C)V_i & -\frac{1}{4}V_r \leq V_i \leq +\frac{1}{4}V_r \\ (\Delta C)V_i - (\Delta C)V_r & +\frac{1}{4}V_r \leq V_i \end{cases}$$

可见，当 $V_i \rightarrow \left(-\frac{V_r}{4}\right)^-$ 或 $V_i \rightarrow \left(\frac{V_r}{4}\right)^+$ 时，最大的余量误差为 $\pm \frac{3}{4} \Delta C \cdot V_r$

在1.5位/级的流水线模数转换器机构中，由于级间2倍增益的存在，各级的误差对整个ADC的影响也逐级下降1/2。对于一个N位的1.5位/级ADC，如果其满量程为 $[-V_r, +V_r]$ ，要保证其最差情况下的差分非线性（DNL）不大于0.5LSB，那么它的每级的误差 V_e 必须满足如下条件：

$$|V_e| < \frac{V_r}{2^{N-i}} \quad (i = 0, 1, \dots, N-2)$$

其中， i 表示第 i 级流水线模块，当 $i=0$ 时是指采样保持电路。

仅考虑电容匹配带来的误差时，各级流水线精度必须满足如下关系：

$$\frac{3}{4}|\Delta C|_i \cdot V_r < \frac{V_r}{2^{N-i}} \Rightarrow \frac{3}{4}|\Delta C|_i < \frac{1}{2^{N-i}} \quad (i = 0, 1, \dots, N-2)$$

在 A/D 转换器中, 信噪比是衡量动态特性的一个重要指标, 它由最大输入信号的均方值除以等效输入噪声的均方值得到, 它的对数表示式为:

$$SNR = 10 \log \left(\frac{V_{FS}^2 / 2}{\frac{\Delta^2}{12} + \sigma_T^2} \right) = 10 \log \left(\frac{V_{FS}^2 / 2}{\frac{(2V_{FS} / 2^N)^2}{12} + \sigma_T^2} \right)$$

其中分母中的第一项代表量化噪声, 第二项代表热噪声, V_{FS} 表示最大正弦输入信号的振幅, Δ 表示 1LSB 的幅度。而热噪声主要包括采样/保持的热噪声和运算放大器的热噪声 (即余量增益电路的开关导通电阻产生), 其方差是开关电容值的函数 ($\sigma_{thermal}^2 \propto KT/C$)。显然, 开关电容的取值对信噪比有直接的影响。对于较小的采样电容, 热噪声限制了 SNR, 而对较大的采样电容, SNR 主要受量化噪声限制并且区域平坦。开关电容越大, 热噪声越小, SNR 越大。但当开关电容大到一定程度, 对信噪比的改善将十分有限, 另一方面却会使功耗增大, 速度变慢。因此, 对电容值的选取应该在速度、SNR 和功耗三方面折衷考虑。为了权衡信噪比和电容大小的关系, 设计要求, 当热噪声为量化噪声的 1/3 时, 即:

$$\sigma_T^2 = \frac{1}{3} \cdot \frac{\Delta^2}{12} \Rightarrow \sigma_T = \frac{\Delta}{6}$$

这将使信噪比恶化 1.25dB。对于本文设计的 10 位模数转换器, 量程是 2V, 那么 1LSB=2mV, 当等效的输入噪声为 0.33mV 时, 信噪比最大值为 60.74dB, 而理想的 10 位模数转换器的信噪比为 61.96dB。

热噪声 σ_T 包括开关和运放的热噪声之和, 可以采用参数 λ 来等效, 即 $\sigma_T = \lambda \frac{kT}{C}$ 参数 λ 的值根据所选择的电路进行噪声分析得到。对于 SNR 的值, 当参数 $\lambda = 10$, 量化范围 $V_{FS} = 2V$ 时, 对于 10 比特的模数转换器可得到的最大性噪比 SNR, 使用 Matlab 程序进行分析, 当电容大于 0.5pF 时, SNR 超过 61.95dB, 比理想的值小 0.1dB, 满足设计的需要。所以在选择电容取值时, 最主要关心的不是热噪声的限制而是电容匹配性的要求。

3.1.5.2 采样开关

在实际的电路中, 无论是什么结构的采样开关, 因为 MOS 管的工作特性, 所有的 MOS 开关都会存在着导通电阻 R_{on} , 开关电容中 MOS 开关的非线性导通电阻不但会产生热噪声, 而且引入的非线性误差、相移误差制约着采样保持电路的带宽和性噪比的提高, 也限制了信号的输入范围, 尤其是采样开关, 对整体电路的性能有着重要的影响。

一个简单的 NMOS 开关, 当开关导通, 且工作在线性区时, 可以将 MOS 管视

作一个阻值为 R_{on} 的电阻，其大小为

$$R_{on} = \frac{1}{u_n C_{ox} \frac{W}{L} [V_g - V_{in} - V_{th} - r_n (\sqrt{2\Phi_f + V_{in}} - \sqrt{2\Phi_f})]}$$

若忽略体衬偏效应的影响，则有

$$R_{on} = \frac{1}{u_n C_{ox} \frac{W}{L} (V_g - V_{in} - V_{th})}$$

MOS开关的导通电阻对采样保持电路会引入三个方面的误差源。第一个误差源是由于输入开关的导通电阻和采样电容组成的RC网络的有限带宽引入的。当MOS开关导通的时候，导通电阻和开关的尺寸以及栅源电压有关，在采样时，开关的导通电阻和采样电容就构成了一个RC网络，限制了带宽。一般情况下，MOS开关管的 V_{ds} 很小，所以采样RC网络的-3dB频率是：

$$f_{-3dB} = \frac{1}{2\pi} \frac{1}{R_{on} C_s} = \frac{1}{2\pi} \times \frac{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})}{C_s}$$

由此可见，对于固定尺寸的采样电容，输入带宽的增大可以用三种途径：1，使用先进的工艺，提高 C_{ox} 的参数值；2，随着工艺的进步，使得最小沟道长度 L 减小，虽然提高 W 的值也可以减小开关导通电阻，但是随着 W 增加而产生的寄生电容会影响最终的结果；3，设法增大控制开关的脉冲电压值，这可以通过栅电压自举或是电荷泵的方法来实现。

第二个误差源是由于采样开关的非线性导通电阻所引入的。采样开关导通电阻的非线性会导致采样保持电路的非线性失真，这个在前面已经简单介绍过了。在图3.6中，开关SW1和SW2的输入随信号不断变化，因此它的导通电阻是一个与信号相关的量，根据电压分配关系， C_s 上保持的电压也会有非线性的失真。通常可以采用栅压自举的方法，将MOS开关SW1和SW2的栅源电压基本保持恒定，从而使导通电阻近似恒定。

第三个是开关导通电阻产生的热噪声。热噪声从频谱上来说，基本上类似于理想的白噪声。载流子的无规则运动叠加在有规则运动上，就产生了偏离宏观平均值的无规则变化的电流，这个就是热噪声。MOS开关的导通电阻产生的热噪声通过电容耦合到电路的输入端成为等效噪声的主要部分。对于处于线性区的MOS管而言，其热噪声主要来源于沟道电阻。热噪声功率谱密度为： $\sigma_r^2(f) = 4KT R_{ds}$ 其中 R_{ds} 是沟道的线性电阻，其噪声电压可以等效为和电阻串联的一个电压源。

采样开关引入噪声的方差与采样电容 C_s 成反比，即 $K_B T / C_s$ (K_B 是Blotzman常数， T 是热力学温度， C_s 是采样电容)成正比，所以通常把这个噪声叫做 KT/C 噪声。在全差分结构中，热噪声的功率为 $2KT/C_s$ ，它的等效噪声电压误差为 $\sigma_{KT/C} = \sqrt{2KT/C_s}$ 从而可以看出，所累积的热噪声的功率只与电容大小有关，

而与电阻的大小无关,因此要减小开关的 KT/C 噪声,就必须增加采样电容的大小。

3.1.5.3 运算放大器

运算放大器的确定性噪声主要就是运算放大器中MOS管导通时的沟道热噪声。确定性非理性特性主要包括有限的增益、带宽、压摆率以及输出摆幅,这些限制因素会影响采样保持和余量增益电路的增益误差,不完全建立误差,谐波失真等。对于1.5位/级的流水线模数转换器,误差主要由第一级采样保持电路决定,所以下面主要分析第一级采样保持电路中的运放特性。

运放的热噪声和MOS开关的热噪声一样,也与某个电容成反比,对于单级运放,与负载电容成反比,对于密勒补偿的两极运放则与补偿电容成反比。

增益误差是由电容的匹配误差和放大器的有限增益造成的。图3.9 是采样保持电路在保持阶段的等效电路,设运算放大器的开环增益是 A , C_{in} 是保持阶段运放输入端的等效电容值,单电容采样结构中, C_{in} 是X点的寄生电容,采样电容是 C_s 。

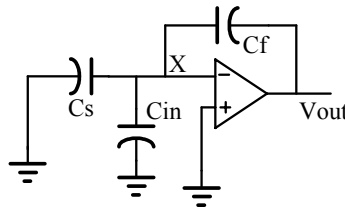


图3.9 采样保持电路的等效电路

在保持周期,运放处于负反馈状态,理想情况下的X点应为“虚地点”。但是,如果运放的有限增益为 A ,那么X点的最终电压为 $-V_{out}/A$,根据电荷守恒原理可以推导出输入和输出的关系:

$$V_{out} \approx \frac{C_s}{C_f} \left(1 - \frac{C_s + C_f + C_{in}}{C_f} \frac{1}{A} \right) V_{in} = \frac{C_s}{C_f} \left(1 - \frac{1}{Af} \right) V_{in}$$

其中 $f = \frac{C_f}{C_s + C_f + C_{in}}$ 为电路的反馈系数。

可见,对于采样电路来说,运放的有限增益给电路带来了一个增益误差,增益越大,误差越小。对于设计的运放,直流增益足够大,则可以忽略增益的影响,增益误差就主要来自电容的匹配程度。采样保持电路的增益误差不影响流水线模数转换器的线性度,只改变输入信号的大小。

除了增益误差,运放的另外一个误差来源是运放的有限建立时间。

在保持期间,采样保持电路如同一个对阶越信号响应的闭环放大器。运放的建立时间就是指这种情况下输出幅度要达到确定的精度范围所需要的时间。

实际运算放大器的带宽不可能是无限大，输入信号需要经过一段时间才能在输出端建立。图3.10是采样保持电路中运放建立的示意图。

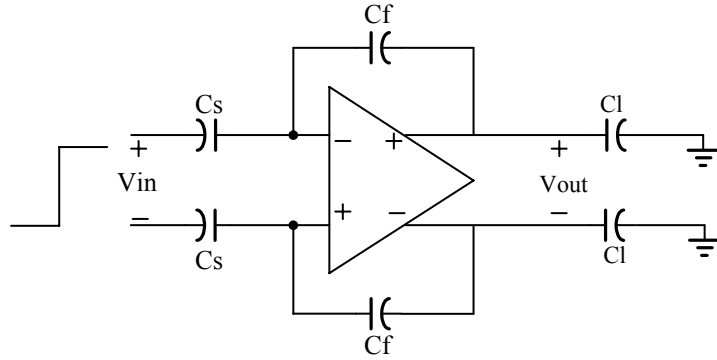


图3.10 运放的建立时间

通常运放的转换速率 S_R 和建立时间 T_{set} 是在运放的闭环增益为1并且接成跟随器形式的条件下面测得的。对于全差分的采样保持电路，最简单的测试方法就是以保持状态的电路结构，在输入端加入阶跃的输入。对于大信号阶跃输入，运放的建立主要包括两个部分。一部分是运放在非线性区的转换时间 T_s ，另一个部分是运放进入线性区后的线性建立时间 T_{sl} 。通常根据经验，在一个好的设计中，转换时间占总建立时间的1/4，线性建立时间为3/4。

对于采样保持电路，它的输出要求在有限的时间（小于采样周期的一半）内建立到被给定的精度，这个精度由流水线模数转换器的位数决定，如果位数为 N ，则要求不完全建立的误差 ξ 小于 $1/2^N$ （即建立精度大于 $(1-1/2^N)\%$ ）。在单极点近似的情况下，假设运放的时间常数为 τ ，那么阶跃响应为：

$$V(t) = V_{\infty} (1 - e^{-\frac{t}{\tau}})$$

V_{∞} 是最终的输出结果，由运放的有限增益决定。在前文中已经提到，运放的有限增益并不会引起采样保持电路的非线性，但是运放的建立时间相对比较简单。不考虑压摆率的情况下，采样保持电路的建立时间可以用下面的式子表示：

$$T_{set} > (n+1) \ln 2 \frac{2^{k-x}}{\omega_u}$$

所以运放的单位增益带宽要求如下面的式子表示：

$$f_u > (n+1) \ln 2 \frac{2^{k-x}}{2\pi T_{set}}$$

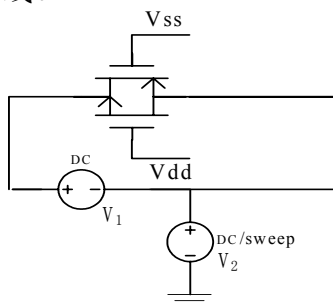
在上面的式子中， n 表示模数转换器的采样精度位数，对于第一级的采样保持电路， $n=10$ 。假设每一级的 k 位输出中有 x 位是用于数字校正的，则每级量化的有效分辨率是 $k-x$ 位。9级流水线结构的ADC，每级输出2位，其中1位用于校正，即 $k=2$ ， $x=1$ 。

3.1.6 采样保持电路中开关的设计和优化

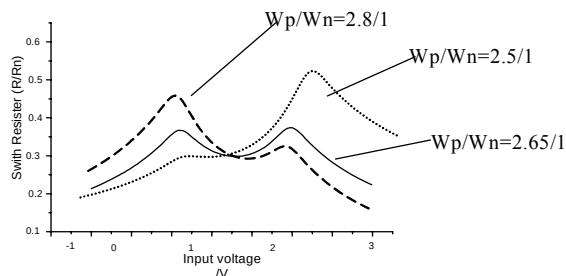
在上一节中分析了MOS开关导通电阻对电路的非线性影响，在实际的电路设计中，对应图3.6的电路结构，整个模数转换器共使用了三种开关：（1）NMOS开关，简单，对称性好，用于设置输入共模电压；（2）栅压自举的采样开关，结构复杂，但线性度好，输入范围大，仅用作第一级采样保持电路的采样开关；（3）CMOS开关，简单，导通电阻小，电路中其它所有的开关，包括保持的导通开关、输出共模电压的设置开关和后级采样开关等。

NMOS开关的导通电阻 $R_{on} = 1/(u_n C_{ox}(V_g - V_{in} - V_{th})W/L)$ ，是一个与输入信号 V_{in} 相关的非线性电阻。要保证MOS管导通，输入信号 V_{in} 必须满足小于 $(V_{dd} - V_{th})$ ，在接近这一限制电压时，导通电阻非常大，实际电路必须根据带宽要求留有一定的余量；此外 V_{in} 变大时，受衬偏效应的影响， V_{th} 变大，输入信号 V_{in} 的幅度受限很大，所以只用作共模电压输入的开关。

对于CMOS开关，P管和N管的比例影响着导通电阻的线性度，因此要求对PMOS和NMOS的宽度匹配进行优化。图3.11（a）是对CMOS开关导通电阻的测试电路，其中 V_1 是共模电压， V_2 是输入电压，通过对 V_2 进行扫描，可以得到不同输入电压对应的导通电阻。图3.11（b）是在不同宽度比时，导通电阻和输入电压之间的关系曲线。



（a）测试电路



（b）输入电压和优化结果的关系

图3.11 对CMOS开关宽度匹配的优化

从图中可见，当宽度比是2.65/1时，CMOS开关的导通电阻呈现对称的马鞍型，这时输入电压在0V到3V之间变化时，导通电阻的变化最小，故其线性度最好。

对于图3.6中的采样开关 SW_1 、 SW_2 ，CMOS开关在传输信号的同时，由于栅源电压会受输入信号的变化而变化，所以仍然会有着信号的损失，因此输入采样开关 SW_1 、 SW_2 采用栅压自举电压控制的电路。

自举电路是在开关导通的时候，提高MOS开关一个恒定的栅源电压（ V_{gs} ），其大小为电源电压或更高，且不受输入信号变化的影响。

图3.11是一种改进的栅压自举的开关结构。采样开关M11在单个时钟ck的控制下实现开关的功能。

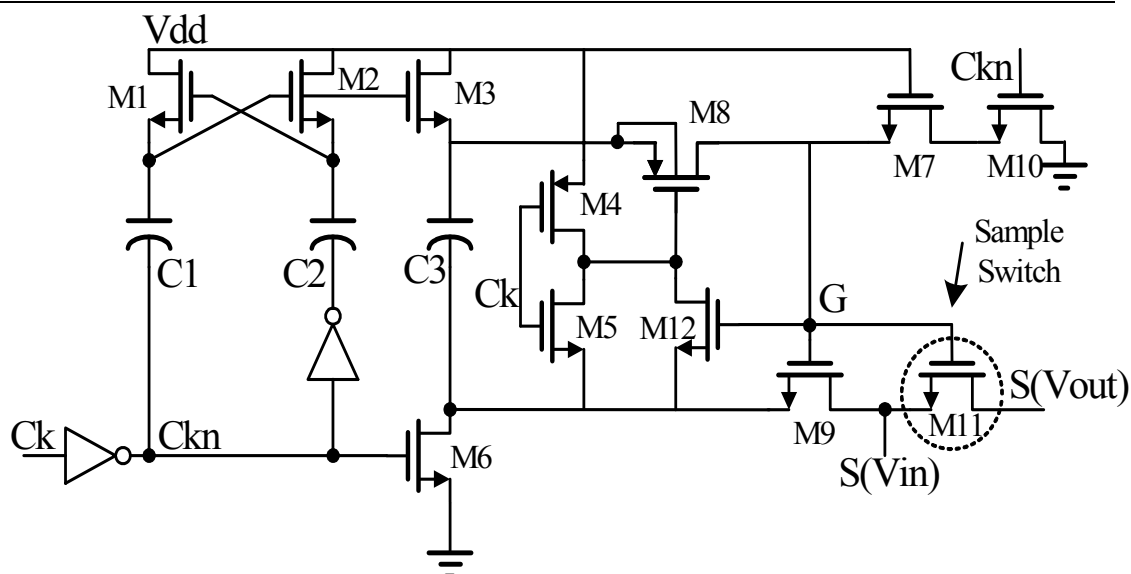


图3.11 栅压自举采样开关

Ck 为低电平时, M10 导通, M11 的栅极通过串接的M7 和M10 放电到地, M11 断开, M3、M6导通, C3 两端电压充至Vdd; C3 起着电荷存贮的功能, M8和M9在 C3充电的时候, 对开关M11进行隔离。Ck 为高电平时, M5将M8的栅压拉低, 使得 M10、M3、M6断开, M8、M9 导通, 这样C3 保持的电压加到M11 的栅源两端, 使得S (Vin) 点和G点之间保持Vdd的压差, 即对于M11管来说 $V_{gs}=V_{dd}$, 不受输入信号的影响。由于M8管的衬底接在源端, 可以有效的减小栓锁效应。S (Vin) 点为了克服寄生电容的影响, 应该减小M11管的电阻。

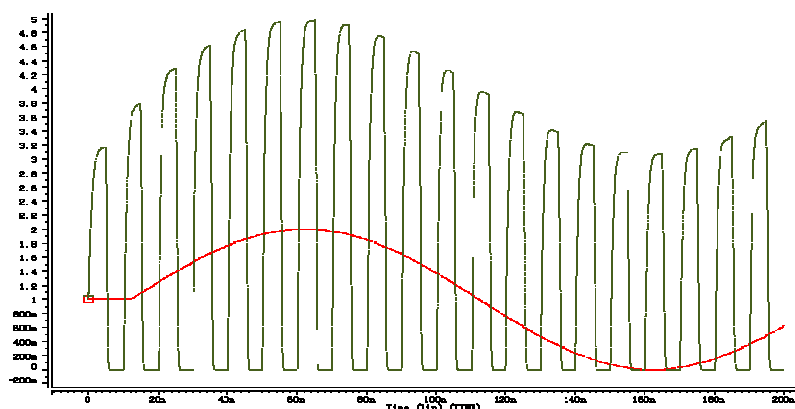


图3.12 自举电路中采样开关的栅源电压的仿真波形

M7 和M13 是基于器件可靠性的考虑而加入的, 不影响电路的功能。M7 的沟道长度可以适当的取较大的值, 增大放电通路的电阻, 减小M10 由于漏源电压过大而击穿的可能性。M13 是在M11 导通的时候起作用的, 目的是为了避开M8 的栅源电压超过Vdd, 提高器件的可靠性。图3.12是输入信号变化时, 采样开关栅压变化的仿真波形, 从仿真结果可以看出, 采样开关栅压随输入信号变化而等量改变, 所以采样开关导通时, 栅源电压基本保持不变, 不受输入信号幅度的影响, 线性度很高。

对于电容的选取, 考虑到面积的因素, 希望选择的电容可以尽可能的小, 但是要保证电容的大小足够将负载充电到需要的值。为了克服寄生电容及M11的栅电容的影响, C3 要取足够大的电容值, 此外, 由于电荷共享的关系, 会减小最后的输出电压, 关系如下面所示:

$$V_g = V_i + \frac{C3}{C3 + C_p} V_{dd}$$

其中, C_p 是连接到C3上极板的寄生电容的总合。

C3典型的取值是0.5pF到1.8pF, 基本上是其它寄生电容总和的6倍以上。M3和M6管要对C3充电至V_{dd}, 所以需要采用较大的管子。C1必须去足够大的值, 使得M3的栅电压可以被提升到足够的值(接近2V_{dd}), 从而使M3管工作。同样C2也必须足够大, 使得M1管工作。但是这些电容的取值并不影响负载端上升和下级的时间。

M8和M9对负载端的上升时间有很大的影响, 需要选择较大的宽长比以得到较短的上升时间。M7和M10则与下降时间有关。

后级余量增益电路采样的是前级的保持输出, 带宽要求不高, 仅采用CMOS开关就可以满足低导通电阻、大动态范围的要求, 电路实现简单, 而且避免了自举电容的使用, 节省了芯片的面积。

3.1.7 低功耗高速运算放大器

对精度和速度无止境的追求是推动集成电路发展的动力。低电压工作是当今集成电路的发展趋势, 在低功耗、低成本的限制下, 这对精度和速度提出了更高的要求。如何满足高速高精度的应用要求, 将是集成电路研究的重点和难点。本文的目标是设计一种高性能的模数转换器, 其设计指标兼顾速度与精度。速度与精度是模拟电路的两个重要属性, 但两者的优化又是相矛盾的。

在流水线ADC中, 速度与精度由运放的建立特性决定。快速建立要求运放的单位增益频率高, 且具有单极点建立特性, 而精确的建立要求其直流增益大。高增益的结果常常是采用多级结构(长沟道器件, 低直流偏置), 而高单位增益频率则是采用单级结构(短沟道器件, 高直流偏置)。

由此可见, 采样保持运算放大器(Sample-and-Hold Amplifier)是采样保持电路的核心部件, 其性能直接决定了后者是否可以实现功能。对于高速、高精度模数转换器的放大器, 希望有高的直流增益、大的单位增益带宽、在较大的容性负载条件下依然有很高的运算速度、有足够的相位裕度来保证输出的稳定, 还要考虑高的共模抑制比(CMRR)和电源抑制比(PSRR)和输入输出摆幅等方面性能的限制。

对于100MHz的采样时钟,因此每个转换周期为10ns,考虑到采用了非交叠时钟的时序,实际上用于保持的时间小于半个周期。所以设定设计的指标为采样保持放大器的建立时间是3ns,第一级采样保持的增益为1,根据3.1.5节中对于采样保持电路以及运放非理想因素的分析,要使得采样电路达到至少10位有效位数(线性建立精度为 $1/2^{10}$),运放需要达到的单位增益带宽为810MHz。

根据放大器设计要求首先应确定放大器合适的电路结构。目前,最常见的运放结构主要有三种:两极运放、套筒式(Cascode)、折叠套筒式(Folded-Cascode)。

两级运放的结构比较简单,它的差分输出摆幅是 $2V_{sup}-4V_{ds,sat}$,其中 V_{sup} 是电源电压, $V_{ds,sat}$ 是使晶体管工作在饱和区的最小 V_{ds} 。显然它的输出摆幅在各种放大器结构中是最大的。该结构的首要缺点是频率特性差,而且必须补偿。在电路偏置给定的情况下,它的次主极点完全由负载电容决定,这使其带宽较小,速度受到限制。如果采用密勒补偿电容,由于补偿电容与负载电容成正比,所以在负载较大的情况下,密勒补偿电容将会非常大。此外,这种电路存在两支共四路电流,功耗较大,电源抑制比和共模抑制比较差,一般高速高增益的场合较少采用这种结构。

套筒式结构的运放具有频率特性好的优点,单位增益带宽在所有的放大器中最宽,其次,由于主极点由负载电容决定,因此不需要内部补偿;再有,因为它只有两条电路支路,因此在所有结构中功耗最低。这个结构电路的缺点是共模输入范围和输出摆幅较小。在低电压下,这种结构的输出摆幅和共模输入范围会难以满足要求的。

折叠套筒式结构的运放是在套筒式运放的基础上改进而来的,它的次主极点也是由内部有源负载管的跨导和内部节点的寄生电容决定,所以它的频率特性与套筒式级联结构相近。但是输入范围和输出摆幅都远大于套筒式结构的运放。由于它有四条电流支路,所以功耗要大于套筒式结构的运放。

3.1.7.1 运算放大器电路

从应用角度考虑,我们要求设计的放大器有尽可能快的速度,高的增益和较大的单位增益带宽,并尽可能的减小功耗。对比以上3种结构,套筒式结构和折叠套筒式结构的运放比较合适,折叠套筒式结构的输出摆幅较大,但功耗要高于套筒式结构;而套筒式结构的速度更快,功耗更低,输出摆幅较小。在本设计中相对的难点在于运放的速度上,因此在性能和功耗折衷考虑以后,设计中采用套筒式结构的运放。为了提高运放的增益,采用了增益自举的技术,采用全差分增益自举放大器结构能够得到高带宽、高增益的运算放大器。图3.13是全差分套筒式增益自举放大器的电路框图。其中A1、A2就是增益自举辅助放大器,它的结构如图3.14所示。

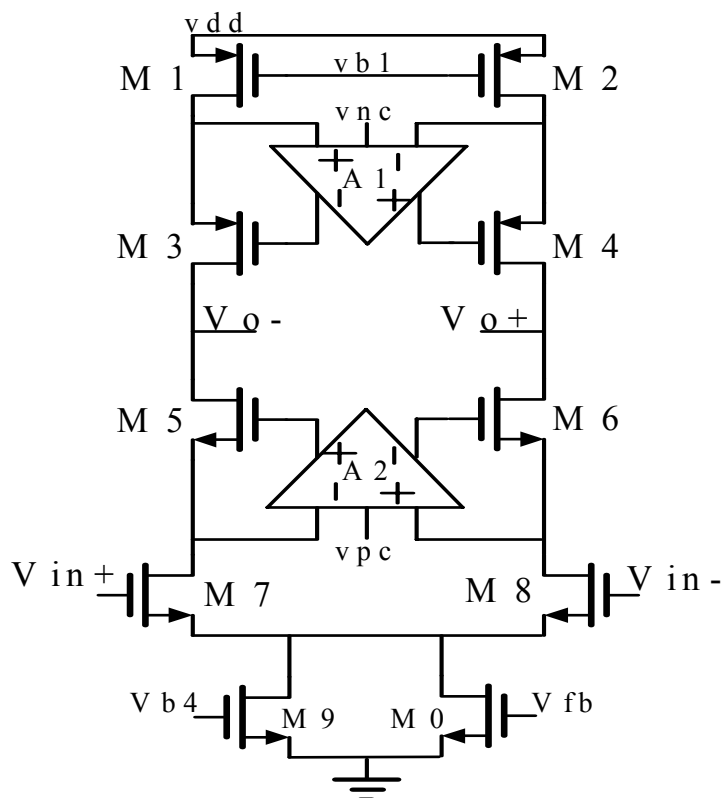
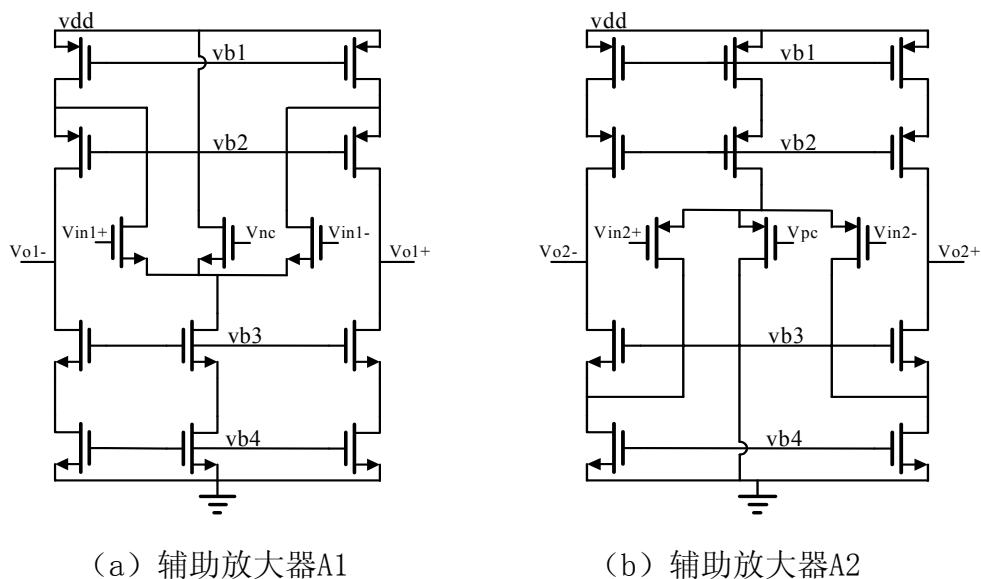


图3.13 全差分套筒式增益自举运算放大器



(a) 辅助放大器A1

(b) 辅助放大器A2

图3.14 增益自举辅助放大器

增益自举的技术是增加输出的阻抗而不增加更多的共源共栅器件，以此来增加整个运放的增益大小。整体的结构采用套筒级联式运算放大器，作为单级运放，次主极点靠后，使得频率特性好，具有很宽的带宽；此外，由于这种结构只有两条电流支路，因此在各种放大器中功耗最低。

增益自举运放中的辅助放大器，采用的是标准的折叠一套筒结构。选择这

样的结构是考虑到对速度和输入输出电压的指标要求。对于自举运放，并不需要很高的增益，但是希望得到较大的动态范围。在设计的过程中，要考虑自举运放和整体运放之间带宽的相互关系。

辅助放大器中的第三个输入端（ v_{nc} 、 v_{np} ）设定主运放的晶体管 M1、M2 和 M7、M8 的漏端电压值。并倚靠晶体管 M1、M2 和 M7、M8 作为反馈回路，稳定折叠一级联 OTA 的共模输出值。辅助运放对于主运放的摆幅并没有影响，主运放的摆幅只受到 V_{nc} 和 V_{np} 预定电压的影响。在辅助运放的输出端（ v_{o+} 、 v_{o-} ）都有连接补偿电容 C_c ，用作对主运放的频率特性进行补偿，同时得到较好的建立时间。

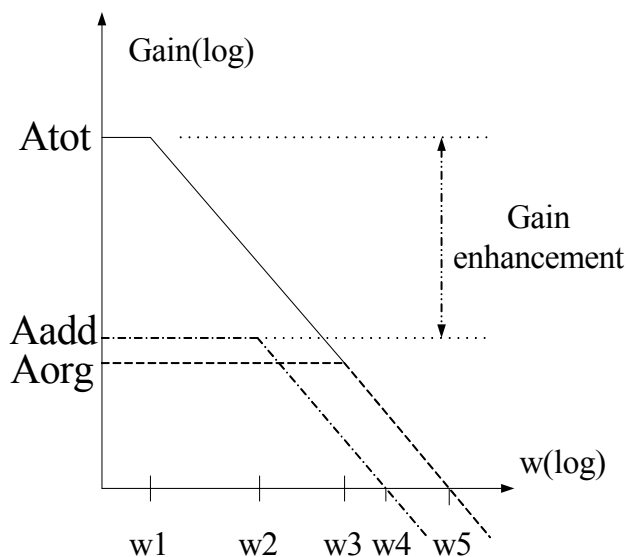


图 3.15 增益增强运放的零极点分析

要设计高速高增益的运算放大器，建立时间是重要的指标。在增益自举型运算放大器中，自举运放会引入零、极点的问题，从而使自举运放的带宽对建立时间有着重要的影响。对于自举运放，如果其第一极点的频率为 ω_1 ，如图 3.15 所示，一级套筒运算放大器一级极点频率为 ω_2 ，那么在一级套筒运算放大器中加入了自举运放以后，整个运放的增益会提高，但同时第一极点会有所偏移。为了得到较短的建立时间，使得运放能够稳定的工作，要求自举运放的单位增益频率 ω_3 满足 $\omega_2 < \omega_3 < \omega_5$ 的条件，其中 ω_5 是整个运放的第二极点。为了得到设计的要求，在半个时间周期即 5ns 之间完全建立，就需要对自举运放进行电容的补偿，使得其带宽满足上述的要求，从而消除由于自举运放而引入的零、极点问题。

3.1.7.2 偏置电路

图3.16显示的是改进过的大摆幅偏置电路，同时对两个辅助Cascode运放和主运放提供电压的偏置，可以获得较大的动态范围。其中，晶体管P1和N2处于线性工作区，其目的是让Cascode晶体管P2和N1的源级有一个 V_{dsat} 的衬偏效果，提高

偏置电路与运放电路的匹配性。与图3.13的套筒式运放结构相比较,可以发现,增益自举的运放每条支路含有五个晶体管结构,而传统的宽摆幅偏置电路支路只含有四个晶体管,并不能很好的相互匹配,为了得到一致性高的偏置电流,在原来宽摆幅偏置电路的基础上,加以改进,引入N13、N14、N15、N16的wild-swing结构,这样偏置电路的支路就与套筒式结构的运放相一致,整个电路提供VB1~VB4 四个运放所需要的偏置电压,同时提供两个子运放所需要的控制电压: V_{pc} 和 V_{nc} 。

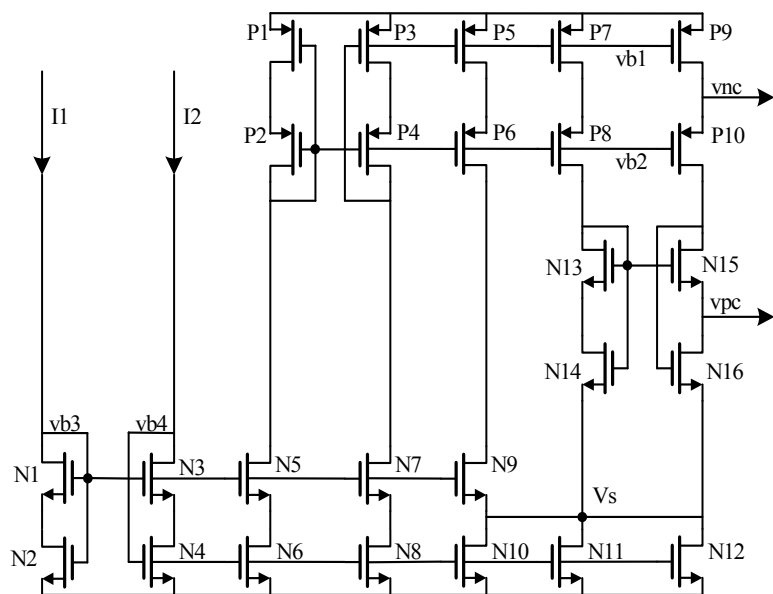


图3.16 改进的宽摆幅偏置电路

电路中 V_S 的电压控制着N11 和N12 管的源漏电压值,使得这个值达到管子饱和的最小值。晶体管N13-16 是和晶体管P1-4 一样的基本宽摆幅偏置结构,在不损失较多信号幅度的前提下面得到需要的偏置电压。晶体管P9、P10、N15、N16、N12和图3. 13中的套筒式运放有着相似的结构,可以更好的实现宽摆幅的偏置。在图3. 16中, V_{NC} 和 V_{PC} 的值,作为辅助运放共模控制端的输入控制电压,分别是图3. 13中M1-2、M7-8管的漏端电压。

改进后的偏置电路可以提供所有需要的偏置电压，包括VB1-4 和VNC 以及VPC，并且和套筒式运放的结构相似，具有更好的一致性，也可以用于其它相同结构的电路中。

3.1.7.3 共模反馈电路

这是一个全差分的运算放大器，其共模电平是不稳定的，需要有共模反馈电路来确定其共模输出的电平，否则，输出的共模电平会随着工艺偏差，功耗变化，失调等因素的影响而浮动。共模反馈电路的实现有很多种不同的结构，这里采用的是开关电容共模反馈电路。开关电容共模反馈电路相对于连续时间的共模反馈电路，对于输入的最大差分信号没有限制，不会在共模回路中引入寄生的极点，

具有更高的动态范围和较高的线性度。在开关电容电路中使用开关电容的共模反馈电路，不需要增加额外的时钟，应用比较方便。

图 3.17 是运放所采用的共模反馈电路。该电路是基于电荷分配原理得到的。CM1、CM2 用来保持共模输出电压和 V_{fb} （运放反馈偏置电压）之间的差值。CM3、CM4 在每次 $ck2$ 为高电平的时候存储 $V_{cmo} - V_{fbi}$ 的初始电压，然后在 $ck1$ 变为高电平的时候将存储的电荷分配给 CM1 和 CM2，使得 $V_{o^+} + V_{o^-} - 2V_{fb} = 2V_{cmo} - 2V_{fbi}$ 。

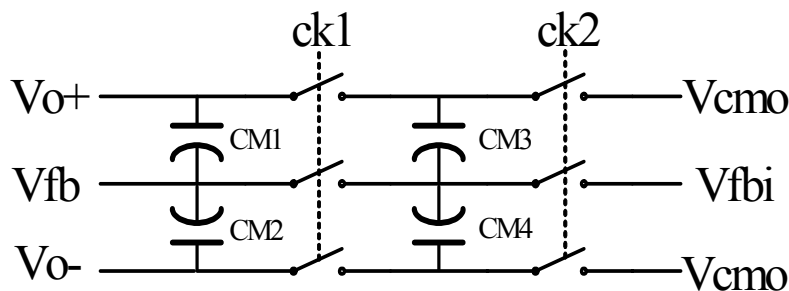


图 3.17 开关电容共模反馈电路

如果使得 V_{fbi} 上加的偏置电压和 V_{fb} 上所需要的理想电压值非常接近，那么就可以近似的保证 $V_{o^+} + V_{o^-} = 2V_{cm}$ ，也就达到了控制共模输出电压的目的。在系统刚上电的时候， $V_{o^+} + V_{o^-}$ 会和 $2V_{cm}$ 相差较远，但经过几个周期之后，就能达到需要的稳定值，并在这一稳定值附近做轻微的摆动。因此，CM3 和 CM4 的取值可以比 CM1 和 CM2 要小得多，相当于轻微调节的作用。因为在保持状态时，CM1 + CM3 和 CM2 + CM4 共同作为运放的输出负载电容，所以把 CM3 和 CM4 的值取得小一些有利于减小由共模反馈电路给采样保持放大器带来的额外负载，图 3.17 中的 V_{fbi} 接到一个固定的偏置电压，电压值接近于 V_{fb} 所需要得理想偏置电压。 V_{cmo} 为共模输出电压。

参照图 3.13 中的套筒式运放结构，尾电流管 M9、M0 中只有 M0 作为共模反馈的偏置管，M9 接到固定的偏置电压上。两个晶体管流经的电流大小一样，区别于传统的套筒式结构，这样连接共模反馈电路的好处在于可以减小共模电压的偏差对尾电流的影响，从而减小对运放的整体影响，使得运放可以更加稳定的工作在饱和区域。

图 3.18 是运放在 1.2pF 的负载，3.3V 电源电压，TT 工艺条件，温度 75° C 的情况下 Hspice 的仿真结果。可见其直流增益为 95.5 dB，单位增益带宽为 1.28 GHz，相位余量为 60°。

除了运放开环的频响特性以外，正如前面提到过的，运放的建立时间是一个重要的指标，直接决定了在有限的时间内能否采样得到需要的精度，从而关系到整个模数转换器的转换速度。图 3.19 是将运放连接成采样保持电路结构的情况下测得的建立时间。

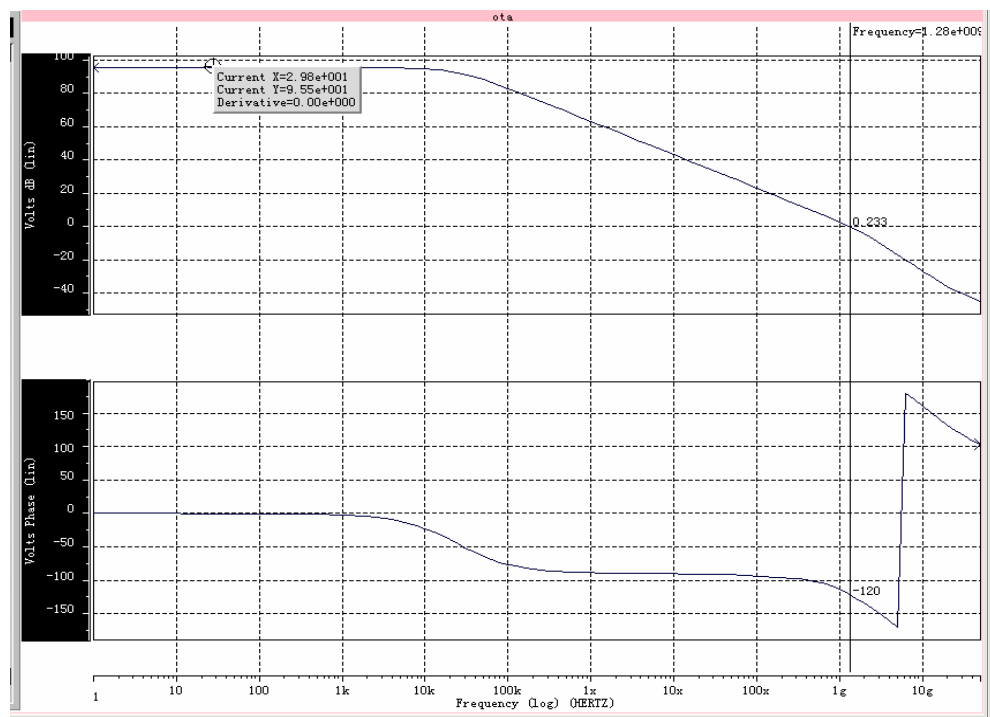


图 3.18 运放开环频率响应

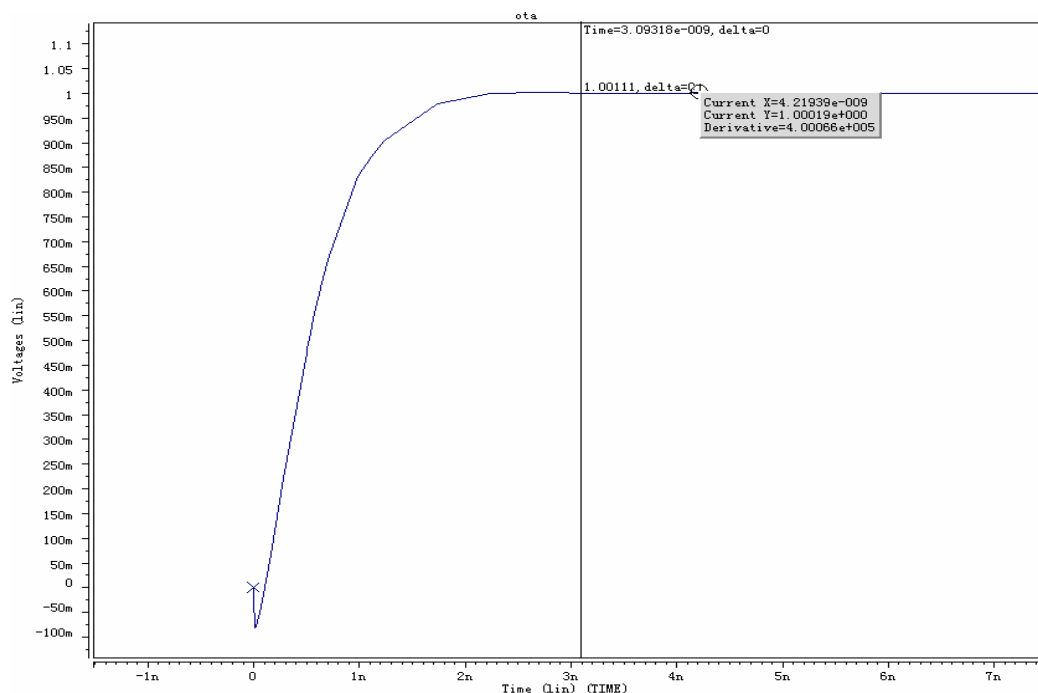


图 3.19 运放的建立时间

3.1.8 采样保持电路的总体性能仿真

对于上述的一些电路模块进行设计和优化以后,就得到了设计需要的采样保持电路。为了验证电路的总体性能是否符合模数转换器设计的要求,需要对这整

个采样保持电路进行静态性能和动态性能的仿真。图 3.20 是整个采样保持电路仿真结果的信噪比分析。

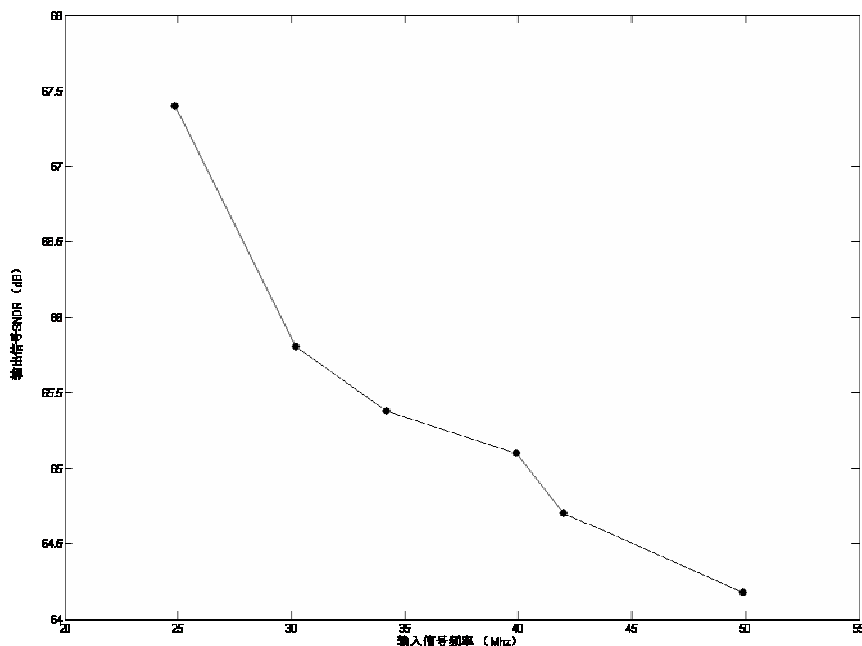


图 3.20 采样保持电路输出信噪比分析

在输入端输入 42.04 MHz、2V V_{pp} 的正弦信号，用 100MHz 的时钟进行采样得到的频谱，根据计算性噪比达到 64.89 dB，根据 SINAD 的值，得出有 10 位以上的精度。通过 Matlab 程序对多种频率输入的分析，得到的有效位数都有 10 bit 的精度。当输入信号为 49 MHz 的时候，仍然有 64 dB 的性噪比。完全适用于 10 bit 的 AD 转换器，采样保持电路的功耗为 15.4mW。

3.2 余量增益电路

余量增益电路要实现三种：1、减法功能：用前一级的模拟输出值减去该值经子模数量化，再进子 D/A 变换后的模拟值以求出余量。2、增益功能：为了使每级能使用同样的参考电压源，要对每级的余量乘以一个合适的因子，在本次设计的流水线模数中，级间增益是两倍。3、采样/保持功能：流水线模数转换由若干级相同的子模数串联构成，所以这些余量增益电路同时又作为各级子模数转换器的采样/保持电路。其电路结构如图 3.21 所示，类似于采样保持电路，使用双相不交叠时钟。图 3.21 中 C1、C2、C3 三个控制端是根据前一级的量化结果进行编码的控制信号。

余量增益电路的工作原理类似于采样保持电路，在 ck1 有效的时候，开关闭合，处于采样的模式。由于所有的余量增益电路只需要采用前级基本已经趋于稳定的保持输出，所以电路的采样通道不需要很宽。类似于采样保持电路，在采样阶段，运放的输入端和输出端都被短路而且分别接到共模输入偏置电压和共模输

出偏置电压，采样到的输入电压被存储在 C_s+C_f 上。由此可以看出余量增益模块和采样保持电路的一个不同就是在采样阶段余量增益电路的反馈电容也兼作采

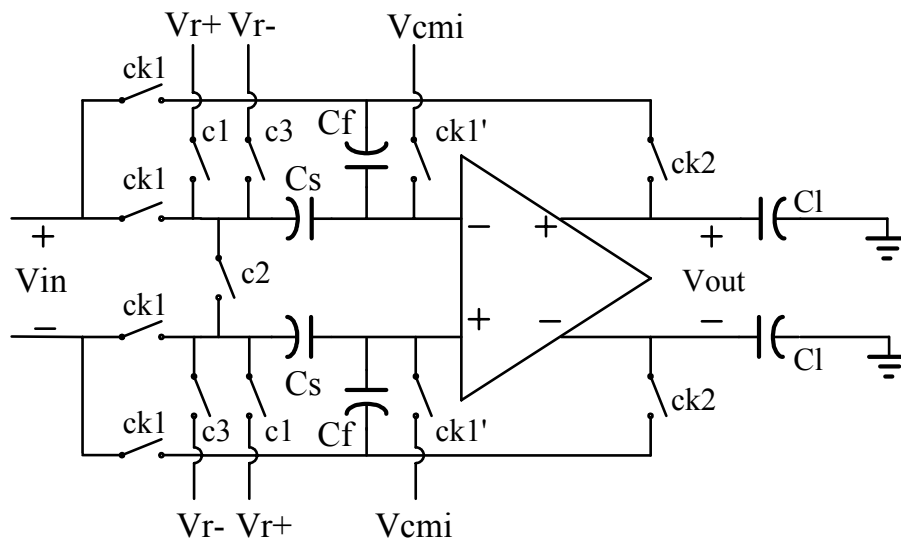


图3.21 余量增益电路

样电容。采样阶段结束后 $ck1'$ 和 $ck1$ 的开关依次打开，其原理和机制同采样保持电路。在采样阶段 $C1$ 、 $C2$ 、 $C3$ 都保持打开的状态。

在 $ck2$ 有效的时候，余量增益电路进入保持模式。与此同时， $C1$ – $C3$ 中有且仅有一组开关闭合。可以对电荷传递过程作如下所述的直观理解：先假设在保持过程中只有 $C2$ 闭合， $C1$ 、 $C3$ 均断开，这样就使得保持过程中的电路结构和采样保持模块一样，由于保持状态结束以后， V_{amp+} 和 V_{amp-} 由于运放的闭合特性会最终具有相等的电压，所以最终电荷会全部转移到 C_F 上。因为 $C_S=C_F$ ，原先同时存储在正负通道中采样电容和反馈电容上的电荷差在保持过程中被全部转移到反馈电容上，所以最终的输出电压为采样到的输入电压的两倍。假设保持过程中 C_X ($X=1, 2, 3$) 闭合使得 C_S 的左端存在 V_X 的电压差，这样 C_S 上存储的电荷差就不为0，也就是运放两个输入端上的电荷差被部分存储到两个 C_S 电容上。以运放两个输入端上的电荷守恒关系为准则，很容易推导出：

$$V_{OUT+}-V_{OUT-}=2[(V_{IN+}-V_{IN-})-V_X/2]$$

其中 V_{IN+} 和 V_{IN-} 为采样到的输入电压， V_X 为保持过程中 C_X ($X=1, 2, 3$) 闭合使得 C_S1 和 C_S2 的左端存在 V_X 的电压差。由上述关系式很容易看出MDAC电路同时起到了减法和倍乘的作用。其中 V_X 相当于行为级结构中数模转换器的输出的两倍。

MDAC电路中实际已经包含了数模转换器的功能。1.5比特流水线结构中每级的传输曲线中的余数为零处的三个电平分别是 $-V_{REF}/2$ 、0、 $V_{REF}/2$ 。所以 V_X 的三组取值应该是 V_{REF} 、0、 $-V_{REF}$ ，而这三组参考电平在电路中是固有的，所以不需要额外的电路来产生额外的参考电平。这也是每级1.5比特的流水线结构的一大优点。 $C1$ – $C3$ 三组控制信号由子模数转换器输出。

3.3 开关电容比较器

比较器是AD转换器中的重要电路模块。有时候,比较器的性能将直接影响整个AD转换器的性能。比较器一般包括如下几个重要的参数。

1. 分辨率:分辨率是指能够产生正确的数字输出的最小差分输入信号。在有些模数转换器如Flash比较器和SAR比较器中,比较器的分辨率将直接决定最终AD转换器的分辨率。影响分辨率的主要因素有噪声、比较器增益和输入offset。其中以offset的影响最为严重,其主要受工艺条件的限制。
2. 比较速度:比较速度又称传输延迟时间。一般定义为输入激励信号与输出数字信号之间的时间差。它将影响比较器的最高工作频率,并最终影响AD转换器的最高采样频率。
3. 反冲噪声(kickback noise):反冲噪声是指输出的数字信号对输入模拟信号的反冲,该反冲一般是电荷馈通的结果。从Pipelined ADC的工作原理中可以看出,Pipelined ADC实际上是依靠多级粗量化来获得高精度的输出。因此,对于每一级来说,其子ADC的分辨率很低,以每级1.5bits为例,每一级的分辨率只有2bits。所以,比较器的分辨率只需满足2bits的要求即可。因此,在设计Pipelined ADC中的比较器时,分辨率将不再是主要的考虑因素。比较速度、反冲噪声、功耗和面积将上升成为主要因素,提高速度、降低反冲噪声,减小功耗和面积将成为优化设计时的主要目标。

从功耗的角度,比较器主要可分为静态比较器和动态比较器两种。二者的主要区别在于静态比较器会消耗一定的静态功耗,而动态比较器的静态功耗为零,只有动态功耗。对本设计来说,由于比较器的个数比较多,所以从功耗方面考虑,宜采用动态比较器。在整个模数转换器中,一共要使用到19个比较器,动态比较器,无论是复位还是锁存阶段都没有直流通路,这样它的功耗就非常低。不过常用结构的动态比较器结构,开关反冲噪声比较明显,在锁存阶段,Latch的输出会通过晶体管的栅漏电容直接影响输入端,而反冲噪声对于高速高精度的流水线模数转换器是致命的影响,为了减小反冲噪声的影响,选择采样了图3.22结构的开关电容动态比较器。

1.5 位每级的流水线结构中,除最后一级外的每一级子模数转换器都有两个全差分的比较器,实现三种情况的量化输出,1.5 位每级的结构中,如果模数转换器的输入范围是 $-V_{ref}$ 到 $+V_{ref}$ (相对于共模电平的差分电压),那么子模数转换器有两个阈值电压 $+V_{ref}/4$ 和 $-V_{ref}/4$ 。

这个开关电容型比较器同样在两个双相非交叠时钟下工作,时钟Ck1 有效时,电容C 采样到参考电压VR,电容3C 差分短路,采样得0V 的差分电压。时钟Ck2 有效时,输入信号Vi+同时连接到电容C 和3C 的下极板,而在这一变换过程

中，两个电容的上级板（预放大器两输入端）电荷保持不变，根据电容的电荷保持特性可得，预放大器的两输入的电压 V_X 将变为

$$V_R \cdot C = (V_I - V_X) \cdot (C + 3C) \Rightarrow V_X = V_I - V_R/4$$

在时钟 $Ck2$ 从有效变到无效， $Ck2n$ 有效时，再生触发器将预放大器的比较输出整形为数字输出。为了不增加运放在建立过程中的负载，比较器中取样电容取的尽量的小，只要能满足比较器要求的匹配精度就可以了。

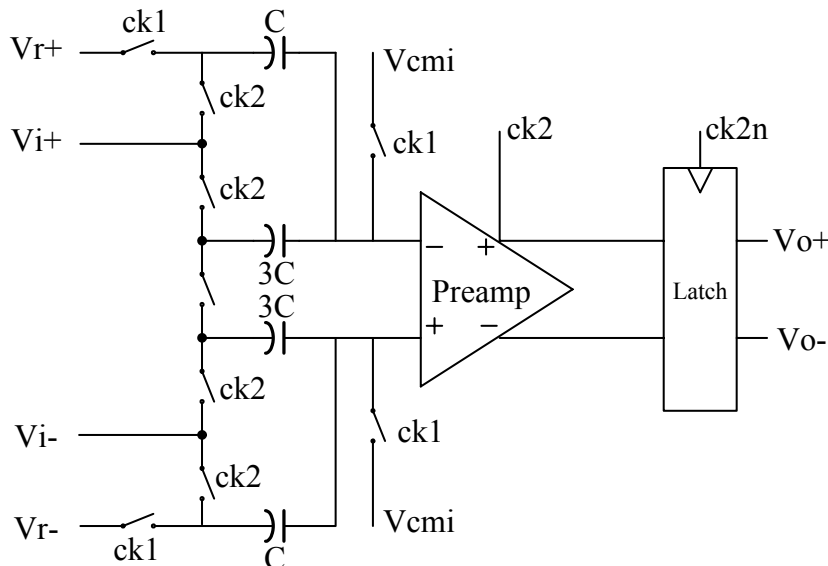


图3.22 全差分开关电容比较器

预放大器和锁存器见图3.23，比较器的失调若小于 $V_R/4$ （150mV）可以通过数字校正消除其造成的影响，这是一个相当大的余量，这里用了AB类放大器， $Ck2$ 为高电平时，通过输入管 $M1$ 、 $M2$ 将输入信号（ $V_{i+} - V_{i-}$ ）放大， $Ck2$ 变为低电平， $Ck2n$ 为高电平时，断开与输入管的连接，通过NMOS管的触发器再生放大信号经反相器整形后得到数字输出。

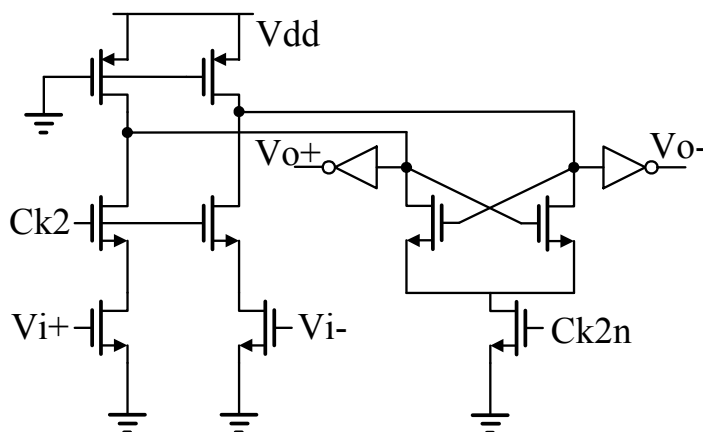


图3.23 预放大电路

在设计比较器的时候，为了减小预放大电路的静态功耗，可以适当的减小管子的尺寸，不过尺寸的减小会造成MOS管的匹配问题，从而影响比较器的精度，因此需要对电路作蒙特卡罗分析，把失调控制在 $V_R/4$ 以内。

3.4 恒跨导偏置电路

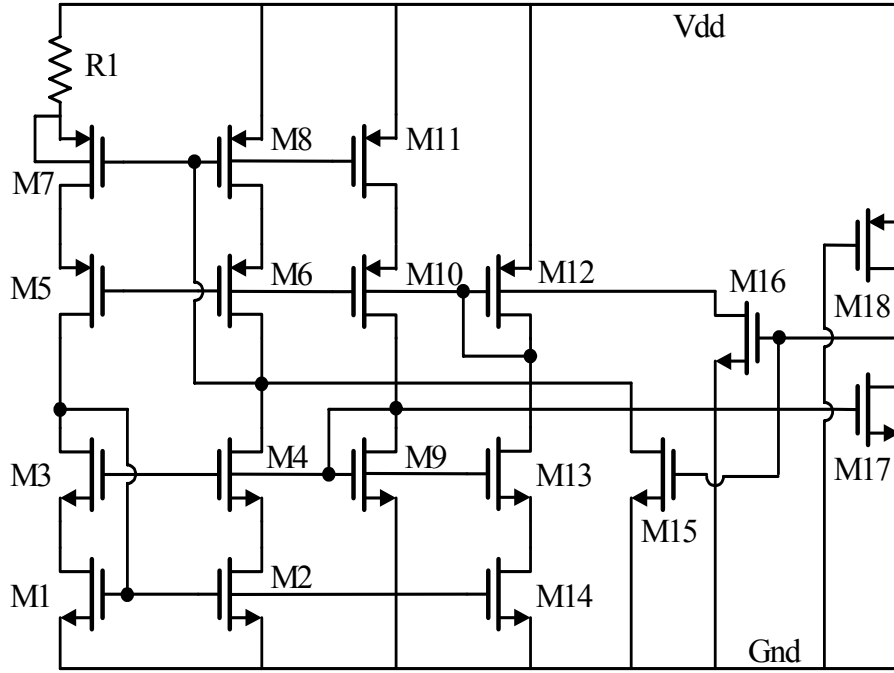


图3.24 恒跨导偏置电路

流水线模数转换器每一级的运算放大器都有单独的偏置电路，进行电流偏置。产生电流的方法可以有很多，常见的有通过带隙基准电压源从而得到电流源的方法。虽然带隙基准电压源能够提供温度系数很低的恒定电压，但是在设计的应用中，这种参考源并不合适。举个例子来说，即使一个NMOS管被恒定电压驱动，它的阈值电压仍会随着温度漂移，当 $(V_{gs}-V_{th})$ 相对较小时，阈值电压的微小偏移也会使跨导发生很大变化，因此，相比较而言，当需要所有由偏置电路驱动的MOS管跨导恒定，温漂小的恒跨导偏置电路更为理想。这是因为恒跨导将使采样保持放大器的单位增益带宽恒定(对于一般运放来说，单位增益带宽=跨导/电容负载)，从而保证了整个模数转换器有稳定的性能。在这里，我们采用了如图3.24所示的电路，从图3.24可以推出：

$$V_{R1} + V_{GS-M7} = V_{GS-M8}$$

我们取M7的宽长比是M8的宽长比的4倍，同时将M7的衬底和源短接以消除衬偏效应，即 $V_{th7}=V_{th8}$ ，可以得到：

$$I_{R1}R_1 + I_{M7}/gm_{M7} = I_{M8}/gm_{M8}$$

$$I_{R1} = I_{M7} = I_{M8}$$

$$gm_{M7} = 2gm_{M8}$$

从上式推出

$$gm_{M7} = 2gm_{M8} = 1/R_1$$

由于电流镜的作用，两个 MOS 管的跨导的比值等于它们宽长比的比值，这使得图 3.24 中所有 MOS 管的跨导都和 $R1$ 成反比。

值得一提的是，图 4.14 的结构有别于一般恒跨导的偏置电路，一般的恒跨导偏置电路会将 $R1$ 与 $M1$ 或 $M2$ 串联，但在标准 N 阱 CMOS 工艺中，因为不能将 NMOS 管的衬底和源短接，所以无法消除衬偏效应的影响，会使 $M1$ 和 $M2$ 的阈值电压不匹配而引入误差。

3.5 子模数转换器与编码电路

1. 5 位/级的模数转换器中每一级的子模数转换器及编码电路如图 3.25 所示，两个比较器的参考电平相反。根据前面比较器内部的电路分析可以得到两个转换电平 $+VR/4$ 、 $-VR/4$ 。比较器结果经过一组组合逻辑电路产生本级量化结果输出 DH 和 DL ，还有子模数转换器的开关（CMOS 开关）控制信号 $C1-C3$ ，用于下一级的开关选择。由于比较器没有设置复位（Reset）阶段，所以在生成控制逻辑时，需要加入时钟信号 $Ck2$ 进行阻塞，以避免下一级数模转换器开关在不转换时全部关断。

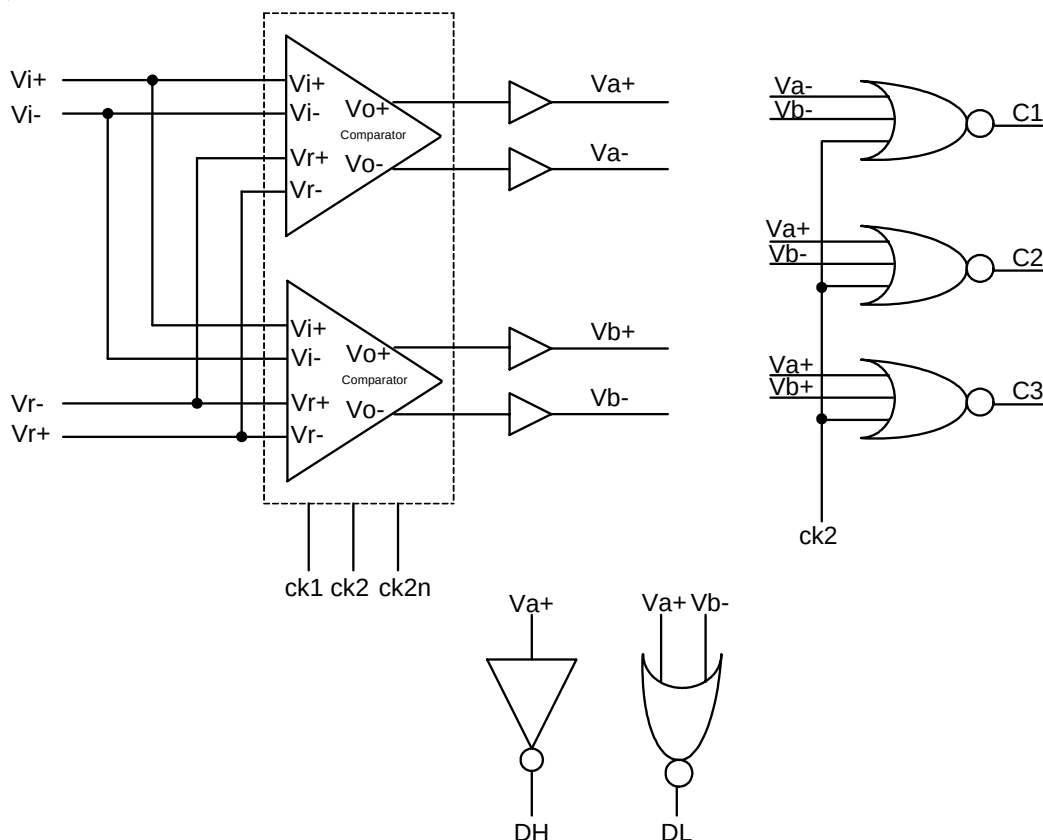


图 3.25 子模数转换器及编码电路

3.6 数字校正电路

因为流水线结构相邻级之间转换出的数字位要差半个周期，必须要有一个时间对齐电路来使所有转换出来的数字位都在同一个时钟周期内，图 3.26 就给出了这样的一个电路。图 3.26 中，由相位相反的两个时钟驱动的 D 触发器可以使输出数字位延时半个周期，对于流水线模数转换器每级 2 位数字结果的输出进行时序调整后，将最后的结果送入校正电路。

图 3.27 是数字校正电路，它用来去除冗余并纠正子模数转换电路引入的非线性误差。图 3.27 中， a_9-a_1 ， b_9-b_1 是同步过的数字位，其中 a 是高位， b 是低位数据， $d_{10}-d_1$ 是校正后的数字输出。最后一级的低位输出不可以校正，经过缓冲器以后直接得到最低位的输出。图 3.27 中单个校正模块的逻辑关系为：

$$Co = a_1 \text{ OR } (b_1 \text{ AND } C_0)$$

$$Do = b_1 \text{ XOR } C_0$$

这一逻辑关系可以由 1.5 比特的 MDAC 流水级的传输函数曲线画出真值表，然后用卡诺图法推导出。

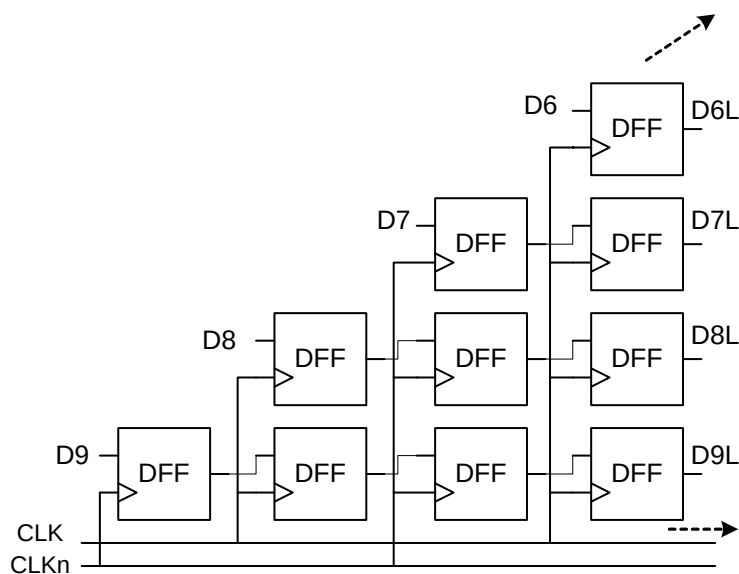


图3.26 时钟对齐电路

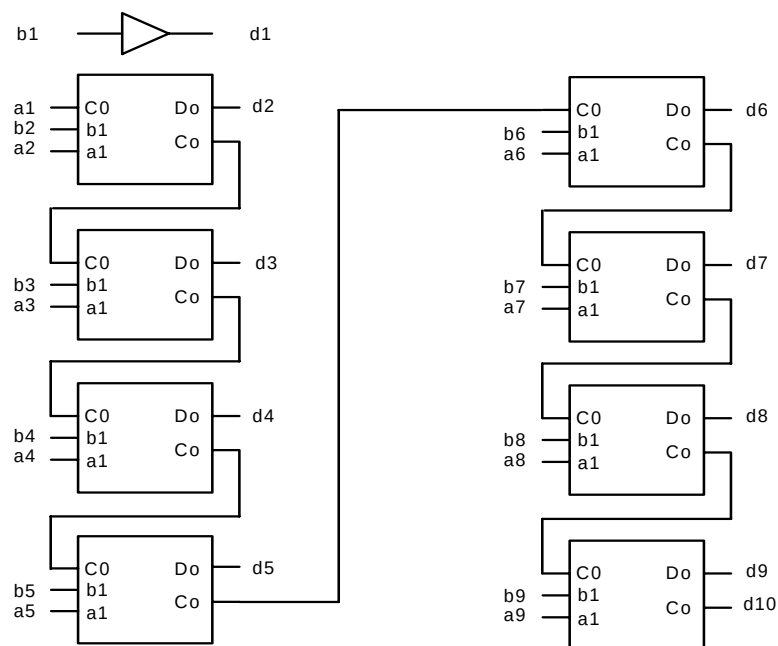


图3.27 数字校正电路

3.7 总体误差分析和参数设计

在3.1节中，已经讨论一些噪声和误差对采样保持电路的影响。事实上，由于每级的余量增益电路采用的结构和采样保持电路类似，所以运放有限增益和建立时间也是固定的误差源。因此，在流水线模数转换器中，误差的主要来源是采样保持电路的非线性和建立时间不足以及热噪声，级间增益误差，比较器失调等。采样保持电路和热噪声的问题前面已经讨论过了，这里只对级间增益误差和比较器失调进行分析。

3.7.1 余量增益电路的增益误差分析

与采样/保持电路不同，余量增益电路的增益误差会在流水线A/D转换器中引入微分非线性误差（DNL）。增益的大小由采样和反馈电容的比率及运放的直流增益决定。通常设计的运放直流增益足够大，它的影响可以忽略。则增益级的误差主要来自电容的匹配程度，以及运放的建立时间不足。

设流水线模数转换器每级实现1位，采用数字校正技术，则单级输出两位，一位用于数字校正，取采样电容值等于反馈电容，则传输函数可以写为

$$V_{out} = 2V_{in} \pm V_{ref}$$

根据以上假设，分别对三个因素作定量分析。在分析其中一种情况时其他参数设为理想状态。

3.7.1.1 电容的匹配

实际电路采样电容 C_s 与反馈电容 C_f 并不完全相等，其差值设为 $\Delta C = C_s - C_f$ 推导得：

$$\begin{cases} C_s = C + \frac{\Delta C}{2} \\ C_f = C - \frac{\Delta C}{2} \end{cases} \quad C = \frac{C_f + C_s}{2} \quad \frac{C_s}{C_f} = \frac{C + \frac{\Delta C}{2}}{C - \frac{\Delta C}{2}} \approx 1 + \frac{\Delta C}{C}$$

于是，传输函数变为

$$V_{out} = (2 + \frac{\Delta C}{C})V_{in} \pm (1 + \frac{\Delta C}{C})V_{ref}$$

3.7.1.2 运放直流增益

运算放大器有限的直流增益为 A ，对输出的影响为

$$V_{out} = (2V_{in} \pm V_{ref}) \cdot \frac{1}{1 + Af}$$

f 为反馈系数，则输出的传递函数可以改写为：

$$\begin{cases} V_{out} = (2V_{in} \pm V_{ref}) \cdot (1 + \frac{\Delta G}{G}) \\ \frac{\Delta G}{G} = -\frac{1}{Af} \end{cases}$$

3.7.1.3 运放建立时间

实际运算放大器的带宽不可能为无限大，输入信号需要经一段时间才能在输出端建立。为简化分析假设运放为简单的单极点结构，其时间常数为 τ ，输出电压可写为

$$V_{out} = (2V_{in} \pm V_{ref}) \cdot (1 - e^{-t/\tau})$$

$$\frac{\Delta G}{G} = -e^{-t/\tau}$$

根据以上的分析，总得闭环增益可以写为

$$G = (1 + \frac{C_s}{C_f}) \cdot (1 - e^{-t/\tau}) \cdot \frac{1}{1 + Af}$$

图 3.28 (a)是子 A/D 转换器输入和输出余量的关系，虚线表示理想情况（增益为 2），实线表示有增益误差的情况。

当 $V_i \rightarrow \left(\frac{V_r}{4}\right)^+$ 时， Δ 是余量增益电路的最大余量误差，它的值为

$$\begin{aligned} \Delta &= \frac{V_{\max}}{4} (G_{ideal} - G) \\ &= \left(\frac{\Delta G + \Delta B}{2} - \frac{3}{4} \Delta C \right) V_{ref} \leq \frac{1}{2} |\Delta G| + \frac{1}{2} |\Delta B| + \frac{3}{4} |\Delta C| \end{aligned}$$

其中运放有限增益和有限带宽带来的传输函数的增益误差为 ΔG 和 ΔB ，电容匹配精度为 ΔC 。另外，根据和采样保持电路类似的分析可以确定

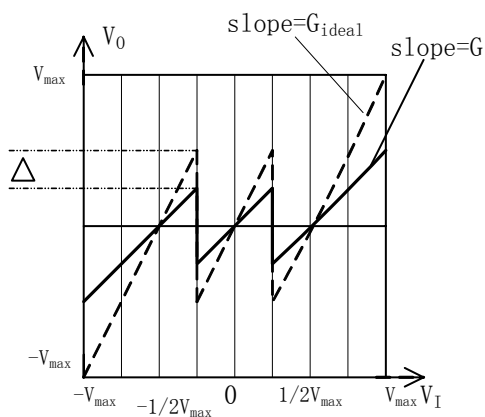
$$\Delta B = e^{-fGBWt}$$

其中 GBW 是运放单位增益带宽，f 为反馈因子，t 为运放建立时间。

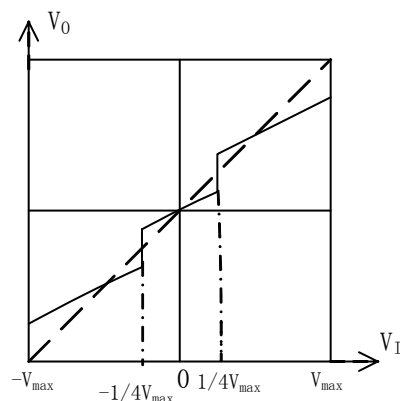
图 3.28 (b) 是流水线 A/D 转换器的转换特性曲线，虚线是理想转换曲线，实线是有增益误差时的转换曲线。余量增益电路的增益误差使转换特性曲线在 $-1/4V_{\max}$ ， $1/4V_{\max}$ 处不连续。从而引入 DNL，甚至误码（当时 $DNL > 1LSB$ ）。进一步分析可得到第 K 级余量增益电路增益误差和 DNL 之间的关系式

$$DNL_K = \frac{1}{4}(G_{ideal} - G) \frac{2^N}{G_{ideal}^k}$$

其中 N 是流水线 A/D 转换器的位数。



(a) 增益误差对余量的影响



(b) 增益误差对转换特性的影响

图3.28 增益误差的仿真结果

3.7.2 比较器失调及数字校正技术

在MADC结构中采用比较器实现输入电压与参考电压相比较，得到数字输出。实际的比较器必然存在着失调电压，假设流水线每级实现两位，设除了比较器阈值外其他因素都为理想状态，图3.29描绘了由于比较器的失调而引起的本级输出

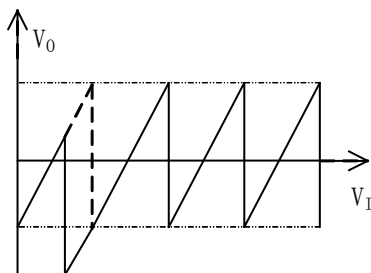


图3.29 比较器误差的影响

的转移曲线的变化。虚线代表理想状态的曲线，实线代表实际输出。可以看到由于比较器的失调，比较器阈值发生了变化，使得余量电压放大后相对下一级的电压输入范围溢出，结果是出现失码。对于比较器所产生的误差普遍采用数字校正技术予以消除。因此不再考虑对整体电路的失调影响。

第四章 芯片实现

前面一章介绍了一个3.3伏10比特100MHz流水线结构模数转换器的所有设计的具体电路。电路采用Charter的0.35um, 3.3V, 双层多晶硅, 四层金属, MIM电容的CMOS工艺实现, 物理实现需要在电路设计的基础上面更多的考虑匹配、寄生、干扰等因素。本章将介绍在具体实现时对时钟、驱动的可靠性考虑, 功耗的进一步优化以及参考电压的驱动电路, 最后是芯片的版图设计。

4.1 时钟产生和分配电路

所有的流水线模块工作在双相非交叠时钟控制下, 其中奇数级的时序与偶数级的互补, 为了保证时序的同步, 每级都有独立的时钟发生电路产生双相非交叠时钟, 由全局的H型时钟树驱动。时钟树保证芯片在整体上的时序同步, 避免发生相位错误, 每一级流水线结构均由双相非交叠时钟, 以及其延时时钟控制, 采用局部的时钟发生电路, 可以确保各时钟之间的相对相位关系。

时钟发生电路所需要完成的功能就是根据一路输入的基准时钟产生出6路具有一定相位关系的时钟。这6路时钟分2组, 2组时钟之间是双相不交叠的关系, 同一个组内的时钟之间存在边沿的延迟。这6路时钟信号依次命名为CA0, CA1, CA2, CB0, CB1, CB2。

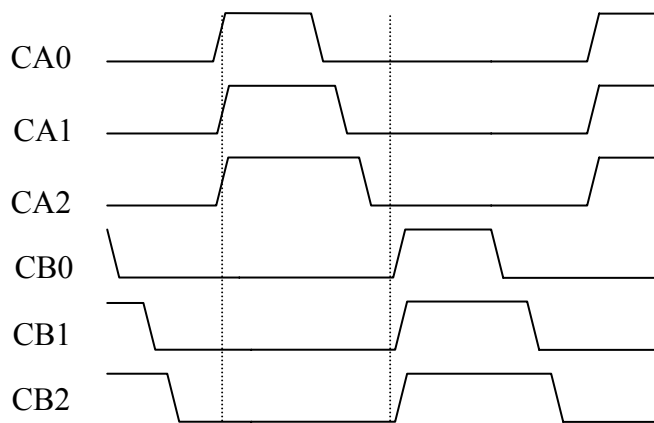


图4.1 时钟信号时序关系图

流水线中的每一级将用到这6个时钟信号中的4个, 所有的偶数级用CA0-CA2和CB2, 所有的奇数级用CB0-CB2和CA2。采样保持模块和第二级MDAC使用同一组时钟信号。这样分配时钟的目的是为了在相邻级之间交替分配时钟, 使得两个相邻级总是其中一个处于采用模式, 另一个处于保持模式。图4.1是这6个时钟信号的时序图。其中CA0和CB0是一对双相不交叠时钟, CA1、CA2、CB1、CB2分别是CA0和CB0的延时, 同时还有相应的反相时钟, 用于控制CMOS开关

中的 PMOS 管。因为当 MDAC 电路开始进入采样模式时，数字开关的闭合不会引入电荷注入误差，因此 CA0-CA2 和 CB0-CB2 的上升沿可以处在同一时刻。而 MDAC 在退出采样模式的时候，为了减小电荷注入误差，CA0-CA2 需要依次关闭。

图4.2是时钟发生电路图，它通过两路延迟单元交叉负反馈得到，前级是小驱动的倒相器相当于延时单元，输出前面较大尺寸的倒相器的目的是增大时钟的驱动能力。

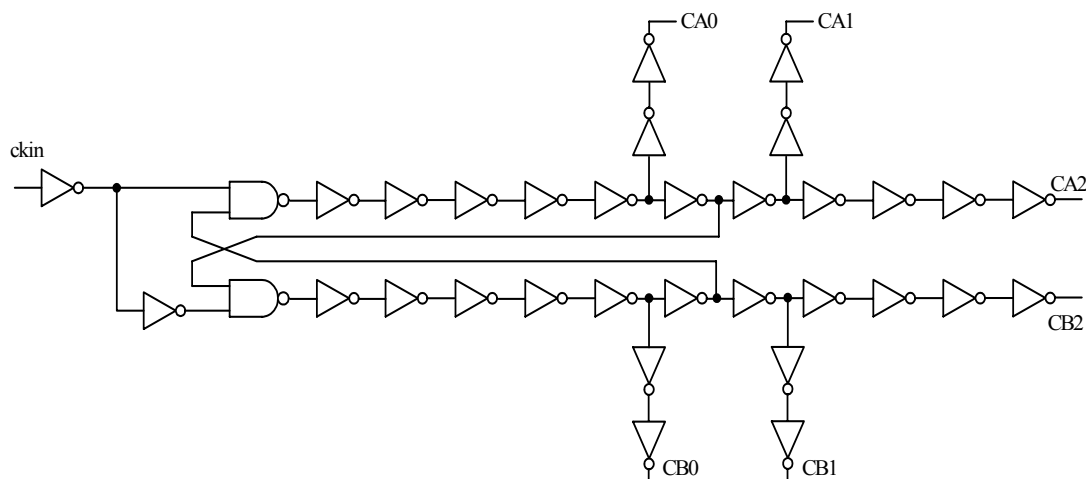


图4.2 时钟发生电路

每一级的时钟产生电路的输入信号通过时钟树来传递，这样就能使总体电路各模块的时钟不会出现相位偏差。图4.3中9个相互独立的时钟发生模块，分别去控制对应的9级流水线，相邻两级的时钟发生电路的时钟需要相互反相，图中的第10个模块用于测试时钟。此外，数字校正电路前面的时间对齐电路中还需要两路时钟信号，在实际芯片中也来源于时钟信号产生电路，电路结构同图4.2所示。

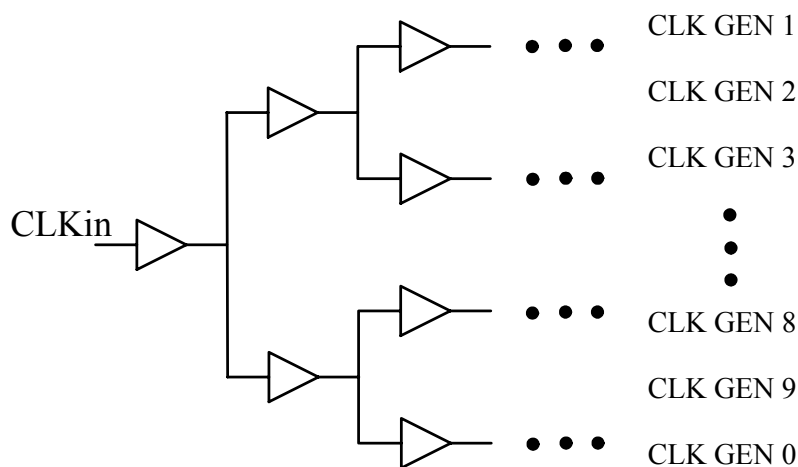


图4.3 时钟树结构

4.2 偏置电流

在整个流水线模数转换器中，每级的电路都需要一些固定的偏置电压。这些偏置电压由偏置电路产生。对于放大器来说，偏置电压的变化将对运放的性能造成很大的影响，尤其是运算放大器中控制偏置电流的MOS管上的栅压。为了使偏置电压不会因为长距离的芯片布线而产生电压下降，每级的运放都设有独立的偏置电路，提供固定的偏置电压。偏置电路由电流驱动，即参考源按电流（而不是电压）进行分配，每条支路所需要的基准电流可以由一个主电流通过电流镜的方式分配产生，如下图所示：

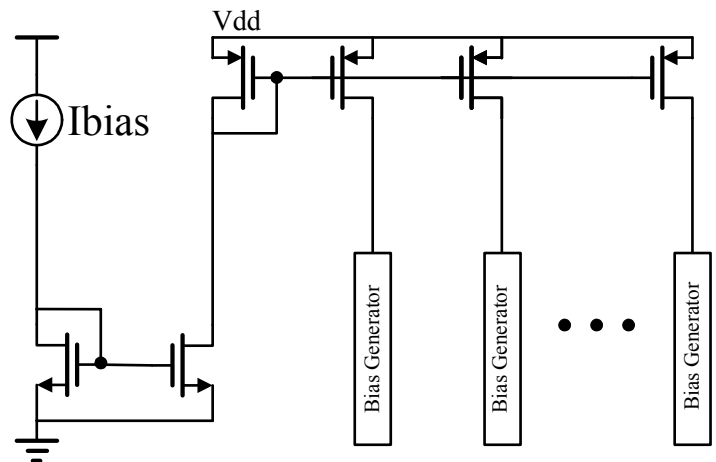


图4.4 芯片的总体电流偏置电路

图中，主偏置电流可以由两条支路分别输入，一个就是由前面的恒跨导偏置电路产生偏置的电流，作为片内的偏置电流源；另一条支路由片外输入，一方面便于原型芯片的测试分析，另一方面在片内偏置不能正常工作的时候，保证了基本电流源的正确性。

4.3 参考电压转换与驱动

子模数转换器（SubADC）的比较需要高低两个参考电平（ V_{refh} 、 V_{refl} ），采样保持（S/H）、余量增益电路（MDAC）以及比较器电路中都有一个参考的输入共模电压（ V_{cmi} ），为简化设计取同一值，另外在运放中还需要一个参考的共模输出电压（ V_{cmo} ），所以电路中共需要四个直流参考电平，其设计值见下表：

表4.1 参考电压

名称	电压值（V）
高参考电平（ V_{refh} ）	2.2(1.7+0.5)
共模输出电压（ V_{cmo} ）	1.7
共模输入电压（ V_{cmi} ）	1.2
低参考电平（ V_{refl} ）	1.2(1.7-0.5)

从表中可以看出，由于共模输入电压和低参考电平的值恰好一样，所以一共只需要三个直流参考电平。芯片外部通过基准源提供一个参考电压，需要通过内部转换得到三个参考的电平。图4.5是一个电阻负载的两级运放，通过电阻分压来实现电压的转换。

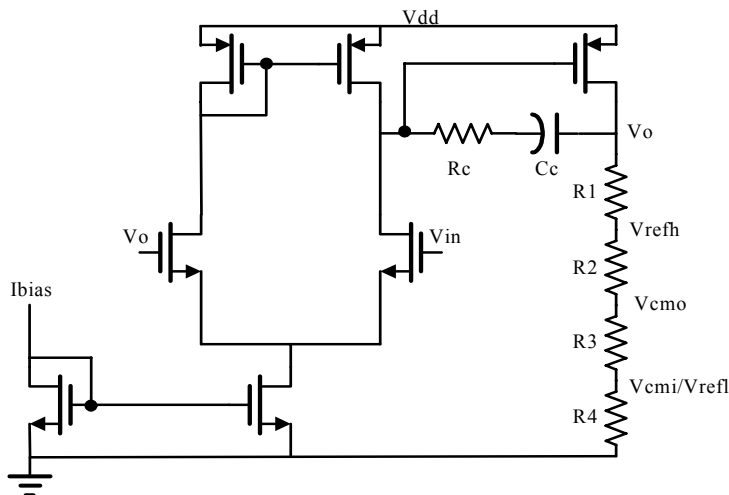


图4.5 参考电压的产生

分压得到的参考电平的驱动能力有限，都需要通过缓冲器去驱动电路，根据参考电压的电平，设计了一种缓冲器，用N管输入的二级运放作为缓冲器。如图4.6所示，一共需要四个缓冲器。

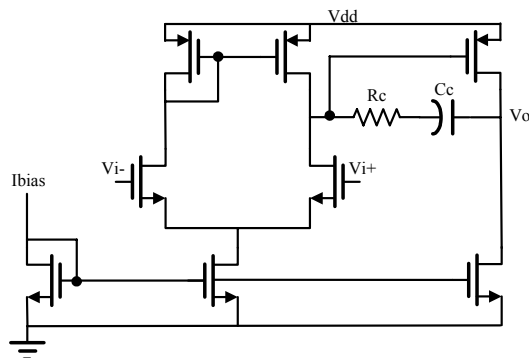


图4.6 驱动偏置电压的缓冲器

当余量增益电路工作在减法-保持模式的时候，采样电容的顶极板要接到DAC的输出，即缓冲器的输出，缓冲器的内阻将影响电路的建立时间，而且缓冲器要同时驱动多个余量增益电路，所以缓冲器的内阻要足够低，以使其内阻对建立时间的影响在可以接受的范围内。

4.4 总体电路仿真

在搭建完各个电路模块之后，需要对整体的电路进行性能的仿真，以检测电路是否符合设计的要求，并判断单元电路是否搭配合理。在版图设计验证后，将

从版图中提取寄生参数、引线延时和器件失配等代入电路进行后仿真。

本次设计是用的Charter0.35um 2P4M的混合信号spice工艺模型，在Cadence环境下，使用Hspice软件对电路进行仿真，采用3.3V的电源电压，整体的功耗只有142mW。图4.7是ADC的典型输出频谱，通过仿真得到的数据，使用Matlab软件进行分析，在70℃条件下，100MHz的采样频率，当 $F_{in}=42.6\text{MHz}$ 的时候，ADC的SINAD有61.3dB，在49.2MHz输入信号的情况下，SINAD仍可达到58.7dB，即具有9.46位的有效位数。

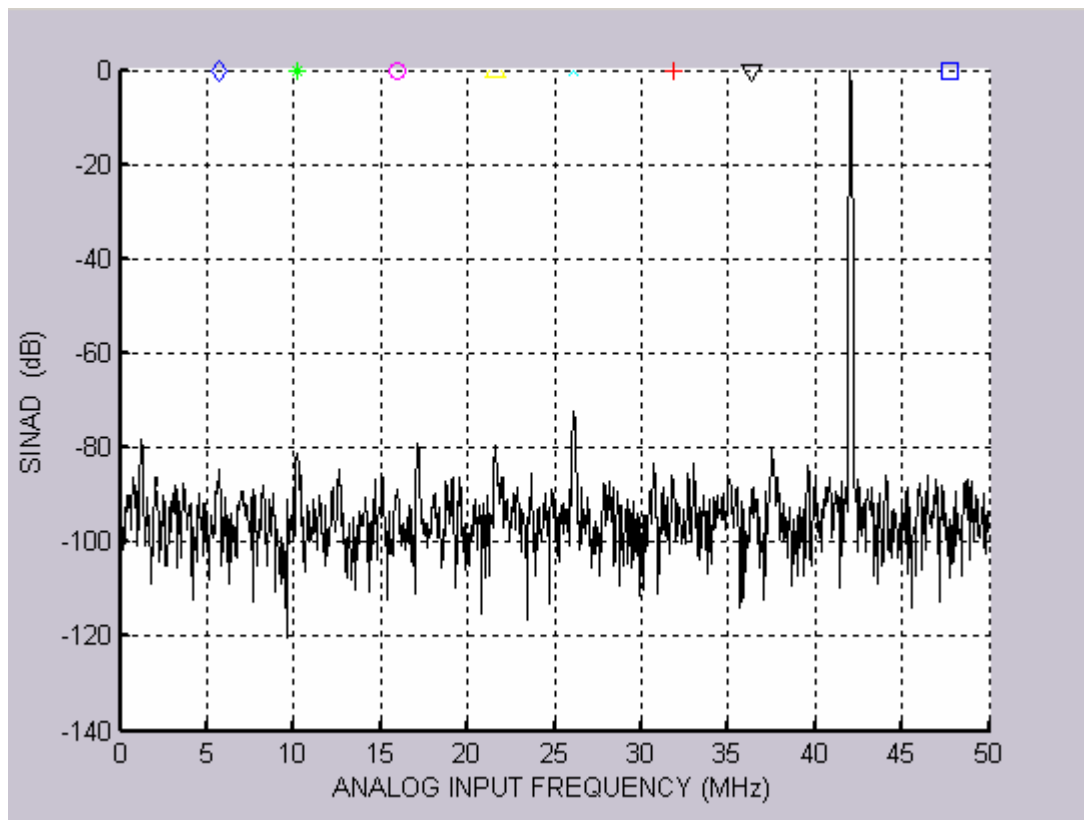


图4.7 转换器的典型输出频谱

4.5 版图设计和优化

版图设计主要包括各个电路模块的设计、芯片规划、布局布线等，是一个组合规划和拼接图形的过程。它在一个规则形状的平面区域内部布局各个电路模块。并在各个模块之间根据电路的连接信息要求进行布线。

本芯片最终在Charter 0.35um双层多晶硅、四层金属的CMOS工艺上实现。采用CADENCE系统软件提供的Virtuoso Layout软件进行版图的设计工作。在版图完成后使用Calibre工具从单元电路到系统进行DRC，LVS验证，并提取寄生参数进行了后仿真。

4.5.1 隔离与屏蔽

由于模数转换器芯片是属于数模混合电路,需要把模拟电路和数字电路集成到同一块芯片上。所以在设计过程中需要采取相应的隔离措施,使数字电路产生的开关噪声通过各种途径对模拟电路的影响尽量减小。在这里主要考虑衬底耦合噪声和同步开关噪声。首先,将数字地与模拟地分开,采用独立的引脚供电,将数字区域和模拟区域保持足够的距离并用N-P-N(NWell-PTap-NWell)结构三层隔离环隔开。对于敏感的模拟信号进行屏蔽,防止收到周围的干扰;对于一些变化频繁的数字信号,在其走线区域用N阱将其隔开,防止其干扰周围的信号。

对于敏感的输入信号不仅要注意匹配还要尽可能的避免受周围环境的干扰,所以通常都对其进行屏蔽。

增加地与衬底的接触,在没有器件和走线的空白地方多打衬底接触孔,并且与地线连接,这有利于收集衬底中的噪声电流,稳定衬底电位,减小干扰。

MOS管有源区的面积适度,面积小则等效电阻大,若流经MOS管的电流大则可能造成局部过热的现象;而面积大,噪声会加大。

4.5.2 匹配对称性的考虑

除了减小干扰以外,提高关键部位器件的匹配度也是版图设计中要考虑的一个重要环节。电路采用全差分结构,所以提高对称性首先要使得信号传输的布线对称,再有就是运放输入对管和采样保持电容的匹配。转换器中大多数电路以运算放大器为核心,而放大器均采用全差分的完全对称的电路结构。转换器主要采用开关电容电路实现采样保持、模拟减法、冗余放大以及产生参考电压、共模反馈等。因此,器件的匹配度会影响转换器的精度。

在实际版图设计过程中,所能保证的只是两个或者多个元件之间的相对精度。只要这些元件之间保持良好的几何对称性,就能够在存在工艺参数变化,温度漂移的环境下,各个元件的电学参数之间的比值基本保持不变。在设计时,必须把对称性要求高的元件放得尽量靠近,使得横向的跨度尽量小。

采样保持电容的不匹配会造成采样保持电路和余量增益的增益误差,因此应该特别重视电容的匹配。提高采样电容的匹配度,可以把精确的电容做在N阱中,以减小衬底对电容的影响,另外电容上尽量减小走线,电容的上下极板多开接触孔且分布均匀,以减小寄生效应。

在实际应用中关心的是两电容的比值,而非具体电容值,根据工艺条件设计单位电容,所有电容均是单位电容的整数倍,被分解成电容阵列,阵列中间距尽量小。在电容阵列的外侧,分别浮空的Dummy电容,使得各个主电容周围的环境保持一致,如图4.8所示。

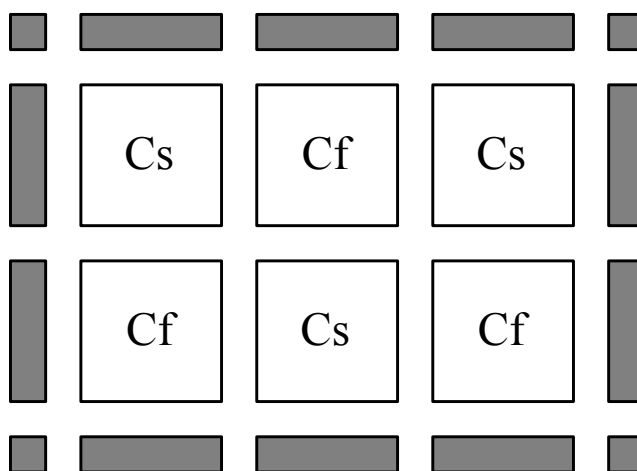


图4.8 电容的匹配

除了采样电容以外，采样保持放大器的速度和增益决定了整个模数转换器的速度和精度。运放版图的关键部分是差分输入对管。在版图设计的时候对差分输入对管的对称性要求非常高，如果匹配不好，那就会引入固定的失调误差。一般最常用的画法是对称交叉画法。把电路中的单个晶体管设计成多个单位管并联，相互交叉，这样做的目的是为了保证两个管子所处的物理环境充分一致，而不至于受到横向和纵向工艺参数的梯度的影响。相反，如果直接用两个很大的管子来实现差分对管，那么当在横向存在较大梯度的时候就会给差分对管带来较大的不对称性。

4.5.3 版图总体考虑和布局

在版图上进行系统整体版图布局时，要充分考虑模块之间的走线，避免时钟信号线对单元以及内部信号的干扰。模块间摆放时要配合压焊点(pad)的分布，另外，在布线时应充分注意对称性原则，对时钟线要充分考虑时延，不同的时钟信号布线应尽量一致，以保证时钟之间的同步性问题。信号的走线要完全对称以克服外界干扰。

铝线宽度的选取应考虑流经电流的大小，电流越大线越宽。第一层铝线尽可能作为内部连接用，第二层铝线用来做VDD线，GND线，数据总线，时钟线和其它低电阻连线。

为减少电容耦合，应避免把较长的第一层铝线通过有源区或多晶，也不可放在第二层铝线上。

图4.9是模数转换器的整体版图照片。输入差分的模拟信号从左上角经过栅压自举开关后进入采样保持电路，然后按照图中的箭头方向在ADC各级中流动。考虑到对称性数字校正电路和时钟电路放置在两排流水线的中间，这样就能够实现时钟树的分布结构，缩短时钟传递路径，并且可以最大程度上减少模拟信号和

数字信号的交叉。9级流水线分别位于上下两侧，各级运放尺寸与电容大小按精度要求缩小，中间是时钟树和数字校正电路，左下方是参考电压与共模电压的产生和驱动电路。在每一级中，运放位于最外边，中间是采样保持电路，最靠近数字电路的是开关和比较器，这样的目的是让最敏感的运放尽可能的远离干扰源。

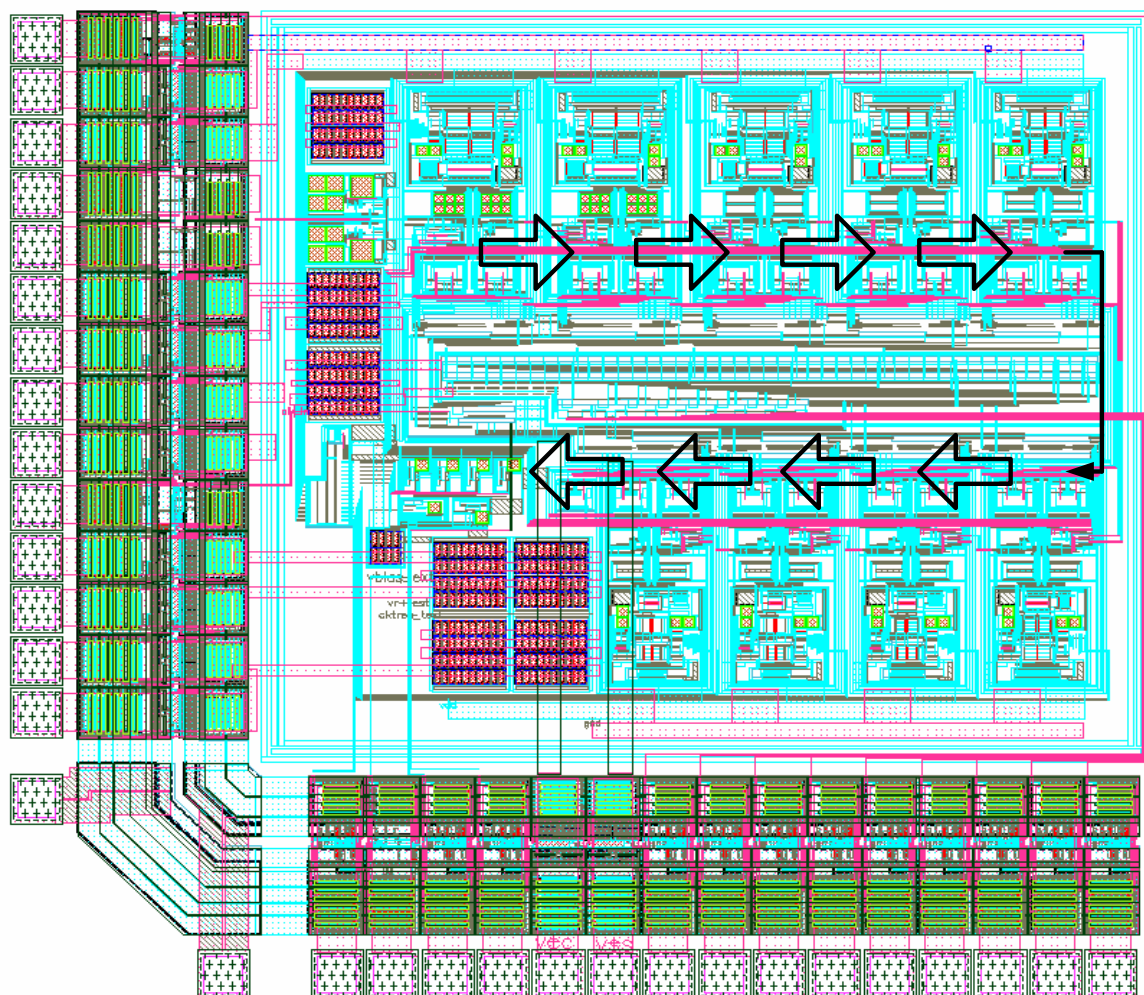


图4.9 整个芯片的版图照片

在版图空余的地方，填充了较多的电容，电容的一端接地，一端与外界输入的信号相连接，金属互连线在有空间的情况下，尽量取到最宽并且保证电源以及地电位的与金属互联线之间的距离超过2个最小间距。

第五章 芯片测试

模数转换器的测试目的是为了验证它的静态和动态特性。对于高速、高精度的模数转换器，需要对一个连续变化的模拟信号进行快速准确的量化，量化的精确程度受外界的干扰影响很大，如输入信号的噪声、信号反射、时钟的抖动等很多随即因素都会降低模数转换器的性能，从而给正确评估电路的性能造成了诸多不便。为了准确表征电路的特性和分析电路设计中存在的问题，需要设计测试电路，减小或避免外界因素对电路的影响，完成芯片的静态和动态测试。

5.1 模数转换器的参数定义

模数转换器的功能是将连续的模拟信号量化成离散的数字信号。输入是模拟信号，通常是模拟电压，输出是数字编码。模拟输入可以是0到 V_{ref} 之间的任意值，而数字编码被限制在固定或离散的幅度上。幅度为 V_{in} 的输入信号经过理想的 N 比特模数转换量化后结果如下：

$$V_{in} = \frac{V_{FS}}{2^N} \sum_{k=0}^{N-1} b_k 2^k + \varepsilon$$

其中， V_{FS} 表示模数转换器的满幅量程， b_k 是模数转换器各位量化输出， ε 是量化误差。

模数转换器有很多不同的参数去衡量其在某一方面的性能或误差，一般分为静态参数和动态参数两个部分。

5.1.2 静态特性参数

1. 分辨率

分辨率刻画了模数转换器的最小的量化能力。分辨率定义为量程除以量程的子区间数，即各分立输出电平间最小的量化间隔： $1LSB$ 。

$$\Delta V = 1LSB = \frac{V_{FS}}{2^N}$$

式中 N 为ADC的位数，图5.1是3位理想ADC的输出曲线，其分辨率为 $V_{FS}/8$ 。一个高分辨率的模数转换器比低分辨率的模数转换器转换出更小和更精确的信号。实际中分辨率会受到噪声、非线性等因素的影响而降低。

2. 量化噪声

理想的模数转换器都具有与转换过程相关的，不能减小的误差，这是量化的不确定性所引起的。

图5.1是一个3位ADC的传输特性曲线，横坐标表示模拟输入信号的幅度，纵坐标表示离散的数字输出信号。可见，由于ADC数字位数的限制，传输曲线从理想的直线（图中虚线）变成了台阶状，它和理想传输曲线之间的差值就是这个ADC的量化误差。图中的下部分就是输入与量化误差的关系，转换器不能区分输入小

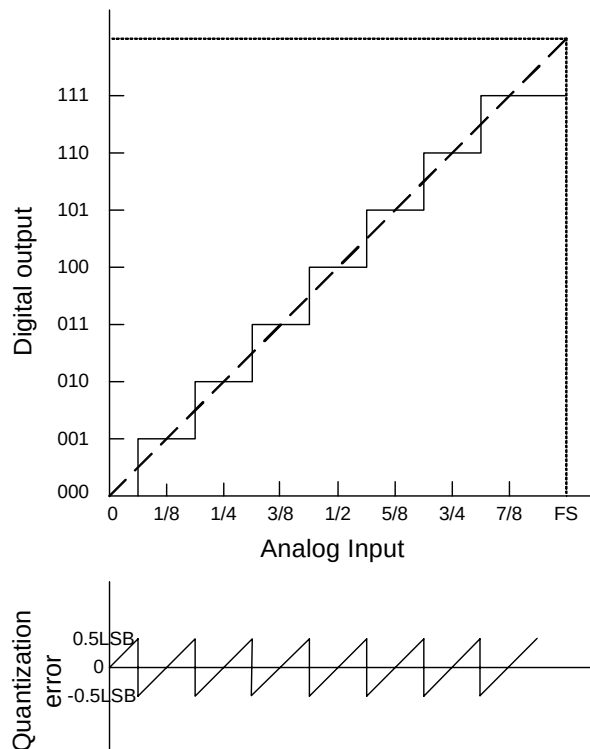


图5.1 一个3位ADC的传输特性和量化误差示意图

于 ΔV 的模拟差异，因此一般情况下量化误差绝对值最大为 0.5LSB ，是ADC固有的部分。为了使量化误差减小，即传输曲线更加拟合理想的传输曲线，应该增加ADC量化的位数，即提高精度。

3. 失调误差

所谓失调误差就是指实际的模数转换器的最低一个判决电平和理想的模数转换器的最低的一个判决电平之间的差值。

4. 增益误差

所谓增益误差就是指去除失调误差，也就是把实际的模数转换器和理想的模数转换器的最低判决电平对齐之后，两者的最高判决电平之间的差值。

5. 微分非线性误差（DNL）

DNL也就是Differential Non-linearity，即差分非线性误差。对于理想的模数转换器而言，相邻两个判决电平之间的差值正好是一个LSB。对于实际的模数转换器而言，这些差值就不会正好等于一个LSB。这些差值和一个LSB的差值就是差分非线性误差。DNL可以用下式来表示：

$$DNL(n) = \text{Decision Level}(n+1) - \text{Decision Level}(n)$$

由此可见，DNL 的具体数值依赖于具体的输出码字。如果不指定具体的码字而衡量整个模数转换器的差分非线性误差指标，则指所有码字的差分非线性误差中最大的一个。

6. 积分非线性误差（INL）

INL也就是Integral Non-linearity，即积分非线性误差。对于一个理想的模数转换器而言，所有的判决电平都位于一条直线上。对于一个实际的模数转换器而言，这些判决电平不会完全在一条直线上，每一点都会存在或多或少的偏移。

在所有的静态参数中，DNL和INL是相对比较重要的参数，通过这两个参数来衡量模数转换器的转换特性与理想情况下的转换特性存在的非线性误差。DNL指实际转换特性中所有台阶宽度与理想台阶宽度（1LSB）之差的最大值；而INL指实际传输特性中的量化参考值与理想参考值之差的最大值，其中，量化参考值是台阶跳变处对应的模拟输入值。

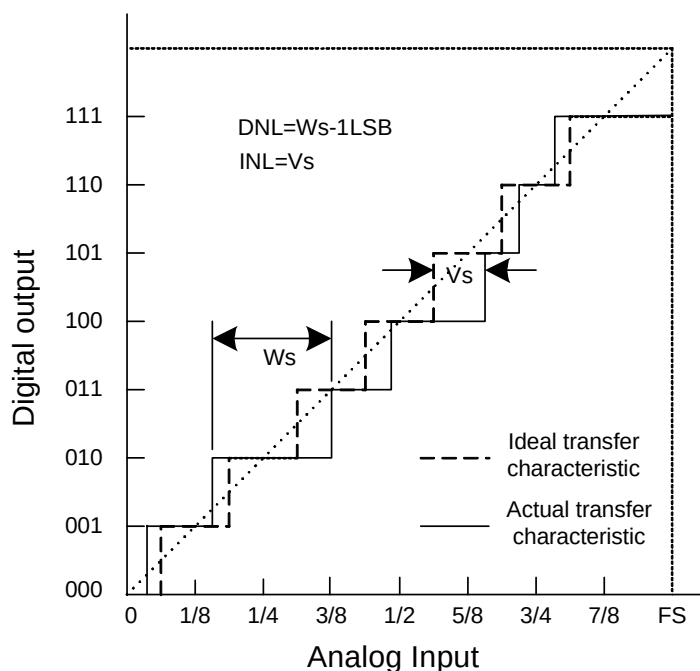


图5.2 实际ADC的传输曲线

5.1.3 动态特性参数

动态性能反映模数转换器以一定频率对交流输入信号进行转换时的特性，因此这些特性与A/D转换器的转换速率以及输入信号的频率和幅度有关。

1. 信噪比 Signal-to-Noise Ratio (SNR)

信噪比是指ADC输出端的信号与噪声之比，通常用dB表示，记作S/N或SNR。其中信号指基波分量的有效值，噪声指在奈奎斯特频率 ($f_s/2$) 以下全部非基波分量，但不包括直流分量的总有效值。它的表达式为：

$$SNR = 20 \log(A_{signal}[rms] / A_{noise}[rms]) dB$$

对于理想的ADC来说，噪声主要来自于量化噪声，对于正弦输入信号，信噪比的理论值为： $SNR=(6.02N+1.763) \text{ dB}$ ，其中N为ADC的位数，这也是实际ADC的SNR的上限。

2. 信噪失真比 Signal-to-Noise And Distortion ratio (SINAD)

信噪失真比又称信纳比，指被测输入信号的有效值与奈奎斯特频率以下的全部噪声和谐波（不包括直流分量）的总有效值之比，记作S/(N+D)。实际上与信噪比的定义相似，只是为了强调音频领域中的谐波失真。SINAD的数学表达式为：

$$SINAR = 20 \log(A_{\text{signal}}[rms]/(A_{\text{noise}}[rms] + A_{\text{harmonic}}[rms]))dB$$

其中， A_{signal} 是被测输入信号幅度的均方根， A_{noise} 为输出噪声幅度的均方根， A_{harmonic} 是谐波分量，两者都在奈奎斯特频率以下。

3. 总谐波失真 Total Harmonic Distortion (THD)

总谐波失真指ADC输出信号中包含的全部谐波分量的总有效值与满度输入信号有效值之比，用dB或%表示。对于高于奈奎斯特频率的输入信号和谐波分量使用其混叠分量。THD的数学表达式为：

$$THD = 20 \log[\sqrt{(V_{HD-2}^2 + V_{HD-3}^2 + \dots + V_{HD-N}^2)} / V(f_{in})]dB$$

其中 $V(f_{in})$ 为信号幅度（有效值）， V_{HD-2} ， V_{HD-3} ，……， V_{HD-N} 为2，3，……，N谐波的幅度（有效值）。

4. 无杂散动态范围 Spurious-Free Dynamic Range (SFDR)

输入信号有效值与峰值杂散信号有效值之间的分贝值（dB）之差称为无杂散动态范围。SFDR的数学表达式为：

$$SFDR = 20 \log(V(f_{in})/V_{\text{spur max}}) = (20 \log V(f_{in}) - 20 \log V_{\text{spur max}})dB$$

其中 $V(f_{in})$ 为信号幅度有效值， $V_{\text{spur max}}$ 为最大的杂散分量的有效值。

5. 有效位数 Effective number of bits (ENOB)

由于ADC在实际应用中存在噪声和失真，从而影响了ADC的实际分辨率，等效的降低了ADC的位数。ADC实际可以达到的位数成为有效位数。ENOB数学表达式为：

$$ENOB = (SINAD - 1.736) / 6.02$$

5.2 测试方案

5.2.1 静态特性测试

在静态测试中,被测转换器的精度通过重复的施加一系列精确的直流输入电平并测量输出信号来确定。这样就能够确定模数转换器的传输特性曲线。静态性能测试最直观的方法就是采用一个精密的信号源产生一个近似直流的斜坡信号,缓慢的扫过ADC的量程范围,并且全程记录ADC输入模拟电压值和相对应的输出数字信号。最后,可以根据所绘的传输曲线来计算DNL和INL的值。但是,这类模拟激励有几个缺点。(1)引入其它误差。由于缓变的斜坡是通过一个数字电压计(DVM)产生,尽管这个数字电压计可以做的很精密,噪声很小,但还是会给电路中引入DAC误差,因此16bit以上的ADC很少采用该方法测试。(2)精度有限。DVM和测量ADC输入转折电压的数字电压表的精度制约测试方案的精度。(3)效率低。由于要依次测出每个数字码对应的输入电压,因此测一个AD需要很长时间,所以该方案只适合小规模和中等精度ADC的测试。

实际上,斜坡很难动态产生,因为每一步都有上升时间、下降时间和建立时间。由于测试ADC的输入信号的分辨率必须优于被测器件,输入斜坡实际上必须比被测器件的分辨率至少多两位,最好多四位。当测试高速或者高分辨率转换器时,这个要求经常难以满足。

码密度法是比较常用的静态测试方法。码密度测试是在ADC的输入端加一幅度略大于AD输入范围的低频正弦信号,采集输出信号,统计每个数字码的出现次数 $N(i)$,通过数学计算可以得到AD的转移曲线,即数字输出码 i 对应的输入电

$$V_i = -A \cos(\pi \sum_{j=0}^i N(j) / \sum_{k=0}^{2^N-1} N(k))$$

压通过计算得到模数转换器的DNL和INL。不过,采用码密度法测试时需要注意以下几个问题:1、输入信号幅度略大于AD输入范围。因为考虑到实际中存在失调,所以只有输入信号大于满量程才能保证全0和全1的数字码都能出现,而且还能减小误差的主要来源——正弦峰值附近的误差。2、输入信号的频率与数据采集仪的采样频率具有不相关性即互质,这样才能使得ADC的采样覆盖输入信号整个幅度范围。3、尽可能选择三角波或者锯齿波作为测试输入信号,因为这样的波形量化后的码密度理论上是平均分布的,这样便于计算和分析。4、采样的总点数应该满足公式: $N_t \geq \frac{Z_{a/2}^2 \pi 2^{n-1}}{n^2}$ 式中 N_t =采样点数, n =AD精度, σ =INL, DNL所需精确度, $Z_{a/2} = \sqrt{2} \operatorname{erfc}^{-1}[1 - (1 - \sigma)2^{-n}]$ 。

由于码密度测试精度高,速度快,所需仪器简便,故采用该方法测试静态特性。

5.2.2 动态特性测试

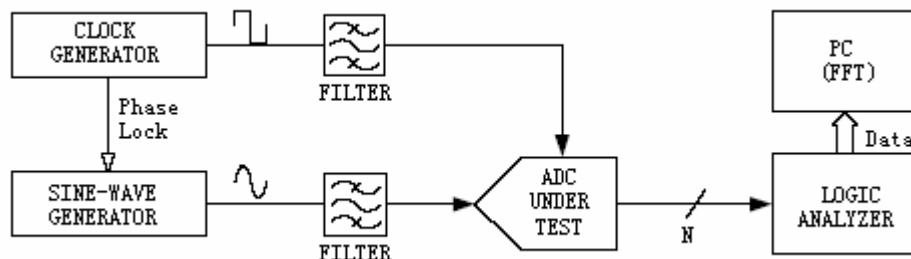


图5.3 ADC动态测试方案

动态性能测试的主要方法是快速傅立叶分析。将干净的正弦信号输入ADC，然后对ADC输出进行频域分析，计算出各个动态性能参数，如SINAD，SFDR等。测试方案如图5.3，测试所需的正弦信号通过函数发生器产生，并经过相应频率的带通滤波器，得到干净的输入信号，时钟信号可以用专用的时钟信号发生器产生，它们之间还需要相位锁定，这样可以使采样信号和时钟信号维持固定的相位偏差。最终的ADC的量化结果由逻辑分析仪采集，并送入PC进行FFT分析。需要注意的有以下几点：1、正弦信号频率与采样频率必须互质。2、采样点数必须为2的整数次幂，且采样点数恰好覆盖整数个周期，否则会引起频谱泄漏。3、为了减小频谱泄漏的影响，采用数据加窗，可以选择blackman、hamming、hanning窗等。4、输入信号的质量将严重影响测试的结果，为了保证测试的准确性，ADC输入信号的动态性能指标应该远远大于ADC要达到的指标。因此，应该选择性能较好的信号发生器，并且选择适当的带通滤波器，另外可以用频谱分析仪检验输入信号的质量。

5.3 测试电路设计

5.3.1 信号输入电路

因为被测ADC需要差分信号输入，但是现有的信号发生器只能产生单端的测试信号，所以首要的问题是将单端信号转化为差分的输入信号。最常用的方法就是采用变压器交流耦合的办法，如下图。

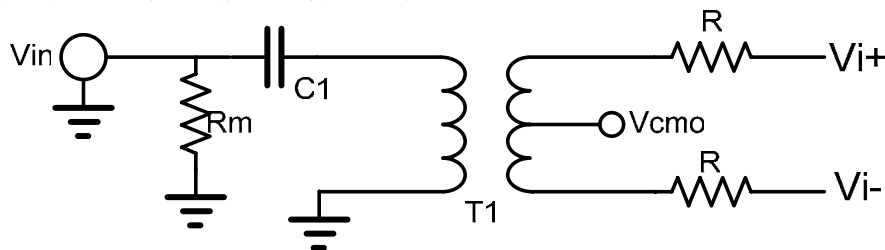


图5.4 变压器交流耦合差分信号输入

对于测试动态性能的高频信号，高频输入通过 SMA 连接端子输入，图中电阻都是用来做阻抗匹配的，C1 为隔直电容， V_{cm} 提供差分输入的共模电平。采用变压器作为信号耦合的最大好处就是信号输入正负端对称性好，而且没有有源电路噪声和失真的影响。不过，变压器的结构比较适合比较高频率的输入信号，因为它本身就是一个高通器件。如果想测试 ADC 静态性能的话，那么必须采用基于运放的直流耦合输入电路。图 5.5 就是单端变双端的运放连接方式。采用了全差分运放 AD8139，其在高频低频均可转换，且-3dB 带宽可达到 410MHz，满足研究的要求。其中 V_{in} 为信号发生器中输出的正弦信号， V_{cmo} 为共模电压。

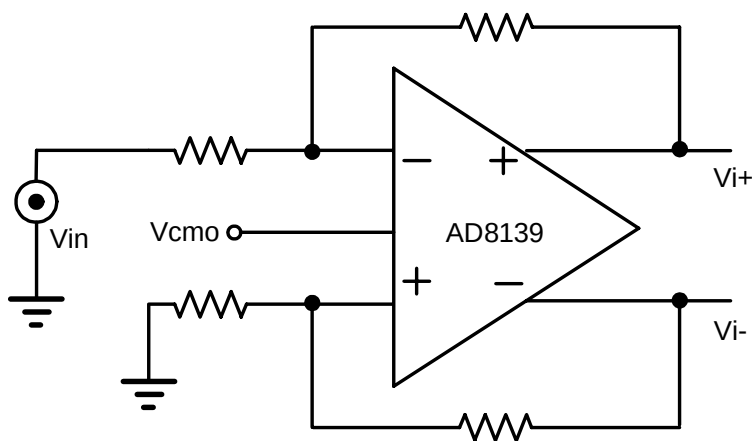


图 5.5 单端-双端的变换电路

5.3.2 参考电压

由于被测试的模数转换器需要外加基准的电压，所以测试电路需要提供稳定的基准电压，参考电压源不但要有一定的精度，同时还要有足够的驱动能力。

这里采用基准电压源 MAX6129 来产生基准电压，0.4%初始精度和 40ppm/°C (最大值)温度系数使 MAX6129 适用于高精度应用。此外，内置补偿电容无需外部补偿电容，并可稳定的工作于最高 10μF 负载电容下。OUT 管脚输出电压为 2.5V，然后采用电阻分压来产生精确的基准电压。

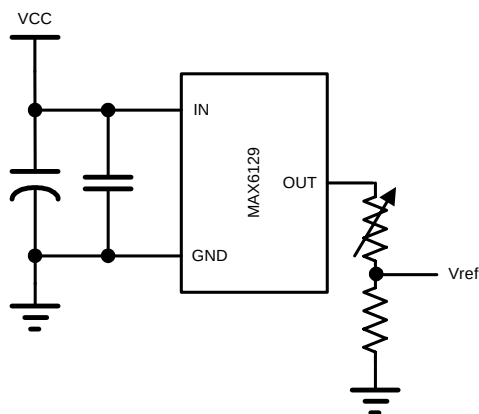


图 5.6 基准电压产生电路

5.3.3 时钟电路

由于ADC 的采样频率较高，如果直接使用方波发生器产生采样时钟信号的话，那么就会面临如何将高频的方波信号高质量的传输至ADC的问题，对于高频率的时钟，当经过连接端子和PCB走线后容易产生一些信号完整性的问题，影响时钟信号质量，会给测试带来意想不到的后果。所以，一般来说，通常使用同频率一个正弦波，通过同轴电缆传输至PCB上，然后再进行时钟整形，这样就可以避免方波信号在传输过程中出现的一些信号完整性的问题，也避免了时钟信号产生额外的抖动。

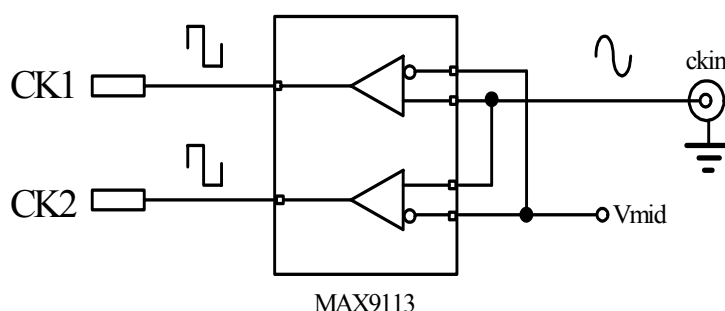


图5.7 时钟整形电路

图 5.7 就是测试电路采用的时钟整形电路，核心部件为 MAX9113，内部为两个高速比较器，比较器一端都接固定电平，另一端接时钟信号，当时钟信号电平高于设定电平时，输出时钟信号电平为高，反之为低。电路产生两路相同的时钟信号，其中一路是 ADC 的采样时钟，另外一路是分配给逻辑分析仪采集数据。

5.4 PCB 设计

高速高精度模数转换器的测试工作的一大难点是必须保证整个测试系统的每一个环节引入的噪声都要足够小。使用高精度仪器产生输入信号和时钟信号只能保证一个低噪声的信号源，为了减小信号在传输过程中受到的干扰，可以使用同轴电缆把信号接到测试电路上，需要在测试电路板上做同轴电缆的接口

（BNC）。在制作 PCB 的时候需要遵循高速电路板的设计原则，降低电磁干扰、保证信号完整性，这样才能测试出 ADC 本征的性能指标。

PCB 允许多层布线，其中有两层专门用作电源平面和地平面。这个平面最好不要有被腐蚀的痕迹，以免因为局部不连续而受干扰。为了防止高速数字电路对模拟信号的干扰，将测试电路中模拟电路和数字电路分开，各自拥有独立的电源和地平面。以下是 PCB 设计中需要重点关注的环节：

- 为保证ADC电源电压的稳定性，应该在ADC电源引脚上靠近ADC处外接旁路电

容，并且尽可能在同一层面采用表面贴装元件，减小引线寄生电感和电容。

- 尽量避免在敏感器件下方走高频数字线，否则数字噪声会耦合到芯片上。
- 信号、时钟的输入和传输的每个环节，都需要进行阻抗匹配，以确保信号完整性。
- 模拟的电源线要尽量做得粗，使得电阻尽量低，电感尽量小，可以减小开关电流对电源电压的高频干扰。数字信号线和模拟信号线尽量避免交叉。正反两面的布线尽量正交，以减小相互干扰。

第六章 总结与展望

6.1 总结

在高端视频信号处理系统和高性能数字通讯系统中均用到了采样速率100MS/s左右, 动态范围近60dB的ADC。例如, 在传统的电视系统中需要一个转换精度达到8bits, 采样速率在20MHz左右的ADC; 而在新近推出的高清晰数字电视系统中需要一个转换精度达到10bits, 采样速率为50MHz-75MHz的ADC。可见, 为了满足上述众多需求, 研究高速、高精度ADC的工作具有十分重要的意义, 尤其是用标准CMOS工艺实现的高速、高精度ADC。

本篇论文在分析比较各种高速模式转换器的结构特点后, 以流水线结构具体完成了一个3.3伏10位100MHz采样频率模数转换器的设计与芯片实现, 研究讨论了高速模数转换器的测试方法。论文按照从系统结构到具体电路的流程阐述了本篇论文所设计的模数转换器, 在此基础上介绍了芯片实现的可靠性考虑。

在实现这个模数转换器的过程中主要完成的工作有:

1. 研究模数转换器的基本设计理论, 详细介绍了模数转换器的性能参数的定义, 方便以后的计算。
2. 基于噪声和功耗的总体考虑, 选择1.5位每级的9级流水线结构实现, 实现3.3伏10位100MHz采样频率的模数转换器。
3. 运放采样套筒式结构, 在获得高速、高增益性能的同时尽量降低其功耗, 并逐级缩小运放的尺寸以进一步优化功耗。
4. 完成芯片的版图设计, 并在实现时, 采用时钟树驱动分布独立的时钟发生电路, 避免在高速工作情况下由时钟延时的不匹配造成相位误差。

6.2 未来工作展望

设计从系统分析到电路实现, 性能仿真以及到最后的流片, 实现了一个完整的流程, 由于流片时间的关系, 目前芯片只完成了封装和测试的方案设计, 有待进一步详细的测试和分析。所以, 接下来的首要工作是完成芯片的整体测试, 同时完善测试系统。

在完成详细的测试后, 接下来的工作就是围绕ADC的优化来进行。

可以尝试采用共享运放的方法, 减少运放的数目。这样就可以大大降低运放部分的功耗, 也就大大降低了ADC的整体功耗。

改进设计, 增加ADC的输入带宽, 使ADC适用于多种应用。

参考文献

- [1] Byung-Moo Min, Peter Kim, Frederick W. Bowman, David M. Boisvert and Aelo J. Aude. A 69-mW 10-bit 80-MSample/s Pipelined CMOS ADC [J]. IEEE J. Solid-State Circuits, 2003, 38(12):2031-2039.
- [2] Andrew M. Abo, Paul R. Gray. A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Convert [J]. IEEE J. Solid-State Circuits, 1999, 34(5):599-606.
- [3] Stephen H. Lewis, Paul R. Gray. A Pipelined 5-Msample/s 9-bit Analog-to-Digital Convert [J]. IEEE J. Solid-State Circuits, 1987, 22(12):954-961.
- [4] Stephen H. Lewis, H. Scott Fetterman, George F. Gross, Jr. R. Ramachandran and T. R. Viswanathan. A 10-b 20-Msample/s Analog-to-Digital Convert [J]. IEEE J. Solid-State Circuits, 1992, 27(3):351-358.
- [5] Thomas Byunghak Cho and Paul R. Gray. A 10b, 20 Msample/s, 35mW Pipeline A/D Convert [J]. IEEE J. Solid-State Circuits, 1995, 30(3):166-172.
- [6] Iuri Mehr and Larry Singer. A 55-mW, 10-bit, 40-Msample/s Nyquist-Rate CMOS ADC [J]. IEEE J. Solid-State Circuits, 2000, 35(3):318-325.
- [7] Wenhua Yang, Dan Kelly, Iuri Mehr, Mark T. Sayuk and Larry Singer. A 3-V 340-mW 14-b 75-Msample/s CMOS ADC With 85-dB SFDR at Nyquist Input [J]. IEEE J. Solid-State Circuits, 2001, 36(12):1931-1935.
- [8] Klaas Bult and Govert J. G. M. Geelen. A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain [J]. IEEE J. Solid-State Circuits, 1990, 25(12):1379-1384.
- [9] Kush Gulati and Hae-Seung Lee. A High-Swing CMOS Telescopic Operational Amplifier [J]. IEEE J. Solid-State Circuits, 1998, 33(12):2010-2019.
- [10] Hae-Seung Lee. A 12-b 600ks/s Digitally Self-Calibrated Pipelined Algorithmic ADC [J]. IEEE J. Solid-State Circuits, 1994, 29(4):509-515.

-
- [11] Germano Nicollini, Francesco Moretti and Mauro Conti. High-Frequency Fully Differential Filter Using Operational Amplifiers Without Common-Mode Feedback [J]. IEEE J. Solid-State Circuits, 1989, 24(6):803-813.
- [12] Andrew N. Karanicolas, Hae-Seung Lee and Kantilal L. Bacrania. A 15-b 1-Msample/s Digitally Self-Calibrated Pipeline ADC [J]. IEEE J. Solid-State Circuits, 1993, 28(12):1207-1215.
- [13] G. M. Yin, F. Op't Eynde and W. Sansen. A High-Speed CMOS Comparator with 8-b Resolution [J]. IEEE J. Solid-State Circuits, 1992, 27(2):208-211.
- [14] Paul J. Hurst and Stephen H. Lewis. Determination of Stability Using Return Ratios in Balanced Fully Differential Feedback Circuits [C]. IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing, 1995, 42(12):805-817.
- [15] Howard C. Yang and David J. Allstot. Considerations for Fast Settling Operational Amplifiers [C]. IEEE Trans. Circuits and Systems, 1990, 37(3):326-334.
- [16] Yong-In Park, S. Karthikeyan, Frank Ysay and Eduardo Bartolome. A low power 10 bit, 80 MS/s CMOS pipelined ADC at 1.8V power supply [P]. IEEE 2001: I580-I583.
- [17] Chi-tat Tam and Mohamed I. Elmasry. An Experimental Low-Power CMOS Pipeline ADC Using Feedforward Sample-and-Hold Amplifier [P]. IEEE: 1998:257-260.
- [18] Cheng-Chung Hsu and Jieh-Tsong Wu. A 33-mW 12-Bit 100-MHz Sample-and-Hold Amplifier [P]. IEEE 2002: 169-172.
- [19] Jie Yuan, Nabil Farhat. A Compensation-based Optimization methodology for Gain-booster Opamp [P]. IEEE 2004: I669-I672.
- [20] D. Shahrjerdi, B. Hekmatshoar, M. Talaic and O. Shoaci. A Fast Settling, High DC Gain, Low Power Opamp Design for High Resolution, High Speed A/D Convert [P]. ICM 2003 Dec. 9-11:207-210.
- [21] Yun Chiu, Ken Wojciechowski. A Gain-Boosted 90-dB Dynamic Range Fast Setting OTA with 7.8-mW Power Consumption [P]. Berkeley, CA 94720.
- [22] 朱臻. 高速数据采集与转换的研究 [D]. 上海: 复旦大学, 2002.
- [23] 王照钢. 1.8V 8比特 125兆赫兹流水线模数转换器 [D]. 上海: 复旦大学,

- 2004.
- [24]施宇峰. 10比特1.8伏100兆赫兹流水线结构模数转换器 [D]. 上海:复旦大学, 2005.
- [25]唐林. 10 位 80MHz 流水线结构模数转换器关键单元设计 [D]. 成都:电子科技大学, 2004.
- [26]唐鹏. 高速高精度模数转换器研究 [D]. 西安:电子科技大学, 2003.
- [27]岂飞涛. A 10-bit 30MSps Pipelined ADC [D]. 天津:南开大学, 2004.
- [28]陈超. CMOS PIPELINE ADC的分析与设计 [D]. 南京:东南大学, 2003.
- [29]石艳梅. 1.5Bit/级 pipelined ADC 典型单级电路结构实现研究 [D]. 成都:电子科技大学, 2004.
- [30]Ojas Choksi and L. Richard Carley. Analysis of Switched-Capacitor Common-Mode Feedback Circuit [C]. IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing, 2003, 50(12):906-917.
- [31]Won-Chul Song, Hae-Wook Choi, Sung-Ung Kwak and Bang-Sup Song. A 10-b 20-Msample/s Low-Power CMOS ADC [J]. IEEE J. Solid-State Circuits, 1995, 30(5):514-521.
- [32]黄飞鹏. 适宜于系统集成的高速低功耗模/数转换器(ADC)的研究 [D]. 上海:复旦大学, 2005.
- [33]拉扎维·毕查德. 模拟CMOS集成电路设计 [M]. 西安:西安交通大学出版社, 2003.
- [34]李福乐. 适宜于系统集成的高速高精度模数转换器电路设计技术研究 [D]. 北京:清华大学博士论文, 2003.

致谢

三年研究生的学习生活学会了很多，能顺利完成论文课题的研究和撰写工作，得到了各位老师、同学和实验室的学长、学弟学妹的关心和帮助，感谢学校和实验室提供了很好的学习与生活环境。

首先要感谢我的导师闵昊老师。本科毕业的时候什么都不懂，有幸进入重点实验室，并师从闵老师，得益于闵老师渊博的学识和丰富的行业经验，不但在项目科研上得到了老师的悉心指导，同时也拓展了个人的视野，对于整个微电子行业的业界发展有了更清晰的认识。每当我遇到问题的时候，闵老师总能够一针见血地指出问题的关键所在。闵老师注重对能力的培养，除了教会我们如何做好学术研究以外，在生活处世等方面也给我们很多启示和指导，在三年的学习生活中，我不但学会了学习，也学会了要怎样做人。在此，我谨向导师致以衷心的感谢和崇高的敬意。

其次要感谢唐长文老师，他严谨的治学态度和勤奋的工作作风，成为我毕生学习的榜样和楷模，也培养锻炼了我独立思考问题的能力。感谢李文宏老师在后端版图上面给予我的帮助，没有李老师的帮助，我就无法及时完成版图并流片，李老师亲切热情的态度让我感触良深。感谢李宁老师对我版图的指导。

感谢实验室的学长，尤其要感谢阎娜师姐的热情帮助，在我遇到问题的时候细心热情的帮助我解决；感谢李强、韩益锋师兄，虽然我们不是一个项目组的，仍然抽出他们的时间帮助我解决电路问题；感谢CAD的谢波师兄，在我刚学习模拟电路的时候，是他耐心的教我基本的方法并且帮助我调试，可以说是模拟电路的带路人。

感谢胡建赟，黄宏，刘珂，何艳，巫建明这些和我一起度过三年实验室生活的同学们，还记得刚来时候的样子，一晃都三年过去了，正是由于你们的陪伴，使得我度过了难忘的三年，那些一起开心一起难过一起讨论一起玩笑的日子，正是因为你们而变得精彩，我会永远铭记住这段日子，记住我们的青春岁月。

感谢实验室一起成长的师弟师妹：黄晨灵、刘圆、高佩君、金黎明，廖友春谈熙、倪熔华等，与他们的讨论不仅开阔了我的思路，还使我增长了很多知识。

此外，我还要感谢周之鸣，赵昕，朱莲、王芳、毛静文等朋友的支持和鼓励，希望以后还能有机会在一起。

最后，衷心感谢我的父母与亲友，感谢他们这么多年来对我的照顾和关怀，支持我顺利完成学业。

感谢复旦，七年了，毕业了。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名：_____ 日期：_____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名：_____ 导师签名：_____ 日期：_____