

学校代码: 10246

学 号: 11210720120

復旦大學

硕 士 学 位 论 文

(专业学位)

分数分频频率综合器中噪声折叠问题的
研究与电路设计

院	系:	信息科学与工程学院
专	业:	集成电路工程
姓	名:	刘 杰
指 导 教 师:		唐长文 副教授
完 成 日 期:		2013 年 5 月 1 日

目录

图目录	III
表目录	V
摘要	VII
Abstract	VIII
第一章 绪论	VII
1.1 研究背景	1
1.2 论文主要贡献	2
1.3 论文的研究内容和组织结构	2
第二章 锁相环型频率综合器概述	5
2.1 引言	5
2.2 整数分频频率综合器的基本结构	5
2.3 整数分频频率综合器的基本结构	6
2.3.1 累加器型分数分频频率综合器	6
2.3.2 $\Sigma\Delta$ 分数分频频率综合器	8
2.4 重要参数	10
2.4.1 杂散和相位噪声的定义	10
2.4.2 相位噪声模型	12
2.4.3 参考杂散	15
2.4.4 分数杂散	21
2.5 本章小结	24
第三章 分数分频频率综合器非线性分析	25
3.1 引言	25
3.2 $\Sigma\Delta$ 分数分频频率综合器的基本结构及噪声模型	25
3.2.1 基本结构	25
3.2.2 量化噪声与 $\Sigma\Delta$ 调制器结构	26
3.2.3 非线性条件下的噪声模型	29
3.3 本章小结	37
第四章 电路设计	39
4.1 引言	39
4.2 线性鉴频鉴相器电路设计	39
4.2.1 鉴频鉴相器和电荷泵传输特性	40

4.2.2 现有的线性化技术介绍	41
4.2.3 线性鉴频鉴相器电路设计	43
4.3 分频器链设计	47
4.4 分数杂散的设计考虑	49
4.5 本章小结	49
第五章 芯片设计及芯片测试	51
5.1 引言	51
5.2 芯片实现	51
5.3 测试结果	53
5.3.1 频率调谐范围最小分辨率及功耗测试结果	53
5.3.2 相位噪声测试结果	53
5.3.3 分数杂散测试结果	55
5.3.4 环路带宽和积分相位误差测试结果	56
5.3.5 分频器链性能测试结果	57
5.3.6 锁定时间测试结果	59
5.4 本章小结	60
第六章 总结与展望	61
6.1 工作总结	61
6.2 未来展望	62
参考文献	63
致谢	67

图目录

图 2-1 整数分频频率综合器结构框图	5
图 2-2 基于累加器的分数分频频率综合器结构框图.....	7
图 2-3 分频比在 4.25 时分数分频频率综合器中的量化噪声	7
图 2-4 $\Sigma\Delta$ 分数分频综合器结构框图	8
图 2-5 $\Sigma\Delta$ 型频率综合器噪声特性	9
图 2-6 正弦信号的频谱	10
图 2-7 毛刺和相位噪声	12
图 2-8 整数分频频率综合器的 s 域模型	13
图 2-9 整数分频频率综合器相位噪声模型	13
图 2-10 各模块自身噪声、噪声传递函数和等效输出噪声	15
图 2-11 理想情况下整数分频综合器工作状态.....	16
图 2-12 泄漏电流引起参考杂散的机制	18
图 2-13 控制信号 up 和 dn 的偏差对参考杂散的影响.....	19
图 2-14 延迟平衡的鉴频鉴相器.....	19
图 2-15 电荷泵失配对参考杂散的影响	20
图 2-16 电荷共享对参考杂散的影响.....	21
图 2-17 产生分数杂散的三种耦合机制	22
图 2-18 周期矩形波信号	23
图 3-1 基于 $\Sigma\Delta$ 调制器的分数分频频率综合器的结构.....	26
图 3-2 一阶 $\Sigma\Delta$ 调制器结构及线性化 z 域模型	27
图 3-3 分数分频频率综合器噪声模型	28
图 3-4 分数分频器参考时钟和分频器时钟工作状态.....	29
图 3-5 电荷泵模型.....	31
图 3-6 电荷泵数学模型	32
图 3-7 存在非线性情况下分数分频频率综合器噪声模型	33
图 3-8 存在非线性情况下量化噪声对输出噪声的贡献	36
图 4-1 PFD/CP 结构及理想 CP 情况下传输特性.....	40
图 4-2 PFD/CP 的非线性情况下的传输曲线	40
图 4-3 dc Current Offset 线性化技术	41
图 4-4 增加延时来消除非线性的电路结构及工作时序图	42
图 4-5 基于采样开关的环路滤波器.....	43

图 4-6 改进的线性 PFD 电路.....	44
图 4-7 线性 PFD 在锁定状态下的工作时序图	44
图 4-8 δ_k 宽度的 Monto Carlo 仿真结果	45
图 4-9 增加选择器的线性 PFD 电路及其时序图	46
图 4-10 线性 PFD 的 Spur 特性	46
图 4-11 分频器链电路设计及频率对应关系	47
图 4-12 二分频器电路	48
图 5-1 分数分频宽带频率综合器芯片照片	52
图 5-2 载波频率为 1GHz 时综合器输出相位噪声测试曲线.....	53
图 5-3 线性 PFD 模式下和传统模式下相位噪声比较.....	54
图 5-4 参考杂散性能的测试	54
图 5-5 输出频率 1.00000827GHz 时分数 Spur 的测试结果	55
图 5-6 不同频率下的分数 Spur 测试结果	56
图 5-7 环路带宽和积分相位误差测试结果.....	56
图 5-8 分频器链不同分频比下的输出信号相位噪声测试	57
图 5-9 分频器链不同分频比下的输出信号相位积分相位误差测试	58
图 5-10 分频器链输出 I/Q 信号的镜像抑制测试	58
图 5-11 锁定时间测试结果	59

表目录

表 1 不同阶数 n 的 $\Sigma\Delta$ 调制器 $\sigma_{\phi_k, \text{intrinsic}}^2 / T_{\text{vco}}^2$ 的值	35
表 2 用于 TV-Tuner 的宽带频率综合器指标	51
表 3 设计的分数分频频率综合器的主要性能	59

摘要

数字电视标准多样性、下一代数字电视标准以及人们对于高清电视转播的需求，给射频接收机关键模块之一的频率综合器的设计带来了诸多挑战。如何获得宽的频率调谐范围及低的相位噪声性能是频率综合器设计的难点。而在电荷泵型频率综合器中，存在着噪声折叠问题，使其难以获得低的相位噪声性能。本文主要围绕解决噪声折叠问题和提高带内相位噪声性能展开工作，在线性化技术、分频器链的设计等方面提出相应的理论分析及相关解决方法，并通过芯片实现及测试来加以验证。

论文回顾了电荷泵型频率综合器的基本结构，介绍了分数分频频率综合器的几个关键性能指标。分析了 $\Sigma\Delta$ 型分数分频频率综合器的基本结构，确定了 $\Sigma\Delta$ 调制器的噪声模型。结合 $\Sigma\Delta$ 调制器量化噪声的模型和频率综合器的噪声模型给出了 $\Sigma\Delta$ 型分数分频频率综合器噪声模型并分析了调制器量化噪声到环路输出相位噪声的转换过程，重点分析了电路非线性引起的带外量化噪声折叠回带内恶化带内相位噪声的机制。

通过对电路非线性以及引起噪声折叠的机制的理论分析，提出了一种线性化的技术，设计了线性鉴频鉴相器(PFD)电路，完全消除了噪声折叠的影响，同时避免恶化参考杂散性能及增加电路设计难度。分析了分频器对于降低相位噪声的作用，设计了分频器链电路，获得了覆盖VHF和UHF波段、低相位噪声的正交本振信号。

在前面理论分析及电路设计的基础上，参与设计的频率综合器在TSMC 0.18- μm CMOS工艺下实现流片，芯片面积为 $840\text{ }\mu\text{m} \times 970\text{ }\mu\text{m}$ ，功耗36 mW，带内相位噪声为-107 dBc/Hz，比起有噪声折叠问题的频率综合器，带内相位噪声有大于10 dB/Hz的优化。积分相位误差 $<0.6^\circ$ ，参考杂散 $<74\text{ dBc}$ ，无任何校正条件下I/Q信号镜像抑制比 $>45\text{ dB}$ ，锁定时间 $<30\text{ }\mu\text{s}$ 。

关键词：分数分频频率综合器，带内相位噪声，参考杂散，非线性，噪声折叠，线性化技术，线性鉴频鉴相器，分频器链

中图分类号：TN4

Abstract

There are many different Digital-TV standards around the world, and the next generation standards is published for the delivery of innovative new services like high definition television (HDTV), it brings many challenges for the frequency synthesizer of the RF receivers. The synthesizers must support a wide range frequencies and stringent Phase Noise requirement. However, it is well known that the performance of fractional- N frequency synthesizers is significantly influenced by the circuit nonlinearity. Nonlinearity results in the noise-folding phenomenon, which can seriously degrade the in-band phase noise. This thesis aiming at linearization technique, divider chain and reduction of phase noise especially in-band phase noise.

The review of Charge Pump frequency synthesizer and four main fundamental figures of merit is present. The phase noise model of $\Sigma\Delta$ fractional- N frequency synthesizer is used to analysis the mechanism of noise-folding phenomenon. A detailed theoretical derivation is done to figure out the principle of out-band quantization noise transferring to the in-band phase noise due to the circuit nonlinearity.

According to the detailed analysis of the noise-folding phenomenon, a linearization technique is proposed and a modified PFD circuit is designed to solve this problem without raising the reference spurs. A Divider Chain with frequency division by a factor of 2 or its power such as 4/8/16 is realized to extend the frequency coverage, and quadrature I/Q signals with excellent phase noise performance is obtained at same time.

Based on the previous theoretical analysis and some techniques, a $\Sigma\Delta$ fractional- N frequency synthesizer was fabricated in a 0.18 μm CMOS process with a total power consumption of 36mW from a 1.8V supply. The die area is 840 $\mu\text{m} \times 970\mu\text{m}$. The in-band phase noise of the synthesizer is -107dBc/Hz at 10kHz offset, the in-band phase noise is more than 10dBc/Hz better than the one with the noise-folding problem. The integrated rms phase error is below 0.6° , the worst reference spur is below -74dBc when using the proposed PFD and the worst IRR is 45dB without any calibration and the locking time is less than 30 μs .

Keywords: Fractional- N Frequency Synthesizer, In-band Phase Noise, Reference Spurs, Circuit Nonlinearity, Linear Technique, Noise-folding Phenomenon, Linear PFD, Divider Chain

第一章 绪论

1.1 研究背景

我们已经进入数字化的时代，人们对于数据传输的要求越来越高，加之现在数字设备正朝着便捷化、无线化发展，对于无线收发机的性能、集成化程度、功耗的要求也越来越高。各种用于语音和数据通信的协议不断的被开发出来，例如用于语音通信的 GSM、CDMA、WCDMA、TD-SCDMA 及 LTE 等，侧重于数据传输的 Bluetooth、WIFI、WLAN 及 WIMAX 等。

对于数字电视(DTV)信号的接收而言，不同的国家和地区存在着不同的标准，如欧洲采用 DVB-C/T/S/H，北美地区采用 ATSC，中国采用 DVB-C/S 和 CMMB。并且随着人们对于高清电视(High Definition Television, HDTV)和视频点播(Video On Demand, VOD)等功能的需求，下一代的数字电视标准也已经制定出来，在 2009 和 2010 年分别发表了下一代的数字电视标准 DVB-T2/C2，而 DVB-S2 也有希望在今年制定完成[1]。为了满足世界范围内所有的标准的要求，就要求射频接收机有足够宽的调谐范围；由于无线广播信道的复杂性、数字电视信号的高信噪比的要求，更为了满足下一代标准的要求，使得射频接收机对噪声的要求变得很高。而频率综合器作为射频接收机的本振(LO)，将为其提供高频谱纯度的信号，频率综合器的噪声性能、杂散性能(Spur)将直接影响整个射频接收机的噪声性能。

锁相环(PLL)型频率综合器由于具有结构简单，输出信号频谱纯度高以及输出频率易调谐等特点而被广泛采用，可分为整数分频锁相环和分数分频锁相环两种。由于整数分频锁相环的调谐精度由参考时钟决定，难以满足数字电视信号接收机(DTV-Tuner)对于带宽和锁定时间的要求。而分数分频锁相环打破了调谐精度和参考时钟的折衷，有了更高的设计自由度，设计高调谐精度、快速锁定的锁相环成为了可能。

相对于整数分频锁相环， $\Sigma\Delta$ 调制器的使用实现了分数分频的功能。在理想情况下，即环路中不存在失配(Mismatch)，整个环路是线性的时候， $\Sigma\Delta$ 调制器由于自身的过采样(Over Sample)和噪声整形(Noise Shaping)的特性能够将自身产生的量化噪声搬移到高频频率处，同时由于锁相环系统自身的低通特性，高频的噪声会被环路滤掉，从而在带内(In-band)能够获得良好的相当于整数分频综合器的噪声特性。但是由于锁相环中的电荷泵(Charge Pump)中不可避免的存在失配，电路表现出一定的非线性， $\Sigma\Delta$ 调制器的过采样和噪声整形特性被破坏，高频带外量化噪声折叠回带内，低频的相位噪声被恶化，从而整个频率综合器的

输出相位噪声被恶化,达不到数字电视信号接收机对本振信号的噪声要求。因此解决电路非线性问题引起的噪声折叠(Noise-Folding)现象具有十分重要的意义。

另外,分数分频锁相环不可避免的产生了分数杂散(Fractional Spur),这对输出信号的频谱程度也会产生一定的恶化。现在有许多很好的解决噪声折叠现象的技术,如增加额外的静态电流来使 PFD 工作在线性区,但是它在有效解决噪声折叠现象的同时恶化了系统参考杂散(Reference Spur)特性,加入采样环路滤波器(Sampled Loop Filter)的技术虽然避免恶化参考杂散特性,但是又带来了时钟馈通(Clock Feedthrough)和电荷注入(Charge Injection)的问题。因此,如何在解决了噪声折叠问题的同时,又获得良好的 Spur 特性和避免带来其他问题也是本文研究的重点。

1.2 论文主要贡献

本论文主要针对 $\Sigma\Delta$ 分数分频频率综合器中的电路非线性及杂散性能展开工作。消除了噪声折叠问题,提高了带内噪声性能,从而提高了输出噪声的性能,并且避免了参考杂散性能的恶化。在电路设计和版图设计的过程中都进行了充分的考虑,以获得较好的杂散性能。本文提出的技术和方法能够显著地降低锁相环带内噪声特性,能够获得低相位噪声,低积分均方根(rms)相位误差、良好杂散(Spur)性能的高性能分数分频频率综合器。本论文的主要贡献有:

- 1) 分析了杂散的产生机制,分别针对参考杂散和分数杂散提出了优化方法,在电路和版图上进行了相应的设计。
- 2) 根据 $\Sigma\Delta$ 分数分频锁相环的噪声模型,分析了 $\Sigma\Delta$ 调制器的量化噪声到输出相位噪声的转换,确定了 $\Sigma\Delta$ 调制器的量化噪声对输出噪声的贡献。
- 3) 分析了 $\Sigma\Delta$ 分数分频锁相环的非线性特性,提出了在非线性存在的情况下相位噪声的模型。
- 4) 提出了一种新型的线性鉴频鉴相器结构,消除了电路的非线性特性,降低了带内的噪声,提高了输出相位噪声特性。

设计并测试了一款用于多标准数字电视标准的 760 MHz~1860 MHz 的分数分频频率综合器芯片,采用上述技术,获得了良好的测试性能。

1.3 论文的研究内容和组织结构

本论文主要分析了分数分频频率综合器中由于环路非线性引起的噪声折叠问题,通过对噪声折叠机制的理论分析得到能够指导电路设计的结果。介绍了提出的线性 PFD 以及分频器链的电路设计。论文个部分内容安排如下:

第二章“锁相环性频率综合器概述”主要阐述了锁相环性频率综合器的原理,然后分析了频率综合器的几个重要参数,分析了这些参数的影响并且给出了

相应的推导过程。

第三章 “分数分频频率综合器非线性分析” 首先分析了 $\Sigma\Delta$ 型分数分频频率综合器的基本结构，确定了 $\Sigma\Delta$ 调制器的噪声模型。结合 $\Sigma\Delta$ 调制器量化噪声的模型给出了 $\Sigma\Delta$ 型分数分频频率综合器噪声模型并分析了调制器量化噪声到环路输出相位噪声的转换过程。重点分析了噪声折叠的机制，定量分析了由于电路非线性导致调制器高频处量化噪声折叠到带内对低频相位噪声的恶化。

第四章 “电路设计” 主要给出了提出的线性化 PFD 和分频器链的电路设计。首先从 PFD/CP 的 δ_k - Q_k 传输曲线入手，分析了电路的非线性的来源，并且介绍了现有的线性化技术的优缺点，引出了设计的线性 PFD 电路。其次分析了分频器链对于相位噪声优化的特点，及分频器的电路设计，最后给出了我们对于优化分数杂散性能上的设计考虑。

第五章 “芯片设计及芯片测试” 给出了芯片的照片，及详细的芯片测试结果，验证了前几章的理论分析及电路设计。

第二章 锁相环型频率综合器概述

2.1 引言

频率综合器作为电子系统的“心脏”随着电子技术的发展得到了日益广泛的应用，并且随着应用的广泛，对频率综合器性能的要求也越来越高。频率综合器按照实现方式的不同可以分为直接模拟频率综合器、直接数字频率综合器和锁相环型频率综合器三种。由于锁相环型频率综合器具有锁定捕获范围大、输出信号频谱纯度高、功耗低、输出频率容易调谐的特点，成为射频接收机中本振时钟产生的最常用方式。

频率综合器的性能指标包括：频率分辨率、调谐范围、锁定时间、相位噪声或者时钟抖动、杂散、功耗等几个方面。而且对于不同的应用，对于频率综合器性能的要求各不相同。通常频率综合器的结构和复杂程度也随着应用系统的不同要求而存在着差异，本文主要研究用于数字电视接收机的锁相环型频率综合器，而由于数字电视标准的发展及对本振信号要求的增高，我们主要关注频率综合器的输出信号的频谱纯度即相位噪声和杂散性能，力求在不影响其他性能的同时对这两个性能进行优化。

本章主要做了以下工作：首先介绍了整数分频和分数分频频率综合器的基本结构，并以整数分频器为例讨论了环路的参数设计。接着介绍了相位噪声以及杂散这两个重要的参数。

2.2 整数分频频率综合器的基本结构

锁相环型整数分频频率综合器的结构框图如图 2-1 所示[2]，它主要由鉴频鉴相器(Phase-Frequency Detector, PFD)、电荷泵(Charge Pump, CP)、环路滤波器(Loop Filter, LPF)、压控振荡器(Voltage Controlled Oscillator, VCO)和分频器(Divider)组成。

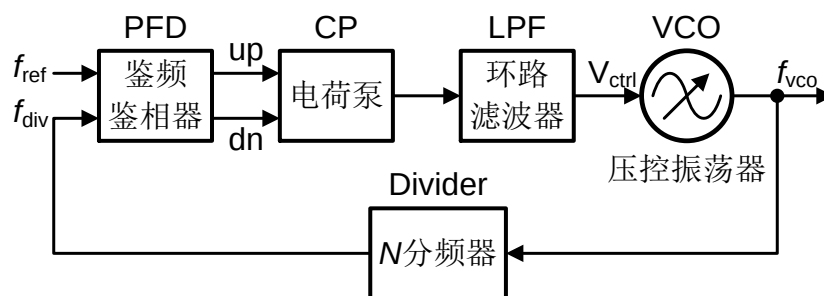


图 2-1 整数分频频率综合器结构框图

鉴频鉴相器将参考时钟 f_{ref} 和分频器输出时钟 f_{div} 的相位进行比较, 把两个信号的相位差转换成时间差控制电荷泵产生误差电流对滤波器进行充放电, 滤波器将误差电流转换成稳定的电压信号控制压控振荡器的输出频率, 分频器对 VCO 输出信号进行 N 分频得到 f_{div} 与参考时钟 f_{ref} 进行比较, 各个模块组成一个负反馈的环路, 在负反馈的作用下, f_{div} 与 f_{ref} 的频率和相位最终达到相等的状态, 整个系统达到锁定状态, 输出信号频率与输入信号频率满足:

$$f_{\text{vco}} = N \cdot f_{\text{ref}} \quad (2-1)$$

其中 N 为分频器的分频比, 这样我们通过调节 N 的值就可以得到我们所需要的输出频率。但由于鉴频鉴相器和电荷泵的开关特性, 锁相环型频率综合器实际上是一个离散系统, 为了环路的稳定性, 环路带宽一般选择小于参考时钟频率的十分之一[3][4]。在整数分频频率综合器中, 由于输出时钟是严格的输入参考时钟的整数倍, 因此 f_{vco} 的相对精度与 f_{ref} 的相等, 一般 f_{ref} 通常源自一个稳定的、低噪声的石英振荡器。由式 (2-1) 可知整数分频频率综合器中输出频率的分辨率由参考时钟 f_{ref} 决定, 在 GSM 系统中, 信道间距为 200 KHz, 这就要求频率综合器至少有 200 KHz 的分辨率, 只能选择小的输入参考时钟, 因此就需要更加小的环路带宽, 而小的环路带宽会使整个系统的动态响应速度变慢并会使锁定时间变得很长, 这显然不是我们希望的。因为整数分频器存在的环路带宽和分辨率之间的折衷限制了其在高性能射频接收机领域的应用。

2.3 整数分频频率综合器的基本结构

为了打破存在于整数分频频率综合器中的环路带宽和分辨率之间的折衷, 分数分频频率综合器被发明出来[5], 整数分频频率综合器在锁定情况下输出信号 f_{vco} 和参考时钟信号 f_{ref} 的频率严格相等、 f_{ref} 和分频器时钟 f_{div} 的边沿严格对齐。而分数分频频率综合器通过一个多模分频器实现分频比的变化, 时而 N 分频时而 $(N+1)$ 分频, 在输出信号频率不便的情况下 f_{div} 的频率不停的变化, 在锁定的情况下 f_{ref} 和 f_{div} 的边沿不是对齐的, 时而超前时而滞后, 但是 f_{div} 的平均值是和 f_{ref} 对齐的。所以分数分频频率综合器实现的是一种“动态锁定”。

2.3.1 累加器型分数分频频率综合器

图 2-2 是一种经典的基于累加器(Accumulator)的分数分频频率综合器的结构框图。它采用了一个累加器来实现分频比的动态选择。累加器的输入是分频比中的小数部分, 我们可以清楚的看到累加器的残余量(residue)每经过一个参考时钟信号周期 T_{ref} 增加 α (小数分频比), 当累加器发生溢出时产生一个进位信号(carry out)来选择分频比从 N 变为 $N+1$, 在经过一个 T_{ref} 后分频比变回为 N 。这样就实现了分数分频的效果:

$$f_{vco} = (N + \alpha) \cdot f_{ref} \quad (2-2)$$

同时打破了环路带宽和参考时钟之间的折衷关系,参考时钟可以不用考虑输出信号分辨率来进行选择,带宽也就可以根据相位噪声和锁定时间来选择,这样就在设计上有了较大的自由度。

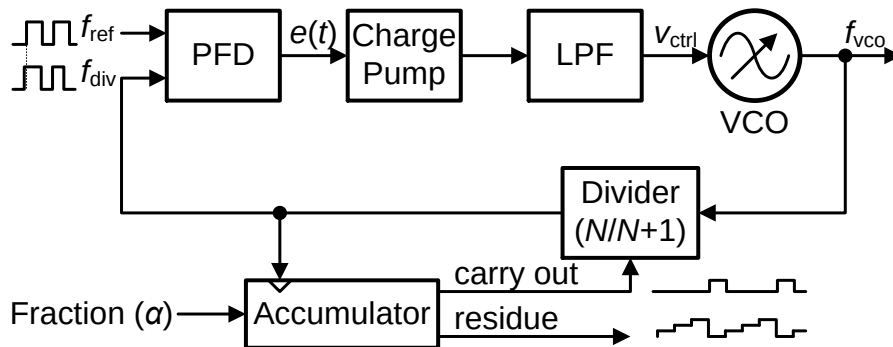


图 2-2 基于累加器的分数分频频率综合器结构框图

但分数分频频率综合器在实现分数分频的同时不可避免的引入了量化噪声 (Quantization Noise)。我们通过图 2-3 来解释量化噪声所带来的问题。

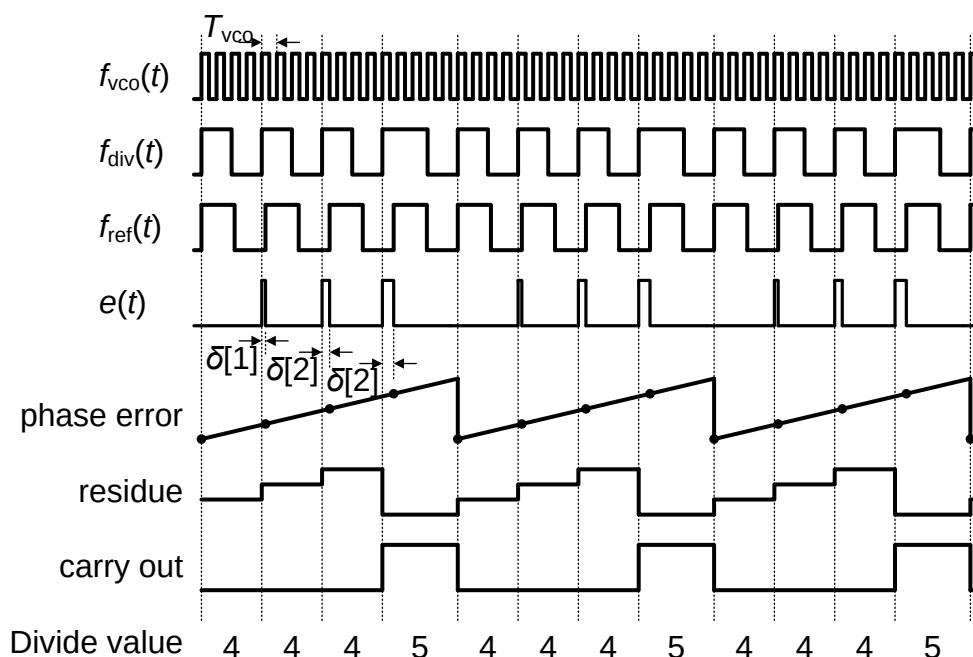


图 2-3 分频比在 4.25 时分数分频频率综合器中的量化噪声

我们以 4.25 分频为例,当环路处于锁定状态时,输出信号 $f_{vco} = 4.25 \cdot f_{ref}$,但是在前三个周期内为 4 分频,分频器输出信号 T_{vco} 周期会稍稍小于参考时钟信号周期 T_{ref} ,在环路负反馈的作用下,相应的相位误差也在逐渐累积,在第四个参考时钟周期到来时累加器产生进位信号,分频比变为 5,鉴频鉴相器产生一个宽的脉冲信号来纠正前面积累的相位误差,这样在每四个参考时钟周期就会产

生一个大的波动，与 VCO 的输出调制后就会在小数分频即 $\alpha \cdot f_{\text{ref}}$ 处产生一个大的毛刺，我们称为“分数杂散”(Fractional Spur)。由于分数杂散的频率往往低于环路带宽，所以不能被环路的低通特性给滤掉，又因为方波信号的特性，在 $\alpha \cdot f_{\text{ref}}$ 的 n 次谐波处都会产生分数杂散，杂散信号在所有的射频(RF)系统中都是我们非常不希望存在的。

2.3.2 $\Sigma\Delta$ 分数分频频率综合器

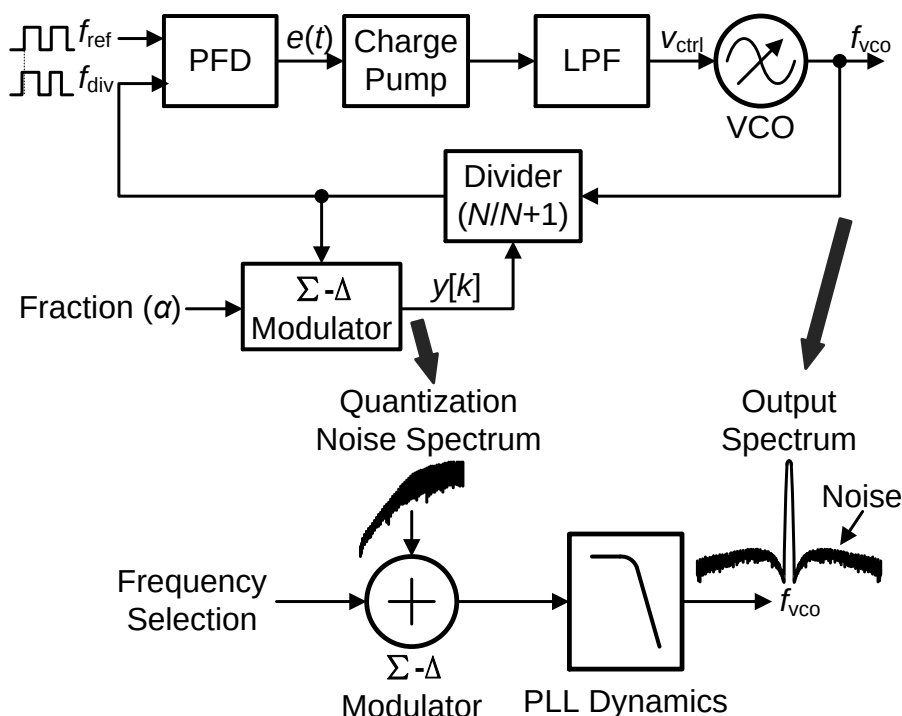


图 2-4 $\Sigma\Delta$ 分数分频综合器结构框图

在上节里我们介绍了基于累加器结构的分数分频频率综合器并介绍了分数分频带来的分数杂散的问题。我们注意到分数杂散的出现是周期性的，由于分频比变化的周期性导致，那如果我们随机的分配分频比 N 和 $N+1$ 出现的位置那我们就能消除分数杂散的问题。因此 $\Sigma\Delta$ 调制器(Sigma Delta Modulator, SDM)被引入到频率综合器的设计中用以代替累加器控制分频比的选择。事实上累加器可以看做一阶的 $\Sigma\Delta$ 调制器[6]，并且一阶的调制器的输出含有很大的杂散成分[7]。而高阶的 $\Sigma\Delta$ 调制器具有过采样(Over Sampling)和噪声整形(Noise Shaping)的特性，它的输出频谱表现为被高通特性整形过的高斯白噪声，低频的噪声被搬移到高频处从而有良好的低频噪声特性，而高频处的噪声可以被频率综合器的低通特性滤除掉从而能够得到良好的输出相位噪声性能。因此基于 $\Sigma\Delta$ 调制器的分数分频频率综合器得到了广泛的应用，它的基本结构框图如图 2-4 所示。

$\Sigma\Delta$ 调制器输出的是一个随机序列 $y[k]$ ，因此分频器的分频比是随机变化的，

使环路相位误差也具有随机性，因而避免了在 VCO 的控制线上产生低频的周期性的波动，从而能够消除分数杂散。上面的分析也提到了累加器实际上可以看做是一阶的 $\Sigma\Delta$ 调制器，而一阶调制器的输出还是近似周期性的，会产生严重的分数杂散问题，这个可以采取以下办法：(1)采用高阶的 $\Sigma\Delta$ 调制器。高阶 $\Sigma\Delta$ 调制器采用更多的积分器来获得更好的噪声整形特性，将量化噪声进一步将低频的噪声搬移到高频处，使得低频处的噪声贡献更小，而且高阶的 $\Sigma\Delta$ 调制器的输出更加随机，可以进一步减小分数杂散问题。但是使用高阶的调制器也会带来相应的问题，它需要更高阶的环路滤波器来保持至少有 -20dBc/dec 的滚降来抑制高频处的噪声[8]，避免高频量化噪声对输出相位噪声的贡献。由于采用了更多的积分器，环路就会包含至少 2 个极点，这也会带来潜在的稳定性问题，需要采用额外的保持环路稳定的技术[9]，增加了设计的难度和复杂性。(2)采用多位量化。通过采用多位量化，量化精度会更高，量化输出会更加随机。但是采用更大的量化范围意味着 $y[n]$ 和 α 的差值变化更大，及参考时钟和分频器时钟边沿的不对齐程度更大，那么电荷泵的导通时间加大，电荷泵的噪声对输出的贡献会更大[10]，加上由于电荷泵的失配问题，噪声折叠现象会更加严重，会恶化带内的相位噪声特性。(3)在输入信号 α 上引入随机扰动(Dither)。当分频比在一些特殊值如 0.25、0.5、0.75 时，在 $\Sigma\Delta$ 调制器的输出会产生很强的杂散成分，我们可以通过在调制器的输入引入随机扰动，这样输出频谱上的杂散会被平滑，但带内的信噪比不会产生显著影响。该扰动通常是由伪随机数发生器产生的一位二进制数据，他它与调制器的输入的最低位相加在输入引入一个微小的扰动成分[11]。

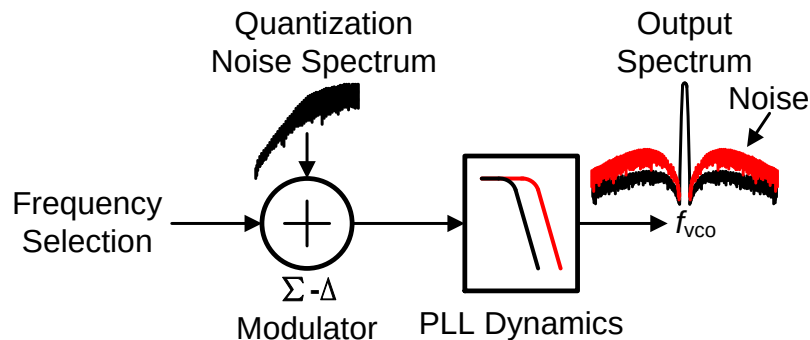


图 2-5 $\Sigma\Delta$ 型频率综合器噪声特性

$\Sigma\Delta$ 型分数分频频率综合器除了会产生分数杂散外还存在这其他的问题。首先存在着环路带宽和调制器高频噪声抑制的问题，如图 2-5 所示。

因为 $\Sigma\Delta$ 调制器的噪声整形特性使得低频的噪声被搬移到高频处，因此需要小的带宽和高的环路阶数来抑制高频处的量化噪声，而正如前面论述的，环路的阶数不能太高来保持系统的稳定。带宽取的太大会使得量化噪声在带外突起，严重恶化带外的相位噪声性能，如上图所示。因此环路的带宽和对高频量化噪声的

抑制之间的折衷成为了 $\Sigma\Delta$ 型分数分频频率综合器不得不考虑的问题。现在又许多非常好的技术来解决这一问题，如采用 0.5 分频器[12]，采用 DAC[13] 或者 PFD /DAC 混合结构[14]来消除残余量等方法。

$\Sigma\Delta$ 型分数分频频率综合器产生的另一个重要的问题是噪声折叠问题。由于电荷泵的使用，不可避免的存在着失配的问题，在环路里引入了非线性，这将打破 $\Sigma\Delta$ 调制器过采样和噪声整形特性，使得带外的量化噪声折叠(Noise-folding)回带内，严重恶化带内的相位噪声特性。这一问题将在第三章详细讨论，也是本论文研究的重点。

2.4 重要参数

本文主要研究用于数字电视接收机的锁相环型频率综合器，而我们希望本振信号的频谱纯度越高越好，最好是一个单频点的信号，单频点的信号在时域里面表现为一个理想的正弦信号，频谱里面表现为 Dirac 无限冲击函数。但如果信号纯度不够存在相位噪声或者存在一些毛刺，频谱里面表现为裙状，如图 2-6 所示。那么通过混频就会将临近信道的干扰信号混频至有用信道中，降低了信道中的信噪比，甚至无法接收到弱的信号。因此频率综合器的输出信号的频谱纯度即相位噪声性能(Phase Noise)和毛刺性能(Spurious Emissions)是综合器性能中非常重要的两个参数，本小节就重点介绍这两个重要参数。

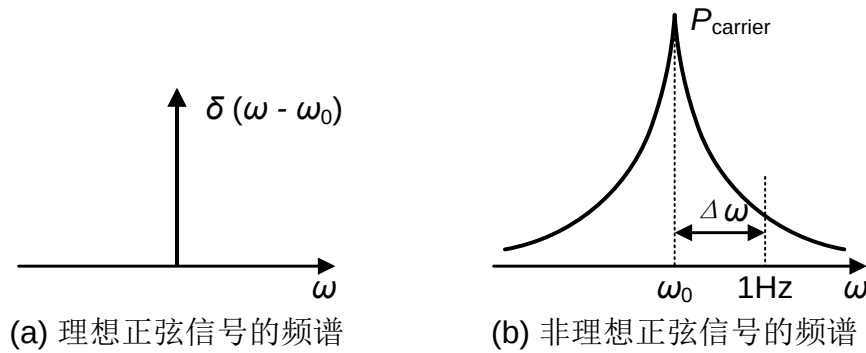


图 2-6 正弦信号的频谱

2.4.1 杂散和相位噪声的定义

我们首先介绍毛刺和相位噪声的定义，对于一个理想的频率综合器，它可以产生一个理想的正弦信号，可以表示为

$$v(t) = v_0 \sin(\omega_0 t) \quad (2-3)$$

但是如果信号中存在相位和幅度的波动，那么信号不再是理想的，它的频谱表现为裙状，可以表示为

$$v(t) = (v_0 + v(t)) \cdot \sin(\omega_0 t + \phi(t)) \quad (2-4)$$

其中 $v(t)$ 和 $\phi(t)$ 分别表示幅值和相位的波动。由于稳定工作的振荡器都存在一个幅度稳定机制(通过有源器件的非线性特性)幅值上的波动可以被高度衰减甚至消除[15]，因此噪声对频率综合器的影响主要表现在相位的扰动上。我们考虑两种相位波动，周期性的波动和随机波动，因此 $\phi(t)$ 可以写成

$$\phi(t) = \Delta\phi \sin(\omega_m t) + \varphi(t) \quad (2-5)$$

式中第一项代表了周期性的相位波动，它在离中心频率 ω_0 频偏频率 ω_m 处产生一个毛刺成分，它的大小为

$$\begin{aligned} v(t) &= v_0 \sin(\omega_0 t + \Delta\phi \sin(\omega_m t)) \\ &= v_0 [\sin(\omega_0 t) \cos(\Delta\phi \sin(\omega_m t)) + \cos(\omega_0 t) \sin(\Delta\phi \sin(\omega_m t))] \end{aligned} \quad (2-6)$$

对于一个非常小的相位变化，即 $\Delta\phi \ll \pi/2$ ：

$$\cos(\Delta\phi \sin(\omega_m t)) \approx 1 \quad (2-7)$$

$$\sin(\Delta\phi \sin(\omega_m t)) \approx \Delta\phi \sin(\omega_m t) \quad (2-8)$$

因此式(2-6)可以写成

$$\begin{aligned} v(t) &\approx v_0 [\sin(\omega_0 t) + \Delta\phi \cos(\omega_0 t) \sin(\omega_m t)] \\ &= v_0 \left[\sin(\omega_0 t) - \frac{\Delta\phi}{2} \cdot \sin(\omega_0 - \omega_m) + \frac{\Delta\phi}{2} \cdot \sin(\omega_0 + \omega_m) \right] \end{aligned} \quad (2-9)$$

从式(2-9)我们可以看出，在载波 ω_0 左右频偏 ω_m 处即 $(\omega_0 + \omega_m)$ 和 $(\omega_0 - \omega_m)$ 处会产生两个毛刺，相比载波大小为 $-20\log(\Delta\phi/2)$ dBc。

随机的相位波动产生相位噪声，相位噪声定义为在偏离载波频率 ω_m 处一定频率处单位带宽内的噪声功率与载波功率之比，其单位为 dBc/Hz，即

$$\mathcal{L}\{\Delta\omega\} = 10\log\left(\frac{\text{在偏离载波频率}\omega_0\text{一定频率}\Delta\omega\text{处单位带宽内的噪声功率}}{\text{载波功率}}\right) \quad (2-10)$$

由噪声引起的裙状边带关于 ω_0 是对称的，上式仅仅针对 $\Delta\omega > 0$ 进行定义，称为单边带相位噪声，单边带相位噪声满足

$$\int_0^\infty \mathcal{L}(\Delta\omega) d\Delta\omega = \frac{1}{2} \quad (2-11)$$

我们假设式(2-5)中的随机相位扰动信号为正弦信号

$$\varphi(t) = \varphi_n \cdot \sin(\omega_n t) \quad (2-12)$$

其中 $\varphi_n \ll 1$ ，则频率综合器的输出信号为

$$v(t) \approx v_0 \sin(\omega_0 t) + v_0 \cdot \frac{\varphi_n}{2} \cdot [\sin((\omega_0 + \omega_n)t) + \sin((\omega_0 - \omega_n)t)] \quad (2-13)$$

它的输出频谱中包含了一个调制指数为 φ_n 的窄带调频信号，输出信号功率谱密度和相位噪声功率谱密度之间的关系为

$$S_\phi(\omega) = \frac{\varphi_n^2}{2} \cdot \delta(\omega - \omega_0) \quad (2-14)$$

$$S_v(\omega) = \frac{v^2}{2} \cdot \left[\delta(\omega - \omega_0) + \frac{1}{2} S_\varphi(\omega - \omega_0) + \frac{1}{2} S_\varphi(\omega_0 - \omega) \right] \quad (2-15)$$

由于相位扰动可以分解为一系列正弦型信号之和，因此，因噪声一起的相位扰动可以直接转化为载波频率周围的两个裙状噪声旁瓣，在偏离载波频率 ω_n 处的单边相位噪声为

$$\mathcal{L}\{\Delta\omega\} = 10 \log \frac{P_{\text{noise}}(1\text{Hz at } f)}{P_{\text{carrier}}} = 10 \log \frac{S_\varphi(\Delta\omega)}{2} \quad \text{dBc/Hz} \quad (2-16)$$

由于瞬时频率是相位的微分因此振荡器的瞬时频率偏差 $\Delta f(t)$ 的功率谱密度与相位噪声之间的关系为[16]

$$S_{\Delta f}(\omega) = \omega^2 \cdot S_\varphi(\omega) = 2\omega^2 \cdot 10^{\mathcal{L}\{\Delta\omega\}/10} \quad (2-17)$$

杂散和相位噪声表现在频谱中如图 2-7 所示

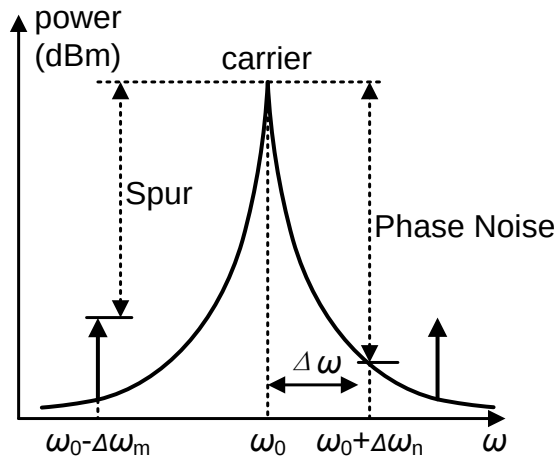


图 2-7 毛刺和相位噪声

2.4.2 相位噪声模型

相位噪声的性能在频率综合器中至关重要，因此我们希望在设计的过程中能够精确的预测出系统输出信号的相位噪声。我们采用 Perrott 教授提出的噪声模型，即先确定环路函数，然后将各个模块的噪声贡献通过各自到输出的传递函数等效到输出，最后相加得到最终的输出噪声[17]。

由 2.2 小节我们知道，由于 PFD 和 CP 电路的开关特性，整个频率综合器是一个离散系统，只有采用 z 域离散模型才能精确模拟整个系统的工作过程[4]。但当环路的带宽小于参考时钟频率的十分之一时 s 域模型也能较精确的预测频率综合器的工作过程。我们先看整数分频频率综合器的环路传递函数，它的 s 域模型如图 2-8 所示。

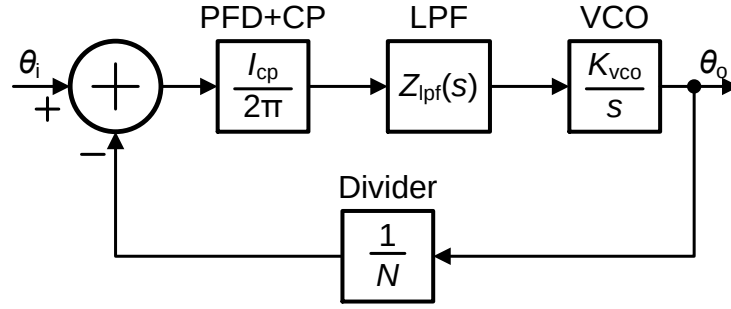


图 2-8 整数分频频率综合器的 s 域模型

其中 $I_{cp}/2\pi$ 为鉴频鉴相器输入相位差到电荷泵输出电流的传递函数，其中 I_{cp} 为电荷泵电流，单位为安培(A)， $Z_{lpf}(s)$ 为滤波器的传递函数，单位为欧姆(Ω)，在本设计中我们采用无源 3 阶滤波器。 K_{vco}/s 是压控振荡器控制电压到输出相位的传递函数，其中 K_{vco} 是振荡器的调谐增益或灵敏度，单位为弧度每秒每伏($\text{rad/s}\cdot\text{V}$)， $1/N$ 是分频器的传递函数， N 为分频比。我们可以得到此整数分频频率综合器的前向通路传递函数 $H(s)$ 和反馈通路传递函数 $F(s)$ 分别为

$$H(s) = \frac{I_{cp} \cdot Z_{lpf}(s) \cdot K_{vco}}{2\pi \cdot s} \quad (2-18)$$

$$F(s) = \frac{1}{N} \quad (2-19)$$

开环传递函数 $H_o(s)$ 和闭环传递函数 $G(s)$ 可以表示为

$$H_o(s) = \frac{I_{cp} \cdot Z_{lpf}(s) \cdot K_{vco}}{2\pi N \cdot s} \quad (2-20)$$

$$G(s) = \frac{H(s)}{1 + H(s)F(s)} = \frac{NH_o(s)}{1 + H_o(s)} \quad (2-21)$$

我们有了开环传递函数，将每个模块的噪声单独表示出来，得到整数分频频率综合器的相位噪声模型如图 2-9 所示

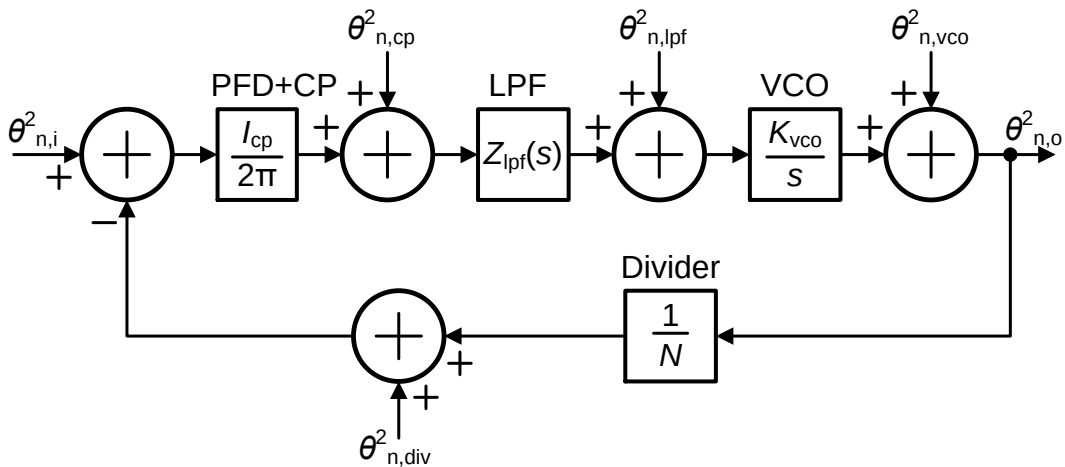


图 2-9 整数分频频率综合器相位噪声模型

图中, $\theta_{n,i}^2$ 为参考时钟信号的相位噪声, $\theta_{n,cp}^2$ 为鉴频鉴相器和电荷泵的等效输入噪声, $\theta_{n,lpf}^2$ 为滤波器的等效输入噪声, $\theta_{n,vco}^2$ 和 $\theta_{n,div}^2$ 分别是压控振荡器和分频器模块的等效输入噪声, 结合上面分析的开环传递函数, 我们可以得到总的输出相位噪声 $\theta_{n,o}^2$ 为

$$\begin{aligned} \theta_{n,o}^2 = & \theta_{n,i}^2 \cdot \left| \frac{NH_o(s)}{1+H_o(s)} \right|^2 + \theta_{n,cp}^2 \cdot \left| \frac{NH_o(s)}{1+H_o(s)} \cdot \frac{2\pi}{I_{cp}} \right|^2 \\ & + \theta_{n,lpf}^2 \cdot \left| \frac{\frac{K_{vco}}{s}}{1+H_o(s)} \right|^2 + \theta_{n,vco}^2 \cdot \left| \frac{1}{1+H_o(s)} \right|^2 + \theta_{n,div}^2 \cdot \left| \frac{NH_o(s)}{1+H_o(s)} \right|^2 \end{aligned} \quad (2-22)$$

上式给出了总的输出噪声, 我们也很容易的得到了各个模块的等效噪声到总输出噪声的噪声传递函数, 对于输入时钟和分频器的等效噪声, 它们的噪声传递函数呈低通特性, 带内平坦, 带外呈 40 dB 至 60 dB 每十倍频下降(三阶滤波器); 对于鉴频鉴相器和电荷泵来说, 噪声传递函数为闭环传递函数与 $(2\pi/I_{cp})^2$ 的乘积, 也呈现低通特性; 对于压控振荡器, 噪声传递函数呈高通特性, 带内呈 40 dB 至 20 dB 每十倍频上升(三阶滤波器), 带外水平; 对于滤波器, 其噪声传递函数呈带内 20 dB 每十倍频上升, 带外 20 dB 至 40 dB 每十倍频下降(三阶滤波器)。

我们将频率综合器中各个模块的自身相位噪声特性、噪声传递函数特性、及等效到输出的噪声特性表示出来[10], 如图 2-10 所示。

需要指出的是, 输出噪声的贡献在低频的时候主要由电荷泵贡献, 而带外的相位噪声则主要由压控振荡器贡献, 在带宽附近滤波器也贡献部分噪声, 根据式 (2-22) 和图 2-10 我们可以得出要设计低相位噪声的频率综合器, 我们可以采取:

- 1) 要降低带内相位噪声, 分频比越小越好, 增大电荷泵电流可以降低电荷泵自身噪声在带内的贡献;
- 2) 若要降低带外噪声, 需要降低压控振荡器自身的噪声;
- 3) 要降低带宽附近的噪声, 可以降低调谐增益 K_{vco} 来降低滤波器贡献的噪声。

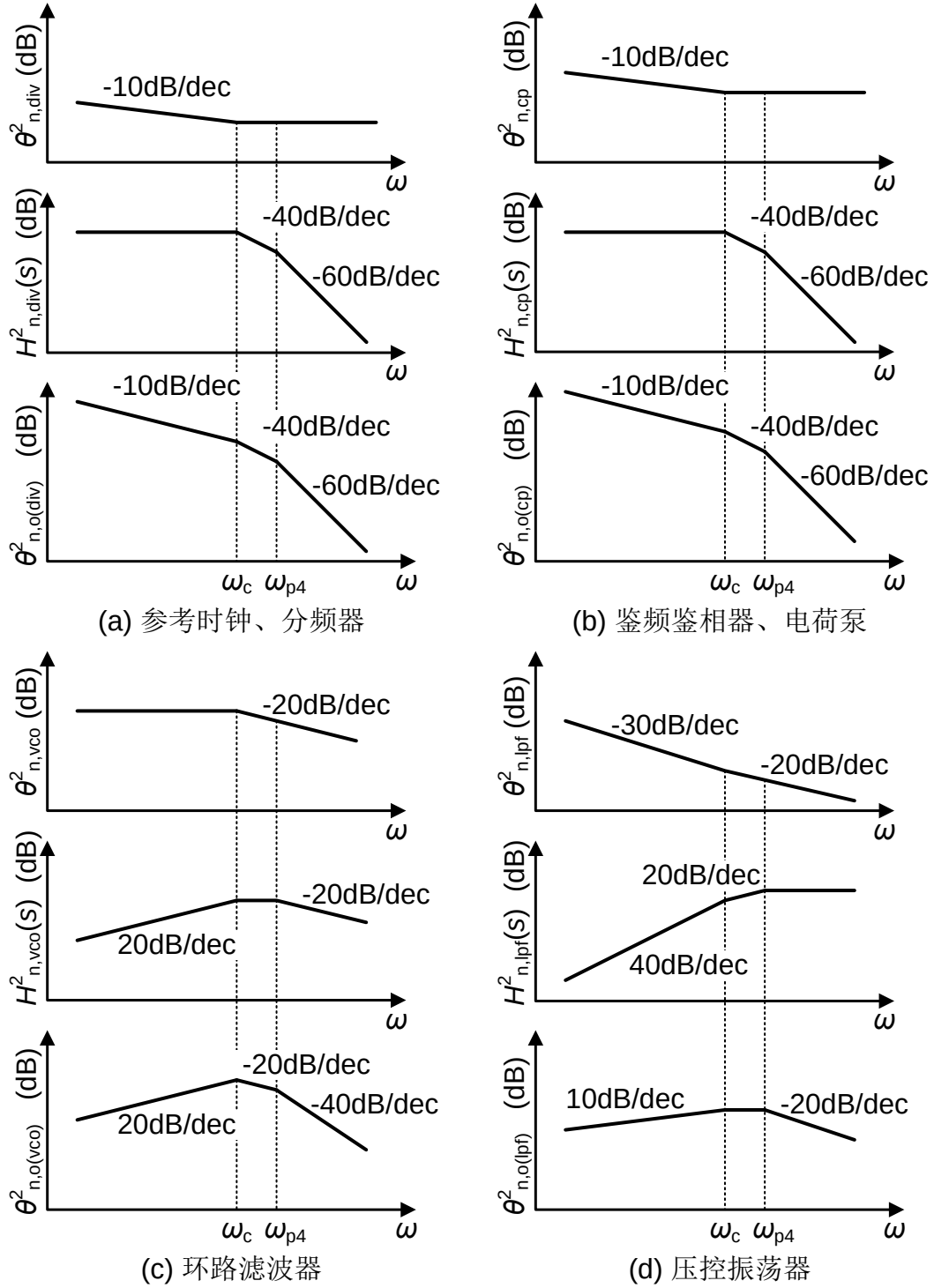


图 2-10 各模块自身噪声、噪声传递函数和等效输出噪声

2.4.3 参考杂散

我们分数分频频率综合器采用了电荷泵的结构，因为电荷泵的引入使得频率综合器有理论上无限大的锁定捕获范围和快速捕获的特性。但是由于电路中的一些非理想因素如电荷泵中注入和抽取的电流源之间的不匹配、控制信号到电荷泵

的延迟时间之间的不匹配、开关之间的电荷注入和时钟馈通和电荷共享的问题，会引起严控振荡器控制电压信号引入和输入时钟频率相同的周期性纹波(Ripple)，导致 VCO 的输出信号有周期性的杂散成分，杂散存在处的频率与载波频率处的频率差刚好为参考时钟频率，我们一般将这种杂散成为参考杂散。

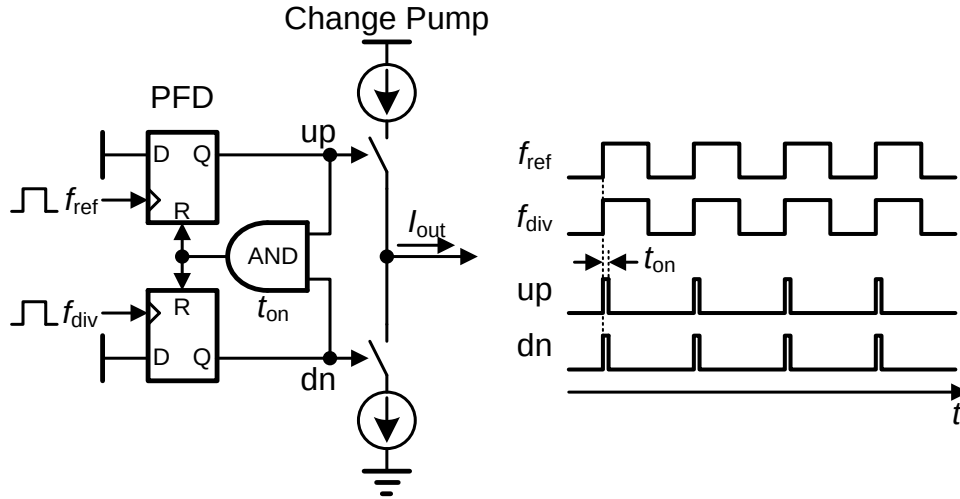


图 2-11 理想情况下整数分频综合器工作状态

我们仅仅用整数分频频率综合器中的鉴频鉴相器和电荷泵来表示整数分频锁相环在理想情况下的工作情况，如图 2-11 所示， t_{on} 是为了消除死区而设置的一个短的延时，从而消除由于电流源开关不能充分开启所引入的非线性问题 [18]。而实际上整个环路的非理想因素比如滤波器上的泄漏电流都会造成参考杂散。在整数分频频率综合器中如果处于锁定状态时，理想情况下上下两个电流源的控制信号开启时间均为 t_{on} ，但如果电路中存在诸如上面提到的非理想因素，在电荷泵输出电流里会出现周期性的纹波，造成压控振荡器输出频率周期性的抖动，形成参考杂散。存在非理想因素情况下注入到滤波器的电荷 Q_{lpf} 可以表示为

$$Q_{lpf}(t) = I_{out} \cdot \delta_k + 2 \cdot I_m \cdot \delta_k \cdot \sum_{n=1}^{\infty} \left(\frac{2}{n\pi} \cdot \cos(2\pi n f_{ref} t) \right) \quad (2-23)$$

其中式(2-23)中第一项表示锁定情况下注入到滤波器中的电荷，对于整数分频频率综合器来说， $\delta_k = t_{on}$ ，由于注入到环路的电流和从环路抽取的电流值相同，这一项为零，而对于分数分频频率综合器来说，由于它实现的是一种动态的锁定，因此瞬时值不为零但长时间的平均值为零，这一项也是频率综合器正常工作下所需要的。第二项表示的是由于电路中非线性引起的失配注入到滤波器中的电荷从而产生周期性的波动，波动的周期与参考时钟周期相同，在输出信号频谱上表现为参考杂散。

我们量化非理想因素产生的参考杂散的大小，由于在频率综合器中，锁定情

况下，压控振荡器控制电压 v_{ctrl} 上有一个周期的纹波，那么在锁定状态下压控振荡器的输出可以表示为

$$v_{\text{out}}(t) = v_0 \cdot \sin\left[\omega_0 t + K_{\text{vco}} \int_0^t v_{\text{ctrl}}(\tau) d\tau + \varphi_0\right] \quad (2-24)$$

因为在锁定情况下，最大相差远远小于 $\pi/2$ ，即

$$\Delta\varphi_{\text{max}} = \left| K_{\text{vco}} \int_0^t v_{\text{ctrl}}(\tau) d\tau \right|_{\text{max}} \ll \frac{\pi}{2} \quad (2-25)$$

那么我们假设初始相位 $\varphi_0=0$ ，我们有

$$\begin{aligned} v_{\text{out}}(t) &= v_0 \cdot \sin\left[\omega_0 t + K_{\text{vco}} \int_0^t v_{\text{ctrl}}(\tau) d\tau\right] \\ &= v_0 \cdot \sin(\omega_0 t) \cos\left[K_{\text{vco}} \int_0^t v_{\text{ctrl}}(\tau) d\tau\right] \\ &\quad - v_0 \cdot \cos(\omega_0 t) \sin\left[K_{\text{vco}} \int_0^t v_{\text{ctrl}}(\tau) d\tau\right] \\ &\approx v_0 \cdot \sin(\omega_0 t) - v_0 \cdot \left[K_{\text{vco}} \int_0^t v_{\text{ctrl}}(\tau) d\tau\right] \cdot \cos(\omega_0 t) \end{aligned} \quad (2-26)$$

压控振荡器的压控电压上的纹波是一个频率为 ω_{ref} ，幅值为 A_m 的信号，即

$$v_{\text{ctrl}} = A_m \sin(\omega_{\text{ref}} t) \quad (2-27)$$

那么由式(2-24)、(2-25)和式(2-26)我们可以得到

$$\begin{aligned} \Delta\varphi_{\text{max}} &= \left| K_{\text{vco}} \int_0^t v_{\text{ctrl}}(\tau) d\tau \right|_{\text{max}} = \frac{K_{\text{vco}} \cdot A_m}{\omega_{\text{ref}}} \\ v_{\text{out}}(t) &\approx v_0 \left[\sin(\omega_0 t) - \frac{K_{\text{vco}} \cdot A_m}{2\omega_{\text{ref}}} \left[\cos((\omega_0 + \omega_{\text{ref}})t) + \cos((\omega_0 - \omega_{\text{ref}})t) \right] \right] \\ &\quad + \frac{v_0 \cdot K_{\text{vco}} \cdot A_m}{\omega_{\text{ref}}} \end{aligned} \quad (2-29)$$

式(2-29)中最后一项为一个直流分量，会对输出信号产生 AM 调制作用。而在频率为 $(\omega_0 \pm \omega_{\text{ref}})$ 处会产生参考杂散，由于在压控振荡器的压控电压上的纹波可以用一系列的正弦信号来表示，因此在 ω_{ref} 和它的 n 次谐波 $n \cdot \omega_{\text{ref}}$ 处均会产生杂散信号。其最大值出现在 ω_{ref} 处，其大小为

$$P_{\text{spur}} = 20 \log \left(\frac{K_{\text{vco}} \cdot A_m}{2\omega_{\text{ref}}} \right) \quad (2-30)$$

由式(2-30)我们可以看到，输出信号的参考杂散的大小与压控振荡器的调谐增益 K_{vco} 、压控电压上的纹波幅值大小呈正比，与参考时钟频率成反比。要想减小参考杂散的大小需要减小 K_{vco} 、增大参考时钟的频率，不过这样需要考虑对其他性能的影响，比如 VCO 的调谐范围等。另外，我们应设法减小电路中的失配，来减小压控电压上的纹波幅值，从而达到降低参考杂散大小的目的，我们分析几种

导致参考杂散的原因并讨论一下解决方法。

1) 电路中存在泄漏电流

在实际电路制作过程中,由于工艺的限制,特别是随着沟道长度的越来越小,短沟道效应越来越明显,MOS管的特性越来越差,显著的一个问题就是泄漏电流的变大,亚阈值泄漏电流导致了MOS管的开关特性变差,导致开关不能完全关断,导致在任意时刻都有一定的电流泄漏,由于系统负反馈的作用,参考时钟信号和分频器输出会产生相应的相位差来产生相应大小的电流注入到滤波器中来抵消电流泄漏带来的影响。在频率综合器中这些泄漏电流经过滤波器后就会转变成VCO压控电压的变化,引起参考杂散性能的恶化,如图2-12所示。

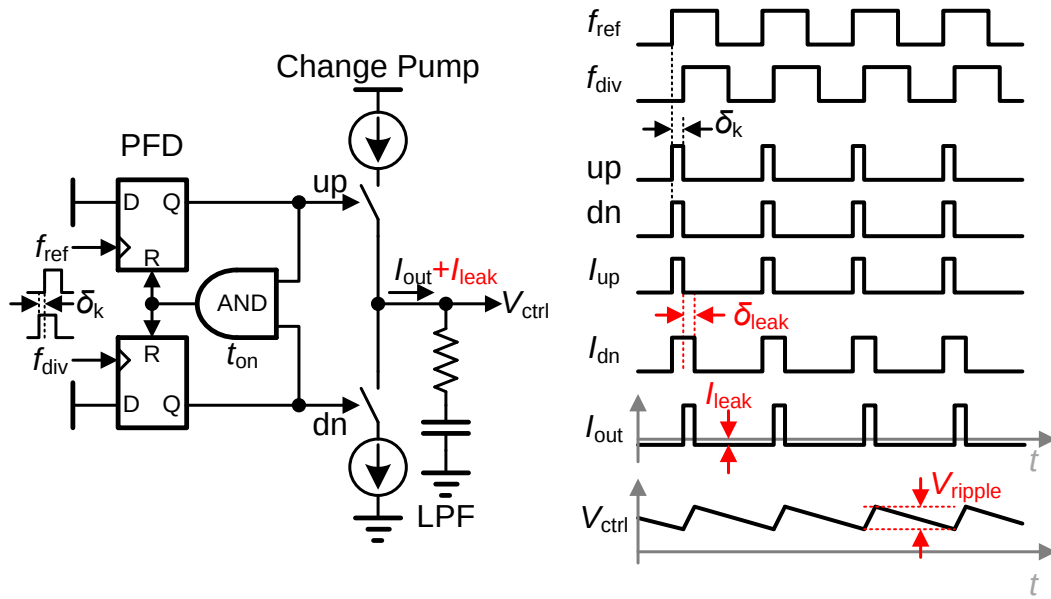


图 2-12 泄漏电流引起参考杂散的机制

我们假设电路泄漏的电流大小为 I_{leak} , 那么我们采用同样的分析方式, 由式(2-23), 注入到滤波器的电荷可以表示为

$$Q_{out}(t) = I_{leak} \cdot \delta_k + 2 \cdot I_{leak} \cdot \delta_k \cdot \sum_{n=1}^{\infty} \left(\frac{2}{n\pi} \cdot \cos(2\pi n f_{ref} t) \right) \quad (2-31)$$

我们可以得到由于泄漏电流所引起的 VCO 压控电压上波动电压的值

$$V_{Ripple} = 2 \cdot I_{leak} \cdot |Z_{LPF}(j2\pi n f_{ref})| \quad (2-32)$$

由式(2-30)我们可以得到由于电荷泄漏所引起的参考杂散的量

$$P_{spur,leak} = 20 \log \left(\frac{K_{vco} \cdot A_{Ripple}}{2\omega_{ref}} \right) = 20 \log \left(\frac{K_{vco} \cdot I_{leak} \cdot |Z_{LPF}(j2\pi n f_{ref})|}{2\pi n f_{ref}} \right) \quad (2-33)$$

由于电路中泄漏电流的大小与使用工艺相关, 我们采用好的工艺泄漏电流对电路参考杂散的贡献比较小, 随着工艺的发展, 我们再关键管子比如电荷泵中的开关

管我们需要采用其他的方法来减小泄漏电流的影响。我们采用 TSMC0.18- μm CMOS 的工艺，因此泄漏电流对参考杂散的影响我们没有过多的考虑。

2) 控制信号 up 和 dn 存在偏差

在电荷泵电路中，我们使用 P 型 MOS 管和 N 型 MOS 管分别作为控制注入电流和抽取电流的开关管。对于 P 型 MOS 管来说低电平导通，对于 N 型 MOS 管来说高电平导通，由于传统的 PFD 电路产生的 up 和 dn 信号是同向的，因此需要一个反相器来转换成控制信号，这就存在这两个信号不同步，两个开关不能够同时打开的问题，就算在另外一条控制信号上加入一个延时，但两个不能做到延时一样时这个问题依然存在，图 2-13 表示了延时不同情况下对参考杂散的贡献。

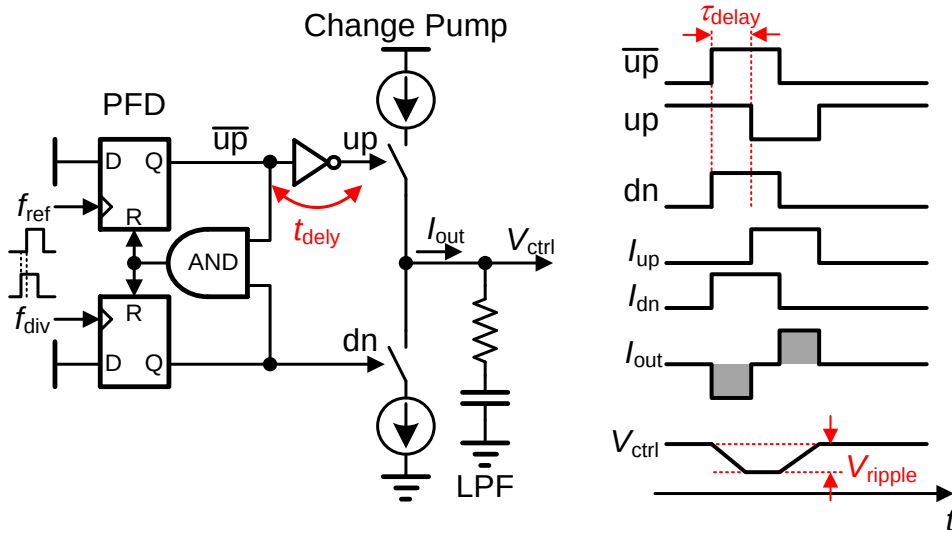


图 2-13 控制信号 up 和 dn 的偏差对参考杂散的影响

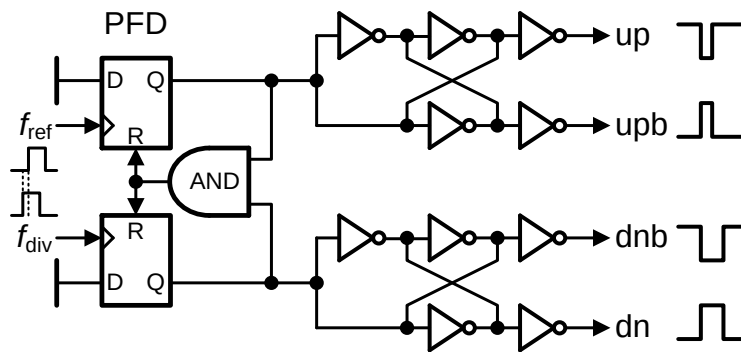


图 2-14 延迟平衡的鉴频鉴相器

解决这一问题我们可以在另一控制线上加入缓冲器(Buffer)，仔细设计它的延时来进行匹配，保证控制信号的沿同时到达开关管。另外由于本论文采用全差分电荷泵，需要两组开关来控制各自的环路，因此采用交叉耦合的反相器结构，

如图 2-14 所示，解决 up 和 dn 信号之间的延时问题，从而消除控制信号不匹配带来的对参考杂散的贡献。

3) 电荷泵电流失配

由于电荷泵的电流源是通过两种不同类型的 MOS 管组成，注入电流电流源是由 PMOS 管设计而成，抽取电流是由 NMOS 设计而成，那么就算在相同导通时间的情况下，由于类型的不同以及二级效应的影响，不可避免存在着电流 I_{up} 和 I_{dn} 大小的不同，我们用 I_{mis} 来表示，图 2-15 表示了电荷泵中电流失配对参考杂散的贡献机制。

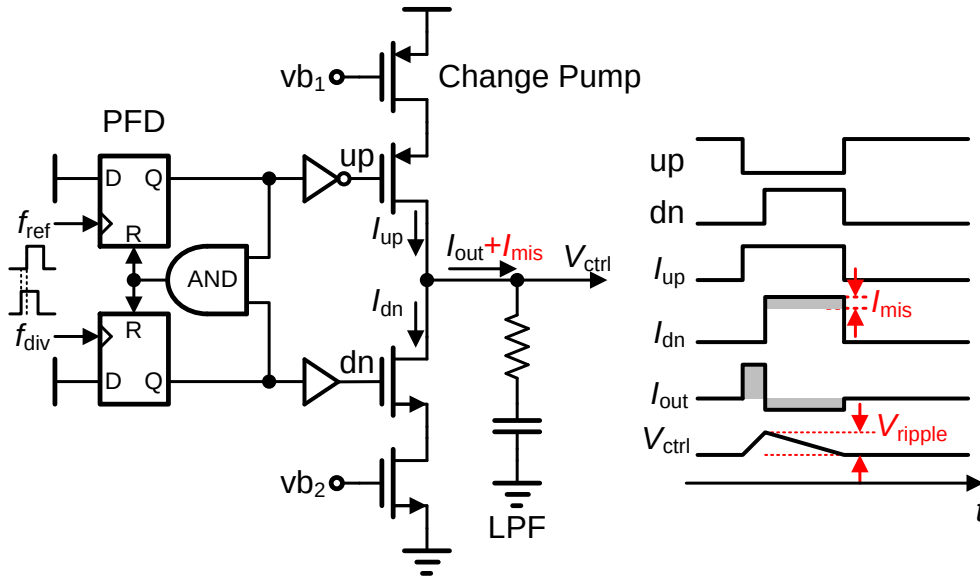


图 2-15 电荷泵失配对参考杂散的影响

由于存在着电流的失配，环路的负反馈作用会使得参考时钟 f_{ref} 和分频器时钟 f_{div} 产生以固定的相位差，从而产生一个静态的电流来抵消电荷泵中的失配电流，这样就会有一个注入抽取电流的过程，在严控电压控制线上表现为电压的波动，从而产生参考杂散。另外电荷泵的电流失配还造成了环路的非线性，进而引起噪声折叠效应，严重恶化带内的相位噪声，对于电荷泵电流失配对于分数分频频率锁相环的影响是本论文研究的重点，将在第三章进行详细分析介绍。

4) 电荷共享

引起参考杂散的第四个原因如图 2-16 所示，由于在电流源漏端存在一定的电容，假设开关 S_1 和 S_2 都断开，那么 MP 管使节点 Y 充电到 VDD，MN 管使节点 X 放电到零电位。控制信号使能，使得开关 S_1 和 S_2 都闭合，从而 V_X 电压上升， V_Y 电压下降，那么由于流源漏端存在的电容 C_X 和 C_Y 的存在，即使相位差为零及 $I_{out}=0$ ， $C_X=C_Y$ ， V_X 和 V_Y 的变化量也不一定相等。例如，若 V_{ctrl} 比较

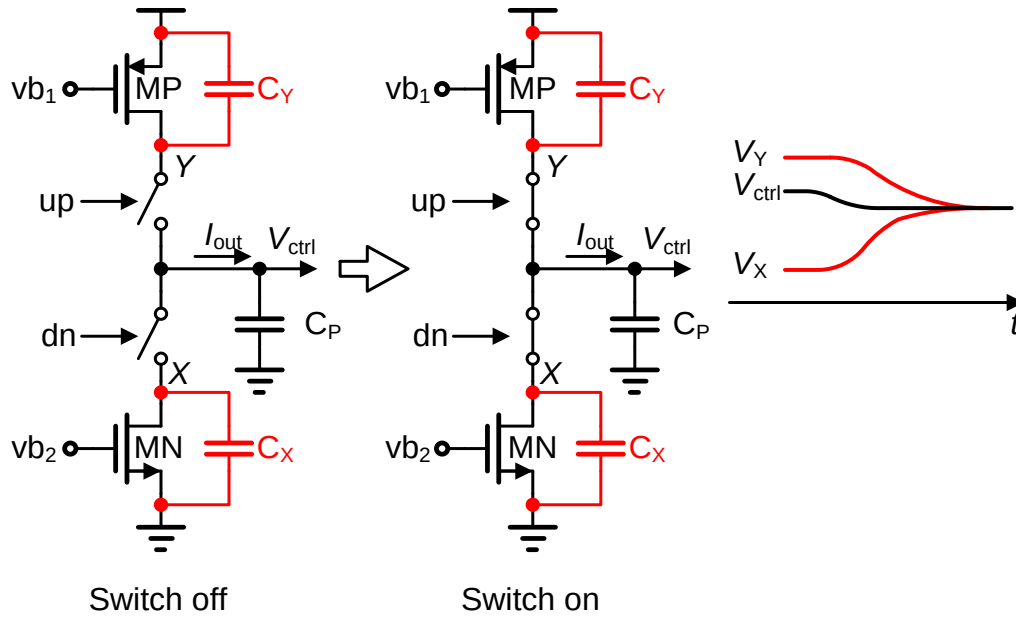


图 2-16 电荷共享对参考杂散的影响

高，则 V_X 的变化量大而 V_Y 的变化量较小，这两者的差异必须由 C_P 来提供，从而导致了 V_{ctrl} 的跳动，导致参考杂散。

上述的电荷共享现象可以通过“自举”(bootstrapping) 的办法来消除[18]。另外我们注意到电荷共享是由于电流源漏端存在电容，并且电容在开关断开时上的电位分别被充电至 V_{DD} 和放电至零电位引起的，那么我们可以调换开关和电流源的位置，这样每次 C_X 和 C_Y 的电位都会变为 V_{ctrl} ，从而不会引起的变化，消除电荷共享对参考杂散性能的影响。另外，开关管放到靠近 V_{DD} 和 GND ，可以提高开关的速度[19]。

2.4.4 分数杂散

正如 2.3.1 里面所述，在分数分频频率综合器中为了产生分数分频会引入分数杂散(Fractional Spur)， $\Sigma\Delta$ 型频率综合器中由于采用了 $\Sigma\Delta$ 调制器，将分频比随机化，从而减小了分数杂散。然而由于衬底耦合、电容耦合等因素所引起的分数杂散会比较严重，甚至比分数分频固有机制引起的分数杂散还要严重，本节我们就讨论一下由于一些耦合引起分数杂散的机制。

我们知道在 $\alpha \cdot f_{out}$ 处会产生分数杂散，而由于产生分数杂散的来源不同和频率的不同，频率综合器中的环路滤波器 LPF 有可能将某些 Spur 滤掉也有可能对某些没有作用。举个例子来说，从参考时钟传播到输出的 Spur 会被滤波器的特性滤掉。而参考时钟特定的谐波和 VCO 输出信号耦合而产生的 Spur，滤波器对此没有作用。在本节中解释了三种不同的产生带内 Spur 的耦合机制，如图 2-17 所示。这些 Spur 能够显著恶化高性能频率综合器的相位噪声特性。

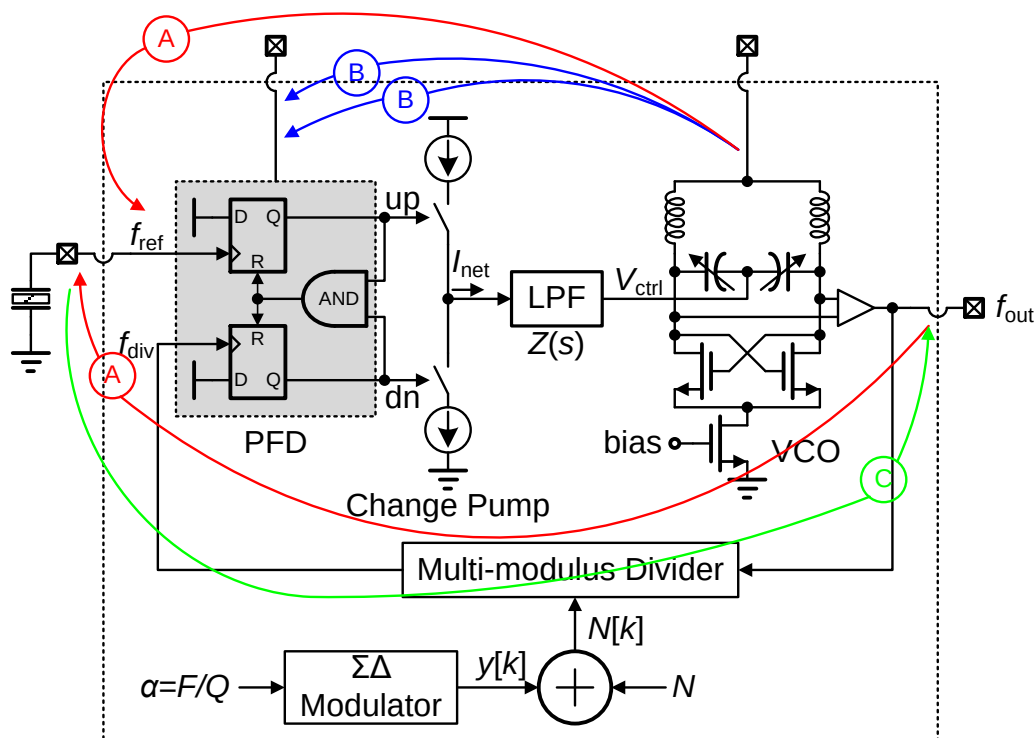


图 2-17 产生分数杂散的三种耦合机制

A. VCO 时钟耦合到 PFD 的输入

如上图所示，压控振荡器 VCO 的频率可以通过以下几种方式耦合到鉴频鉴相器 PFD 的输入：衬底耦合、容性线串扰(capacitive lines crosstalk)、物理性的连接：通过电源线耦合、通过 VCO 输出和 PFD 输入连线之间的耦合等。

由于产生参考时钟输入的时钟信号有几百 mV，因此即使很小的压控振荡器输出信号的扰动就会对输入频率综合器的参考时钟信号产生较大的影响。在整数分频频率综合器中，由于输出信号的频率是参考时钟的严格的整数倍，因此对于压控振荡器的输出和参考时钟信号输入之间的耦合可以忽略。但是对于分数分频频率综合器来说，对于一个接近整数倍参考时钟的压控振荡器输出频率，PFD 将 VCO 的输出频率下变频(down-converts)到一个参考时钟的分数倍的频率，这将在这个分数倍频率和它的谐波出产生 Spur。如果这个频率大于频率综合器的环路带宽时，将会被滤波器衰减掉，但如果小于环路带宽，那么将在带内产生分数杂散(In-band Fractional-Spur)。由于这种机制产生的 Spur 的信号强度跟 VCO 的输出频率相关，也就是和分频比相关，通过式(2-22)我们可以知道，如果 VCO 的频率加倍，即分频比 N 也要加倍，那么其产生的 Spur 将增加 6 dB。同时这也解释了当分频比变大时，与参考时钟相关的相位噪声会相应的增加的原因。

B. VCO 的输出通过电源与 PFD/CP 之间的耦合

另外一种耦合机制是 VCO 的输出或电源与 PFD/CP 电源之间的耦合。如果

VCO 和 PFD/CP 共用一个电源，那么就提供了参考时钟和 VCO 输出信号相互交调(inter-modulation)的通路，因而产生在带内产生 Spur。如果在 PFD/CP 的电源电压上加上一个很小的 VCO 信号(哪怕仅有几个 mV)，都会在 VCO 的输出产生明显的分数 Spur。

C. 参考时钟耦合到 VCO 的输出

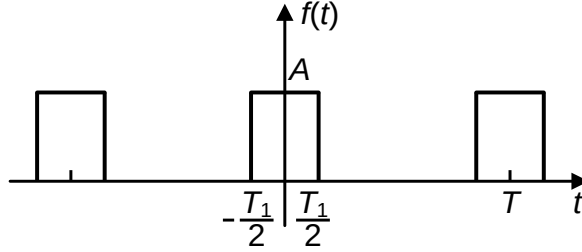


图 2-18 周期矩形波信号

我们都知道周期的矩形波信号含有很多的谐波成分，如果参考时钟是矩形波，那么如果它含有的谐波成分耦合到 VCO 的输出，则会产生带内的 Spur。

我们来看一下一个周期矩形波产生 n 次谐波的情况，如图 2-18 所示，周期为 T ，占空比 $d=T_1/T$ ，幅值为 A 。

在一个周期 T 内，周期的矩形波可以表示为

$$f(t) = A \left[u\left(t + \frac{T_1}{2}\right) - u\left(t - \frac{T_1}{2}\right) \right] \quad \left(-\frac{T_1}{2} \leq t \leq \frac{T_1}{2}\right) \quad (2-34)$$

而且只有在 $(-T_1/2 \sim T_1/2)$ 内不为零，因此在做傅里叶积分是只需在脉冲宽度内积分，即

$$\begin{aligned} a_0 &= \frac{1}{T} \int_{-T_1/2}^{T_1/2} A dt = A \cdot \frac{T_1}{T} = A \cdot d \\ a_n &= \frac{2}{T} \int_{-T_1/2}^{T_1/2} A \cos(n\omega t) dt \\ &= \frac{2A}{n\pi} \cdot \sin\left(\frac{n\omega T_1}{2}\right) = 2A \cdot \frac{\sin(n\pi \cdot d)}{n\pi} \end{aligned} \quad (2-35)$$

我们可以将周期矩形信号用三角函数形式表示出来

$$\begin{aligned} f(t) &= a_0 + \sum_{n=1}^{\infty} a_n \cos(n\omega t) \\ &= A \cdot \frac{T_1}{T} + \frac{2A \cdot T_1}{T} \sum_{n=1}^{\infty} \frac{\sin\left(\frac{n\pi T_1}{T}\right)}{\frac{n\pi T_1}{T}} \cos(n\omega t) \\ &= A \cdot d + 2A \cdot \frac{\sin(n\pi \cdot d)}{n\pi} \cdot \sum_{n=1}^{\infty} \cos(n\omega t) \end{aligned} \quad (2-36)$$

我们假设参考时钟的 n 次谐波与 VCO 的输出耦合，那么肯定也会在 $\alpha \cdot f_{out}$ 处产

生 Spur，其大小为

$$P_{\text{Spur}} = \frac{20 \log \left(K \cdot 2A \cdot \frac{\sin(n\pi \cdot d)}{n\pi} \right)}{P_{\text{out}}} \text{dBc} \quad (2-37)$$

其中 K 为耦合系数(V/V)，由式(2-37)我们可以看出，由于这种机制产生的分数杂散的大小与耦合系数、占空比相关，对于占空比为 50%的方波作为参考时钟来说，这种耦合机制产生的 Spur 只会出现在奇数次谐波处出现。

由上面的论述我们可以知道，分数杂散可以通过衬底耦合、电源线耦合、信号线之间的耦合以及 PCB 板上面的耦合机制来产生，这样我们就可以通过减小上述的机制来减小它们的影响，但是由于可能存在多种偶和机制并且比较复杂，因此可能要完全消除它们的影响还是比较困难的。

2.5 本章小结

本章首先回顾了整数分频频率综合器的基本结构。其次介绍了两种分数分频频率综合器的基本结构，并且重点介绍了 $\Sigma\Delta$ 型频率综合器的结构。最后介绍了频率综合器中的重要参数，介绍了杂散和相位噪声的定义，以整数分频为例引出了相位噪声的模型。分析了参考杂散的几种来源及解决方法，分析了分数杂散的产生机制。

第三章 分数分频频率综合器非线性分析

3.1 引言

分数分频频率综合器由于能够提供小的频率分辨率和低的相位噪声[20][21]。而被越来越多的使用。由于 $\Sigma\Delta$ 调制器的过采样和噪声整形特性可以将量化噪声搬移到高频处，从而在带内得到高的信噪比(Signal Noise Ratio, SNR)，这样可以得到低的相位噪声性能，因此现在大多数分数分频频率综合器是通过一个 $\Sigma\Delta$ 调制器来实现的。为了分析和优化一个频率综合器的噪声性能，我们往往采用一种简单的线性噪声模型[17]，这个模型通过将各个模块的噪声等效到输出再在输出进行线性叠加来得到整个综合器的噪声性能。这个模型假设电荷泵是线性的，并且它的电流仅仅由输入鉴频鉴相器的输入信号的信号相位差决定，并且认为 $\Sigma\Delta$ 调制器的量化噪声只会影响频率综合器的带外噪声，并且这部分噪声会被环路滤波器滤掉。这个方法虽然能够允许我们进行在设计前进行快速的仿真并且能够提供足够的精度，然而它并不能体现出由于电荷泵电流静态增益失配、动态电流失配等效应引起的电荷泵和鉴频鉴相器的非线性特性。而由于在 $\Sigma\Delta$ 分数分频频率综合器系统中不可避免的存在着非线性， $\Sigma\Delta$ 调制器的噪声整形特性会被破坏，带外的量化噪声就会折叠到带内，显著的恶化频率综合器的带内相位噪声和均方根相位误差(Root Mean Square Phase Error, rms Phase Error)[22]，并且增加参考杂散和分数杂散。本章对分数分频频率综合器中的噪声折叠现象进行时详细的分析，并分析了解决噪声折叠的几种技术。

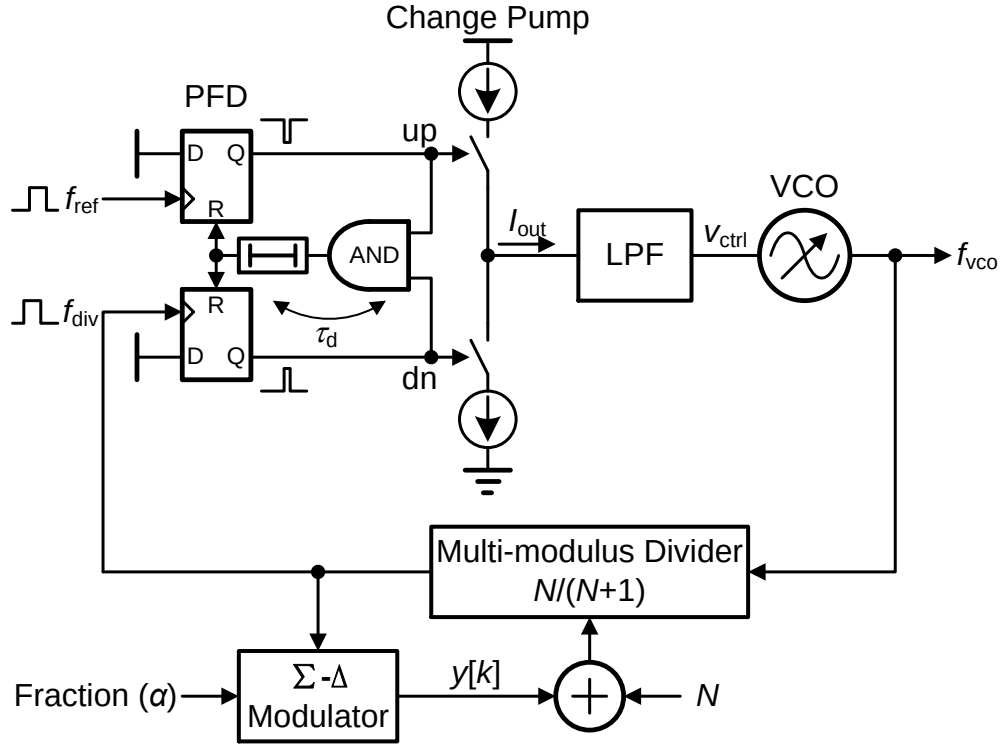
3.2 $\Sigma\Delta$ 分数分频频率综合器的基本结构及噪声模型

3.2.1 基本结构

目前，最常用的 $\Sigma\Delta$ 分数分频锁相环如所示[23]。其中 $\Sigma\Delta$ 调制器的模值为 Q 输入为 F ，那么得到的就是一个介于 0 和 1 的分数 $\alpha=F/Q$ ，在分频器时钟 f_{div} 的控制下，输出一串整数序列 $y[k]$ ，加到多模分频器的分频比 N ，这样，分频比就变为 $N[k]=N+y[k]$ 。由于 $y[k]$ 在长时间下的平均值为 α ，因此，平均分频比就是 $N+\alpha$ ，锁相环锁定之后，输入、输出频率的关系为：

$$f_{vco} = \left(N + \frac{1}{n} \sum_{k=1}^n y[k] \right) \times f_{ref} = (N + \alpha) \times f_{ref} \quad (3-1)$$

式(3-1)实现的频率精度为 $\alpha \cdot f_{ref}$ ，只要 α 足够小，就可以得到非常高的频率精度。


 图 3-1 基于 $\Sigma\Delta$ 调制器的分数分频频率综合器的结构

$\Sigma\Delta$ 调制器产生瞬时的分频比 $N[k]$ ，在鉴频鉴相器的输入端转变成量化相位误差。电荷泵将这个量化相位误差转换成电流并将环路滤波器进行充电和放电进而产生压控振荡器的控制电压 V_{ctrl} ，从而产生所需要的输出信号 f_{out} 。

3.2.2 量化噪声与 $\Sigma\Delta$ 调制器结构

3.2.2.1 量化噪声

对于一个量化精度为 Δ 的量化器而言，当量化误差 e 等概率均匀分布在 $\pm\Delta/2$ 时，它的均方根值可以表示为[7]

$$e_{rms}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (3-2)$$

若采样频率为 f_s ，采用双边谱功率密度(PSD)描述，经过采样后所有能量都会既不重复也不遗漏地折叠到频带 $-f_s/2 \leq f \leq f_s/2$ 内，对于高阶的 $\Sigma\Delta$ 调制器来说，它在 PFD 输入端产生的相位差服从高斯分布[24]，因此采样后的量化噪声的功率谱密度可以表示为：

$$E^2(f) = \frac{e_{rms}^2}{f_s} = \frac{\Delta^2}{12f_s} \quad (3-3)$$

3.2.2.2 $\Sigma\Delta$ 调制器的基本结构

由第二章的分析，我们知道 $\Sigma\Delta$ 调制器具有噪声整形特性，它可以将低频的

量化噪声搬移到高频处,从而提高带内的信噪比,常见的一阶 $\Sigma\Delta$ 调制器如图 3-2 所示,而一阶量化器可以等效为与量化噪声的叠加,得到其输出表达式为:

$$y[z] = x[z] + (1 - z^{-1}) e_q[z] \quad (3-4)$$

其中 $x[z]$ 是调制器的输入, $e_q[z]$ 是量化噪声。输出信号可以由输入信号和噪声两部分组成,可以表示为:

$$y[z] = \text{STF}(z) \cdot x[z] + \text{NTF}(z) \cdot e_q[z] \quad (3-5)$$

$\text{STF}(z)$ 是信号传递函数, $\text{NTF}(z)$ 是噪声传递函数,对于一阶量化器而言, $\text{STF}(z)=1$, $\text{NTF}(z)=1-z^{-1}$ 。对于 n 阶的多级噪声整形(Multi-Stage Noise Shaping, 简称 MASH)型 $\Sigma\Delta$ 调制器而言,其噪声传递函数为:

$$\text{NTF}(z) = (1 - z^{-1})^n \quad (3-6)$$

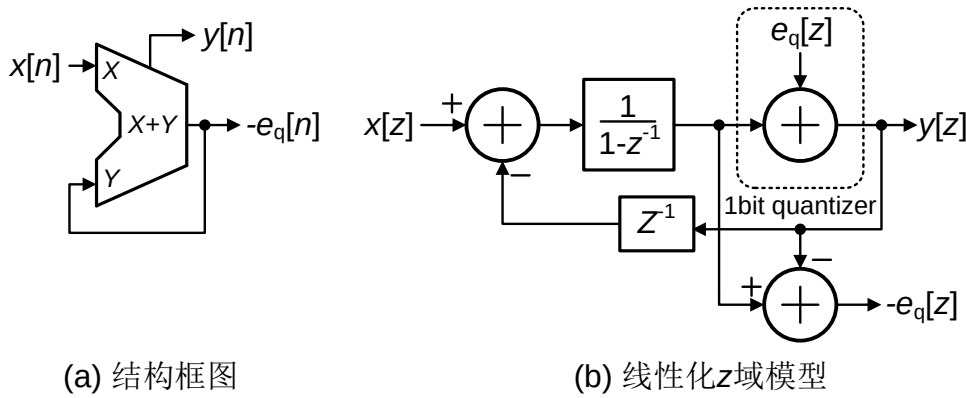


图 3-2 一阶 $\Sigma\Delta$ 调制器结构及线性化 z 域模型

对于任意的 $\Sigma\Delta$ 调制器,其输出量化噪声功率谱密度可以表示为:

$$S_{\Phi}(f_m) = E^2(f_m) \cdot |\text{NTF}(z)|^2 = \frac{\Delta^2}{12f_s} \cdot |\text{NTF}(z)|^2 \quad (3-7)$$

将式(3-7)从离散的 z 域向连续的 s 域变换可得 n 阶 MASH 型 $\Sigma\Delta$ 调制器的输出量化噪声功率谱密度为:

$$S_{\Phi}(f_m) = \frac{\Delta^2}{12f_s} \cdot |1 - z^{-1}|^{2n} = \frac{\Delta^2}{12f_s} \cdot \left[2 \sin\left(\frac{\pi f_m}{f_s}\right) \right]^{2n} \quad (3-8)$$

3.2.2.3 分数分频频率综合器的噪声模型

由于电荷泵和鉴频鉴相器的开关采样特性,锁相环其实是一个离散时间系统。为了方便分析和快速模拟,当环路带宽小于参考频率的十分之一时,可以采用连续 s 域模型进行分析。图 3-3 给出了分数分频锁相环的相位噪声模型。

分数分频频率综合器的开环环路传递函数和整数分频类似,可以表示为

$$H_o(s) = \frac{1}{N + \alpha} \cdot \frac{I_{cp}}{2\pi} \cdot \frac{K_{vco}}{s} \cdot Z_{lpf}(s) \quad (3-9)$$

其中 $1/(N+\alpha)$ 表示多模分频器的相位到相位的传递函数， $N+\alpha$ 是分频比。

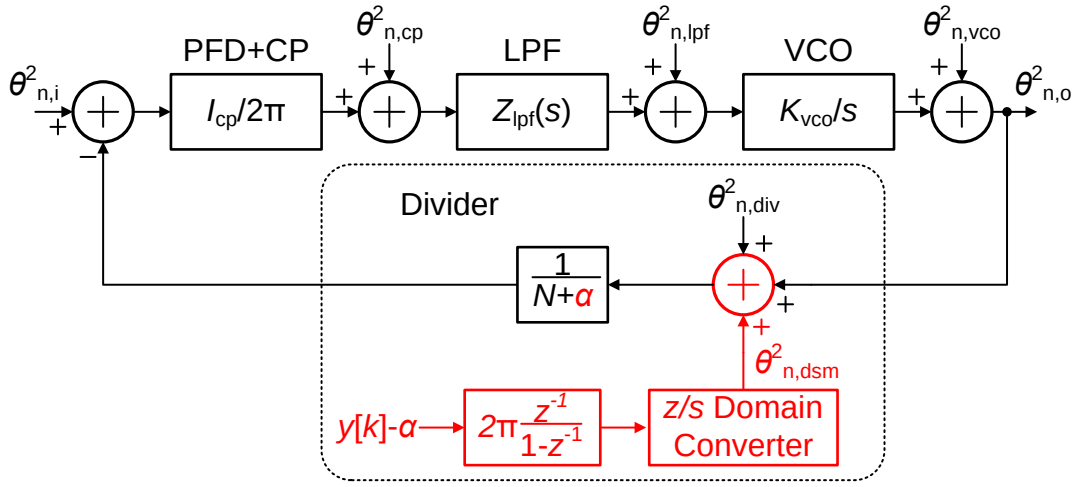


图 3-3 分数分频频率综合器噪声模型

我们通过计算在频偏 f_m 处的功率谱密度 $S_\Phi(f_m)$ 来计算相位噪声。由于 f_m 的变化范围是 $-\infty$ 到 $+\infty$ ，因此 $S_\Phi(f_m)$ 是双边频谱密度，单位是弧度平方每赫兹 (rad^2/Hz)。在本文中的分数分频锁相环噪声的计算是在以下前提下进行的：

- 1) 分数分频锁相环是锁定的，即在鉴频鉴相器输入处的平均相位误差是一个常数。
- 2) 在整个环路中，所有模块的噪声是不相关的。
- 3) 环路特性是线性的。

根据文献[17]，整个 PLL 的输出噪声等于所有模块的相位噪声在输出的线性相加，因此给出总的相位噪声的功率谱密度：

$$S_\Phi(f_m) = S_{\Phi,vco}(f_m) + S_{\Phi,lpf}(f_m) + S_{\Phi,pfd}(f_m) + S_{\Phi,cp}(f_m) + S_{\Phi,sdm}(f_m) \quad (3-10)$$

总的均方根相位误差可由下式得出[23]

$$\Phi_{\text{rms}}^2 = \int_{-\infty}^{\infty} S_\Phi(f_m) df_m \quad (\text{rad}^2) \quad (3-11)$$

考虑到 $\Sigma\Delta$ 调制器的工作时钟为 f_{div} ，而 f_{div} 近似等于 f_{ref} ，对于双边谱噪声功率密度而言，数值上等于相位噪声[25]，图 3-3 中 $y[k]$ 是调制器的输入， $y[k]-\alpha$ 有形如式(3-7)的噪声特性，求和符号在 z 域中相当于一阶积分器 $1/(z-1)$ 。由式(3-8)和式(3-9)可以得到 n 阶 MASH 型 $\Sigma\Delta$ 调制器的输出量化噪声等效到输出的相位噪声为：

$$\begin{aligned}
\theta_{o, \text{sdm}}^2 &= \left(\frac{2\pi}{N + \alpha} \right) \cdot \left| \frac{1}{z-1} \right|^2 \cdot \frac{\Delta^2}{12f_{\text{ref}}} \cdot \left[2 \sin \left(\frac{\pi f_m}{f_{\text{ref}}} \right) \right]^{2n} \cdot \left| \frac{NH_o(s)}{1 + H_o(s)} \right|^2 \\
&= \frac{\pi^2 \Delta^2}{3(N + \alpha)^2} \cdot \frac{1}{f_{\text{ref}}} \cdot \left[2 \sin \left(\frac{\pi f_m}{f_{\text{ref}}} \right) \right]^{2(n-1)} \cdot \left| \frac{NH_o(s)}{1 + H_o(s)} \right|^2 \quad (\text{rad}^2 / \text{Hz})
\end{aligned} \tag{3-12}$$

上式的结果是假设系统是线性时不变系统(LTI)得到的,但是它不能分析由于分数分频锁相环的系统非线性所引起的噪声特性,引起系统非线性的原因主要有以下两方面:

- 1) 电荷泵电路中 up 和 dn 电流增益失配问题。
 - 2) 电荷泵中电流的动态失配,这主要是由于开关的开启时间不一样导致。
- 对于 $\Sigma\Delta$ 调制器来说,时间域分析比频域分析(式(3-12))更能够得到精确的由非线性引起的噪声特性,因此我们采用时域分析来详尽的说明噪声折叠现象。

3.2.3 非线性条件下的噪声模型

3.2.3.1 电荷泵模型

在第二章中我们已经分析了分数分频频率综合器实现的不是整数分频概念中的相位和频率都一样的锁定,而是一种“动态锁定”。

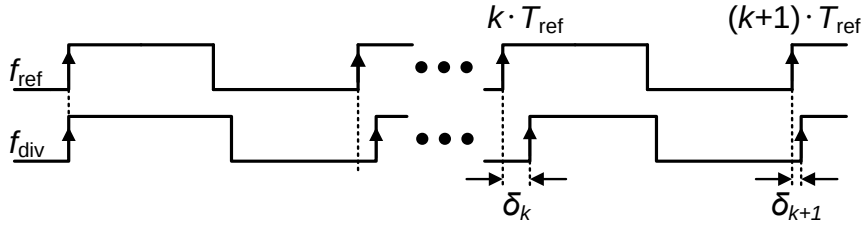


图 3-4 分数分频器参考时钟和分频器时钟工作状态

为了确定由于 PFD/CP 的非线性引起的噪声,我们先来确定鉴频鉴相器输入的瞬态相位误差的表达式。在图 3-4 中,我们先假设 f_{div} 的边沿和 f_{ref} 的边沿在某一时刻对齐,经过 k 个周期之后分频器输出 f_{div} 的上升沿时刻为 $t_{\text{div}}[k]$, f_{ref} 的上升沿时刻为 $t_{\text{ref}}[k]$ 。

由上图我们可以得到

$$t_{\text{div}}[k] = t_{\text{div}}[k-1] + N[k] \cdot T_{\text{vco}} \tag{3-13}$$

$$t_{\text{ref}}[k] = k \cdot T_{\text{ref}} \tag{3-14}$$

其中, $N[k]$ 是瞬时分频比,它由 $\Sigma\Delta$ 调制器的输出 $y[k]$ 决定,而 VCO 的输出 $f_{\text{vco}} = (N + \alpha) \cdot f_{\text{ref}}$, 因此我们有

$$N[k] = N + y[k] \tag{3-15}$$

$$T_{\text{ref}} = (N + \alpha) \cdot T_{\text{vco}} \tag{3-16}$$

我们将式(3-15)和式(3-16)联立得

$$\begin{aligned} t_{\text{ref}}[k-1] &= (k-1) \cdot T_{\text{ref}} = k \cdot T_{\text{ref}} - T_{\text{ref}} \\ &= t_{\text{ref}}[k] - (N + \alpha) \cdot T_{\text{vco}} \end{aligned} \quad (3-17)$$

由式(3-13)(3-14)(3-17)得

$$\begin{aligned} t_{\text{div}}[k] - t_{\text{ref}}[k] &= (t_{\text{div}}[k-1] - t_{\text{ref}}[k-1]) \\ &\quad + \{N[k] - (N + \alpha)\} \cdot T_{\text{vco}} \end{aligned} \quad (3-18)$$

我们引入 δ_k 来代表 f_{div} 的上升沿和 f_{ref} 的上升沿的瞬时时间差，即

$$\delta_k = t_{\text{div}}[k] - t_{\text{ref}}[k] \quad (3-19)$$

由式(3-18)(3-19)得

$$\begin{aligned} \delta_k &= \delta_{k-1} + \{N + y[k] - (N + \alpha)\} \cdot T_{\text{vco}} \\ &= \delta_{k-1} + (y[k] + \alpha) \cdot T_{\text{vco}} \end{aligned} \quad (3-20)$$

根据 3.2 小节的分析和式(3-5)，我们知道，对于一个 $\Sigma\Delta$ 调制器来说，在 z 域里

$$y[z] = \alpha + e_q \cdot \text{NTF}(z) \quad (3-21)$$

在 s 域和 z 域的变换中，由 z 变换的时移性质[26]

$$x[n-m] = z^{-m} \cdot x[z] \quad (3-22)$$

因此式(3-20)(3-21)(3-22)可以变换为

$$\begin{aligned} \delta_k &= \delta_k \cdot z^{-1} + e_q[z] \cdot \text{NTF}(z) \cdot T_{\text{vco}} \\ &= e_q[z] \cdot \frac{\text{NTF}(z)}{(1 - z^{-1})} \cdot T_{\text{vco}} \end{aligned} \quad (3-23)$$

我们现在考虑在 PFD 输出相位差 δ_k 条件下电荷泵模型，如图 3-5 所示[27]，忽略其他效应，只看电荷泵电流增益失配的情况下，我们可以将电荷泵的电流用上图表示。可以将(a)图中所表示的瞬态电荷泵电流输出分成(b)、(c)、(d)三个部分，(b)代表了由于分频器相位误差产生的电流，这部分电流通过滤波器控制 VCO 的输出频率，是我们所希望的；(c)图是为了消除死区而设置的一定的死区时间 t_{on} ，如果没有失配的情况下，上下电流应该是相等的，即注入和抽离滤波器电容的电荷量是相同的，不会对 VCO 控制电压产生影响；(d)图代表了电流失配项，正是我们所关心的项，在电荷泵存在失配的情况下，上下电流 i_{cp} 和 i_{dn} 是不相同的，假设 I_{cp} 是我们所需要的电流值，那么对于任意电荷泵上下电流我们可以表示为

$$i_{\text{up}} = I_{\text{cp}} \cdot \left(1 + \frac{\varepsilon}{2}\right) \quad (3-24)$$

$$i_{\text{dn}} = I_{\text{cp}} \cdot \left(1 - \frac{\varepsilon}{2}\right) \quad (3-25)$$

其中， ε 是电流失配的系数，代表了电流失配的大小。因此我们可以从(d)图中看出，不管是正值还是负值(f_{div} 落后 f_{ref} 或者 f_{div} 领先 f_{ref})时，电荷泵都会产生一个

$(\varepsilon/2) \cdot I_{cp}$ 的电流误差项，正是这一部分的电流误差产生了噪声折叠效应。

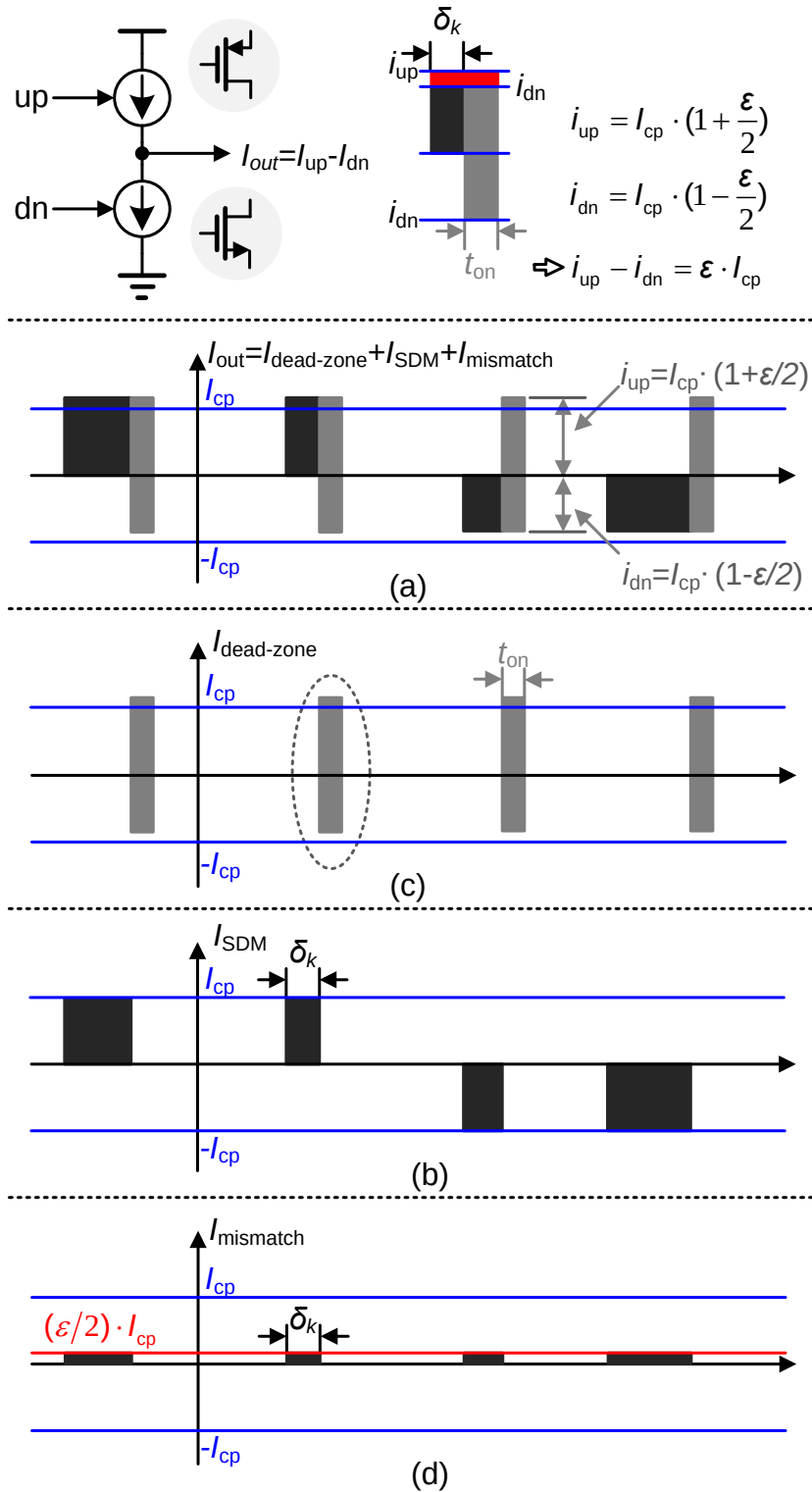


图 3-5 电荷泵模型

为了得到更加直观的数学表达式形式，我们将电荷泵电流重新表示成图 3-6 的形式

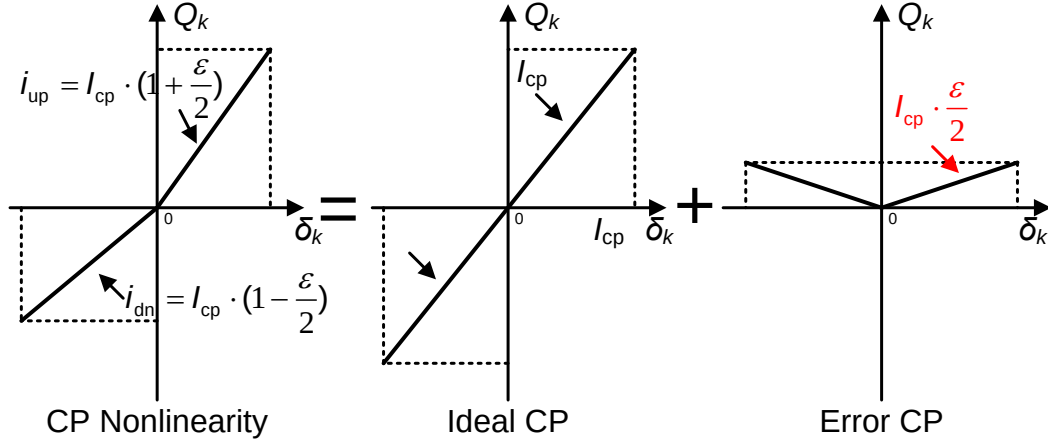


图 3-6 电荷泵数学模型

由式(3-24)和(3-25)可以得到电荷泵电流注入或者抽出滤波器上的电荷量，表示为

$$Q_k = \begin{cases} i_{up} \cdot \delta_k, & \text{if } \delta_k > 0 \\ i_{dn} \cdot \delta_k, & \text{if } \delta_k < 0 \end{cases} \quad (3-26)$$

考虑死区时间 t_{on} ，并将式(3-24)和(3-25)带入，得

$$Q_k = \begin{cases} I_{cp} \left(1 + \frac{\epsilon}{2}\right) \cdot \delta_k + \epsilon \cdot I_{cp} \cdot t_{on}, & \text{if } \delta_k > 0 \\ I_{cp} \left(1 - \frac{\epsilon}{2}\right) \cdot \delta_k + \epsilon \cdot I_{cp} \cdot t_{on}, & \text{if } \delta_k < 0 \end{cases} \quad (3-27)$$

即

$$Q_k = I_{cp} \cdot \delta_k + \frac{\epsilon}{2} \cdot I_{cp} \cdot |\delta_k| + \epsilon \cdot I_{cp} \cdot t_{on} \quad (3-28)$$

在锁定状态下，电荷泵转移到滤波器上的电荷总量($\sum Q_k$)应该等于零，因此在式(3-28)中的第一项是我们希望得到的；第二项取决于 $|\delta_k|$ ，这在锁定时间内的平均值不为零，而且大小取决于 $\Sigma\Delta$ 调制器的输出，在系统的输出表现为噪声，也就是我们关心的噪声折叠现象，这一项的存在会显著恶化带内的相位噪声和均方根积分相位误差；第三项是一个固定的有限的值，等效于向环路注入一个固定的直流偏移量，只会在鉴频鉴相器的输入引入一个固定的有限的相位差，这在锁相环系统中是允许存在的，同时由于环路负反馈的存在，这一项并不会对相位噪声产生贡献。

我们将式(3-28)分为理想电流(Ideal Current)和误差电流(Error Current)，进行单独分析，进而证明理想的不存在失配的电荷泵情况下 $\Sigma\Delta$ 调制器良好的噪声整形特性，和存在的非线性引入的误差电流产生的噪声折叠效应，并分析它是如何破坏噪声整形特性，恶化带内相位噪声的，并且给出直观的解决方法。对于一

个电流经过滤波器，在一个周期内的等效电流可以表示为

$$i_k = \frac{\partial Q}{\partial t} \approx \frac{Q_k}{T_{\text{ref}}} \quad (3-29)$$

那么，理想电荷泵电流和误差电流可以表示为

$$i_k = i_{k,\text{ideal}} + i_{k,\text{error}} \quad (3-30)$$

$$i_{k,\text{ideal}} = \frac{I_{\text{cp}}}{T_{\text{ref}}} \cdot \delta_k \quad (3-31)$$

$$i_{k,\text{error}} = \frac{I_{\text{cp}}}{T_{\text{ref}}} \cdot \frac{\varepsilon}{2} \cdot |\delta_k| \quad (3-32)$$

为了方便分析，我们将分为两部分来解释电荷泵在理想情况下和非线性误差情况下 $\Sigma\Delta$ 调制器量化噪声对输出噪声的贡献。

3.2.3.2 分数分频频率综合器的噪声模型

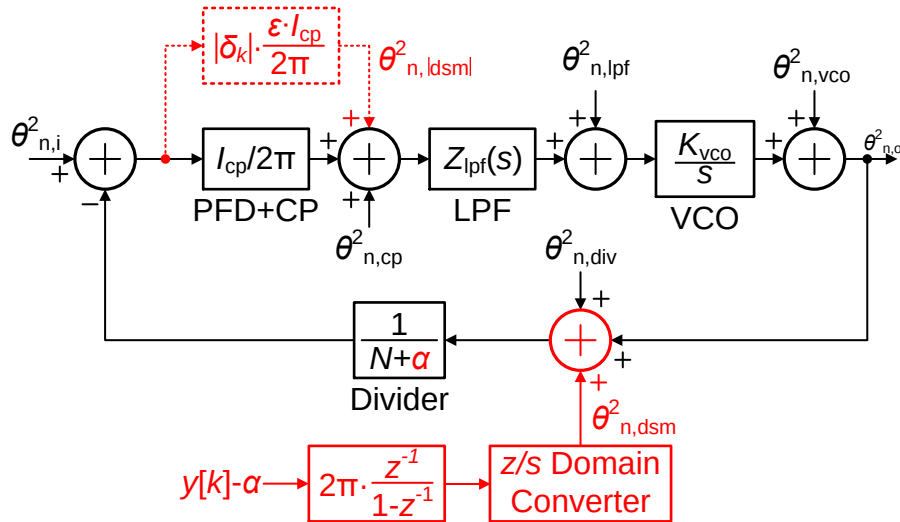


图 3-7 存在非线性情况下分数分频频率综合器噪声模型

相对于没有非线性情况下的噪声模型，在非线性存在的情况下的噪声模型如图 3-7 所示。我们可以通过分别计算理想情况下和非理想情况下 $\Sigma\Delta$ 调制器的量化噪声到输出相位噪声的转换来定量说明噪声折叠的现象。

1) 理想情况下 $\Sigma\Delta$ 调制器量化噪声到相位噪声转换

在以下的分析中我们采用 n 阶 MASH 型 $\Sigma\Delta$ 调制器。那么将式(3-6)和(3-23)带入式(3-31)中可以得到

$$i_{\text{ideal}} = e_q \cdot \left[1 - z^{-1}\right]^{n-1} \cdot \frac{T_{\text{vco}}}{T_{\text{ref}}} \cdot I_{\text{cp}} \quad (3-33)$$

上面我们对量化噪声的分析和式(3-8)，我们得到理想电流情况下的双边谱功率谱密度

$$S_{i,\text{ideal}}(f_m) = \frac{T_{\text{vco}}^2}{T_{\text{ref}}^2} \cdot \frac{\Delta^2 \cdot I_{\text{cp}}^2}{12f_{\text{ref}}} \cdot \left[2 \sin\left(\frac{\pi f_m}{f_{\text{ref}}}\right) \right]^{2(n-1)} \quad (\text{A}^2/\text{Hz}) \quad (3-34)$$

对于我们关心的带内相位噪声，满足 $\pi f_m \ll f_{\text{ref}}$ 的条件，则 $\sin(\pi f_m/f_{\text{ref}})$ 近似等于 $\pi f_m/f_{\text{ref}}$ ，另外由于我们关心的频率处，闭环的传递函数在环路的增益可以用 N 代替，那么由上面两个条件我们可以将式(3-34)简化

$$\theta_{\text{o,sdm,ideal}}^2 = (2\pi)^{2n} \cdot \frac{\Delta^2 f_m^{2(n-1)}}{12f_{\text{ref}}^{2n-1}} \quad (\text{rad}^2/\text{Hz}) \quad (3-35)$$

由上式可以看出，理想电荷泵情况下， $\Sigma\Delta$ 调制器在输出产生的噪声由频率从高频到低频变化时服从 $20 \cdot (n-1)$ dB/dec 的斜率下降，即将低频的噪声搬移到高频出，而高频出的噪声可以通过环路滤波器滤掉，因此有一个良好的噪声整形特性，带内的噪声非常小，因此不会对频率综合器的输出相位噪声有显著地贡献，提高了带内的信噪比，有更好的带内噪声特性，这是 $\Sigma\Delta$ 分数分频频率综合器的优点。

2) 非线性情况下 $\Sigma\Delta$ 调制器量化噪声到相位噪声转换

对于误差电流引起的噪声，我们不能像理想电流那样直接分析，因为我们找不到绝对值特性下双边谱功率谱密度的表示方法，好在如前面所提到的，对于高阶的 $\Sigma\Delta$ 调制器， δ_k 服从高斯分布，它的功率谱密度近似为一个白噪声谱，这就给我们提供了一个间接分析误差电流引起的噪声的方法。对于一个方差为 σ^2 并服从高斯分布的量，那么它在 $-f_s/2 < f_m < f_s/2$ 频率范围内的功率密度可以表示为

$$S_{\delta} = \frac{\sigma^2}{f_s} \quad (3-36)$$

我们首先找到理想电流情况下方差和我们所关心的量的相关关系，我们可以通过对式(3-34)进行微分得到理想电流情况下总的噪声功率

$$P_{i,\text{ideal}} = \frac{T_{\text{vco}}^2}{T_{\text{ref}}^2} \cdot \frac{\Delta^2 \cdot I_{\text{cp}}^2}{12f_{\text{ref}}} \cdot \int_{-f_{\text{ref}}/2}^{f_{\text{ref}}/2} \left[2 \sin\left(\frac{\pi f_m}{f_{\text{ref}}}\right) \right]^{2(n-1)} df_m \quad (3-37)$$

由式(3-31)我们可以同样的得到理想电流情况下总的噪声功率

$$P_{i,\text{ideal}} = \frac{I_{\text{cp}}^2 \cdot \sigma_{\delta_k}^2}{T_{\text{ref}}^2} \quad (3-38)$$

由上述两个公式，我们可以得到我们希望得到的关系

$$\frac{\sigma_{\delta_k}^2}{T_{\text{ref}}^2} = \frac{\Delta^2}{12f_{\text{ref}}} \cdot \int_{-f_{\text{ref}}/2}^{f_{\text{ref}}/2} \left[2 \sin\left(\frac{\pi f_m}{f_{\text{ref}}}\right) \right]^{2(n-1)} df_m \quad (3-39)$$

为了计算误差电流引起的噪声的功率密度，我们首先需要计算 $\sigma_{|\delta_k|}^2$ ，由于 δ_k 服从高斯分布，因此有

$$\sigma_{|\delta_k|}^2 = \sigma_{\delta_k}^2 \cdot \left(1 - \frac{2}{\pi}\right) \quad (3-40)$$

由式(3-32)和式(3-40)我们就可以得到由误差电流引起的噪声的总功率

$$P_{i,error} = \frac{I_{cp}^2 \cdot \sigma_{|\delta_k|}^2}{T_{ref}^2} = \frac{I_{cp}^2 \cdot \sigma_{\delta_k}^2}{T_{ref}^2} \cdot \left(1 - \frac{2}{\pi}\right) \quad (3-41)$$

同样的，我们也可以由式(3-32)和式(3-36)得出由误差电流引起的噪声的双边谱功率密度的表达式

$$\begin{aligned} S_{i,error} &= \left(\frac{I_{cp}}{T_{ref}}\right)^2 \cdot \left(\frac{\varepsilon}{2}\right)^2 \cdot \sigma_{|\delta_k|}^2 \cdot \frac{1}{f_{ref}} \\ &= \frac{T_{vco}^2}{T_{ref}^2} \cdot \left(\frac{\varepsilon}{2}\right)^2 \cdot I_{cp}^2 \cdot \frac{\Delta^2}{f_{ref}} \cdot \left(1 - \frac{2}{\pi}\right) \cdot \frac{\sigma_{\delta_k, intrinsic}^2}{T_{vco}^2} \end{aligned} \quad (3-42)$$

其中我们引入 $\sigma_{\delta_k, intrinsic}^2$ ，它代表了没有加入 dithering 时的 $\Sigma \Delta$ 调制器的方差，它

和 $\sigma_{\delta_k}^2$ 的关系为 $\sigma_{\delta_k}^2 = \Delta^2 \cdot \sigma_{\delta_k, intrinsic}^2$ ，对于一个特定阶数 n 的 $\Sigma \Delta$ 调制器来说，

$\frac{\sigma_{\delta_k, intrinsic}^2}{T_{vco}^2}$ 是一个常数，如表 1 所示，我们用 σ_{sdm}^2 来代替这个常数。

表 1 不同阶数 n 的 $\Sigma \Delta$ 调制器 $\sigma_{\delta_k, intrinsic}^2 / T_{vco}^2$ 的值

	n=1	n=2	n=3	n=4	n=5
$\sigma_{\delta_k, intrinsic}^2 / T_{vco}^2$	1/12	1/6	1/2	5/3	35/6

与理想电流一样，我们关心对带内噪声的影响，在 $\pi f_m \ll f_{ref}$ 的条件下，将功率谱密度转换成输出噪声

$$\begin{aligned} \theta_{o, sdm, error}^2 &= \frac{T_{vco}^2}{T_{ref}^2} \cdot \left(\frac{\varepsilon}{2}\right)^2 \cdot I_{cp}^2 \cdot \frac{\Delta^2}{f_{ref}} \cdot \left(1 - \frac{2}{\pi}\right) \cdot \sigma_{sdm}^2 \cdot \left| \frac{2\pi}{I_{cp}} \cdot \frac{NH_{ol}(s)}{1 + H_{ol}(s)} \right|^2 \\ &= \pi^2 \cdot \varepsilon^2 \cdot \frac{\Delta^2}{f_{ref}} \cdot \left(1 - \frac{2}{\pi}\right) \cdot \sigma_{sdm}^2 \quad (\text{rad}^2/\text{Hz}) \end{aligned} \quad (3-43)$$

由上式我们可以看出，非线性情况下产生的折叠噪声是一个不随 f_m 变化的值，对于确定的误差系数 ε 、参考时钟 f_{ref} 和确定阶数的 $\Sigma \Delta$ 调制器来说，在带内噪声的贡献相当于一个常数，这样就破坏了 $\Sigma \Delta$ 调制器的噪声整形特性，相当于将带外的噪声折叠到带内，恶化了带内的相位噪声，也就恶化了 rms 积分相位误差。我们引入一个转角频率 f_c 来表征恶化的程度，联立式(3-37)和(3-42)得

$$\frac{f_c}{f_{ref}} = \frac{1}{2\pi} \cdot \left[\epsilon \cdot \sigma_{sdm} \cdot \sqrt{3 \cdot \left(1 - \frac{2}{\pi}\right)} \right]^{\frac{1}{n-1}} \quad (3-44)$$

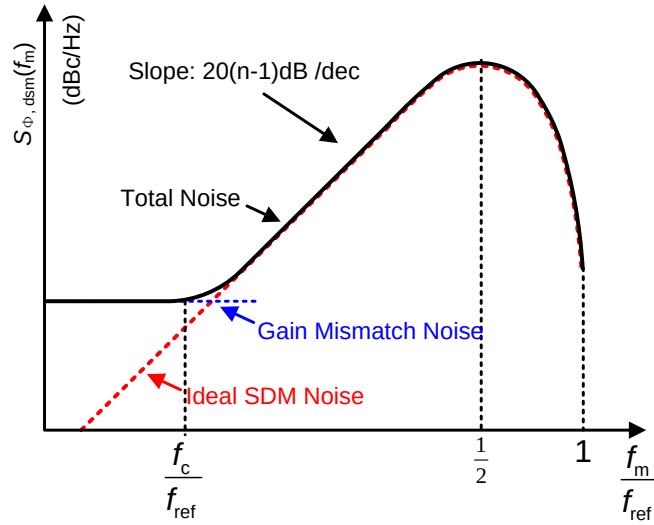


图 3-8 存在非线性情况下量化噪声对输出噪声的贡献

用图 3-8 中表示两种噪声贡献和转角频率 f_c ，当转角频率越小，表明失配造成的噪声的影响越小，由式(3-44)和图 3-8，我们可以看出影响转角频率的几个因素

- 1) 转角频率随着失配系数 ϵ 的增大而成 $\epsilon^{1/(n-1)}$ 倍增大。增大 $\Sigma\Delta$ 调制器的阶数 n 可以减小转角频率。
- 2) 由表 1 我们知道增大 $\Sigma\Delta$ 调制器的阶数可以减小 σ_{sdm} ，从而减小转角频率。
- 3) 在 $\Sigma\Delta$ 调制器加入 Dithering 技术可以消除 spur，并且对带内相位噪声没有影响。
- 4) 相位误差变化越大，转角频率越大。

以上所有的分析都是建立在静态相位误差(有一部分是由式(3-28)的第三项引起的)远远小于 $\Sigma\Delta$ 调制器引起的相位误差的基础之上的。由于分数分频频率综合器是一个负反馈系统，负反馈的作用会使电荷泵注入或抽出滤波器的总电荷在一段时间内总量为零，而这是通过在鉴频鉴相器的输入端产生一个与静态偏差相反的时间偏移量来实现的，如果这个偏移量比 $\Sigma\Delta$ 调制器产生的相位误差的变化大得多的话，那么就会只有 up 或 dn 电流只有一边变化，而另一边只会保持在一个固定的脉宽，这样的话，由于电荷泵 up 和 dn 电流失配所引起的噪声就可以减小，这是现有的在鉴频鉴相器上实现消除非线性影响的技术[15]-[17] 的基本思想。

3.3 本章小结

本章首先分析了 $\Sigma\Delta$ 型分数分频频率综合器的基本结构, 确定了 $\Sigma\Delta$ 调制器的噪声模型。结合 $\Sigma\Delta$ 调制器量化噪声的模型和频率综合器的噪声模型给出了 $\Sigma\Delta$ 型分数分频频率综合器噪声模型并分析了调制器量化噪声到环路输出相位噪声的转换过程。重点分析了非线性存在情况下的电荷泵模型, 通过分析理想情况下和非线性情况下的量化噪声到输出相位噪声的转化确定了噪声折叠的机制, 并定量分析了由于电路非线性导致调制器高频处量化噪声折叠到带内对低频相位噪声的恶化。对于解决噪声折叠问题的线性化技术的提出具有指导意义。

第四章 电路设计

4.1 引言

在第二章我们分析了频率综合器的重要参数,第三章我们引入了分数分频频率综合器,打破整数分频频率综合器中分辨率和环路带宽的折衷。通过引入 $\Sigma\Delta$ 调制器量化噪声的模型和频率综合器的噪声模型给出了 $\Sigma\Delta$ 型分数分频频率综合器噪声模型并分析了调制器量化噪声到环路输出相位噪声的转换过程。从分析中我们可以清楚的看到由于环路非线性的存在将引入噪声折叠的现象,从而恶化带内的相位噪声性能,对于高相位噪声的应用(如第二代数字电视标准 DVB-C2 等)来说,这是不能容忍的。如何解决噪声折叠问题已经是提高分数分频频率综合器相位噪声性能的关键所在。在这一章将介绍我们组提出的一种线性化技术,成功消除了噪声折叠的问题,并且没有引起其他性能的恶化。

由于现在世界上有多种数字电视标准,如欧洲采用 DVB-C/T/S/H,北美地区采用 ATSC,中国采用 DVB-C/S 和 CMMB[1],为了适应如此多的标准,就要求数字电视接收机能够覆盖足够宽的频带,对于提供本振信号的频率综合器来说就要求其能够有足够宽的频率调谐范围,我们在设计了一个宽带 VCO 的基础上又设计了一个分频器链(Divider Chain),用于扩展频率综合器的频率调谐范围。另外对于 M 分频的 Divider 来说,其输出相噪会有 $20\log M$ 的改善,这对于高相位噪声要求的应用来说是非常诱人的,本章另外一个重要的内容就是介绍分频器链的结构及改善相位噪声的机制。

另外本章还会简单介绍一下设计的分数分频频率综合器的其他模块,并给出相关的仿真结果。

4.2 线性鉴频鉴相器电路设计

电荷泵型分数分频频率综合器由于电荷泵存在的电流的失配会造成环路的非线性,人们很早就开始关注这个问题,并采用了很多种方法来减小电荷泵的非线性,如采用增益自举技术的电荷泵[28],通过增加输出电阻来减小电流的失配;采用单端电流匹配的差分电流泵[29],它使用了复制支路,保证单条支路上下电流源的良好匹配[30]。这些设计方法意在减小电荷泵的失配电流,从而减小非线性的影响,但是无论做到如何精确,加上工艺温度等的变化,是不可能消除噪声折叠的影响的,因此我们希望能够做到完全消除非线性的影响需要从其他方面进行考虑。

4.2.1 鉴频鉴相器和电荷泵的传输特性

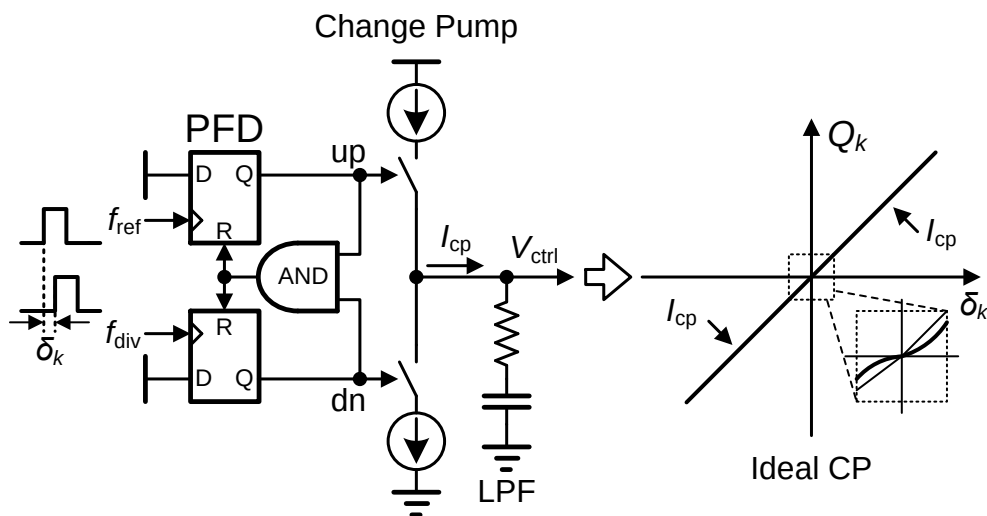


图 4-1 PFD/CP 结构及理想 CP 情况下传输特性

我们采用的 PFD/CP 结构如图 4-1 所示，若电荷泵不存在电流的失配，那么 δ_k - Q_k 的传输曲线应该是完全线性的，只是由于 CMOS 管作为开关，存在着寄生的电容，因此会有一定的上升时间和下降时间，对于小的相位差，将没有足够的时间打开电荷泵的电开，从而形成死区。我们可以通过加大 PFD 中从 Q 到 R 的延时时间，使 PFD 的输出两个足够使电荷泵开关充分打开的脉冲，这样就可以消除死区，达到一个理想的线性传输曲线。但我们再第三章分析了，由于电荷泵电流不可避免的存在着失配的情况，即 $i_{up} \neq i_{dn} \neq I_{cp}$ ，如所示，这样就会存在这严重的非线性，导致噪声折叠现象。

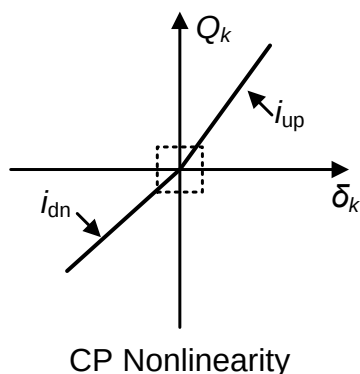


图 4-2 PFD/CP 的非线性情况下的传输曲线

在电荷泵上面减小失配的方法由于不能够完全消除非线性，另外往往会使得电荷泵的设计更加复杂，这样会增加电路设计的难度和增加电荷泵对输出贡献的噪声，因此现在我们希望通过寻求在即使在电荷泵存在失配的情况下也能消除电路的非线性，因此从 PFD/CP 的传输特性入手，最近几年出现了一些线性化的

技术，解决了非线性问题，优化了输出相位噪声特性。

4.2.2 现有的线性化技术介绍

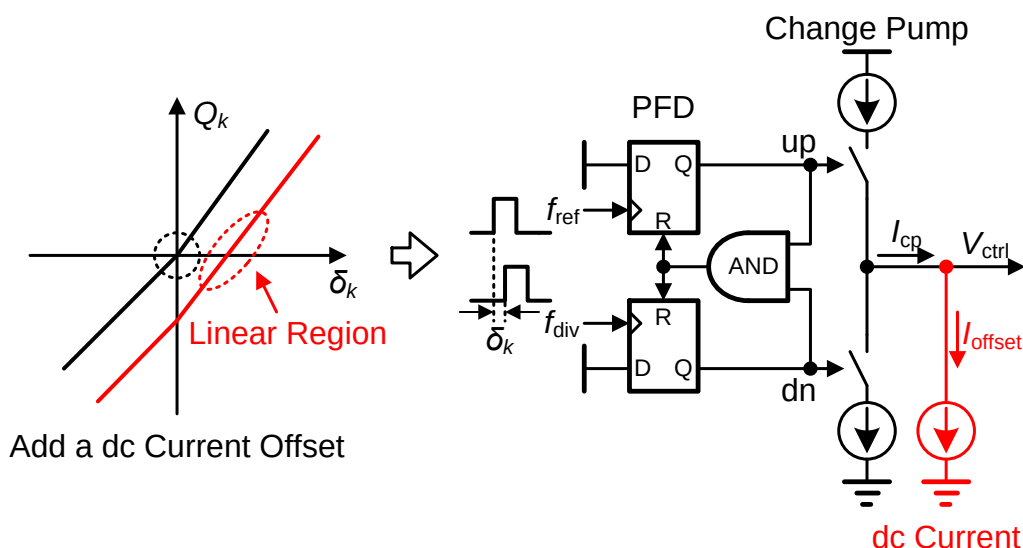


图 4-3 dc Current Offset 线性化技术

从图 4-3 中我们可以看到，虽然存在这电荷泵的电流的失配，那么如果我们让电荷泵工作在一边线性化的区域，避免两边使用整个区域的话，即使存在电流失配，我们也可以消除它的影响，从而达到消除噪声折叠效应影响的目的。达到这种目的的方法有很多，通过加入一个静态的电流 I_{offset} [13] 是一种比较直观和容易实现的方法，如果 Offset 电流取的足够大的情况下，PFD/CP 的传输曲线将会被平移，是其工作在线性的区域，从而消除电路非线性的影响。但是 I_{offset} 的大小是由电荷泵的电流 I_{CP} 以及分频器的分频比确定的，因此需要一个电流源的阵列来调节 Offset 电流到需要的值，这样增加了电路设计的复杂性及难度。

另外一种思路我们可以通过在 PFD 的电路中额外增加一路延时来达到添加静态电流的目的[31]，如图 4-4(a)所示。传统的 PFD 中 D 触发器的复位同时的，我们在一路复位信号的通路上加入一个额外的延时 t_{dely} ，产生的 dn 信号要比 up 信号晚 t_{dely} 的时间来关断下方电流源的开关，从而从电路中多抽取了 $i_{dn} \cdot t_{dely}$ 的电流，从而达到了加入静态电流的效果，而且这个延时不需要更改，电路比起传统的 PFD 电路仅仅增加了一个延时单元，并没有增加电路设计的复杂度。

上述两种方法采用了同一思路，即在环路中增加额外的静态电流，从而将 PFD/CP 的传输曲线移到线性的区域内，从而消除电路的非线性。但是在环路中增加额外的静态电流带来额外的后果就是会恶化频率综合器的参考杂散的特性。由于电路中增加了额外的电流，由于系统的负反馈作用，参考时钟 f_{ref} 和分频器时钟 f_{div} 的不对齐程度也会增加，来抵消额外的电流造成的相位偏差，通过第二章我们对分频器参数的分析我们可以知道，这样会造成系统的参考杂散。并且由

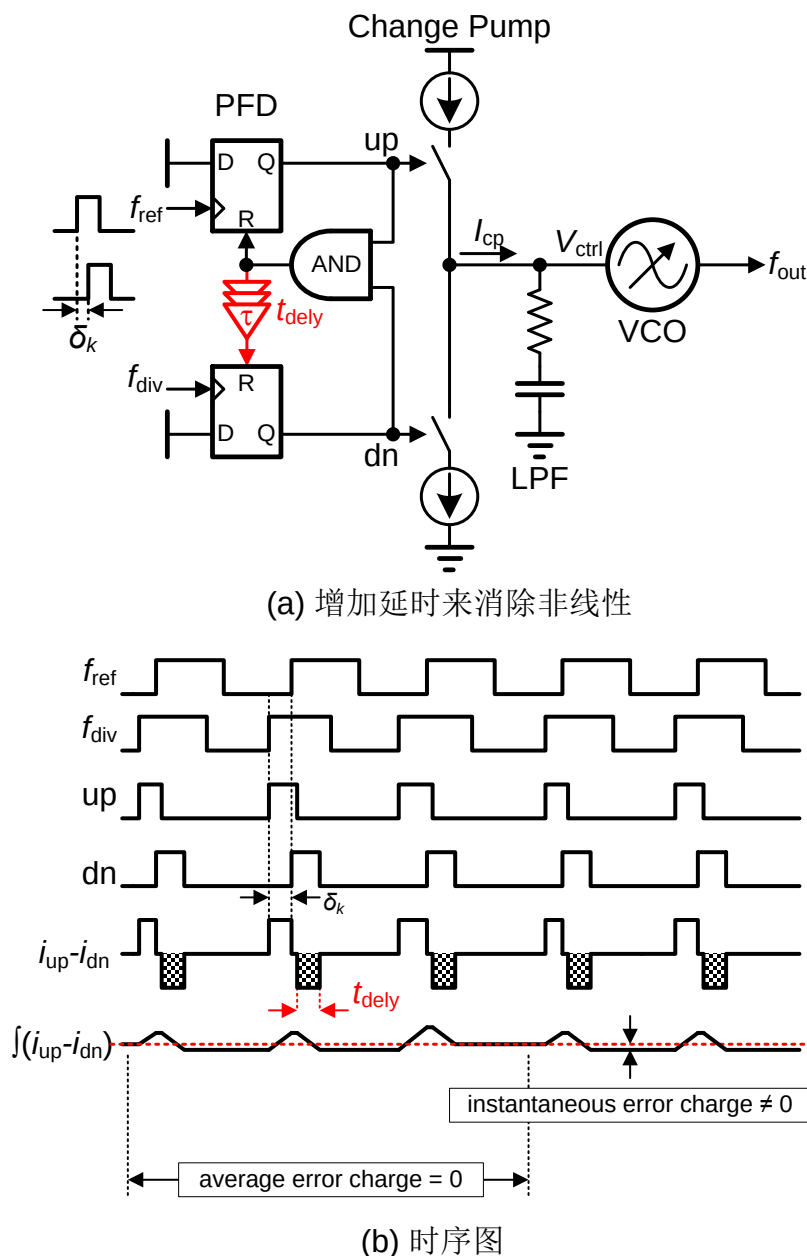


图 4-4 增加延时来消除非线性的电路结构及工作时序图

于不对齐程度的增加,电荷泵电流源的导通时间也会变长,那么参考时钟的噪声、PFD 的噪声、电荷泵的噪声以及衬底电源等的噪声都会在增加的导通时间内增加对输出相位噪声的贡献,从而恶化输出相位噪声性能。

文献[32] 在增加静态电流的基础上提出了基于采样的环路滤波器(Sampled Loop Filter)的结构来改善参考杂散的性能,如图 4-5 所示。由于采样开关的采样作用,压控振荡器的压控电压只会根据已经变化完成建立好的电压,那么在 V_x 处的电压变化形成的 Ripple 将不会传递到压控振荡器的压控电压上,这样就能够在增加静态电流来解决噪声折叠问题的基础上减小了对参考杂散性能的影响。但是由于在信号通路上增加了一个采样开关,也就引入了其他的问题,如时

钟馈通(Clock Feedthrough)问题和电荷注入(Charge Injection)等问题[33]，同样的会恶化频率综合器的性能，并且还需要仔细设计采样开关的控制信号，使其能够达到正确的采样功能，增加了电路的复杂度。

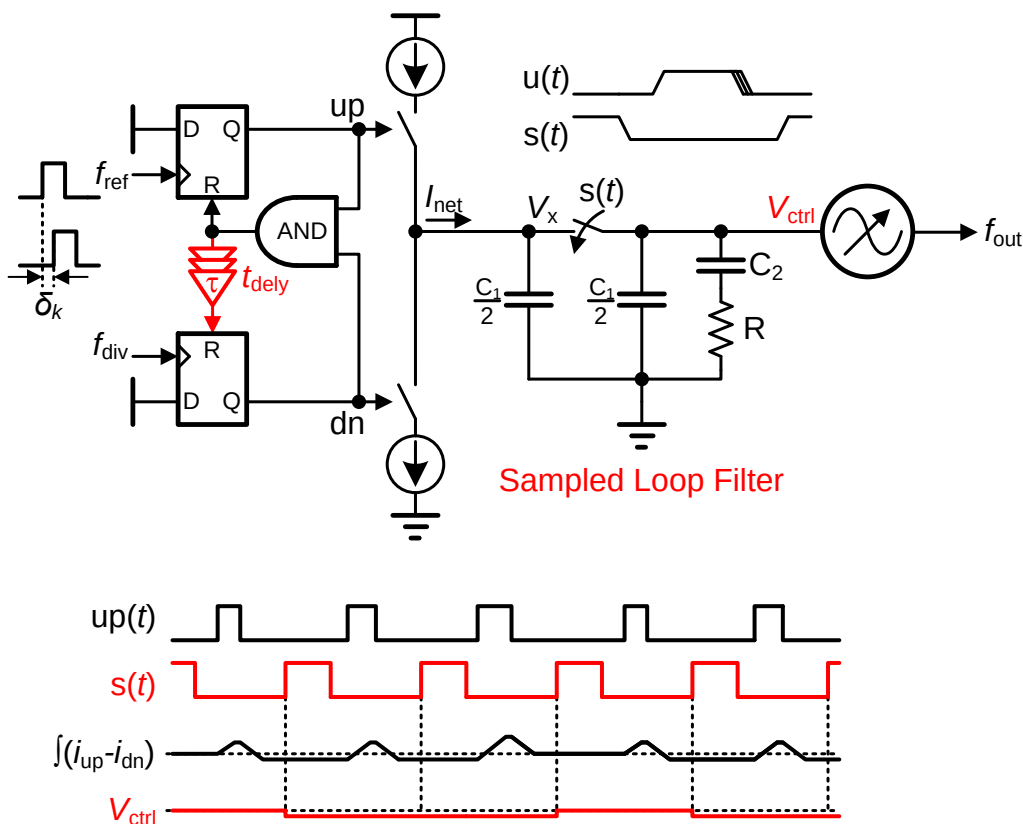


图 4-5 基于采样开关的环路滤波器

4.2.3 线性鉴频鉴相器电路设计

上一小节我们介绍了几种线性化技术，但是它们在解决噪声折叠的同时不可避免的引入了其他的问题，特别是会恶化频率综合器参考杂散性能是我们所不能接受的，我们希望能够提出一种新的电路能够完全消除噪声折叠效应的同时又不会显著增加电路设计的复杂度和引入其他的问题。

在第三章里我们详细分析了由于电路非线性引起带外量化噪声折叠回带内影响带内相位噪声的机制，我们重新看一下我们重新看一下式(3-28)

$$Q_k = I_{cp} \cdot \delta_k + \frac{\varepsilon}{2} \cdot I_{cp} \cdot |\delta_k| + \varepsilon \cdot I_{cp} \cdot t_{on}$$

从第三章的分析我们知道，式中绝对值项就是引入噪声折叠的原因，第三项是我们为了消除死区而产生的一个静态的相位误差，这一项正常情况下式比较小的。如果我们增加这一项的值，由于分数分频频率综合器是一个负反馈系统，负反馈的作用会使电荷泵注入或抽出滤波器的总电荷在一段时间内总量为零，而这是通过在鉴频鉴相器的输入端产生一个与静态偏差相反的时间偏移量来实现的，

如果这个偏移量比 $\Sigma\Delta$ 调制器产生的相位误差的变化大得多的话,那么就会只有 up 或 dn 电流只有一边变化,而另一边只会保持在一个固定的脉宽,这样的话,由于电荷泵 up 和 dn 的电流源的电流大小只会有一边变化,而另外一边保持不变,在 PFD/CP 的传输曲线上表现为我们只采用了其中一个支路的传输特性,而一个支路上的传输特性是完全线性的,达到了消除电路非线性的作用。

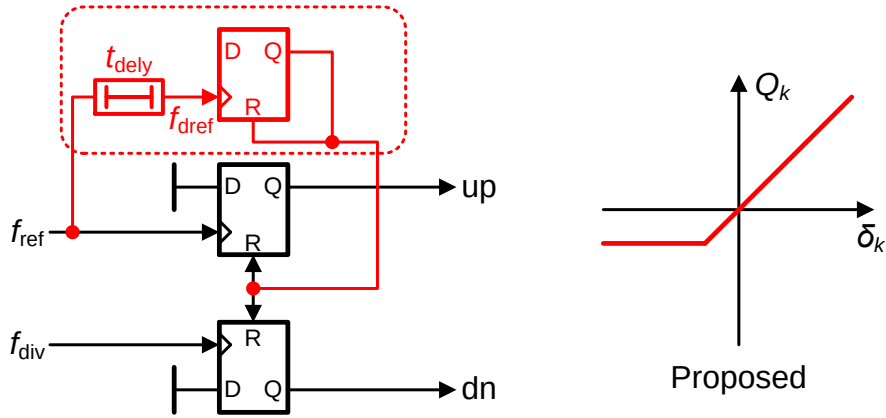


图 4-6 改进的线性 PFD 电路

图 4-6 是提出的改进的线性 PFD 电路, D 触发器的复位信号是由参考时钟 f_{ref} 经过一个固定延时 t_{dely} 后的信号 f_{dref} 的沿来产生,而传统的 PFD 电路复位信号是由两个触发器的 Q 输出信号中落后的那个沿产生。频率综合器在锁定状态时的工作时序如图 4-7 所示。

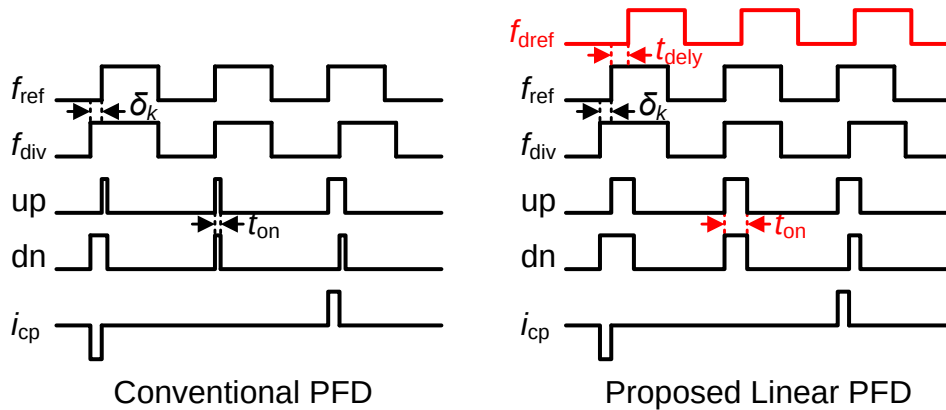


图 4-7 线性 PFD 在锁定状态下的工作时序图

在线性 PFD 的工作时序图里, t_{on} 是指 t_{dely} 和电路中 D 触发器等的延时之和,而不是传统 PFD 中为消除死区而设置的延时。从图中我们可以清楚的看出提出的线性 PFD 能够完成与传统 PFD 的功能,分数分频频率综合器在锁定状态时分频器输出信号 f_{div} 的沿时而超前时而落后于参考时钟信号 f_{ref} ,从而达到分数分频的功能,两个电流源都要随着 up 和 dn 信号的脉宽的变化而变化,由于 nMOS

和 pMOS 两种不同类型的 MOS 管不可避免的存在这失配从而产生非线性。线性 PFD 中, f_{div} 相对于 f_{dref} 来说始终在沿的一侧变化, up 信号始终保持同样的脉宽, dn 信号随着 δ_k 的变化而产生相应大小的脉宽, 即 pMOS 组成的电流源每一个周期内都产生相同脉宽下的电流, 而 nMOS 组成的电流源产生相应脉宽变化的电流, 那么就没有 pMOS 和 nMOS 之间的匹配问题, 转化为相邻周期 nMOS 自己之间的匹配问题, 没有了匹配问题, 从而消除电路的失配, 其 δ_k - Q_k 的传输曲线如图 4-6 所示。

对于 t_{on} 大小, 应该进行仔细的设计考虑, 必须保证要大于最大的相位差, 即需要大于最大的 δ_k 宽度, 否则就不能够达到消除非线性的效果。对于 t_{on} 的选择, 我们对整个频率综合器进行 Monto Carlo 仿真, 在足够的情况下找到 δ_k 的最大宽度。对于我们的整个系统我们进行 Monto Carlo 仿真后得到的结果如图 4-8 所示。

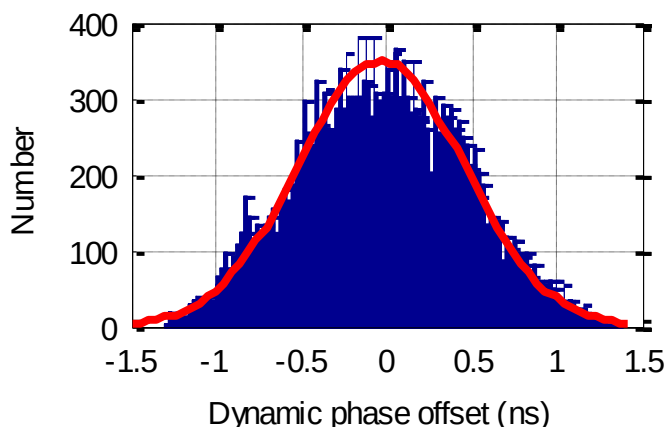


图 4-8 δ_k 宽度的 Monto Carlo 仿真结果

我们选择 $t_{on}=2.6\text{ns}$ 来确保电路工作正常, 这个仿真结果表明 δ_k 宽度的打下符合高斯分布的特性, 符合在第三章理论分析中的假设。

由于加大了 t_{on} 的时间, 那么在频率综合器锁定的过程中, 分频器输出信号 f_{div} 和参考时钟信号 f_{ref} 的相位差可以很大, 那么就有可能导致逻辑的错误, 从而导致频率综合器不能锁定。解决这个问题的方法我们可以增加一个 Mux 选择器, 由 mod 信号控制, 如图 4-9 所示。

在频率综合器处于锁定过程是 $\text{mod}=0$, PFD 处于传统的工作模式下, 当达到锁定状态时 $\text{mod}=1$, PFD 变为线性工作模式, 由于相位噪声性能只有在频率综合器处于锁定状态下才有意义, 在锁定过程中我们并不关心其噪声折叠的问题。因此我们在传统的 PFD 的基础上仅仅增加了一个延时单元、一个 D 触发器和一个选择器构成了一个线性的 PFD 电路, 并没有明显的增加电路的设计难度。

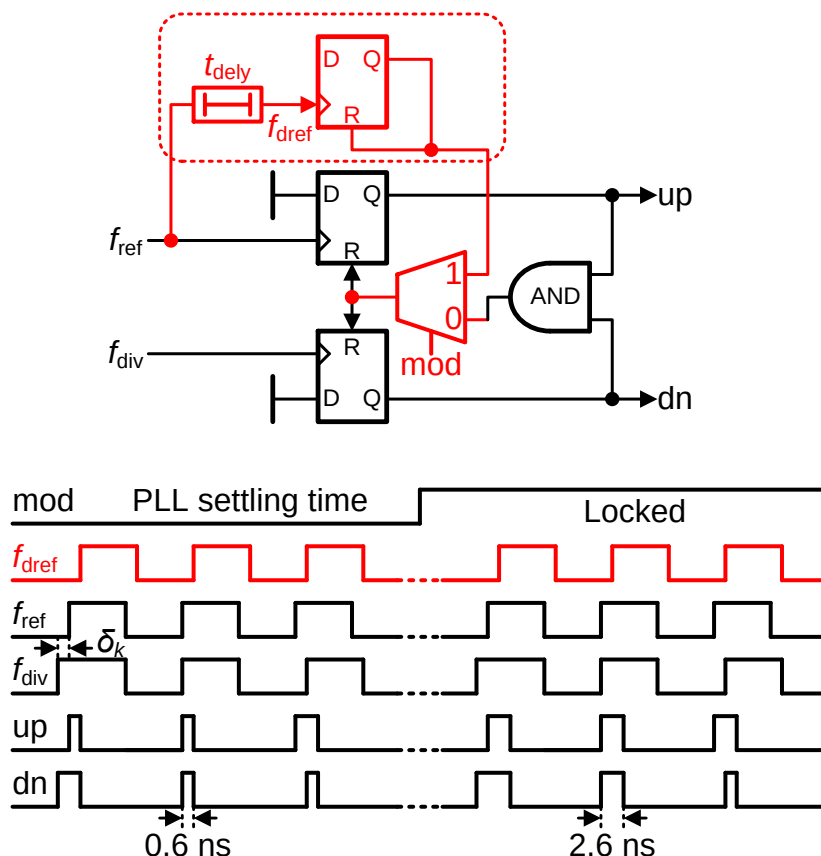


图 4-9 增加选择器的线性 PFD 电路及其时序图

前面分析的几种线性化技术都存在着恶化参考杂散性能的问题，同样的我们分析一下我们线性 PFD 的 Spur 特性，如图 4-10 所示。由于环路中没有额外的静态电流，所以并不会出现 Ripple，也就是说并不会增加对参考杂散的贡献。但由于增加了 t_{on} 的时间，电荷泵打开的时间会变长，参考时钟的噪声、PFD 的噪声、电荷泵的噪声以及衬底电源等的噪声对输出噪声的贡献会变大，但是我们通过对频率综合器中其他参数的优化，如减小 K_{vco} 可以减小这个问题。

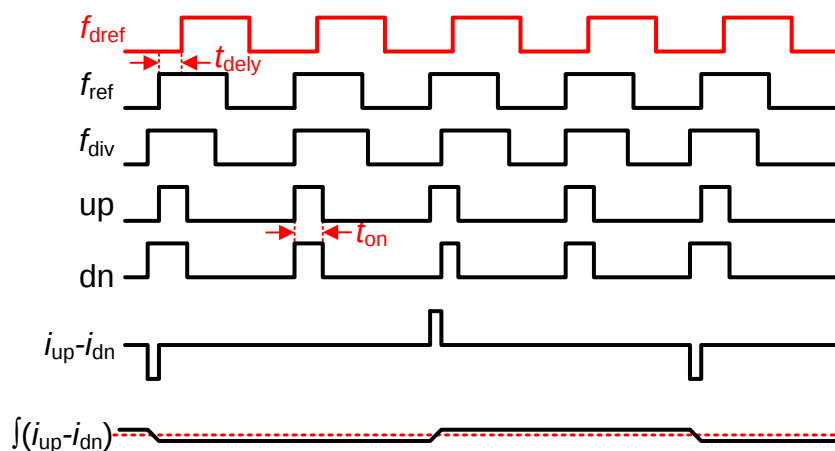


图 4-10 线性 PFD 的 Spur 特性

有上述分析结果我们可以知道，提出的线性 PFD 电路解决了电路非线性问题，消除了噪声折叠效应，从而降低了带内相位噪声。同时并没有恶化电路参考杂散性能及显著增加电路的设计难度。

4.3 分频器链设计

数字电视广播标准中，分 VHF(50 MHz~250 MHz)和 UHF(470 MHz~860 MHz)两个波段，如果我们直接设计覆盖 VHF 和 UHF 两个波段频率的频率综合器作为 LO 的话需要设计低频的宽带压控振荡器，那么需要很大的电感和电容阵列，需要很大的芯片面积，因此我们一般设计一个高频的频率综合器，然后通过分频器来获得覆盖两个波段的本振信号。另外电视广播采用 QAM 调制方式，我们需要产生正交的 I/Q 两路信号，我们采用 2-分频器来产生正交本振信号，另外分频器有着改善相位噪声的特性，因此采用分频器链可以获得更好相位噪声的 LO 信号。

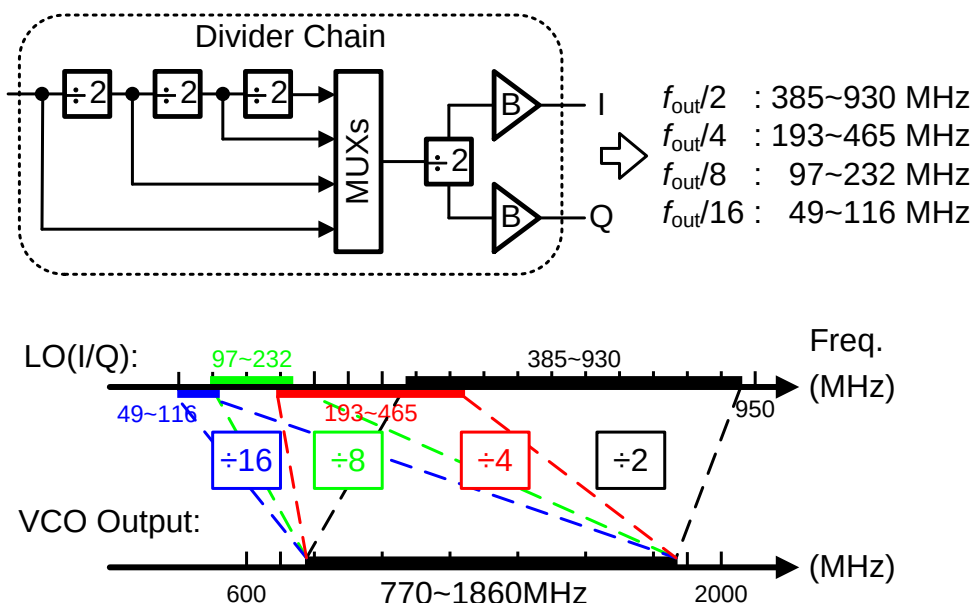


图 4-11 分频器链电路设计及频率对应关系

我们设计的频率综合器的输出频率范围为 760 MHz~1860 MHz，图 4-11 是我们采用的分频器链的电路图以及频率对应范围，分频器链由 4 个 ÷2 分频器和一个多路选择器构成，实现 ÷2、÷4、÷8、÷16 的功能，最后一个 ÷2 分频器产生正交的 I/Q 信号，二分频器电路构成如图 4-12 所示。

我们着重分析一下分频器对于相位噪声性能的改善。正如第三章分析的，对于高阶的 $\Sigma\Delta$ 调制器， δ_k 服从高斯分布，它的功率谱密度近似为一个白噪声谱。根据维纳-辛钦(Wiener-Khinchine)定理[34]，对于一个方差为 σ^2 并服从高斯分布的量，那么它在 $-f_s/2 < f_m < f_s/2$ 频率范围内的功率密度可以表示为

$$S_{\delta} = \frac{\sigma_{\phi}^2}{f_s} \quad (4-1)$$

在分频器实现时，我们采用的事边沿触发的寄存器，而寄存器的噪声只由输

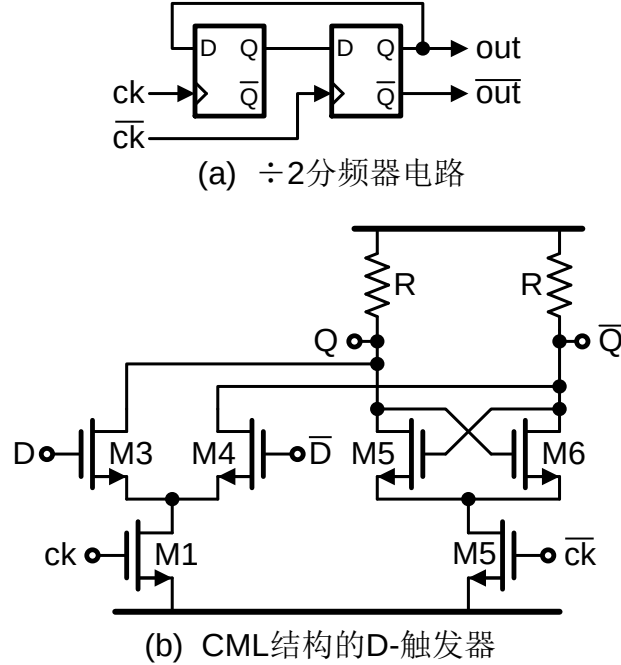


图 4-12 二分频器电路

出级的 D-触发器决定[35]，我们忽略分频器自身噪声对相位噪声的贡献，一个时钟信号经过一个时钟二分频后，信号的频率降低了一半，但是信号边沿的抖动 σ_t 是不变的，时间上的差与相位的差的关系可以表示为

$$\Delta t = \frac{\Delta \phi}{2\pi} \cdot T \quad (4-2)$$

同样的时钟抖动也是随机信号，所以有

$$\sigma_t^2 = \left(\frac{T}{2\pi} \right)^2 \sigma_{\phi}^2 = \frac{\sigma_{\phi}^2}{\omega^2} \quad (4-3)$$

我们假设输入信号和输出信号为

$$\begin{aligned} V_{\text{clk}} &= V_{\text{dc}} + v_m \cdot \cos(M \cdot \omega_s t + \alpha_0) \\ V_{\text{out}} &= v_o \cos(\omega_s t + \phi_0) \end{aligned} \quad (4-4)$$

由于信号边沿的抖动 σ_t 是不变的，那么经过 M 分频之后相位噪声抖动的方差变为

$$\sigma_{\phi, \text{out}}^2 = \frac{\sigma_{\phi, i}^2}{M^2} \quad (4-5)$$

相位噪声在数值上等于双边谱的功率谱密度，那么由式(4-1)和相位噪声的

定义, 我们可以得到 M 分频器输出的相位噪声相对于输入相位噪声可以减小 $10\log(M^2)$ (dB), 即 $20\log M$ (dB), 对于 2 分频分频器来说, 相位噪声可以减小 6 dB。这对于我们的分频器链来说, 对于 49 MHz~116 MHz 的本振信号, 相对于频率综合器直接输出的信号的相位噪声, 我们可以获得 24 dB 的提高, 因此采用分频器链我们不仅可以扩展频率覆盖范围、获得 I/Q 信号, 还可以获得更好的相位噪声性能的本振信号。

4.4 分数杂散的设计考虑

在第二章中分析了引起分数杂散的几种因素, 在设计是主要考虑从版图上避免几种耦合的机制。首先, 在版图实现时采用了深阱的工艺, 由于深阱隔离衬底, 对于衬底的噪声耦合具有很好的阻断作用。二是对于数字电路、模拟电路和射频电路采用了不同的电源地, 并且三种不同的电源由三个不同的 LDO 供电, 由于 LDO 具有良好的电源抑制比(PSRR)的性能, 对于电源上的耦合也具有很好的隔离作用。三是对于信号线的处理, 数字控制线和模拟控制线分开一定的距离以减小电容耦合, 对于关键的信号线, 比如参考时钟 f_{ref} 、分频器信号 f_{div} 和压控振荡器的压控电压控制线 V_{ctrl} 都做了相应的保护处理, 这信号线离其他信号线有一定的距离, 并用地线进行保护以减小其他信号对它们的耦合。

4.5 本章小结

本章首先从 PFD/CP 的 δ_k - Q_k 传输曲线入手, 分析了电路的非线性的来源, 并且分别介绍了从电荷泵入手优化电路非线性的技术, 还有现有的通过在环路中加入额外电流来消除电路非线性的技术(dc Current Offset), 并且详细分析了这几种技术的缺点。进而引出了改进的线性 PFD 的电路, 以及对线性 PFD 的电路分析。其次介绍了设计的分频器链, 对应的频率关系, 着重分析了分频器对于相位噪声的优化的特点。最后介绍了为了优化分数分频频率综合器的分数杂散性能而做的电路考虑。

第五章 芯片设计及芯片测试

5.1 引言

在前面的第三章研究了电路存在非线性导致带外量化噪声折叠到带内的机制，第四章主要介绍了线性 PFD 的电路实现方法及分频器链的电路实现。本章将通过测试对前面的分析及电路设计进行验证。

本文设计的线性 PFD 电路以及分频器链作为 $\Sigma\Delta$ 型分数分频频率综合器的两个模块在 TSMC 0.18- μm CMOS 工艺下流片。该分数分频频率综合器用于数字电视调谐芯片(TV-Tuner)中作为本振信号，对其性能的指标如表 2 所示。

表 2 用于 TV-Tuner 的宽带频率综合器指标

频率调谐范围	800 MHz~1800 MHz(PLL output) 50 MHz~900 MHz(I/Q output)
最小频率分辨率	<1 Hz
参考时钟频率	13~40 MHz(典型值 25 MHz)
锁定时间	<80 μs
相位噪声	<-95 dBc/Hz @10 KHz <-120 dBc/Hz @1 MHz
积分相位误差	<1°
参考杂散	<-70 dBc
镜像抑制(I/Q)	>30 dB
功耗	<40 mW

5.2 芯片实现

图 5-1 为用于 TV-Tuner 的 $\Sigma\Delta$ 型分数分频宽带频率综合器的芯片照片，芯片面积为 $840\text{ }\mu\text{m} \times 970\text{ }\mu\text{m}$ ，电源电压为 1.8 V，在版图实现时采用深阱的工艺；对于数字电路、模拟电路和射频电路采用了不同的电源地，并且三种不同的电源由三个不同的 LDO 供电；对于数字模块、模拟模块以及射频模块进行了内部分离，控制线和模拟控制线也进行了适当的保护，减小相互之间的耦合。除了设计的线性 PFD 电路和分频器链以外，压控振荡器为一频率调谐范围达到 82.9%的宽带 VCO[36]，滤波器采用了 MIM 电容，并在版图上对称，电荷泵电路以及多模分频器电路采用了文献[12] 中的电路结构，所有数字电路如 $\Sigma\Delta$ 调制器，自动

频率控制电路均用 Verilog 语言设计。

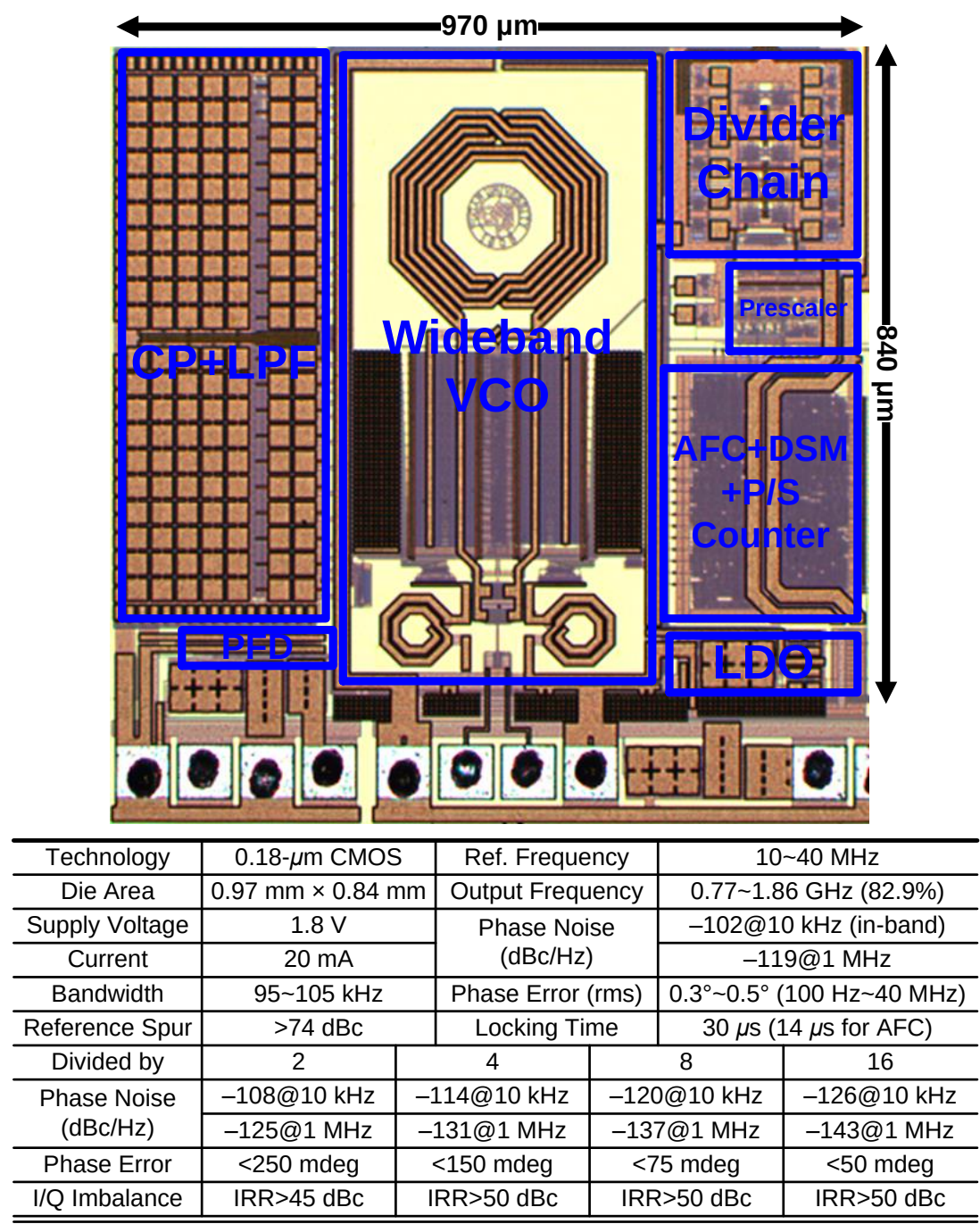


图 5-1 分数分频宽带频率综合器芯片照片

5.3 测试结果

5.3.1 频率调谐范围最小分辨率及功耗测试结果

频率综合器的频率调谐范围实际测试结果为 760 MHz~1860 MHz，频率调谐范围达到了 82.9%。相应的经过分频器链之后的 I/Q 信号频率调谐范围为 49 MHz~920 MHz，完全能够覆盖 VHF 和 UHF 的波段，达到了设计指标要求。

小数部分采用 24 位，即最小分辨率理论上为

$$\Delta f = \frac{f_{\text{ref}}}{2^{24}} \text{ Hz} \quad (5-1)$$

芯片在测试时能够以最小步长调节，因此能够达到<1Hz 频率分辨率的要求。

此频率综合器设置了 Power Down 功能，可以通过 I2C 控制整个频率综合器不工作，从而测试功耗，测试结果所需电流为 20 mA，因此功耗为 30 mW。

5.3.2 相位噪声测试结果

图 5-2 是采用安捷伦信号源分析仪 E5052A 测出的频率综合器输出载波频率在 1 GHz 下相位噪声测试结果。相位噪声在带内 10 KHz 频偏处为-107 dBc/Hz，在 100 KHz 频偏处为-101 dBc/Hz，带外 1 MHz 频偏处为-130 dBc/Hz，10 MHz 频偏处为-152 dBc/Hz，完全达到了设计指标的要求。

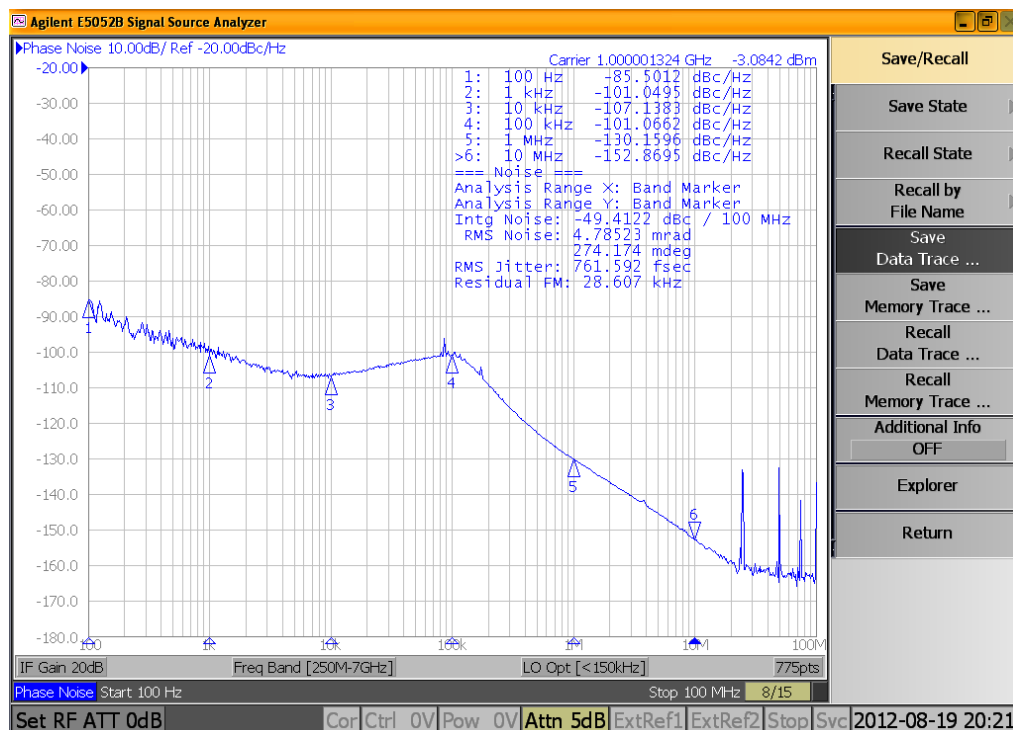


图 5-2 载波频率为 1 GHz 时综合器输出相位噪声测试曲线

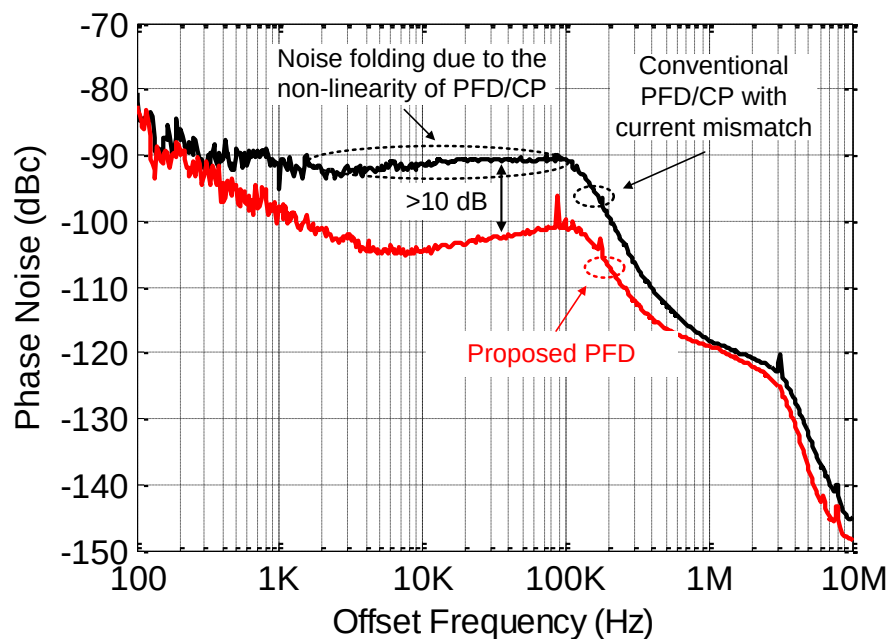


图 5-3 线性 PFD 模式下和传统模式下相位噪声比较

论文主要目的为解决分数分频频率综合器的噪声折叠问题，提出的线性 PFD 有两种模式可以选择，因此我们可以比较在传统模式工作下，即存在噪声折叠问题和线性工作模式下不存在相位噪声的测试结果，从图 5-3 中我们可以看出，线性 PFD 对带内相位噪声的优化可以达到 $>10 \text{ dBc/Hz}$ ，我们可以认为线性的 PFD 完全消除了噪声折叠的影响。

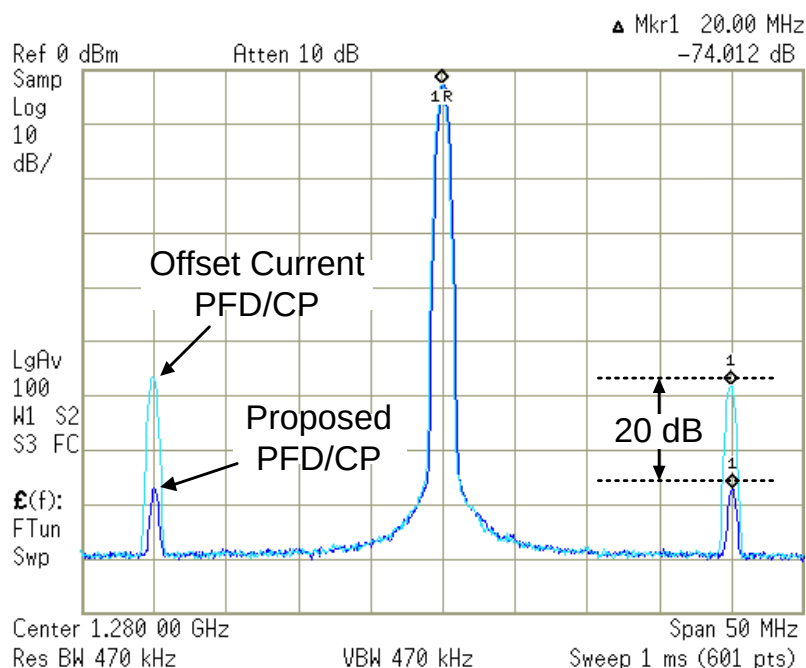


图 5-4 参考杂散性能的测试

同样的我们在 PFD 增加了 dc Current Offset 的线性化技术的模式，用于比较我们提出的线性 PFD 的参考杂散性能的结果，从图中可以在我们提出的线性 PFD 工作模式下参考杂散的性能为-74 dBc，相比较于 dc Current Offset 的线性化技术有 20 dBc 的优化，因此我们线性化技术在解决了噪声折叠问题的同时没有恶化参考杂散性能。

5.3.3 分数杂散测试结果

图 5-5 是在晶振使用 20 MHz，输出频率为 1.00000827 GHz 的测试结果，可以看到在频偏 3.07 KHz 时的分数 Spur 的值为-36.14 dBc。

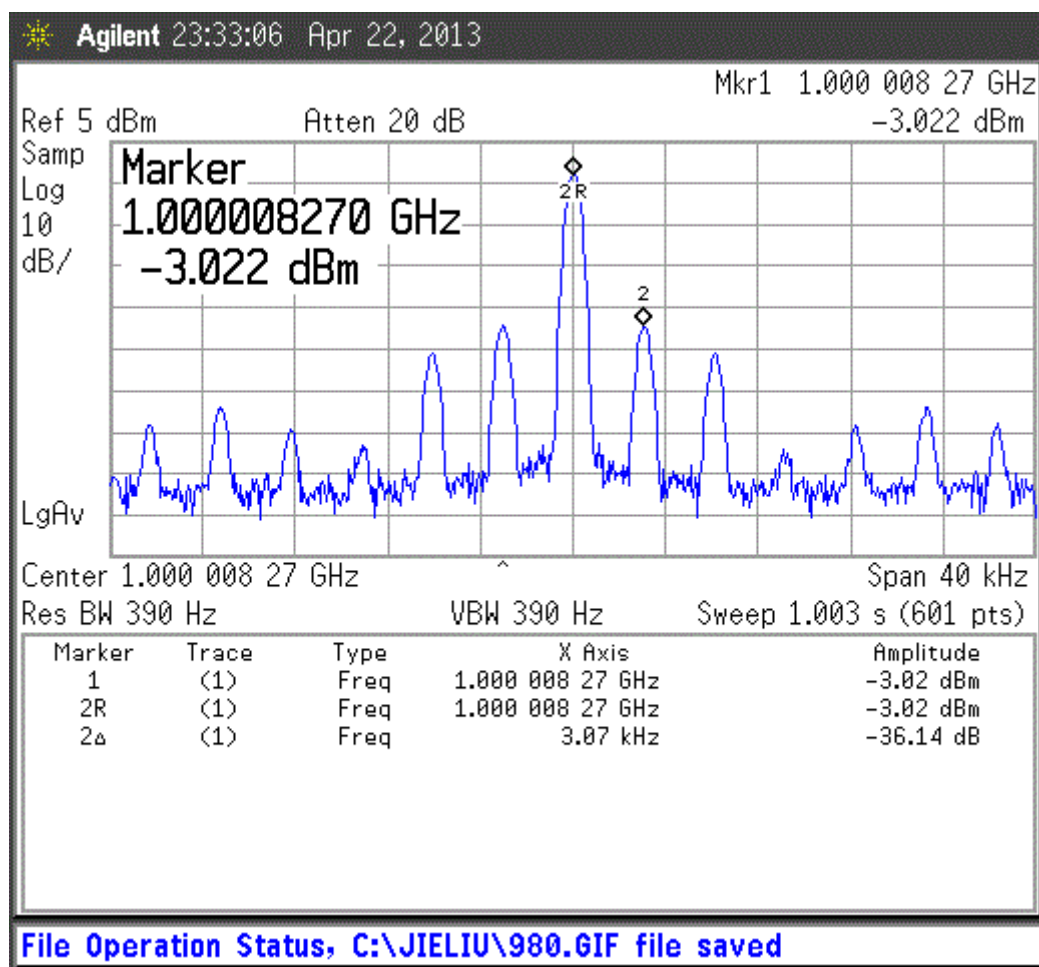


图 5-5 输出频率 1.00000827GHz 时分数 Spur 的测试结果

图 5-6 是在 20 MHz 和 25 MHz 晶振情况下相同的分数部分(3.07 KHz)，改变不同的频率(即改变分频比)时芯片分数 Spur 的测试结果。此次测试了近整数(小数部分为 3.07 KHz)时的分数 Spur，可以看出整个情况下分数 Spur 比较差，仅仅<-26 dBc，最好时为-50 dBc。

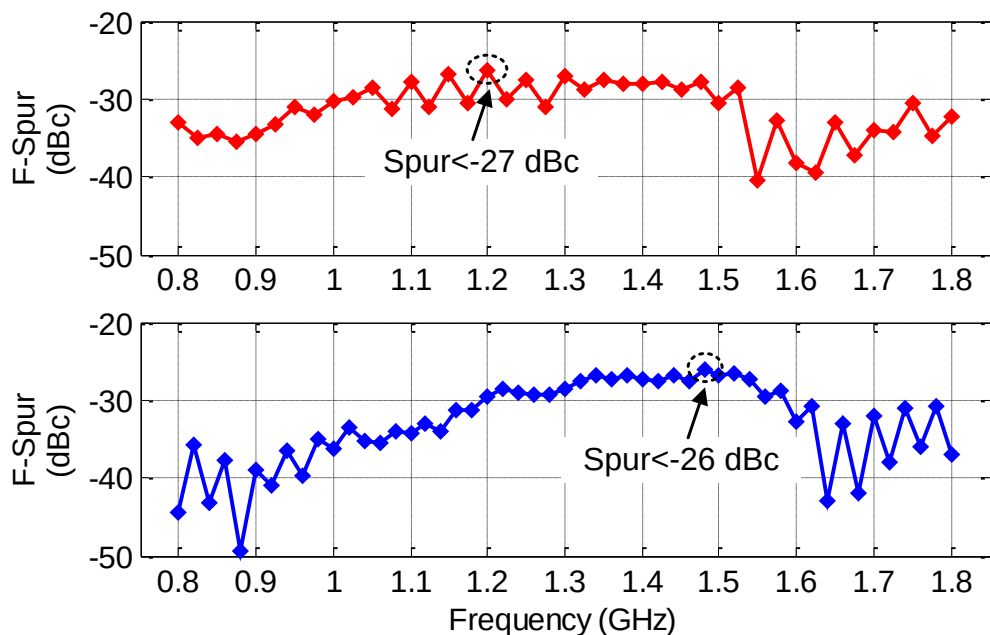


图 5-6 不同频率下的分数 Spur 测试结果

通过理论上分析来确定可能的引起分数 Spur 的因素，并在电路和版图设计中予以避免。但由于引起分数 Spur 机制的复杂性，测试结果并不能够明确的反映第二章中分析和第四章中对于降低分数 Spur 采取的设计考虑的正确性，而且测试结果中分数 Spur 的性能较差，这也是以后可以继续改进和研究的重点。

5.3.4 环路带宽和积分相位误差测试结果

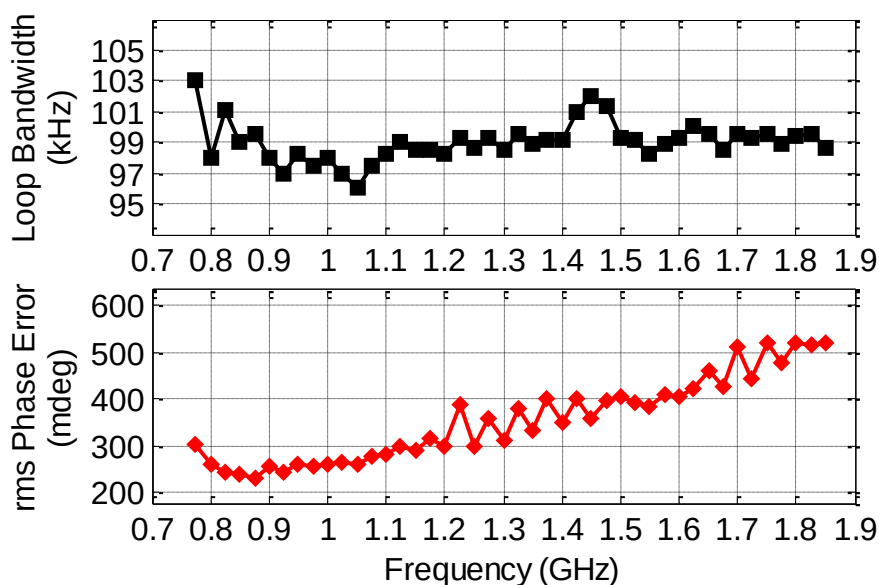


图 5-7 环路带宽和积分相位误差测试结果

图 5-7 是频率综合器环路带宽和积分相位误差(RMS Phase Error)的测试结果, 我们采用了文献[10] 中的环路带宽恒定技术, 因此在整个频率调节范围内环路带宽基本保持在 98 KHz 左右。积分相位误差在整个频率调谐范围内都 $<0.6^\circ$, 达到了设计指标要求。

5.3.5 分频器链性能测试结果

我们主要关心分频器链分频之后的信号与分频之前信号相位噪声的关系, 因此对分频器链分频后的信号的相位噪声及其相应的积分均方根相位误差进行测试。另外, 由于分频器链要产生正交的 I/Q 信号, 因此其输出信号的镜像抑制性能也是我们所关心的。由于需要保证分频器链输出的 I/Q 信号的正交性, 我们没有将分频器链的输出信号通过 PAD 引出, 因此我们对分频器链的输出信号与输入信号混频之后的中频(IF)信号进行测试, 由于输入信号是使用安捷伦的信号源 E4438C 产生, 其信号的相位噪声远好于分频器链输出的噪声, 我们认为 IF 信号的相位噪声就是分频器链的输出噪声, 或者说由于信号源噪声的关系, 分频器链实际的相位噪声要好于测试的结果。

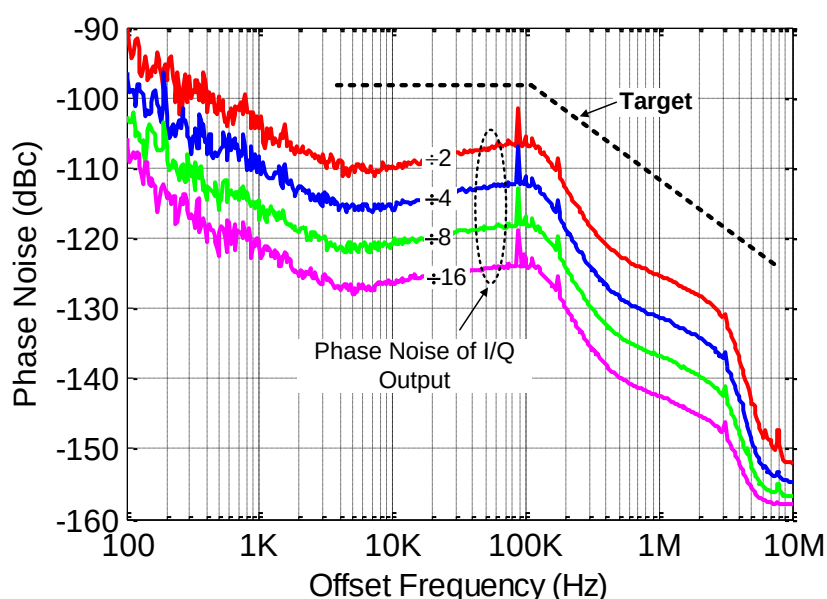


图 5-8 分频器链不同分频比下的输出信号相位噪声测试

由于经过分频器链之后产生的 I/Q 信号才是真正给系统提供本振信号, 因此它的相位噪声性能才是我们关心的性能, 由图 5-8 我们可以看出其相位噪声在 10 KHz 频偏处为 -110 dBc/Hz, 在频偏 1 MHz 处为 -126 dBc/Hz, 其性能完全达到了设计指标的要求。另外我们由图中可以清楚的看出, 每经过一次二分频, 输出信号的相位噪声会好 6 dBc/Hz, 这也与在第四章的理论分析相符。

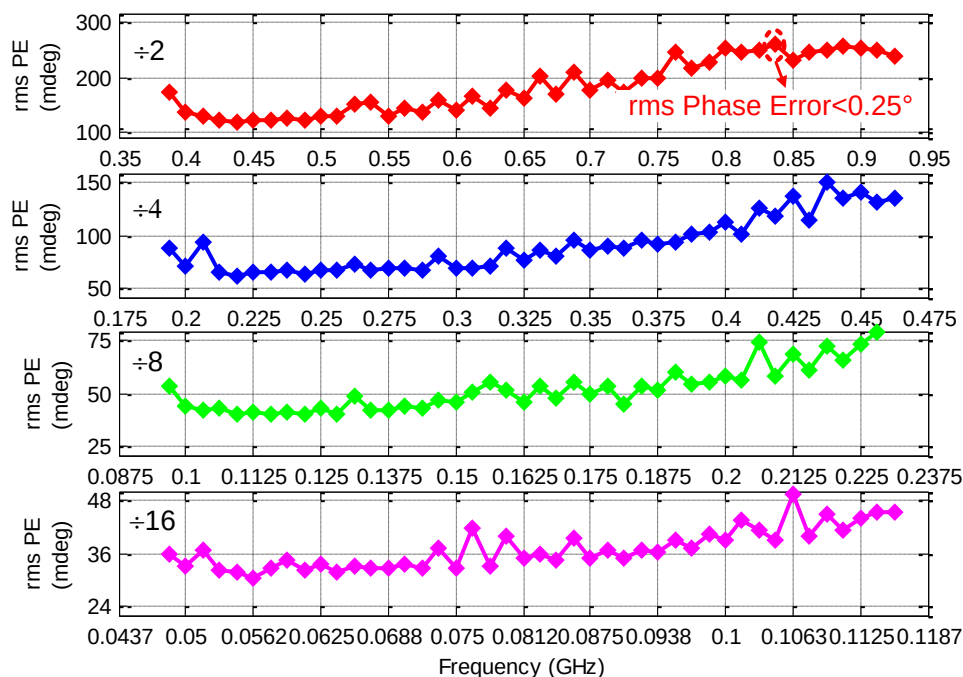


图 5-9 分频器链不同分频比下的输出信号相位积分相位误差测试

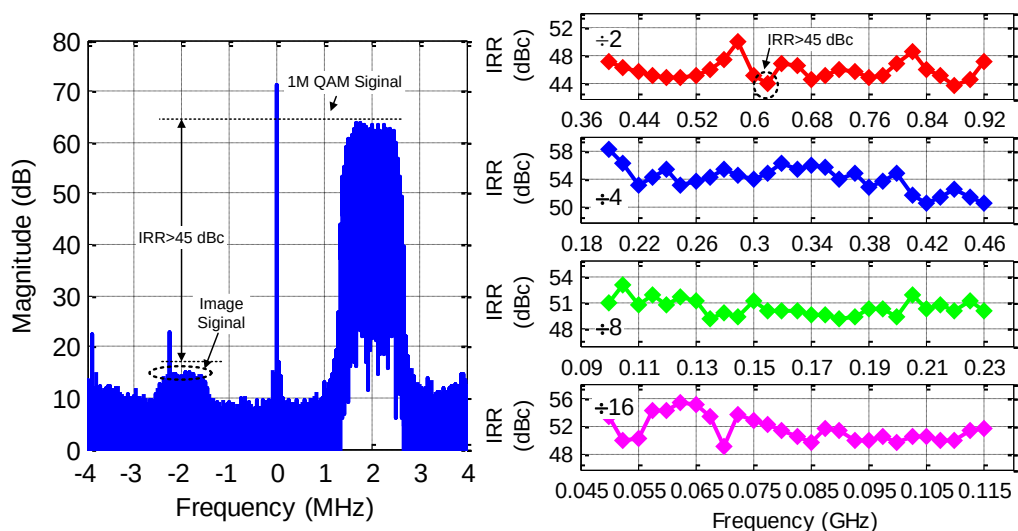


图 5-10 分频器链输出 I/Q 信号的镜像抑制测试

图 5-9 和图 5-10 分别表示了分频器链不同分频比下的积分相位误差及 I/Q 信号的镜像抑制比的测试结果，分频器链能够给系统提供 $<0.25^\circ$ 的积分相位误差的本振信号。I/Q 信号的镜像抑制测试我们是通过逻辑分析仪采样输出的两路信号，然后经过 FFT 处理后得到，在不经任何校正的情况下能够达到 >45 dBc。

5.3.6 锁定时间测试结果

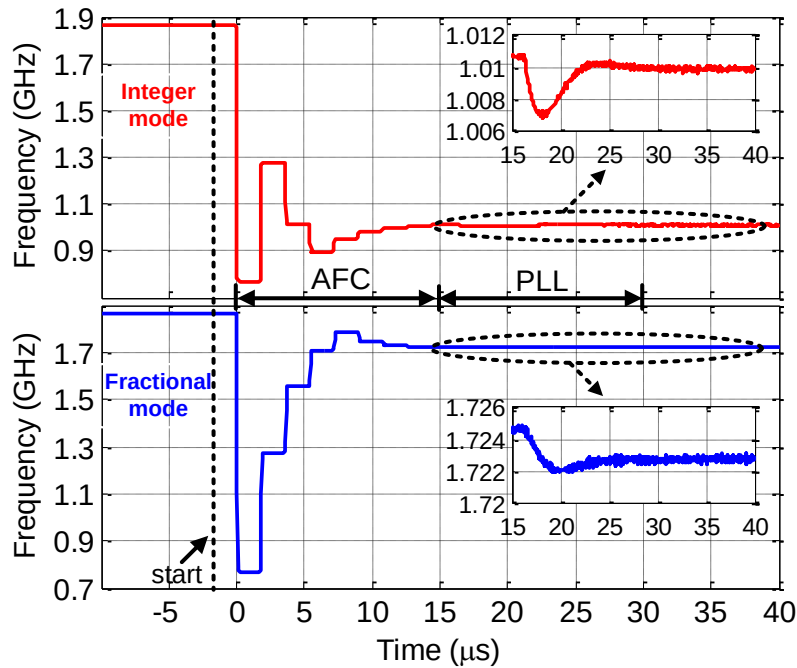


图 5-11 锁定时间测试结果

频率综合器的锁定时间测试是用安捷伦信号源分析仪 E5052A 的瞬态测试功能实现的，由图 5-11 我们可以看出，在整数和分数分频模式下的锁定时间都可以达到 $<30\ \mu\text{s}$ 。

表 3 设计的分数分频频率综合器的主要性能

Technology	0.18- μm CMOS	Ref. Frequency	10~40 MHz	
Die Area	$0.97 \times 0.84\ \text{mm}^2$	Output Frequency	0.77~1.86 GHz (82.9%)	
Supply Voltage	1.8 V	Phase Noise (dBc/Hz)	-102@10 kHz (in-band)	
Current	20 mA		-119@1 MHz	
Bandwidth	95~105 kHz	Phase Error (rms)	$0.3^\circ\sim0.5^\circ$ (100 Hz~40 MHz)	
Reference Spur	$>74\ \text{dBc}$	Locking Time	$30\ \mu\text{s}$ ($14\ \mu\text{s}$ for AFC)	
Divided by	2	4	8	16
Phase Noise (dBc/Hz)	-108@10 kHz	-114@10 kHz	-120@10 kHz	-126@10 kHz
	-125@1 MHz	-131@1 MHz	-137@1 MHz	-143@1 MHz
Phase Error	$<250\ \text{mdeg}$	$<150\ \text{mdeg}$	$<75\ \text{mdeg}$	$<50\ \text{mdeg}$
I/Q Imbalance	IRR $>45\ \text{dBc}$	IRR $>50\ \text{dBc}$	IRR $>50\ \text{dBc}$	IRR $>50\ \text{dBc}$

表 3 中列出了频率综合器的主要性能，本论文提出的线性 PFD 技术达到了消除噪声折叠效应的作用，同时设计的分频器链给系统提供了低相位噪声，具有良好镜像抑制比性能的正交 I/Q 信号。

5.4 本章小结

本章对设计的用于 TV-Tuner 的 $\Sigma\Delta$ 型分数分频宽带频率综合器进行了测试。通过对相位噪声、积分相位误差、参考杂散、分频器链相关性能的测试，验证了本论文提出的线性 PFD 能够解决噪声折问题，同时没有恶化参考杂散的性能。证明了第三章对于噪声折叠机制的分析及第四章电路设计的正确性。对分频器链相位噪声的测试结果验证了第四章分析的每经过一次二分频，相位噪声降低 6 dB 的结论，同时此分频器链能够给系统提供低相位噪声，具有良好镜像抑制比性能的正交 I/Q 信号。

第六章 总结与展望

6.1 工作总结

本文主要围绕着解决分数分频频率综合器中存在的噪声折叠问题展开工作,主要分析了由于电路非线性导致带外量化噪声折叠到带内恶化带内相位噪声性能的机制,提出了一种解决噪声折叠问题的线性化技术,并设计实现了线性 PFD 电路和分频器链电路,本文主要完成了以下研究:

- 1) 对频率综合器进行了简单的介绍,指出整数分频频率综合器和分数频率综合器的各自存在的问题,介绍了频率综合器的几种重要的参数,并以整数分频器为例讨论了环路的参数设计。
- 2) 分析了 $\Sigma\Delta$ 型分数分频频率综合器的基本结构,确定了 $\Sigma\Delta$ 调制器的噪声模型。结合 $\Sigma\Delta$ 调制器量化噪声的模型和频率综合器的噪声模型给出了 $\Sigma\Delta$ 型分数分频频率综合器噪声模型并分析了调制器量化噪声到环路输出相位噪声的转换过程。重点分析了非线性存在情况下的电荷泵模型,通过分析理想情况下和非线性情况下的量化噪声到输出相位噪声的转化确定了噪声折叠的机制,并定量分析了由于电路非线性导致调制器高频处量化噪声折叠到带内对低频相位噪声的恶化。得出了对电路设计具有知道意义的结论。
- 3) 针对噪声折叠问题,分析了现有的对解决此问题的技术,并分析了现有技术的局限性。根据理论分析的结果提出了一种线性化技术,并设计了一个线性 PFD 电路,在不引起参考杂散性能恶化和不显著增加电路设计复杂性的基础上消除了噪声折叠问题。
- 4) 分析了分频器降低相位噪声的原理,设计了一个分频器链电路,通过选择不同的分频比获得了覆盖 VHF 和 UHF 频段、低相位噪声、高镜像抑制比的正交本振信号。
- 5) 在前面所述分析及电路设计的基础上,参与设计的频率综合器在 TSMC 0.18 μm CMOS 工艺下实现流片,并给出了测试结果:芯片面积为 840 $\mu\text{m} \times 970 \mu\text{m}$,功耗 36 mW,带内相位噪声为 -107 dBc/Hz,比起有噪声折叠问题的频率综合器,带内相位噪声有大于 10 dB/Hz 的优化。积分相位误差 $< 0.6^\circ$,参考杂散 $< -74 \text{ dBc}$,无任何校正条件下 I/Q 信号镜像抑制比 $> 45 \text{ dB}$,锁定时间 $< 30 \mu\text{s}$ 。

6.2 未来展望

在以上研究的基础上，可进一步开展的研究工作如下：

- 1) 可以采用 DAC/PFD 混合电路的方法来减小 $\Sigma\Delta$ 调制器的带外量化噪声，配合提出的线性 PFD 电路可以获得带内带外相位噪声均很低的频率综合器，从而满足对相位噪声要求更加严格的应用场合。
- 2) 分数杂散性能不够理想，虽然对于 TV-Tuner 来说可以不用关心带内的分数杂散，但是若要应用与其他场合或者适用于其他的协议，那么分数杂散的性能必须得到改善。但是由于引起分数杂散的机制有很多，想要解决这一问题还需对分数杂散的机制进一步了解和分析。
- 3) 所设计的分频器链需要比较大的电流，因此产生了比较大的功耗，而且功耗会随着频率的升高而增大。可以采用功耗更小的二分频电路来实现，从而可以应用于低功耗射频接收机中。

参考文献

- [1] www.esti.org.
- [2] Roland E. Best, *Phase-Locked Loops: Design, Simulation, and Applications(Sixth Edition)*, McGraw-Hill, 2004.
- [3] T. Lee, *Design of Radio Frequency Intergrated Circuits*. Cambridge University Press, 1997.
- [4] Pavan Kumar Hanumolu, Merrick Brownlee, Kartikeya Mayaram, Un-Ku Moon, "Analysis of Charge-Pump Phase-Locked Loops," *IEEE Trans. Circuits Syst. I: Regular. Papers*, vol. 51, no. 9, pp. 1665 – 1674, Sep. 2004.
- [5] U. L. Rohde, *Digital PLL Frequency Synthesizers, Theory and Design*. Prentice-Hall, 1983.
- [6] Tom A. D. Riley, Tad A. Kwasniewski, "Delta-sigma modulation in fractional-N frequency synthesis," *IEEE J. Solid-State Circuits*, vol.28, no.5, pp.553-559, May. 1993.
- [7] S. Norswothy, R. Schreier, and G. Temes, *Delta-Sigma Data Converters: Theory, Design and Simulation*. IEEE Press, 1997.
- [8] Bram De Muer, Michel S. J. Steyaert, "A CMOS monolithic $\Delta\Sigma$ -controlled Fractional-N Frequency synthesizer for DCS-1800," *IEEE J. Solid-State Circuits*, vol.37, no.7, pp.835-844, July. 2002.
- [9] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*, New York: Wiley, 2004..
- [10] 卢磊, "射频接收机中分数分频频率综合器的研究与设计", 复旦大学博士论文, 2009.
- [11] Sudhakar Pamarti, Jared Welz, Ian Galton, "Statistics of the Quantization Noise in 1-Bit Dithered Single-Quantizer Digital Delta-Sigma Modulators," *IEEE Trans. Circuits Syst. I: Regular. Papers*, vol. 54, no. 3, pp. 492 – 503, March. 2004.
- [12] Lei Lu, Jinghong Chen, Lu Yuan, Hao Min, Zhangwen Tang, "An 18-mW 1.175-2-GHz Frequency Synthesizer With Constant Bandwidth for DVB-T Tuners" *IEEE Trans on Microwave Theory and Techniques*, vol. 57, no. 4, pp. 928 – 937, April 2009.
- [13] E. Temporiti, G. Albasini, I. Bietti, R. Castello, M. Colombo, "A 700-kHz bandwidth $\Sigma\Delta$ fractional synthesizer with spurs compensation and

- linearization techniques for WCDMA applications,” *IEEE J. Solid-State Circuits*, vol.39, no.9, pp.1446-1454, Sep. 2004.
- [14] Scott E. Meninger, Michael H. Perrott, “A 1-MHz bandwidth 3.6-GHz 0.18- μ m CMOS fractional-N synthesizer utilizing a hybrid PFD/DAC structure for reduced broadband phase noise” *IEEE J. Solid-State Circuits*, vol.41, pp.966-981, April. 2006.
- [15] Alfio Zanchi, Carlo Samori, Salvatore Levantino, Andrea L. Lacaita, “A 2-V 2.5-GHz-104-dBc/Hz at 100 kHz fully integrated VCO with wide-band low-noise automatic amplitude control loop,” *IEEE J. Solid-State Circuits*, vol.36, no.4, pp.611-619, April. 2001.
- [16] 池保勇, 余志平, 石秉学, 《CMOS 射频集成电路分析与设计》, 清华大学出版社, 2006.
- [17] Michael H. Perrott, Mitchell D. Trott, Charles G. Sodini, “A modeling approach for Sigma- Delta fractional-N frequency synthesizers allowing straightforward noise analysis,” *IEEE J. Solid-State Circuits*, vol.37, no.8, pp.1028-1038, Aug. 2001.
- [18] Behzad Razavi 著, 陈贵灿, 程军, 张瑞智等译, 《模拟 CMOS 集成电路设计》, 西安交通大学出版社, 2002.
- [19] Rhee, Woogeun, “Design of high-performance CMOS Charge Pumps in Phase-Locked Loops,” *IEEE International Symposium on Circuits and Systems*, vol.2, pp.545-548, 1999.
- [20] S. E. Meninger, and M. H. Perrott, “A fractional-N frequency synthesizer architecture utilizing a mismatch compensated PFD/DAC structure for reduced quantization-induced phase noise,” *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol.50, no.11, pp.839-849, Nov. 2003.
- [21] S. Pamarti, L. Jansson, and I. Galton, “A wideband 2.4-GHz delta-sigma fractional-N PLL with 1-Mb/s in-loop modulation,” *IEEE J. Solid-State Circuits*, vol.38, no.6, pp.866-874, Jun. 2003.
- [22] B. De Muer and M. S. J. Steyaert, “On the analysis of $\Delta\Sigma$ fractional-N frequency synthesizers for high-spectral purity,” *IEEE Trans. Circuits Syst. II, Analog Dig. Signal Process*, vol. 50, no. 11, pp.793-784, Nov. 2003.
- [23] H. Arora, N. Klemmer, J. C. Morizio, and P. D. Wolf, “Enhanced phase noise modeling of fractional-N frequency synthesizers,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 52, no. 2, pp. 379 – 395, Feb. 2005.

- [24] T. A. D. Riley, N. M. Filiol, Q. Du, and J. Kostamovaara, "Techniques for in-band phase noise reduction in $\Delta\Sigma$ synthesizers," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 50, no. 11, pp. 794–803, Nov. 2003.
- [25] C. S. Vaucher, *Architectures for Frequency Synthesizers*. New York: Kluwer, 2003.
- [26] Alan V. Oppenheim, Alan S. Willsky, With S. Hamid Nawab 著, 刘树棠 译, 信号与系统, 第二版, 西安交通大学出版社, 2009.
- [27] Xiaojian Ma, Huangzhong Yang, Hui Wang, "An analytical phase noise model of charge pump mismatch in sigma-delta frequency synthesizer," *Analog Integer Circ Sig Process*. Springer.
- [28] Young-Shig Choi, Dae-Hyun Han, "Gain-Boosting Charge Pump for Current Matching in Phase-Locked Loop," *IEEE Transactions on Circuits and Systems II*, vol.53, no.10, pp. 1022-1025, Nov.2006.
- [29] Zhenyu Yang, Zhangwen Tang, Hao Min, "A fully differential charge pump with accurate current matching and rail-to-rail common-mode feedback circuit," *IEEE International Symposium on Circuits and Systems*, pp. 448-451, 2008.
- [30] M. Terrovitis, M. Mack, K. Singh, and M. Zargari, "A 3.2 to 4 GHz, 0.25 μm CMOS frequency synthesizer for IEEE 802.11a/b/g WLAN," *IEEE Solid-State Circuits Conference, (ISSCC) Dig. Tech. Papers*, pp. 95-96, Feb. 200.
- [31] Scott E. Meninger, Low Phase Noise, High Bandwidth Frequency Synthesis Techniques, Massachusetts Institute of Technology, PHD Thesis, 2005.
- [32] Kevin J. Wang, Ashok Swaminathan, Ian Galton, "Spurious Tone Suppression Techniques Applied to a Wide-Bandwidth 2.4 GHz Fractional-N PLL," *IEEE J. Solid-State Circuits*, vol.43, no.12, pp.2787-2797, Dec. 2008.
- [33] Pin-En Su, Sudhakar Parmarti, "Fractional- Phase-Locked-Loop-Based Frequency Synthesis: A Tutorial," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol.56, no.12, pp.881-885, Dec. 2009.
- [34] John G. Proakis. *Digital Communication, Fourth Editon*. McGraw-Hill, 2011.
- [35] Salvatore Levantino, Luca Romanò, Stefano Pellerano, Carlo Samori,

- Andrea L. Lacaita, "Phase Noise in Digital Frequency Dividers," *IEEE J. Solid-State Circuits*, vol.39, no.5, pp.775-783, May. 2004.
- [36] Zhangwen Tang, Xiongiong Wan, Minggui Wang, Jie Liu, "A 50-to-930MHz quadrature-output fractional-N frequency synthesizer with 770-to-1860MHz single-inductor LC-VCO and without noise folding effect for multistandard DTV tuners," *IEEE Solid-State Circuits Conference, (ISSCC)*, pp. 358-359, Feb. 2013.
- [37] 万熊熊, "宽带分数分频频率综合器中电荷泵和分频器电路设计", 复旦大学硕士论文, 2012.

致谢

在论文完成之际，衷心感谢我的导师唐长文副教授对我的悉心指导和教诲，他严谨的态度、专注的技术热情及对 IC 设计上的洞察力使我受益匪浅。

其次感谢王心师兄，是你的热心帮助及扎实的学术基础帮助我更快的进入 IC 设计中来，平时也是在你的帮助下解决了许许多多的问题。感谢褚博、程涛、刘玉琰、黄求振同学，与你们共同学习、共同讨论使我对电路有了更进一步的理解，也是有了你们才使我的研究生生活过得充实精彩。

最后，感谢我的父母，是你们含辛茹苦的养育和最为无私的爱才有了今天的我，谨将此文献给你们。我唯有继续努力、继续前进才能不辜负你们对我的关心和期望。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名：_____ 日期：_____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名：_____ 导师签名：_____ 日期：_____