

# 第一章 引言

数字化处理技术已经广泛应用于电子设备中，然而电子设备的原始信号均来自现实世界，如电磁记录、扬声器、麦克风、CCD、LCD、无线调制器和解调器等，它们所产生的信号都为模拟信号，这些信号实现数字处理前必然要先经过模拟信号处理（比如放大、A/D 转换等），同时数字化处理后的信号作用于现实世界时仍需还原为模拟信号（比如 D/A 转换、功率放大等）。因而即使在数字技术十分成熟的今天，模拟信号处理技术仍是无法回避，不能忽视的。

运算放大器是模拟集成电路中的一个重要模块。随着信息技术和微电子制作工艺技术的高速发展，器件的特征尺寸越来越小，由此构成的集成电路的电源电压也越来越低，传统的运算放大器结构已经不能满足设计指标的要求。近十年来，各种新结构的低电压运算放大器已经大量涌现。

在 MOS 管的特征尺寸和电源电压不断下降的情况下，对于一个运算放大器，我们不但希望它的输入和输出仍然有大的动态范围，而且希望输出级仍然有较强的驱动能力。这个时候，rail-to-rail 放大器就变得尤为重要。rail-to-rail 放大器的输入共模电压和输出共模电压都可以接近正负电源电压，这就是所谓的输入输出 rail-to-rail 结构。输入级的 rail-to-rail 结构是一个跨导恒定的输入级，其共模电压输入范围从接近负电源电压到接近正电源电压，使得在较大的共模输入电压范围内，放大器都能以相同的增益放大信号。输出级的 rail-to-rail 结构是指输出共模电压的摆幅可以到达正负电源电压值。作为一种通用的 CMOS 运算放大器电路，rail-to-rail 运算放大器可以广泛的用于个人通信设备，TFT-LCD 的电压参考缓冲器，无线局域网设备等低功耗应用场合及采样 ADC、DAC 中的放大器等诸多领域。

现阶段 rail-to-rail 运算放大器的设计注重于：如何保证跨导在整个输入共模电压范围内恒定。通常的 rail-to-rail 运放采用两级结构。输入级用 PMOS 和 NMOS 并联的互补差分输入对实现，一个典型的 rail-to-rail 放大器的结构框图如图 1.1 所示：

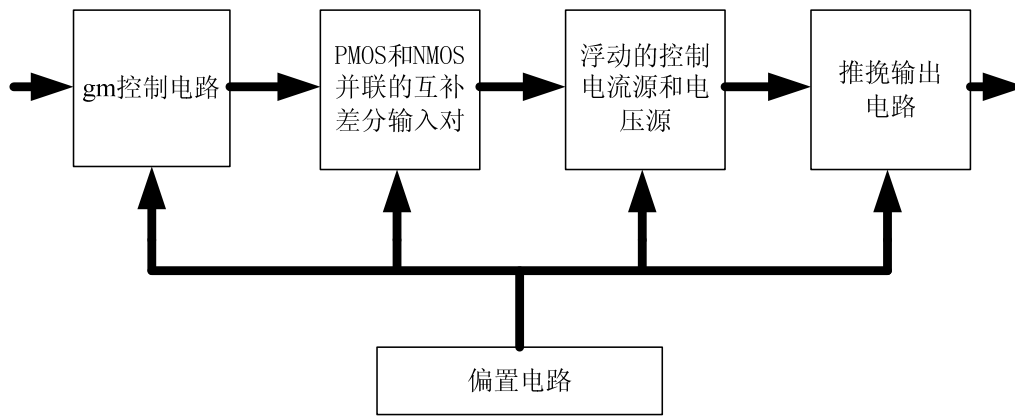


图 1.1 rail-to-rail 放大器的结构

## 第二章 rail-to-rail 运算放大器结构和原理分析

### § 2.1. 保持恒定gm的rail-to-rail输入级

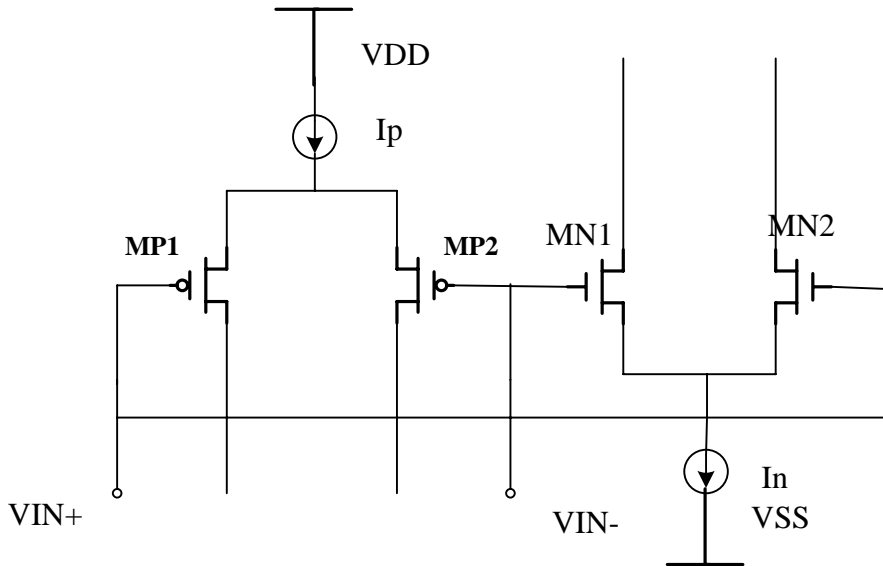


图 2.1 rail-to-rail 输入级

输入级用 PMOS 和 NMOS 并联的互补差分输入对实现。电路工作可以分为三个区：当共模输入电压接近负电源 VSS 时，NMOS 输入对截止，PMOS 输入对处于放大阶段；当共模输入电压接近正电源 VDD 时，PMOS 输入对截止，NMOS 输入对处于放大阶段；当共模输入电压处于中间阶段时，PMOS 输入对和 NMOS 输入对都有放大作用。图 2.1 所示的输入级总跨导可以由下面的公式表示：

$$g_{mT} = g_{mn} + g_{mp} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} \quad (1)$$

其中  $\beta_n$  和  $\beta_p$  分别是 NMOS 管和 PMOS 管的跨导参数， $I_n$  和  $I_p$  分别是流经 NMOS 管和 PMOS 管的电流。如果只是简单的满足  $\beta_n = \beta_p$  和  $I_n = I_p$ ，可以看到当共模输入电压在中间状态时，输入级的跨导约变化一倍，而这将导致运放增益和运放增益带宽都发生变化，使得频率补偿变得困难。为了使得输入级总跨导在共模输入电压从 VSS 到 VDD 变化时为一定值，可以在满足  $\beta_n = \beta_p = \beta$  的条件下，设计特定的偏置电路来使得  $\sqrt{I_n} + \sqrt{I_p}$  为一定值。这时  $g_{mT} = \sqrt{\beta}(\sqrt{I_n} + \sqrt{I_p})$

不因为共模输入电压的不同而改变。

但是我们发现，上面所说的控制输入级总跨导为一常数的方法要求  $\beta_n = \beta_p = \beta$ ，而

$$\beta = \mu C_{ox} \left( \frac{W}{L} \right) \quad (2)$$

因此必须满足

$$\left( \frac{W}{L} \right)_p / \left( \frac{W}{L} \right)_n = \mu_n / \mu_p \quad (3)$$

不同工艺的  $\mu_n$  和  $\mu_p$  的比值存在较大的差异，即使同一工艺，其  $\mu_n$  和  $\mu_p$  的比值也会有一定的偏差(有时甚至达到30%)。因此为了使得  $\beta_n = \beta_p$ ，在不同的工艺下必须选用不同的长宽比例。所以在一个工艺调整好的电路参数，在另外一个工艺下将会不能使用。

本文使用了一种新型的与工艺无关的rail-to-rail运算放大器输入级，克服了上述两个缺点。

$\beta_n = \beta_p$  的假定导致了常跨导输入级对工艺的依赖性，因此这一设计抛弃  $\beta_n = \beta_p$  的假定，从  $\sqrt{\beta_n I_n} + \sqrt{\beta_p I_p}$  整体考虑。当共模输入电压接近VSS时, PMOS管对通过的最大电流记为  $I_{pmax}$ ；当共模输入电压接近VDD时, NMOS管对通过的最大电流记为  $I_{nmax}$ 。首先设计一个最大电流计算电路，计算出给定输入级宽长比时  $I_{pmax}$  和  $I_{nmax}$  的值，使得  $\beta_p I_{pmax} = \beta_n I_{nmax}$ 。然后，设计一个电流控制电路，当共模输入电压在  $(VDD + VSS) / 2$  附近时，使得  $\sqrt{\beta_n I_n} + \sqrt{\beta_p I_p}$  为一固定值。

### 1. 最大电流计算电路

当Vcm接近VSS时，NMOS管对不导通， $I_n$  为0；PMOS管对完全导通， $I_p = I_{pmax}$ ；此时输入级跨导为：

$$g_{mT} = g_{mn} + g_{mp} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} = \sqrt{\beta_p I_{pmax}} \quad (4)$$

当Vcm接近VDD时，PMOS管对不导通， $I_n$  为0；NMOS管对完全导通， $I_n = I_{nmax}$ ；此时输入级跨导为：

$$g_{mT} = g_{mn} + g_{mp} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} = \sqrt{\beta_n I_{n\max}} \quad (5)$$

为了保证Vcm在VSS和VDD附近时，（4）和（5）式相等，必须有

$$\beta_p I_{p\max} = \beta_n I_{n\max} \circ$$

我们设定  $I_{n\max}$  的值，通过如图2.2所示的最大电流计算电路来计算出  $I_{p\max}$  的值。

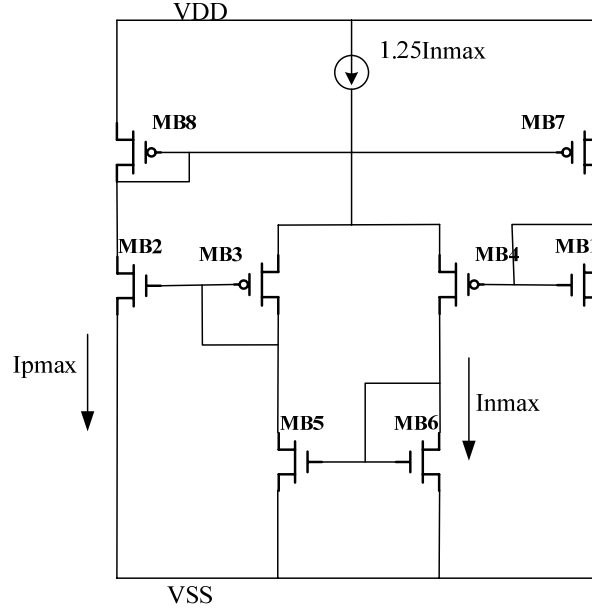


图2.2 最大电流计算电路

图中NMOS管MB1和MB2的宽长比与输入管对MN1和MN2相同，PMOS管MB3和MB4的宽长比与输入管MP1和MP2相同。MB8和MB7，MB6和MB5都是4:1电流镜。可以得到：

$$|V_{GSB3}| + V_{GSB2} = |V_{GSB4}| + V_{GSB1} \quad (6)$$

即

$$V_{TB3} + \sqrt{\frac{2I_{B3}}{\beta_p}} + V_{TB2} + \sqrt{\frac{2I_{B2}}{\beta_n}} = V_{TB4} + \sqrt{\frac{2I_{B4}}{\beta_p}} + V_{TB1} + \sqrt{\frac{2I_{B1}}{\beta_n}} \quad (7)$$

NMOS管MB2和MB1的源级都连接到VSS，由于相同的体效应，可以认为阈值电压  $V_{TB2}$  和  $V_{TB1}$  近似相同；同样的，PMOS管MB3和MB4的源级都连接到节点5，阈值电压  $V_{TB3}$  和  $V_{TB4}$  近似相同。所以（7）式可以进一步改写为：

$$\sqrt{\frac{2I_{B3}}{\beta_p}} + \sqrt{\frac{2I_{B2}}{\beta_n}} = \sqrt{\frac{2I_{B4}}{\beta_p}} + \sqrt{\frac{2I_{B1}}{\beta_n}} \quad (8)$$

再由  $I_{B1} = \frac{1}{4} I_{p\max}$  ,  $I_{B3} = \frac{1}{4} I_{n\max}$  ,  $I_{B2} = I_{p\max}$  ,  $I_{B4} = I_{n\max}$  可以得到:

$$\beta_p I_{p\max} = \beta_n I_{n\max} \quad (9)$$

## 2. 电流控制电路

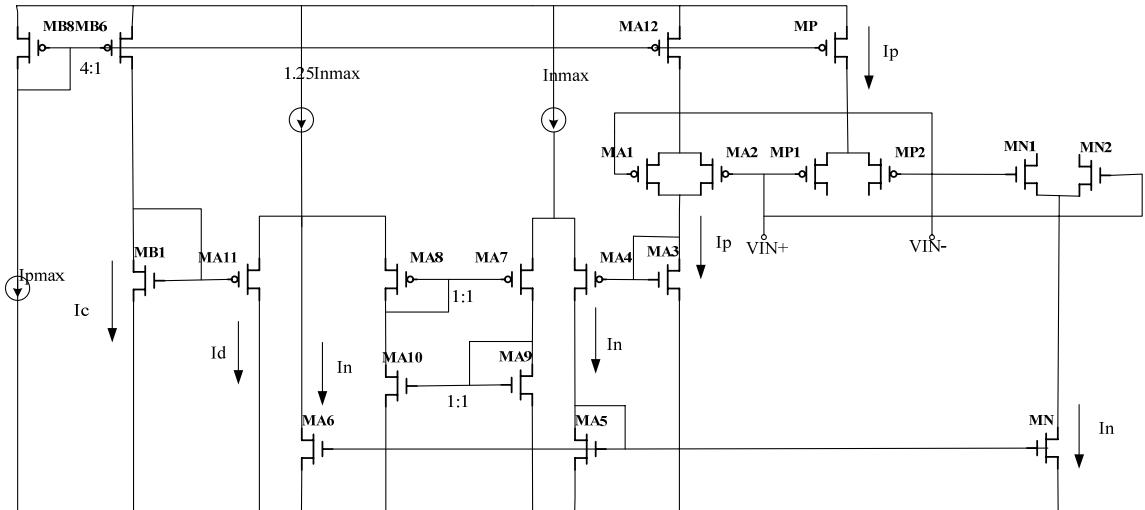


图2.3 电流控制电路

图 2.3 所示是一个电流控制电路（为清楚起见，图中也画出了输入对），它通过对 MP1 和 MP2 PMOS 管对电流的监测，来控制通过 MN1 和 MN2 NMOS 管对的电流，从而达到常跨导的要求。

前面所述的最大电流计算电路只是计算出了对应于一定的  $I_{p\max}$  下  $I_{n\max}$  的值。为了真正实现当  $V_{cm}$  接近  $V_{SS}$  时，PMOS 管对最大电流为  $I_{p\max}$ ；当  $V_{cm}$  接近  $V_{DD}$  时，NMOS 管对最大电流为  $I_{n\max}$ ，需要采用一个电流控制电路。在图 2.3 中 MB8 和 MP 组成的电流镜控制了流过 MP 管的最大电流。当 MB8 和 MP 管都处于饱和区时，MP 管的电流  $I_p$  等于通过 MB8 管的电流  $I_{p\max}$ ；随着  $V_{cm}$  升高，MP 管逐渐进入线性区， $I_p$  从  $I_{p\max}$  值逐渐减少。MA5，MA6 和 MN 管的宽长比一样，所以流过 MN 管的电流应该和流过 MA5 管的电流相同，也就是和流过 MA4 管的电流相同，不会超过  $I_{n\max}$ 。

MA12，MA1 和 MA2 管是 MP，MP1 和 MP2 管的一个复本，这样保证了流过 MA3 管的电流完全等于  $I_p$ 。图 3 实线部分是  $I_p$  和  $I_n$  转换的控制电路，它保证了当  $I_p$  降为  $\frac{1}{4} I_{p\max}$  时， $I_n$  增加到  $\frac{1}{4} I_{n\max}$ 。

Ma9和MA10是一个1: 1电流镜，所以流过MA7和MA8的漏级电流相同，且MA7和MA8宽长比相同，因此 $|V_{GS7}|=|V_{GS8}|$ ，这样MA7，MA8，MA9和MA10构成了一个电压控制电路，确保节点6和节点7的电压恒相等。MA11和MA4管的宽长比与输入管MP1和MP2一样，MA3 和MB1 管的宽长比与输入管MN1 和MN2 一样。从图3中，可以得到下式：

$$V_6 = |V_{GSA11}| + V_{GSB1} = |V_{GSA4}| + V_{GSA3} = V_7 \quad (10)$$

$$V_{TA11} + \sqrt{\frac{2I_{A11}}{\beta_p}} + V_{TB1} + \sqrt{\frac{2I_{B1}}{\beta_n}} = V_{TA4} + \sqrt{\frac{2I_{A4}}{\beta_p}} + V_{TA3} + \sqrt{\frac{2I_{A3}}{\beta_n}} \quad (11)$$

与最大电流计算电路相类似，NMOS 管 MA3 与 MB1 的源级都连接到 VSS，所以阈值电压 $V_{TA3}$ 和 $V_{TB1}$ 可以认为是近似相同的；同样 PMOS 管 MA11 与 MA4 的源级分别连接到等电压节点 6 和 7，所以阈值电压 $V_{TA11}$ 和 $V_{TA4}$ 也可以认为是近似相同的。所以（11）式可以进一步改写为：

$$\sqrt{\frac{2I_{A11}}{\beta_p}} + \sqrt{\frac{2I_{B1}}{\beta_n}} = \sqrt{\frac{2I_{A4}}{\beta_p}} + \sqrt{\frac{2I_{A3}}{\beta_n}} \quad (12)$$

由于电流镜作用 $I_{A4} = I_n, I_{A3} = I_p$ ；从图 3 中可以看出流过 MB1 和 MA11 管的电流为常数（即不随着共模输入电压改变而改变），不妨设 $I_{A11} = I_d, I_{B1} = I_c$ 。

（12）式两边乘以 $\frac{1}{2}\sqrt{\beta_n\beta_p}$ 可以得到：

$$\sqrt{\beta_n I_d} + \sqrt{\beta_p I_c} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} \quad (13)$$

发现等式右边就是输入级的总跨导 $g_{mT}$ 。我们只要取定 $I_c = \frac{1}{4}I_{p\max}$ ， $I_d = \frac{1}{4}I_{n\max}$ ，并且由（9）式可得：

$$\begin{aligned} g_{mT} &= \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} = \sqrt{\beta_n I_d} + \sqrt{\beta_p I_c} = \sqrt{\beta_n \times \frac{1}{4}I_{n\max}} + \sqrt{\beta_p \times \frac{1}{4}I_{p\max}} = \\ &\sqrt{\beta_p I_{p\max}} = \sqrt{\beta_n I_{n\max}} \end{aligned} \quad (14)$$

上面的式子说明，共模输入电压 Vcm 在接近负电源 VSS，接近正电源 VDD

以及处于两者之间时，输入级的总跨导  $g_{mT}$  是相等的。因此这一输入级电路在  $\beta_n \neq \beta_p$  的条件下实现了常跨导输入级。

### § 2.2.rail-to-rail的AB类输出级

运算放大器输入级的电压增益为输入级总跨导与其负载电阻的乘积，即：

$$G_T = g_{mT} \times R_L \quad (15)$$

在跨导和是一个恒定的常数时，要使电压增益恒定，就必须保证放大器的负载是一个常数。一般输入级的负载是由MOS管构成的有源负载，如图2.4所示。负载MOS管的偏置电流随输入级的偏置电流变化。负载管偏置于饱和区时，其源漏端小信号等效输出电阻为：

$$r_{on} = \frac{1}{\lambda I} \quad (16)$$

其阻值与偏置电流成反比。对于普通的二级放大电路，其静态工作电流大致不变化，因此使用这样的结构是没有问题的。但是对于上面所述的常跨导输入级，其静态工作电流会随共模输入电压的变化而变化，并不是一定值。当  $V_{cm}$  接近  $V_{SS}$  时，PMOS管输入对静态电流  $I_{pmax}$ ，它的NMOS管负载对上的静态电流也应该是  $I_{pmax}$ ，而此时NMOS管输入对以及其PMOS管负载对上的电流应该接近0；当  $V_{cm}$  接近  $V_{dd}$  时，NMOS管输入对及其PMOS管负载对的静态电流接近  $I_{nmax}$ ，而此时PMOS管输入对以及其NMOS管负载对上的电流应该接近0。这样就严重影响了（16）式表述的电压增益在整个共模输入电压范围内的恒定。



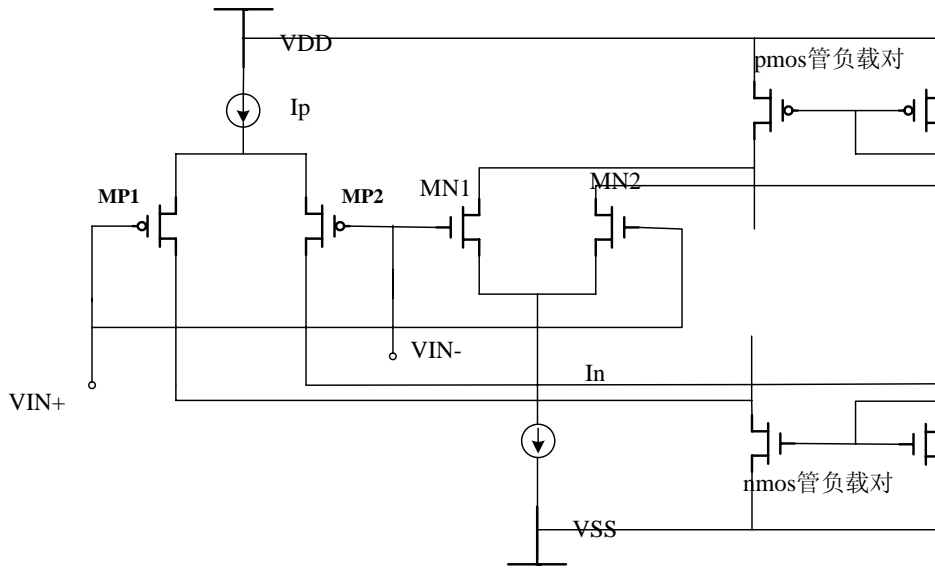


图 2.4 MOS 管构成的有源负载

为此，本文采用folded cascode的有源负载,并将其直接与AB类控制的输出级结合，在提高电压增益，增加电压输出动态范围的同时，保证了在整个共模输入电压范围内，运算放大器的总电压增益。电路图如图2.5所示。

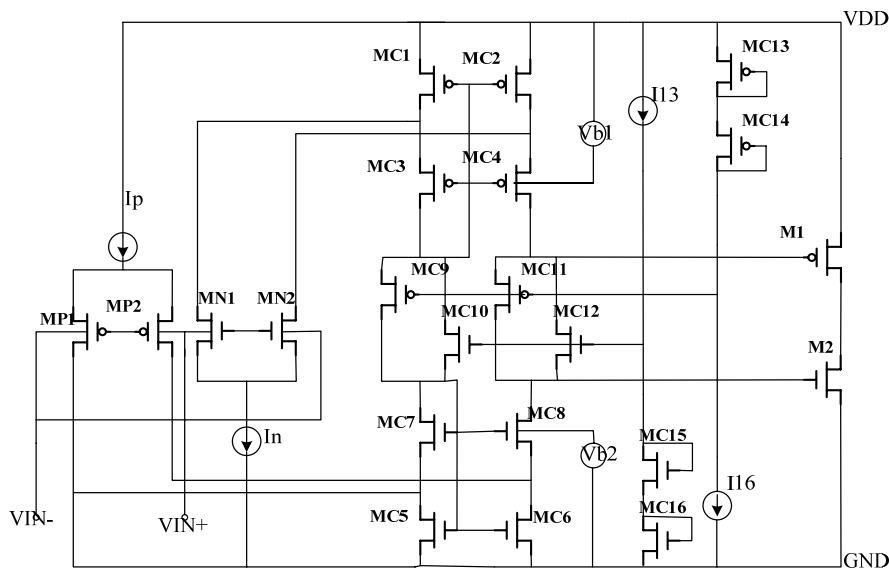


图2.5 rail-to-rail的AB类输出级

### 1. Folded cascode结构的恒定有源负载

M1 和 M2 为输出管，MC11 和 MC12 为浮动电压源，MC9 和 MC10 为浮动电流源，MC1 和 MC2，MC5 和 MC6 分别是输入 NMOS 管对和 PMOS 管对的有源负载。MC3 和 MC4，MC7 和 MC8 分别是单管 cascode 放大器。

图中的AB类控制电路中包括两条回路，一条为M1，MC11，MC14和MC13，

另一条为M2, MC12, MC15, MC16, 它们控制着输出管的静态电流  $I_q$ 。这些管子的栅源电压分别满足:

$$|V_{GSC13}| + |V_{GSC14}| = |V_{GSC11}| + |V_{GS1}| \quad (17)$$

$$V_{GSC15} + V_{GSC16} = V_{GSC12} + V_{GS2} \quad (18)$$

为补偿MOS管的衬偏效应, 调节MC11和MC14, MC12和MC15, 使它们偏置于同样的栅源电压下, 则有  $|V_{GSC13}| = |V_{GSC11}|$ ,  $V_{GSC16} = V_{GS2}$ 。所以M1, M2管的直流偏置电流分别为:

$$I_{q1} = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_{C13}} I_{C13} \quad (19)$$

$$I_{q2} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_{C16}} I_{C16} \quad (20)$$

若使电流源  $I_{C13} = I_{C16}$ ,  $\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_{C13}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_{C16}}$ , 就有:

$$I_q = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_{C13}} I_{C13} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_{C16}} I_{C16} \quad (21)$$

这就使得输出级的静态工作点得以稳定, 不会受共模输入电压变化的影响。

同时注意到有  $|V_{GSC1}| = |V_{GS1}|$ ,  $V_{GSC5} = V_{GS2}$ , 即 PMOS 管 M1 和 MC1, NMOS

管 M2 和 MC5 的栅源电压相等, 有  $I_{C1} = \frac{\left(\frac{W}{L}\right)_{C1}}{\left(\frac{W}{L}\right)_1} I_q$ ,  $I_{C5} = \frac{\left(\frac{W}{L}\right)_{C5}}{\left(\frac{W}{L}\right)_2} I_q$ 。如果取

$\frac{\left(\frac{W}{L}\right)_{C1}}{\left(\frac{W}{L}\right)_1} = \frac{\left(\frac{W}{L}\right)_{C5}}{\left(\frac{W}{L}\right)_2}$ , 那么 MC1 和 MC5 上流过的电流相等。考虑到电流镜的作用就

是 MC1, MC2, MC5, MC6 上流过的电流全相等, 设其为  $I_{C1}$ 。并忽略沟道长度调制系数  $\lambda$  随其源漏电压变化的影响(一般情况下, 选取最小沟道长度的 2—3 倍, 在此电路中就可忽略这一效应); 根据(12) 式, 则输入级有源负载的小信号

等效电阻值在整个输入共模偏置电压范围内都是固定值且相等，即：

$$r_{onC1} = r_{onC2} = r_{onC5} = r_{onC6} = \frac{1}{\lambda I_{C1}} \quad (22)$$

同时，如果  $I_{C1}$  远大于输入对的工作电流  $I_p$  和  $I_n$ ，那么 cascode 放大器的工作电流也是基本稳定的，可以认为 cascode 管 MC3、MC4 和 MC8、MC7 的跨导为一个常数。从下面的分析可以看到，本 rail-to-rail 运算放大器输出级的输入是电流信号，故上述电路保证了：到输出级前为止，总的跨导增益在整个共模输入偏置电压范围内是恒定的，如(22) 式：

$$G_T = g_{mT} (r_{onC1} \parallel r_{onC5}) \parallel g_{mCascode} \quad (23)$$

## 2. 前馈AB类控制rail-to-rail输出级电路

前馈AB类控制的输出级电路如图2.5所示。在输出管M1和M2的栅极间固定一个稳定的电压，使它们各自都始终偏置在饱和区。另外，该类输出级可以获得更高的最大电流与静态电流比，提高了电源功耗的利用率。

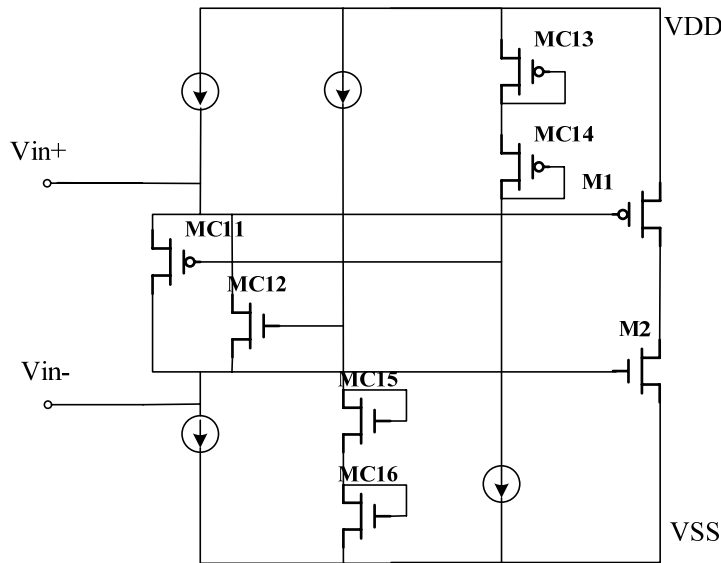


图2.5 前馈AB类控制的输出级电路

若将M1管和M2管的栅极分别偏置在接近  $VDD - V_{th}$  和  $VSS + V_{th}$  时，电压的输出动态范围可以达到  $VSS + V_{dsat} \sim VDD - V_{dsat}$ 。这样，M1和M2管的静态电流很小，会降低输出级的速度。因此，应综合考虑最大输出电流、静态功耗、频响性能和电路的面积。此电路中，采用MC11和MC12作为固定输出管栅极间电压的电路，比采用电阻更节省电路面积，同时，具有降低该栅间电压对工艺、电源的敏感性等优点。而此类输出级可工作在最低为  $(2V_{gs} + V_{dsat})$  的低电源电压下。

## 第三章 rail-to-rail 运算放大器参数设计

### § 3.1. 设计目标和性能参数要求:

在 0.25umTSMC 工艺下进行设计, 运算放大器采用 2.5V 的单电源。负载为  $10k\Omega$  的电阻并联  $3pF$  的电容。设计要求达到的设计指标为:

- ◆ 开环增益 :  $\geq 80dB$
- ◆ 单位增益带宽 :  $\geq 20MHz$
- ◆ 相位裕量 :  $\geq 60$ 度
- ◆ 转换速率 :  $\geq 30V/us$
- ◆ 静态功耗 :  $\leq 5 mW$
- ◆ 等效输入噪声 :  $\leq 300nV/\sqrt{HZ}$  @100KHz

### § 3.2. 电路结构划分

rail-to-rail 运算放大器的整体电路图如图 3.1:

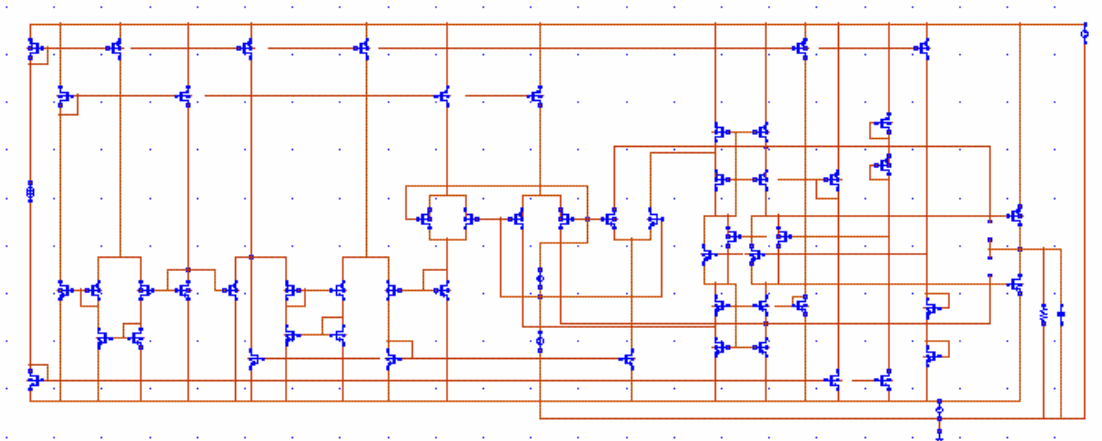


图 3.1 rail-to-rail 运算放大器

如本文第二章中所述, 这个 rail-to-rail 运算放大器大致可以分为输入级工作电流计算电路和放大电路两部分。通常情况下, 这两部分电路的工作是相互不影响的, 因此下面分别对两部分电路的参数进行设计。

设计前首先要确定的是本电路中对应的 PMOS 和 NMOS 输入输出管的宽长比是 4: 1。这是因为电子和空穴的迁移率比例在 3: 1 到 4: 1 之间。确定本电路中对应的 PMOS 和 NMOS 输入输出管的宽长比是 4: 1 可以使得它们的  $\beta$  大致相等, 有利于整个电路的平衡。(当然, 取 3: 1 的比例一样可以。)

### § 3.3.输入级电流计算电路的参数设计:

rail-to-rail 运算放大器的输入级电流计算电路图如图 3.2:

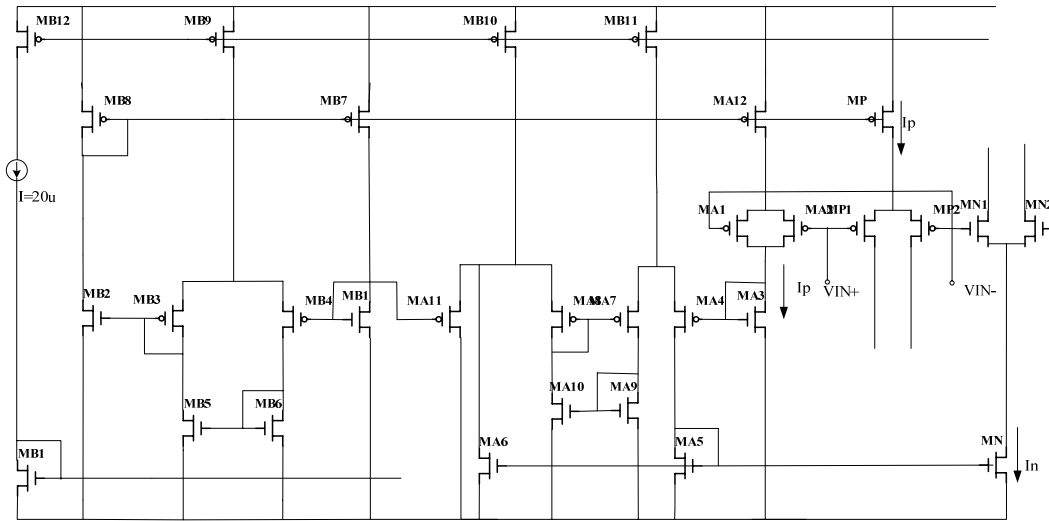


图 3.2 输入级电流计算电路

#### 1. 输入级电流计算电路中偏置电路的参数设计:

设定  $I_{n_{max}}$  为 40uA, 由大小为 20uA 的基准工作电流经过电流镜复制得到。

按照本文第二章中对此结构的分析, 可得输入级计算电路中偏置电路的各个 MOS 管的工作电流及其宽长比例关系。如下表所示:

MOS 管名称	W/L 设计值 (um/um)	$I_D$ 设计值 (uA)	$I_D$ 仿真值 (uA)
MB12	16/1	20	20
MB9	40/1	50	49.55
MB10	40/1	50	49.92
MB11	32/1	40	39.94
MB13	2/0.5	20	20

偏置电路的参数设计只要符合预先定下的比例关系即可。W/L 取得过大, 电流镜的过驱动电压很小, 电流镜复制的电流大小容易受阈值电压变化影响, 可能不够精确; W/L 取得过小, 电流镜的过驱动电压很大, 可能会影响电流镜所连接的管子的工作状态。但是这都是很极端的情况。一般来说, 电流镜的仿真结果都能达到设计要求。

#### 2. 输入级电流计算电路中的参数设计:

取定 PMOS 输入对的宽长比为 8um/1um, NMOS 输入对的宽长比为 2um/1um。注意到 MB2, MB1, MA3 是 NMOS 输入管的复制; MB3, MB4, MA11, MA4 是 PMOS 输入管的复制。以上 MOS 管的宽长比也可以得到。

再根据 MB5 和 MB6, MB7 和 MB8 是 1: 4 电流镜, MA7 和 MA8, MA9

和 MA10, MN 和 MA5 和 MA6 是 1: 1 电流镜, 可以得到剩下所有 MOS 管的宽长比, 如下表所示。

MOS 管名称	W/L 设计值 (um/um)
MB2, MB1, MA3	2/1
MB3, MB4, MA11, MA4	8/1
MN, MA5, MA6	30/1
MA9, MA10	5/0.5
MA7, MA8	20/0.5
MB8, MA12, MP	60/0.5
MB7	15/0.5
MB5	1/0.5
MB6	4/0.5

计算电路的参数设计也是很简单的。仿真时观察一下各个管子是否处在设计的工作区域即可。

### § 3.4. 放大电路的参数设计:

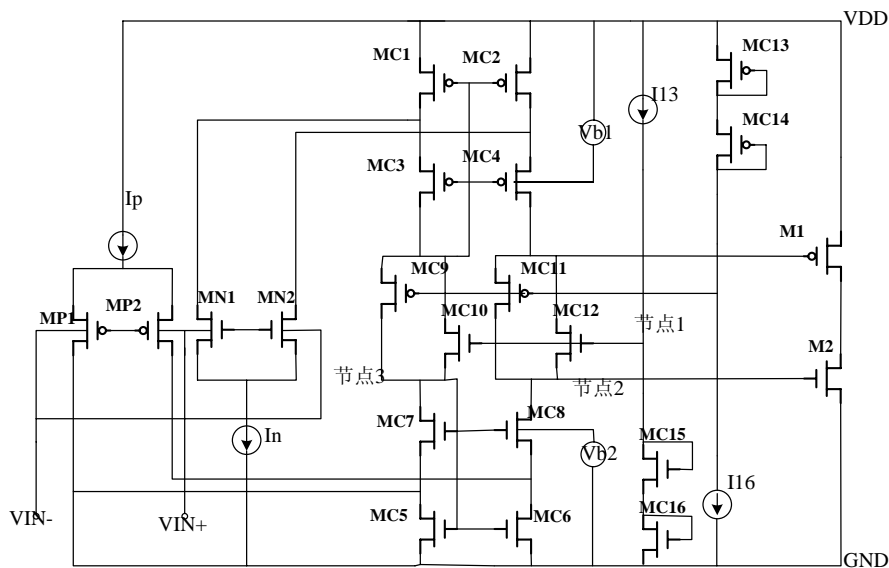


图 3.3 rail-to-rail 运算放大器放大电路

放大电路的参数设计相对来说比上面的计算电路的参数设计要困难得多。对于这里的前馈 AB 类控制 rail-to-rail 输出级电路, 各个 MOS 管的宽长比不是由简单的比例关系决定的, 也很难通过简单的理论推导得到。尽管如此, 简单的估计和安排一下电路各个部分的工作状态(静态电流、漏源电压、过驱动电压等), 仍然对参数设计工作大有好处。

## 1. 静态电流的估计:

设计要求  $SR \geq 30V/\mu s$ 。将  $Q = CU$  两边对时间  $t$  求偏导, 有:

$$I = C \frac{dU}{dt} = C \square SR \quad (24)$$

上式中的  $C$  是指负载电容, 求得的  $I$  即输出级上的静态电流。由  $SR = 30V/\mu s$ ,  $CL = 3pF$  求得  $M1, M2$  管上的静态电流为  $90\mu A$ 。不妨取  $M1, M2$  管上的静态电流为  $120\mu A$ 。

当共模输入电压改变时,  $MC7$  上的电流变化很小, 在整个共模输入范围内不超过百分之五。但是  $MC5$  上的电流受 PMOS 输入对工作电流的影响。当 PMOS 输入对截止时,  $MC5$  上的电流和  $MC7$  上的电流是相同的; 但当 PMOS 输入对完全工作时,  $MC5$  上的电流要比  $MC7$  上的电流大出  $20\mu A$ 。如果  $MC5$  上的工作电流过小 (比方说和  $20\mu A$  相比差不多),  $MC5$  上的工作电流就会在整个共模输入范围内剧烈变化, 直接的后果是其小信号等效电阻  $r_{onC5}$  的剧烈变化。注意到  $r_{onC5}$

是作为输入管的电流镜负载, 可以认为这也会导致输入级增益在整个共模输入范围内有大的变化。因此,  $MC5$  上的工作电流不可以太小, 取为  $60\mu A$ 。这也是  $MC1, MC2, MC6$  的工作电流。

$MC13$  和  $MC14, MC15$  和  $MC16$  提供了偏置电压, 为功耗考虑它们的静态电流不能太大, 取为  $20\mu A$ 。

$MC20$  和  $MC21, MC19$  和  $MC22$  也是提供了偏置电压的电路, 静态电流也取为  $20\mu A$ 。

现在注意到  $M2, MC16, MC5$  的栅源电压是相同的 (注意因为对称性, 节点 2 和节点 3 的电压是相同的), 根据上面估计的电流, 可以估计它们的宽长比比例为 6: 3: 1。

## 2. 各个节点静态电压的估计

当共模输入电压从  $VSS$  到  $VDD$  变化时,  $MC5$  的静态电流不断减小, 伴随着它的栅源电压不断减小。由于  $M2, MC5$  的栅源电压是相同的,  $M2$  的栅源电压会随着共模输入电压的增大而减小。同理,  $M1$  的栅源电压却会随着共模输入电压的增大而增大。这样  $M1$  的上拉能力越来越强,  $M2$  的下拉能力越来越弱。如果这样的变化足够剧烈的话,  $M1$  可能将输出点的静态电压上拉到接近  $VDD$  的位置, 导致自己脱离饱和区, 放大能力下降。 $MC11$  也有可能进入亚阈值区。

为了避免这一情况,  $M1, M2$  管的过驱动电压不能取得太小。如果过驱动电压达到将近  $200mV$ ,  $MC5$  的栅源电压的有限的变化就可能相对于  $M1, M2$  管的过驱动电压比较小, 从而不对静态工作点造成大的影响。

注意到  $M2$  的栅源电压的变化量与  $MC12$  的是相同的。出于同样的考虑,

MC12 的栅源电压也不能太小。

不妨假设 M2 的阈值电压为 500mV，过驱动电压 200mV；MC12 的阈值电压 600mV(考虑体效应)，过驱动电压 200mV。可以估计出节点 2 的静态电压约为 1.5V，点 y 的静态电压约为 0.7V。可以假设 MC6 上的源漏电压为 300mV，MC8 上的源漏电压为 400mV。估计 MC8 的阈值电压是 600mV，过驱动电压 100mV，那么 MC21 的栅源电压就大概是 1V。

以上的估计是在仿真的基础上进行的，并非凭空想象。

### 3. MOS 管宽长比估计：

同时考虑电流和电压的估计值。当  $(\frac{W}{L})_{C15} = (\frac{W}{L})_{C16} = 5/1$ ， $I_{C15} = I_{C16} = 20\mu A$  时，节点 y 的电压正好为 1.5v，因此取  $(\frac{W}{L})_{C15} = (\frac{W}{L})_{C16} = 5/1$ 。需要指出的是，这个宽长比决不是计算出来的，而是在对电压和电流同时作估计后权衡的结果。

由上面估计出的比例关系可以取 M2 的宽长比为 30/1，MC5 和 MC6 的宽长比为 15/1。

MC7 和 MC8 的宽长比只对电路增益有影响，并不决定电路的静态工作点。因此不妨取它们的宽长比为 20/1。

MC10 和 MC12 的栅源电压和过驱动电压与 MC15 相等（体效应相同），但是其流过的电流为流过 MC6 的电流的一半即 30uA，是流过 MC15 电流的 1.5 倍。因此 MC10 和 MC12 的宽长比取为 MC15 的 1.5 倍，即 7.5/1。

当  $(\frac{W}{L})_{C21} = 0.7/1$ ， $I_{C21} = 20\mu A$  时，MC21 的栅源电压为 1V，因此取  $(\frac{W}{L})_{C21} = 0.7/1$ 。

考虑到对应的 PMOS 管的宽长比应该是 NMOS 管的 4 倍；再根据上面所定的偏置电流确定电流镜的宽长比，我们基本得到了所有 MOS 管的宽长比，如下表所示：

NMOS 管名称	W/L 设计值 (um/um)	对应的 PMOS 管 名称	W/L 设计值 (um/um)
MC15, MC16	5/1	MC13, MC14	20/1
M2	30/1	M1	120/1
MC5, MC6	15/1	MC1, MC2	60/1
MC7, MC8	20/1	MC3, MC4	80/1
MC10, MC12	7.5/1	MC9, MC11	30/1
MC21	0.7/1	MC22	1.3/0.5
MC19, MC17	2/0.5	MC18, MC20	16/1



#### 4. 仿真后对宽长比的修正:

虽然上面的宽长比的推出条件之一就是 MC11 和 MC14, MC12 和 MC15 的栅源电压相同, 但是要真正做到这一点, 还需要仿真后进行调试。

仿真后发现 MC11 和 MC12 的栅源电压偏大, 因此了提高它们的宽长比, 使得 MC11 和 MC14, MC12 和 MC15 的栅源电压相同。觉得 MC5 和 MC6 上的静态电流还不够大, 因此提高了它们的宽长比, 使它们的工作电流达到 90uA。

接上负载后发现, 负载对输出点的静态工作点有较大影响。以  $R_L=10k\Omega$  为例, 如果想要将输出点的静态工作电压定在 1V, 就要求 M1 比 M2 多提供 100uA 的电流, 而 M1 和 M2 的静态工作电流不过 120uA。因此输出点的静态工作电压很容易因为 M1 的上拉能力不够而过低, 直接导致 M2 进入线性区, 放大能力减弱。

为了增强 M1 的上拉能力, 减小了 MC1 和 MC2 的宽长比, 使得 M1 的静态工作电流增加一些, 以提供额外的电流给负载。

经过以上修正后的宽长比如下表所示:

NMOS 管名称	W/L 设计值 (um/um)	对应的 PMOS 管 名称	W/L 设计值 (um/um)
MC15, MC16	5/1	MC13, MC14	20/1
M2	30/1	M1	120/1
MC5, MC6	25/1	MC1, MC2	37/1
MC7, MC8	20/1	MC3, MC4	80/1
MC10, MC12	12/1	MC9, MC11	48/1
MC21	0.7/1	MC22	1.3/0.5
MC19, MC17	2/0.5	MC18, MC20	16/1

#### 5. Cascode Miller 补偿

仿真发现采用 Cascode Miller 补偿技术, 取补偿电容为 240fF 时, 相位裕量即可达到要求。

如果使用普通的 Miller 补偿, 就需要更大的补偿电容 (600fF 以上)。

### § 3.5. 仿真性能测试:

#### 1. 输入对静态电流:

对共模输入电压从 -0.5V 到 3V 进行扫描, 得到 PMOS 输入对和 NMOS 输入对的静态工作电流如下图。根据式 (4)  $g_{mT} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p}$ , 而此设计中  $\beta_p$  和  $\beta_n$  相差不大。可以看出输入级的总跨导大致是恒定的。

这里的静态工作电流指的是单个 PMOS 输入管或 NMOS 输入管的工作电流。因此图中所示电流的最大值约为上一节所设定的  $I_{nmax}$  的一半，即大概 20uA。

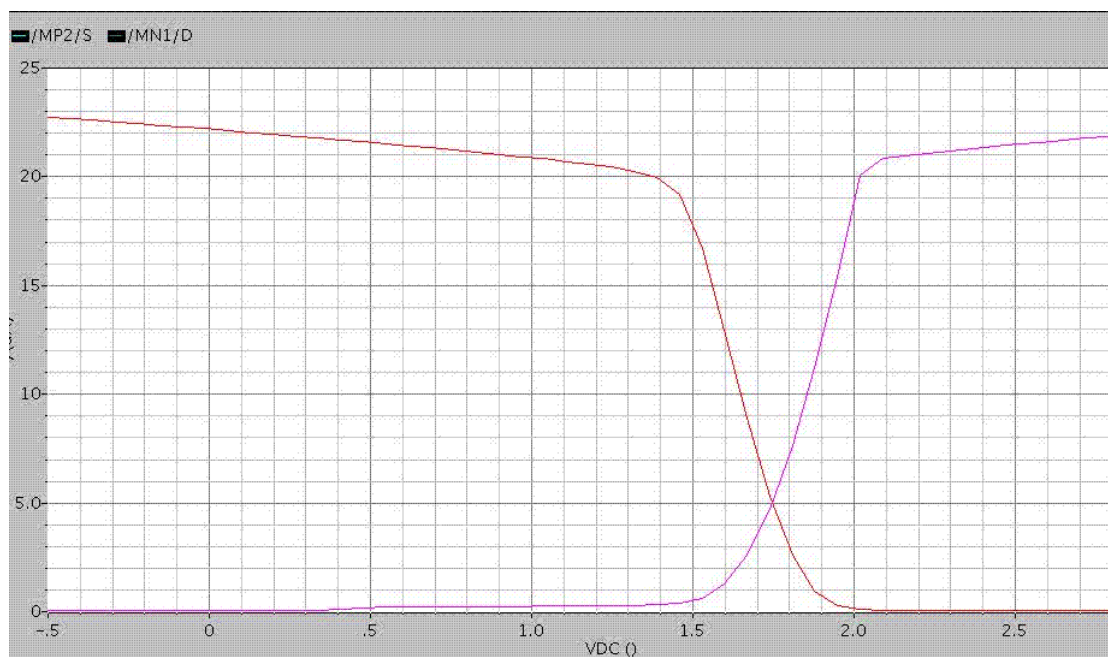


图 3.4 输入对静态电流

## 2. 运放开环增益:

当共模输入电压在 -0.1V 到 2.7V 之间时，运放的开环增益在 81dB 到 82dB 之间。如下图所示。

提高各个起放大作用的 MOS 管宽长比都可以提高增益。

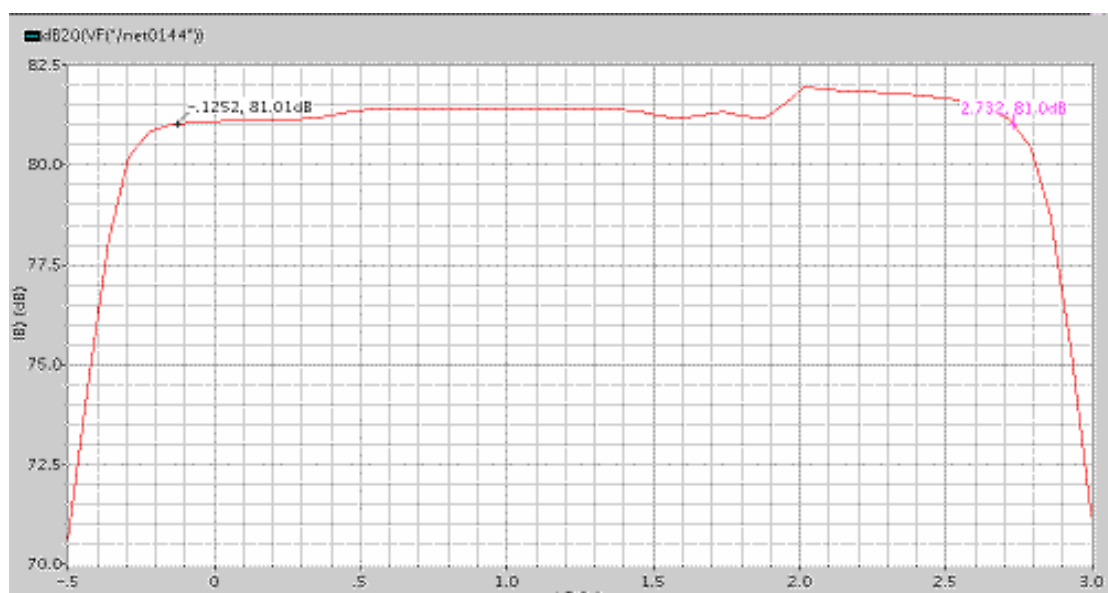


图 3.5 开环增益

## 3.: 幅频特性与相频特性:

没有进行相位补偿之前，运放的幅频特性与相频特性如下图所示。单位增

增益带宽为 47MHz，相位裕量近似为 0。

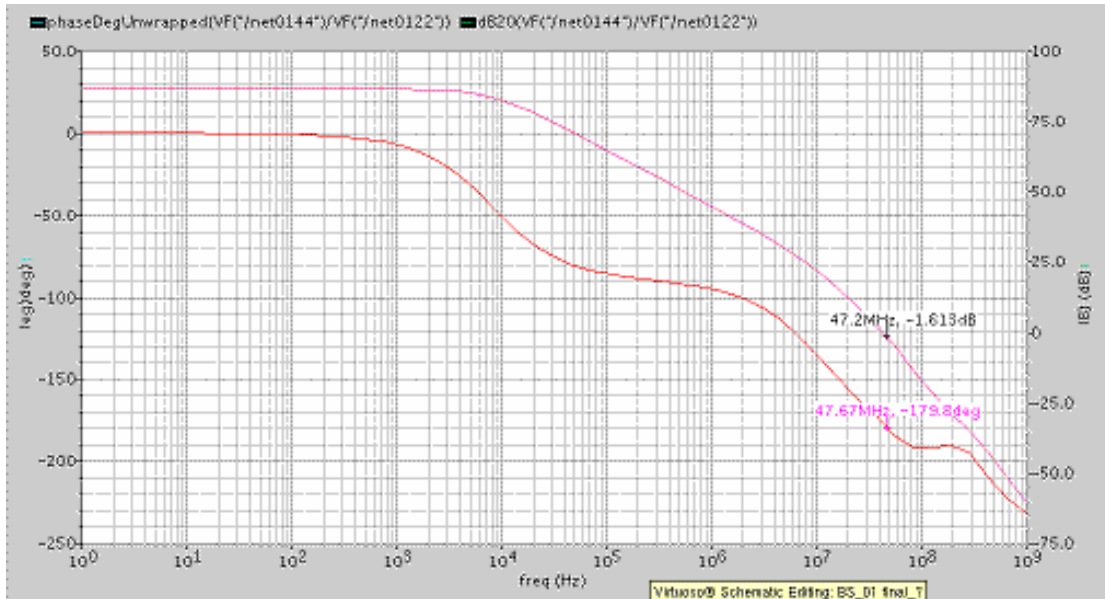


图 3.6 没有进行相位补偿的幅频特性与相频特性

在采用了 Cascode Miller 技术进行了相位补偿后，运放的幅频特性与相频特性如图 3.7 所示。单位增益带宽为 27MHz，相位裕量为 64 度。

如果要增大单位增益带宽，可以通过增大输入管的宽长比来增大输入管的跨导，使得第一极点后移。如果要增大相位裕量，可以增大补偿电容。

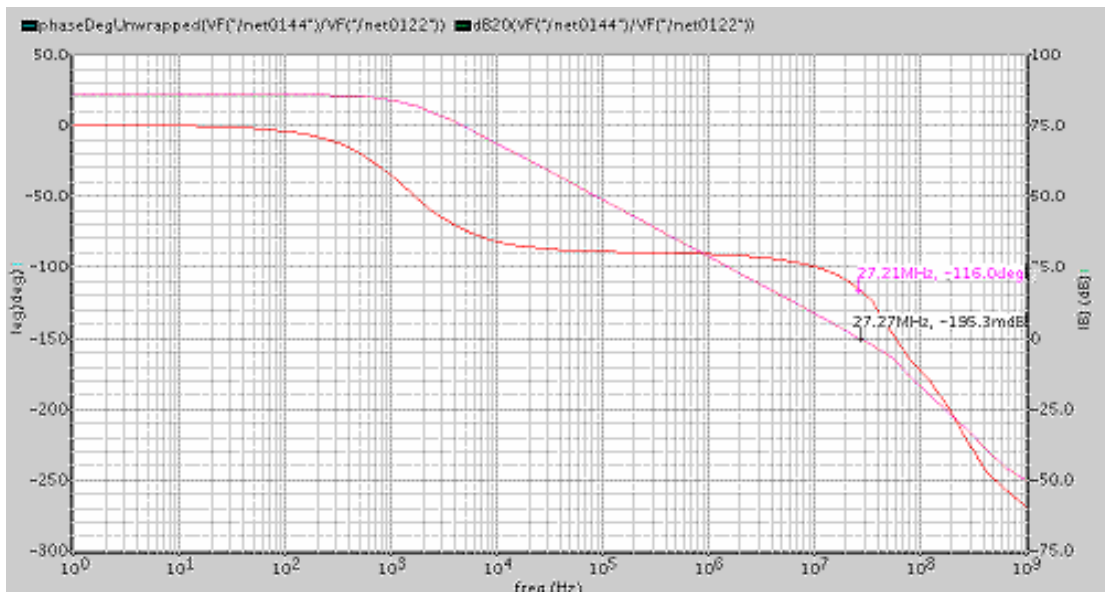


图 3.7 进行了相位补偿的幅频特性与相频特性

#### 4. 等效输入噪声：

工作在 100kHz 频率时，运放的等效输入噪声为  $294.9\text{nV}/\sqrt{\text{HZ}}$ 。如下图所示。

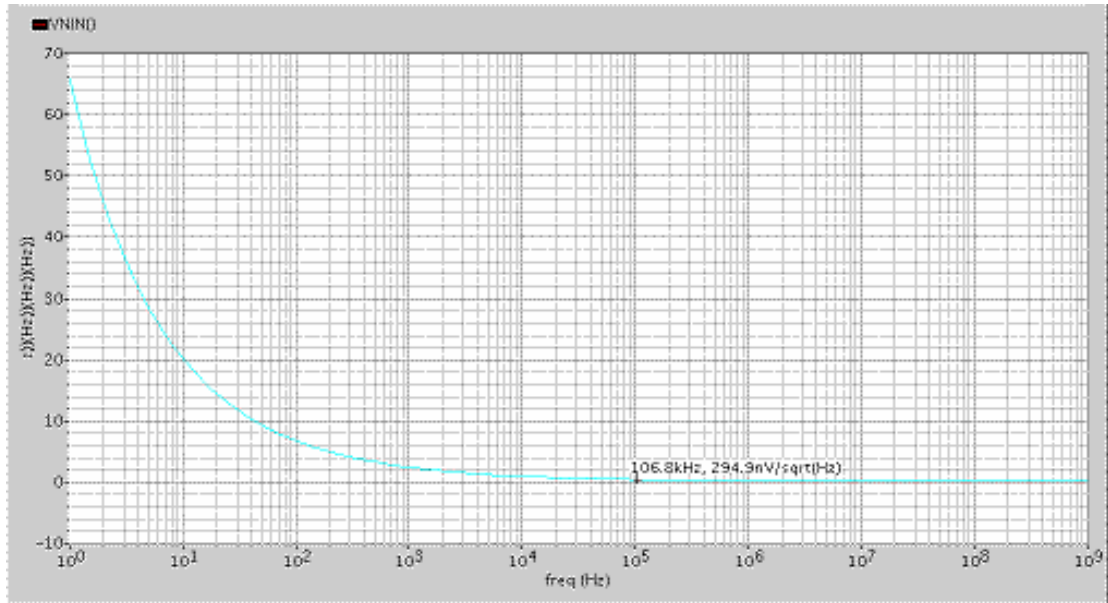


图 3.8 等效输入噪声

### 5. slewing rate

将运放接成负反馈的跟随器状态，在正相输入端加1V的脉冲激励信号。对输出端得到的信号进行分析，测量其上升和下降的速率，得到转换速率SR。如下图：

根据 3.9(a)图，得到： $SR_+ = 60V/us$ ；根据图 3.9(b)，得到  $SR_- = 70V/us$ 。  
如果要提高 SR，可以增大输出管的静态电流。

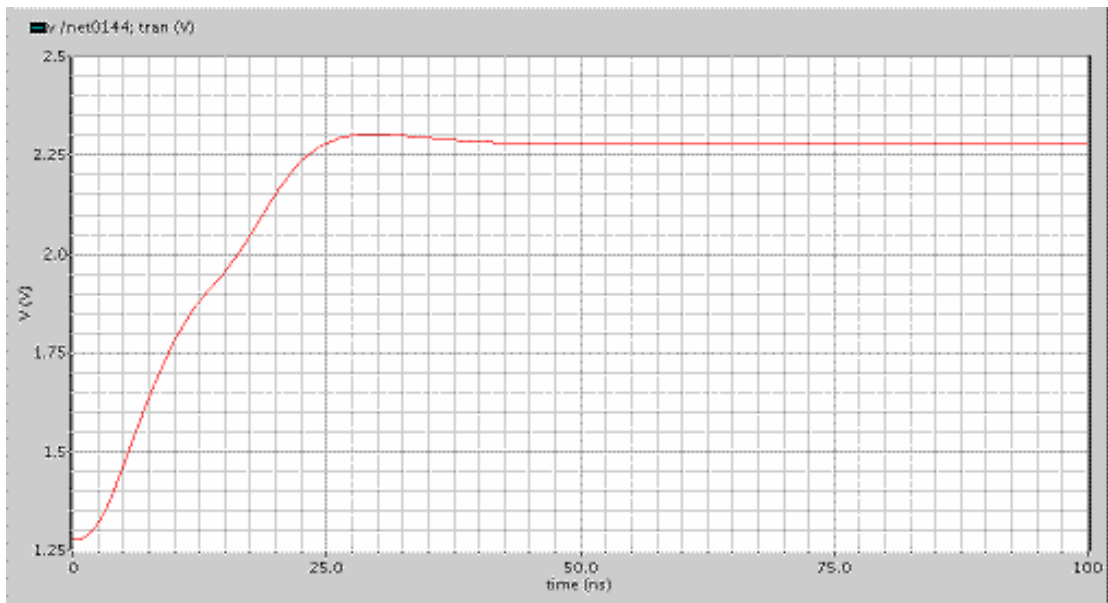


图 3.9(a) 上升 slewing rate

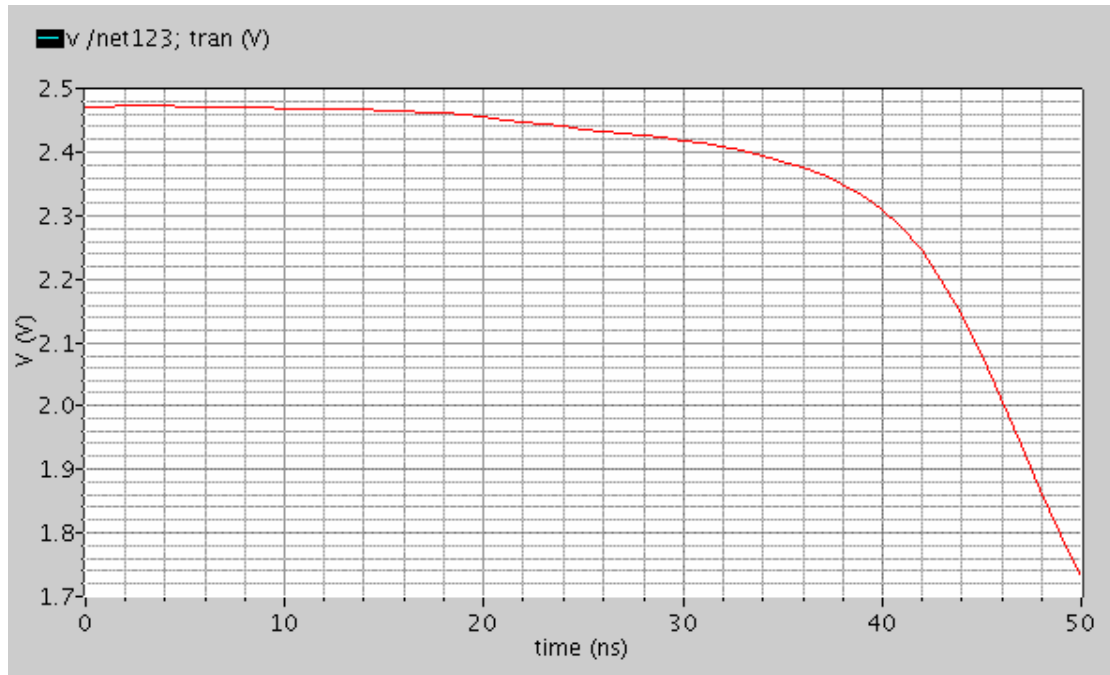


图 3.9(b) 下降 slewing rate

#### 6. 静态功耗

该运放为工作在 2.5V 单电源下，静态工作电流为 733uA。可得其静态功耗为 1.83mW。

#### 7. 设计目标和仿真的对照：

如下表所示：

性能参数	设计要求	仿真结果
开环增益	$\geq 80\text{dB}$	$81.5 \pm 0.5\text{dB}$
单位增益带宽	$\geq 20\text{MHZ}$	27MHZ
相位裕量	$\geq 60$ 度	64 度
转换速率	$\geq 30\text{V/us}$	60V/us, 70 V/us
静态功耗	$\leq 5 \text{ mW}$	1. 83mW
等效输入噪声	$\leq 300\text{nV}/\sqrt{\text{HZ}} @100\text{KHz}$	$294.9\text{nV}/\sqrt{\text{HZ}} @100\text{KHz}$

## 第四章 结论与分析

在前面两章中详细介绍了rail-to-rail运算放大器的结构原理和参数设计，并且给出了仿真结果。由于这一电路的结构比较复杂，所用的MOS管比较多，在一开始设计中并没有使用太多的公式进行计算。而是先对电路静态工作状态进行大致的估计，得出一些MOS管之间的基本关系用于设计参数；再根据仿真结果对设计的参数进行修正。这样做的缺点就是放大器的性能只能在某个仿真结果的基础上调节，对放大器的性能没有很好的控制。

当然最初估计出的参数和最终的设计结果还是有很大的差别的。在仿真中发现了很多设计上的问题。最初使用的沟道长度较小，导致电路的增益偏小；而且沟道长度较小时沟长调制效应很明显，导致放大电路的增益和工作状态都不稳定，偏置电路的电流镜复制电流时也不够精确。为了解决这些问题，最后将沟道长度定为 $1\mu\text{m}$ 。

最初的设计中各个节点电压的值也不够合理。开始的设计中并没有在设计参数前对各个节点电压进行具体设定，仿真时某些MOS管的过驱动电压只有几十毫伏。在其他电路工作状态随着共模输入电压发生微小的改变时，这样的MOS管工作状态变化很大，有的甚至进入了亚阈值区。注意到了这个问题之后，在设计参数之前就大致设定了各个节点的电压。

在整个设计过程中，能够对电路的大致状态进行估计是非常重要的，良好的估计能够保证设计出的每个MOS管工作在设计者所希望的区域。这不仅要求对电路结构非常熟悉，也要求对这一类的电路设计有一定的经验。