

目 录

前言	2
第一章 运算放大器简介	
§ 1.1 运算放大器概述	3
§ 1.2 几种不同结构的运算放大器	5
§ 1.3 研究 GPCAD 优化方法的理由	6
第二章 MOS 场效应管模型以及二级运放工作原理介绍	
§ 2.1 MOS 场效应管模型	6
§ 2.2 两级运放的性能参数与约束分析	8
第三章 设计和仿真结果	
§ 3.1 运放性能指标	19
§ 3.2 基本单元的设计和仿真结果	
§ 3.2.1 工艺参数近似值的测定	20
§ 3.2.2 二级运放的设计	26
§ 3.2.3 参数规格的手工验证	30
§ 3.2.4 spice 仿真结果	33
§ 3.3 运放性能指标的对比（手工 vs.Hspice 仿真）	37
第四章 运放的几何方法优化概论	
§ 4.1 GPCAD 介绍	38
§ 4.2 GP 模型介绍	39
第五章 设计讨论	
§ 5.1 二级运放的补偿问题	42
§ 5.2 设计中的不足与计划	45
结束语	46
参考文献	47
致谢	48
附录一	49
附录二	50

前 言

我的论文题目是《CMOS 运算放大器的设计和优化》。我们可以知道无论在数字还是模拟电路中，运算放大器运用之广泛是显而易见的。

信号中包含有某种类型的信息，例如声波是由说话的人发出的，它包含了一个人向另一个人传达的信息。我们身体的感觉，如听觉、视觉和触觉等都是模拟信号。模拟信号可以用温度、压力和风速之类的参数来代替。这里我们感兴趣的是电子信号，如来自 CD 的输出信号、来自麦克风的信号或者来自心律监视器的信号等。这些电子信号的形式是时变电流或者时变电压。

模拟信号的幅值是任意的，并且在时间上是连续的。处理模拟信号的电子电路成为模拟电路。线性放大器放大输入信号，输出一个比输入信号大常数倍的信号。

来自特定信源的时变信号在能被“利用”之前常常需要放大。例如图 0.1-1 是 CD 系统输出的信号源。信号从微小的时变电流和时变电压组成，信号的功率很小。驱动扬声器所需要的功率比 CD 的输出信号功率大很多，因此，CD 信号必须在驱动扬声器之前进行放大，以保证人能听到扬声器发出的声音。其他信号在驱动负载之前也必须进行放大，信号可以是麦克风的输出信号、地面站接收的来自人造卫星的声音信号、来自气象卫星的视频信号等。

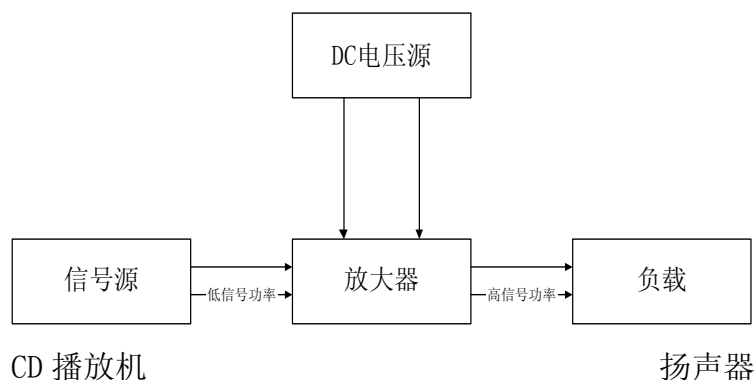


图 0.1-1 CD 系统框图

图 0.1-1 还有一个连接在放大器上的直流电压源。放大器中的晶体管必须处于线性放大区，这样晶体管才能起到放大的作用。我们希望输出信号与输入信号成线性关系，以保证扬声器（最大可能地）精确复制来自 CD 的信号。因此，

希望放大器是一个线性放大器。

综上所述，线性放大器处理的是模拟信号。模拟信号可以有任意幅值，并可以随时间连续变化。线性放大意味着输出电压与输入电压之比为常数，在一般情况下，该常数大于 1。

又例如，在设计一个宽带模拟子系统，该设计用于数字蜂窝电话的测试系统。它有一个数—模转换器及其后面的一个多级滤波器构成，多级滤波器包括有源滤波和无源滤波两部分。设计众多处均使用了运算放大器。

由于运放的应用如此广泛，在不同的场合需要不同的性能要求，所以研究运放的设计和优化是非常有意义的。而本论文讨论的是一种新型的优化方法，名为 GPCAD。

GPCAD 优化方法的思想是采用软件工具对模拟电路进行设计，把电路设计运用数学方法来解决其电路最优配置问题。在工艺不同的情况下，可以根据同样的方法实现，从而实现了“复用”设计。这对于实际设计将非常的有帮助。

第一章 运算放大器简介

§ 1.1 运算放大器概述

运算放大器是一个能将两个输入电压之差放大并输出的集成电路。运算放大器是模拟电子技术中最常见的电路，在某种程度上，可以把它看成一个类似于 BJT 或 FET 的电子器件。

运算放大器这一术语出现在 20 世纪 60 年代。运算放大器与电阻、电容构成的电路用在模拟计算机中，用来执行数学运算，求解微分方程和积分方程。到目前为止，运方已经得到了广泛的应用。

目前我们仍然在讨论运算放大器的应用，主要原因在于可以用简单的晶体管电路展现运放的理想特性，而不仅仅声明对参数的理想化假设。因为造价低廉，集成运算放大器的性能接近理想情况，所以它广泛应用于电子电路和电子系统的设计。

一、主要参数

开环增益、单位增益带宽、相位裕度、输入阻抗、输入偏流、失调电压、漂移、噪声、输入共模与差模范围、输出驱动能力、建立时间与压摆率、CMRR、PSRR

以及功耗等。

二、CMOS 运放的主要优点有：

- 1 输入阻抗高达 10^{12} 欧姆以上，输入偏流极小，约 1pA；
- 2 高增益；
- 3 功耗低，集成度高；
- 4 与 CMOS 数字电路兼容，成为 VLSI 的基本单元电路。

三、CMOS 运放的一般结构框图（如图 1.1-1 所示）

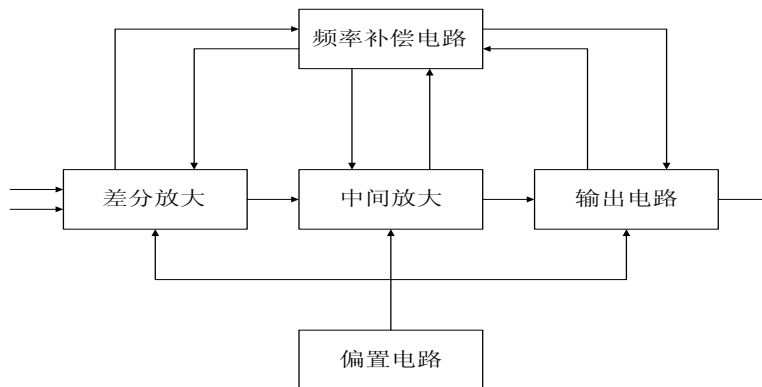


图 1.1-1 运放的一般结构框图

四、当前 CMOS 运放发展的新趋势

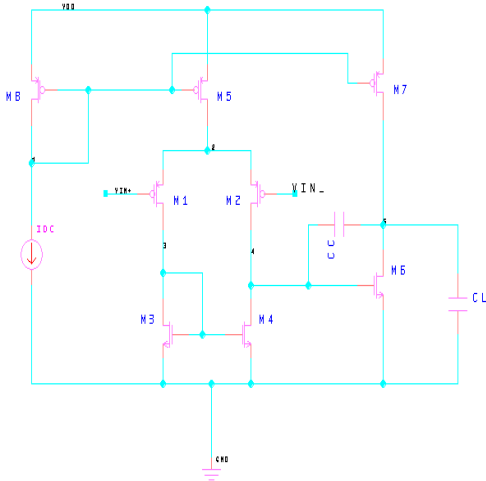
在许多实际应用中，由于场合的不同，常常要求运放具有高速、高电源抑制比、低功耗或低失调等一个或几个性能要求，这就要求集成电路设计人员在工艺技术、电路设计方面作不懈的努力，以使运放具有所需要的最优性能。

例如，近年来，MOS 大规模集成电路中既有模拟电路又有数字电路，即模拟电路与数字电路做在同一芯片上，这样数字电路的脉冲信号往往通过电源对模拟电路（如运放电路）产生干扰，此干扰信号使得运放在没有信号输入的情况下产生一个输出信号，从而影响了运放电路的正常工作。在单片机运放电路中，通过采用退耦或与数字电路的电源分开等方法，可以消除这种电源干扰。但在 MOS 大规模集成电路中，这种干扰往往是客观存在的，难以消除，因此，在 MOS 大规模集成电路中，设计高电源抑制比的运放显得十分必要。

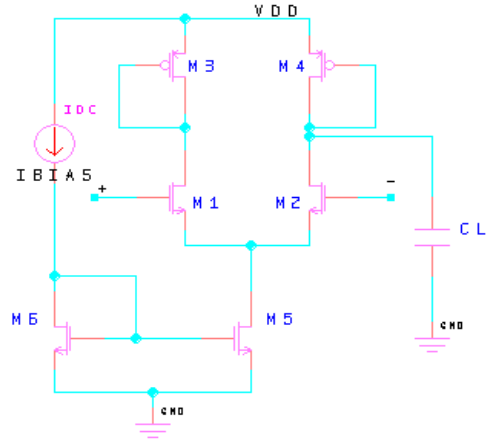
§ 1.2 运算放大器的几种基本结构

在本论题中可以使用 GPCAD 优化方法对于 CMOS 运算放大器的六种基本机构均进行优化。所以这一节将介绍不同类型的实用 CMOS 运放电路的六种基本结构。

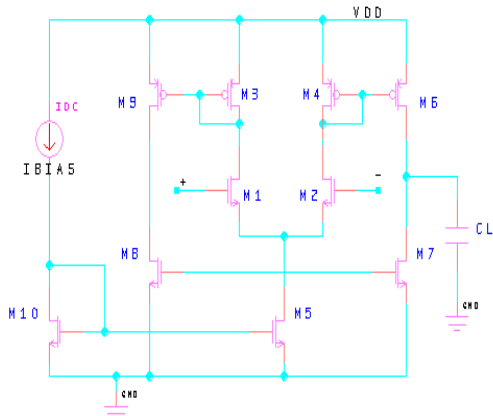
• 二级运放 (two-stage op-amp)



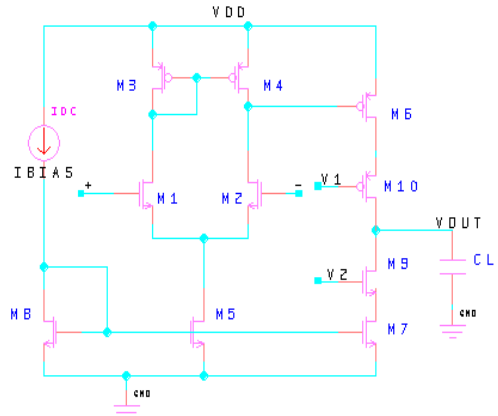
• 简单传导放大器 (simple OTA op-amp)



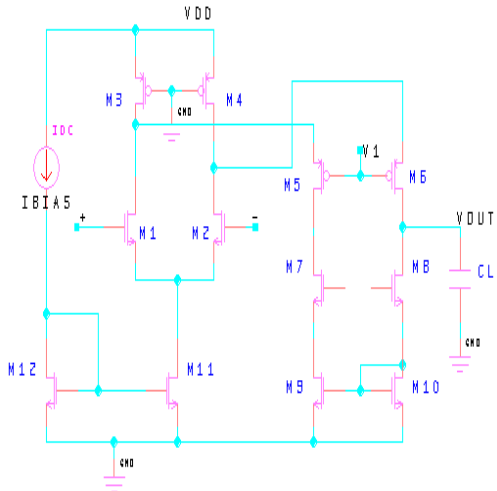
• 传导放大器 (OTA op-amp)



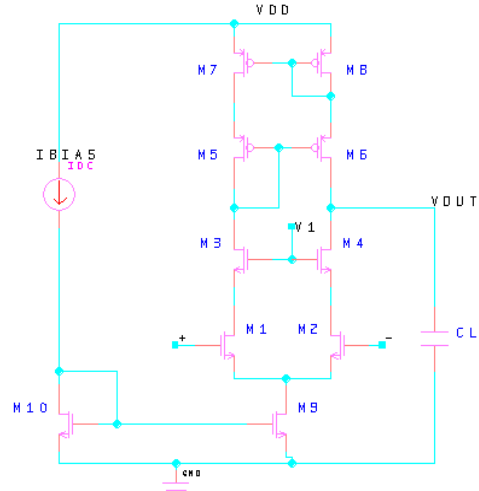
• 串级放大器 (two-stage cascaded op-amp)



• 折叠串级放大器 (Folder-cascode op-amp)



• 伸缩放大器 (Telescopic op-amp)



§ 1.3 研究 GPCAD 优化方法的理由

近年来，MOS 大规模集成电路中既有模拟电路又有数字电路，即模拟电路与数字电路做在同一芯片上。随着混合信号集成电路需求的增长，CMOS 模拟电路的设计（例如运算放大器）变得越为重要。很多设计者提出在混合集成电路设计中，模拟电路的设计花去了大部分设计时间。从而要求我们能够找到一种更好的设计优化方法。

运算放大器的主要性能参数包括：开环增益、单位增益带宽、失调电压、噪声、输入共模与差模范围、建立时间与压摆率、CMRR 以及功耗等。可以看到运算放大器的很多性能参数由设计参量来决定，例如，晶体管的几何尺寸、偏置电流以及其他的器件参数。我们可以观察到大多数的设计性能参数和约束条件都有一个特殊的组成，即他们可以由设计变量的单项或多项式表示。从而可以使用一种新的优化方法来进行有效的全局优化设计，直接从性能指标中自动得到各设计变量的值，这种方法称为 GPCAD(geometric programming)。

本设计中，我们将讨论一下采用这种几何优化方法来确定 CMOS 运算放大器设计中的晶体管几何尺寸以及元器件的参数。这种优化方法可以兼顾大量的性能指标要求和约束条件得到一个最好的全局优化的设计，同时有效的大大缩短了设计时间。所以，研究 GPCAD 方法是有很大的实际意义。

第二章 MOS 场效应管模型以及二级运放工作原理介绍

本章将介绍二级运放的工作原理，从原理分析性能。由于不同的设计优化工具使用的模型有所区别。因此将在本章中简单介绍 CMOS 运放电路的一般设计方法中使用的一级模型。

§ 2.1 MOS 场效应管模型

在分析和设计 MOS 大规模集成电路中，计算机辅助电路模拟已经成为电路设计的基本方法，电路模拟中所用的 MOS 场效应管模型以及所取模型参数的精度，

对计算机辅助设计和分析电路的结果都有很大的影响,它关系到设计值与实际值是否一致,因此,对于 MOS 场效应管模型的研究正在广泛地开展并且逐步地深入,电路模拟中所用的场效应管模型也在不断地修正。

SPICE 是电路模拟中应用最广泛的一种计算机电路分析程序,它提供了三种 MOSFET 管模型, MOS1 是由平方律 $I_{DS} - V_{DS}$ 特性描述地 Shichman-Hodges (9) 模型。在此仅介绍 MOS1 模型,因为这种模型比较简单,具有一定的精度,因此在 MOS 集成电路的设计中被广泛采用。

而在本论文中,使用 GPCAD 方法进行优化,于是将使用 GP1 模型,主要包括如下性能定义:

- 过驱动电压,即 $V_{gs} - V_t$ (Voverride),为关于晶体管的宽长比以及晶体管漏级电流 I_d 的单项式。

以公式表示,为
$$I_d = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_t)^2。$$

- 晶体管跨导 g_m 为关于晶体管的宽长比以及晶体管漏级电流 I_d 的单项式。

以公式表示,为
$$g_m = \sqrt{2 \mu C_{ox} \frac{W}{L} I_d}$$

- 输出导纳 $g_o = \alpha g_{o,m}$ 。其中 $g_{o,m}$ 为关于晶体管的宽长比以及晶体管漏级电流 I_d 的单项式。 α 为常数,即沟道调制因子。以公式表示,为 $g_{o,m} = \frac{1}{I_d}$ 。 α 通常有两个典型值,实际取值须根据晶体管工作的漏源电压 V_{ds} 的大小决定。

- 晶体管的分布电容为关于晶体管的宽长比以及晶体管漏级电流 I_d 的多项式。

由上面的性能定义,可以知道: GP1 模型和传统长沟道 MOS 晶体管模型——HSPICE 中的 LEVEL1 模型致。通过简单的曲线拟合技术,发现 GP1 模型和 HSPICE 中使用的较高的模型 (BSIM1 模型) 仍然可以比较吻合,误差不至于过大。

但是当器件发展到了亚微米阶段,在本优化方法中将使用具有更为准确的经验模型参数值组成的 GP2 模型。

§ 2.2 两级运放的性能参数与约束分析[4]

这一节将根据二级运放的结构，分析各性能参数以及约束条件。其目的主要在于为下面的设计服务，CMOS 运放电路的一般设计方法便是根据以下条件来确定的。

设 $\beta = \mu C_{ox} \left(\frac{W}{L} \right)$ ，单管的跨导为 $g_m = \sqrt{2\beta I_d}$ ，此 I_d 为该单管的漏端电流。

一、几何规则的约束

1、对称及匹配性：

$$\begin{array}{lll} W_1 = W_2 & W_3 = W_4 & L_5 = L_7 = L_8 \\ L_1 = L_2 & L_3 = L_4 & \end{array}$$

2、器件尺寸的约束：（共存在 32 个约束条件）

光刻工艺最小尺寸的限制及版图规则的约束为 MOS 管的尺寸定下了最大/最小原则

$$L_{\min} \leq L_i \leq L_{\max}$$

$$W_{\min} \leq W_i \leq W_{\max}$$

3、面积：

$$A = \alpha_0 + \alpha_1 C_c + \alpha_2 \sum_{i=1}^8 W L_i$$

4、失调电压 V_{os}

V_{os} 由两部分组成：一是输入差分对管 M1、M2 本身的失调；

二是有源负载 M3、M4 失配的影响。

1) 差分对管：

差分对管的 V_{os} 定义为：当 M1、M2 的 $I_{d1} = I_{d2}$ 时，由于 M1、M2 参数不相等（主要是由于 V_T 、 β 不相等）是引起的 V_{os} 电压差值。

$$I_{d1} = \frac{\beta_1}{2} (|V_{gs1}| - |V_{r1}|)^2$$

$$I_{d2} = \frac{\beta_2}{2} (|V_{gs2}| - |V_{r2}|)^2$$

$$\therefore I_{d1} = I_{d2} = \frac{I_{bias}}{2}$$

假设 $\beta_1 = \beta, \beta_2 = \beta + \Delta\beta$

$$V_{r1} = V_r, V_{r2} = V_r - \Delta V_r$$

$$(1+x)^{\frac{1}{2}} = \frac{1}{2}x + 1$$

$$x \ll 1$$

$$\therefore V_{os} = \Delta V_r = |V_{r1}| - |V_{r2}| = \Delta V_r + \sqrt{\frac{I_{bias}}{4\beta}} \cdot \frac{\Delta\beta}{\beta}$$

$$\therefore V_{os} = \Delta V_r + \frac{I_{bias}}{2g_m} \left(\left| \frac{\Delta W}{W} \right| + \left| \frac{\Delta L}{L} \right| \right)$$

由这里我们可以看到，要想降低失调电压，可以增大 W、L，同时提高光刻精度，以减小 $\frac{\Delta W}{W}$ 和 $\frac{\Delta L}{L}$ 误差。

$$\therefore V_{os1} = \Delta V_{r1} + \sqrt{\frac{I_{bias}}{4\beta_1}} \cdot \frac{\Delta\beta_1}{\beta_1}$$

$$V_{os1} = \Delta V_{r1} + \frac{I_{bias}}{2g_{m1}} \cdot \frac{\Delta\beta_1}{\beta_1}$$

- 2) V_{os} 由 M3、M4 对管的失配引起，由于 M3、M4 对管本身的失配电压引起它们的电流失配，即 $I_{d3} \neq I_{d4}$ ，从而电流误差使得 M1、M2 对管产生同样的电流误差，其失调电压在输入端产生的附加电压就是 V_{os} 。

$$\therefore V_{os2} = \Delta V_{gm3} \cdot \left(\frac{g_{m3}}{g_{m1}} \right) \quad (\text{折合到输入端})$$

$$\text{而 } V_{gs3} = \Delta V_{T3} + \frac{I_0}{2g_{m3}} \cdot \frac{\Delta\beta_3}{\beta_3}$$

$$\therefore V_{OS} = \frac{g_{m3}}{g_{m1}} \cdot \Delta V_{T3} + \frac{I_0}{2g_{m1}} \cdot \frac{\Delta\beta_3}{\beta_3}$$

由以上分析我们可以得知整个电路输入级的失调电压为：

$$V_{OS} = V_{OS1} + V_{OS2}$$

$$\begin{aligned}
&= \Delta V_{T1} + \frac{gm3}{g_{m1}} \Delta V_{T3} + \frac{I_0}{2g_{m1}} \left(\frac{\Delta\beta_1}{\beta_1} + \frac{\Delta\beta_3}{\beta_3} \right) \\
&= \Delta V_{T1} + \frac{gm3}{g_{m1}} \Delta V_{T3} + \frac{I_0}{2g_{m1}} \left(\left| \frac{\Delta W_1}{W_1} \right| + \left| \frac{\Delta L_1}{L_1} \right| + \left| \frac{\Delta W_3}{W_3} \right| + \left| \frac{\Delta L_3}{L_3} \right| \right)
\end{aligned}$$

∴ 为了减小 V_{OS} 可以采用以下方法：

- 1) 减小 ΔV_{T1} 、 ΔV_{T3} ，增大 $W1$ 、 $L1$ 、 $W3$ 、 $L3$ ；
- 2) 减小 $\frac{gm3}{g_{m1}}$ ，也就是说在设计中应该适当减小 $M3$ 、 $M4$ 的宽长比，增大 $M1$ 、 $M2$ 管的沟道宽长比。
- 3) $M3$ 、 $M4$ 的漏源电流应该相等，也就是说 $M3$ 管必须和 $M4$ 管完全一致，从而保证 $M3$ 管和 $M4$ 管平分电流 I_5 。

$$\therefore \frac{W3/L3}{W6/L6} = \frac{W4/L4}{W6/L6} = \frac{1}{2} \frac{W5/L5}{W7/L7}$$

二、直流偏置、功率限制以及信号漂移的限制：

1、偏置电路中的偏置电流应根据电流镜原理得到：

$$\begin{aligned}
I_5 &= \frac{W_5/L_5}{W_8/L_8} I_{bias} \\
I_7 &= \frac{W_7/L_7}{W_8/L_8} I_{bias} \\
I_1 = I_2 = I_3 = I_4 &= \frac{I_5}{2} = \frac{W_5/L_5}{2W_8/L_8} I_{bias}
\end{aligned}$$

2、直流偏置条件：必须保证 $M1 \sim M8$ 共八个 MOS 管都处于饱和和工作状态。

假设 V_{CM} 为共模输入电压，则可以假设它满足： $V_{CM,min} \leq V_{CM} \leq V_{CM,max}$

同样，对于输出电压也有以下不等式存在： $V_{out,min} \leq V_{out} \leq V_{out,max}$

那么分别分析 $M1 \sim M8$ 管得：

1) 对 $M1$ 、 $M2$ 管有：

当 $V_{in} = V_{CM,min}$ 时， $M1$ 管也必须工作在饱和区（我们知道，对一个 MOS 管，

它处于饱和和工作区的电压条件是：

$$|V_{ds}| \geq |V_{gs}| - |V_T|$$

从而可以推出以下不等式条件：

$$\sqrt{\frac{2I_1L_3}{\mu_n C_{ox} W_3}} \leq V_{CM,\min} - V_{Tn} - V_{Tp} - V_{SS}$$

2) 对 M3、M4 管，因为 M3 的 G、D 端互连，保证了 M3 管永远工作在饱和区中。而 M4 管和 M3 管完全对称，而且电流相等，从而也就保证了 M4 管工作在饱和区中。

3) 对 M5 管：

分析可知，若 V_{d5} 太大，则 V_{sd5} 减小，则 M5 管将落入线性工作区。因此必须保证当 $V_{in} = V_{CM,\max}$ 时，M5 管仍工作在饱和区。

分析得：

$$\sqrt{\frac{2I_1L_1}{\mu_p C_{ox} W_1}} + \sqrt{\frac{2I_5L_5}{\mu_p C_{ox} W_5}} \leq V_{DD} + V_{Tp} - V_{CM,\max}$$

在上面的不等式中显而易见，不等式的右边必须大于等于零，即

$$V_{DD} + V_{Tp} \geq V_{CM,\max}$$

4) 对于 M6 管

当 $V_{out} = V_{out,\min}$ 时，必须保证 M6 管工作在饱和区。从而得到以下不等式：

$$\sqrt{\frac{2I_7L_6}{\mu_n C_{ox} W_6}} \leq V_{out,\min} - V_{SS}$$

5) 对于 M7 管

当 $V_{out} = V_{out,\max}$ 时，M7 管必须处于饱和区。则可得：

$$\sqrt{\frac{2I_7L_7}{\mu_p C_{ox} W_7}} \leq V_{DD} - V_{out,\max}$$

6) 对 M8 管，因为 $V_{sg8} = V_{sd8}$ ，所以 M8 管将无条件满足饱和工作条件。

3、门驱动电压：

在放大器正常工作情况下，必须保证每个管子在工作时远离亚阈值区，同时也可以提高晶体管的匹配度，从而对每一个管子有如下条件限制：

$$V_{gs} - V_T = \sqrt{\frac{2I_dL}{\mu C_{ox} W}} \geq V_{overdrive,\min}$$

在进行电路设计的时候，通常可以假设 $V_{overdrive, min}$ 为某个值。(典型值为 200mV)

4、静态功耗

整个二级运放的静态功耗可以表示为：

$$P_S = (V_{DD} - V_{SS})(I_{bias} + I_5 + I_7)$$

一般情况下，可以利用 $P_S \leq P_{S, max}$ 的要求对运放进行性能优化，从而获得最小的静态功耗。

三、小信号传输函数约束：

二级运放小信号等效电路如图 2. 2-1 所示：

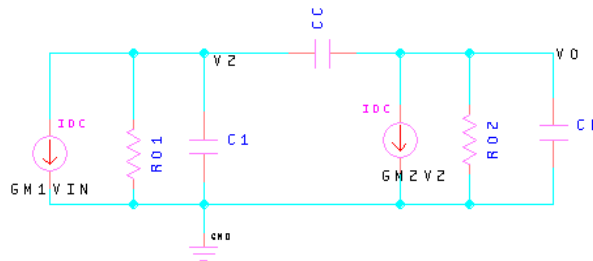


图 2. 2-1 二级 CMOS 运放交流等效电路

对于开环增益 A_V ，经分析可以得知

$$\begin{aligned} A_V &= \left(\frac{g_{m2}}{g_{o2} + g_{o4}} \right) \cdot \left(\frac{g_{m6}}{g_{o6} + g_{o7}} \right) \\ &= \frac{2C_{ox}}{(\lambda_n + \lambda_p)^2} \sqrt{\mu_n \mu_p \frac{W_2 W_6}{L_2 L_6 I_1 I_7}} \end{aligned}$$

四、频率特性与相位补偿技术：

二级运放交流等效电路如图 2. 2-1 所示。

根据节点电流得到：

$$\begin{cases} g_{m1} V_{in} + \frac{V_2}{R_{01}} + V_2 C_1 S + (V_2 - V_0) C_C S = 0 \\ g_{m6} V_2 + \frac{V_0}{R_{02}} + V_0 C_L S + (V_0 - V_2) C_C S = 0 \end{cases}$$

其中： $R_{01} = r_{o2} \parallel r_{o4}$, $R_{02} = r_{o6} \parallel r_{o7}$

可以推出 $\frac{V_0}{V_{in}} = \frac{A_{V0}(1 - \frac{C_C S}{g_{m6}})}{1 + bS + cS^2}$, 其中
$$\begin{cases} A_{V0} = g_{m1}g_{m6}R_{01}R_{02} \\ b = [(C_L + C_C)R_{02} + (C_1 + C_C)R_{01} + g_{m6}R_1R_2C_C] \\ c = R_{01}R_{02}(C_1C_L + C_C C_L + C_C C_1) \end{cases}$$

从而可以得到两个主要极点和一个零点：

① 低频极点，即主极点：
$$p_1 = \frac{1}{(1 + g_{m6}R_{02})C_C R_{01}}$$

② 高频极点：
$$p_2 = \frac{g_{m6}C_C}{C_L C_1 + C_L C_C + C_C C_1}$$

③ 零点：
$$z = \frac{g_{m6}}{C_C}$$

由以上分析我们可以看到， C_C 为极点分割电容，要使放大器稳定工作，最好使 $p_2 > GB, z > p_2$ 。

加了补偿电容 C_C 之后，使 p_1, p_2 拉开，但同时也产生了零点，而且零点再 S 平面的右半平面上，因而此零点产生的相移是滞后的，它与极点 p_1, p_2 所产生的滞后相移叠加，产生了较大的附加相移。

但是，若 $z \gg GB$ ，则 z 可以忽略，不影响电路的稳定性。若 $z < GB$ ，则产生的这个零点将会使运放工作不稳定。

在 MOS 运算放大器中，为了降低噪声，通常使 g_{m1} 较大。但是从提高总电压增益的角度考虑，应该设计使得第一级工作电流和第二级工作电流是较为接近的，也就是说，两级的跨导 g_m 和增益都很接近。

由于 MOS 管的 g_m 较低，且 C_C 产生的 z 不能忽略，当工作频率升高的时候，有可能使得运放的附加相移在未到达 -180° 时，已经使负反馈变成了正反馈。

在低频时，电容 C_C 与放大器构成了积分电路，但是在高频时， C_C 可以看成短路，则第二级的放大管可以看成 D、G 相接的二极管，则 $R_{in2} \approx \frac{1}{g_{m6}}$ 成为了第一

级的负载。此时， $A_V = -g_{m2}/g_{m6}$ ，而且相位与低频时相反。

又 $\because g_{m2} \approx g_{m6}$, \therefore 高频时 $A_v \approx 1$ 。 \therefore 若 MOS 管二级运放只采用简单的频率补偿电容 C_C 时, 其闭环工作状态有时是不稳定的。

要使得运放的工作状态稳定, 则幅频相频特性曲线应如图 2.2-2 所示:

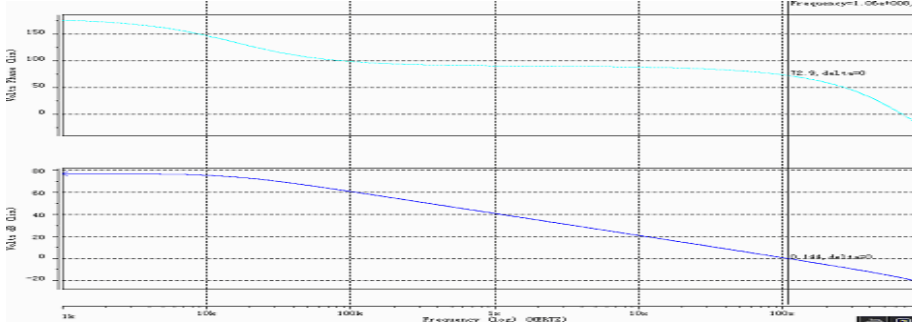


图 2.2-2 稳定工作的运放幅频相频特性曲线

由图上所示, $p_2 > GB, z > GB$ 。当 $\omega > \omega_1(p_1)$ 时, A_v 以 -20/十倍频程下降。

可以得到: $\omega_1 \cdot A_v = GB \cdot 1$

$$\begin{aligned} \therefore GB &= A_{v1} \cdot |p_1| \\ &= g_{m2} g_{m6} R_{01} R_{02} \frac{1}{g_{m6} R_{01} R_{02} C_C} \\ &= \frac{g_{m2}}{C_C} \end{aligned}$$

又因为 C_1 是内部分布电容, 所以有 $C_1 \ll C_C, C_1 \ll C_L$

$$\therefore p_2 = -\frac{g_{m6} C_C}{C_L C_1 + C_L C_C + C_C C_1} \approx -\frac{g_{m6}}{C_L}$$

因此得到以下结论: $\left| \frac{p_2}{GB} \right| = \frac{g_{m6} C_C}{g_{m2} C_L} \gg 1$

$$\left| \frac{z}{GB} \right| = \frac{g_{m6}}{g_{m2}} \gg 1$$

从而 MOS 运放实现单极点响应, 即 0 分贝以上只出现一个主极点

$p_2, \therefore p_2 \gg GB, z \gg GB$

$$\therefore \frac{g_{m6}}{g_{m2}} \gg \frac{C_L}{C_C}, \frac{g_{m6}}{g_{m2}} \gg 1$$

根据这两个式子可以知道：

① $\frac{g_{m6}}{g_{m2}}$ 越大，MOS 运放的稳定性就越好；

② C_C 与 C_L 有关， C_L 增大，则 C_C 也相应加大。

但是 $\because gm$ 正比于 $\sqrt{I_d}$ ， \therefore 要使 $g_{m6} \gg g_{m2}$ 很难实现。

1、幅频关系：

对只存在极点的情况下，H 函数可以表示为：

$$|H(j\omega)|^2 = \frac{A_v^2}{\prod_{i=1}^4 (1 + \omega_0^2 / p_i^2)}$$

由上式可以直接看到，当 $\omega > \omega_0$ 时， $|H(j\omega)| \geq a$ 成立。

(1) 3-dB 带宽：

$$\text{定义： } |H(j\omega_{3dB})| = A_v / \sqrt{2} = 0.707 A_v$$

可以设定，若 $\omega_{3dB} \geq \omega_{3dB, \min}$ ，则 $|H(j\omega_{3dB, \min})| \geq A_v / \sqrt{2}$ ，

$$\text{即 } \left(\frac{A_v}{H(j\omega_{3dB, \min})} \right)^2 \leq 2$$

$\because \omega_{3dB} = p_1 = \frac{g_{m1}}{A_v C_C}$ 故而可以约束 $H(j\omega_{3dB})$ 为某个确定值或者大于等于某个最小值。

(2) 主极点限制：

$$\text{要求 } p_1 \text{ 远远小于 } p_2、p_3、p_4，\text{ 则 } \frac{p_1}{p_2} \leq 0.1，\frac{p_1}{p_3} \leq 0.1，\frac{p_1}{p_4} \leq 0.1。$$

(3) 相位裕度 PM 和单位增益带宽 GB：

这两个参数与闭环增益及处于单位增益反馈的放大器稳定性有关。

定义一：当 $H(j\omega_3) = 1$ ，则 $\omega_c = GB$ 。

$$\text{定义二：相位裕度 } PM = \pi - \angle H(j\omega_c) = \pi - \sum_{i=1}^4 \arctan\left(\frac{\omega_c}{p_i}\right)$$

(通常要求： $PM \geq 30^\circ \sim 60^\circ$)

$$\because p_1 = \frac{g_{m1}}{A_v C_C}, \quad \therefore \arctan\left(\frac{\omega_C}{p_1}\right) = \arctan A_v$$

$$\text{又} \because A_v \sim \infty, \quad \therefore \arctan A_v \rightarrow \frac{\pi}{2}$$

$$\therefore \text{对 PM 有, } \sum_{i=2}^4 \arctan\left(\frac{\omega_C}{p_i}\right) \leq \frac{\pi}{2} - PM_{\min}$$

由以上讨论可以得到以下约束条件:

$$\textcircled{1} \quad \because \frac{p_1}{p_2} \leq 0.1, \therefore \frac{g_{m6}}{C_C} \geq 10\left(\frac{g_{m2}}{C_C}\right) \quad \text{可以推出: } g_{m6} > 10g_{m2}$$

$$\textcircled{2} \quad \text{要使得 } PM > 45^\circ, \text{ 则 } p_2 > 1.22GB$$

$$\textcircled{3} \quad \text{要使得 } PM > 60^\circ, \text{ 则 } p_2 > 2.2GB, \text{ 即 } \frac{g_{m6}}{C_L} > 2.2\left(\frac{g_{m2}}{C_C}\right)$$

综合以上条件, 得到: 要求 $PM > 60^\circ$, 则 $C_C > 0.22C_L$ 。

五、其他约束条件:

1、转换速率 S_R

通常要求: $S_R \geq S_{R,\min}$

实际上运放处理的信号通常是阶跃信号, 且运放的相应不能够单纯用频率来描述, 而用 S_R 和建立时间 T_{set} 来表示, 这两个参数是运放瞬态相应的两个重要参数。

S_R 和 T_{set} 是在运放的闭环增益为 1 并且接成跟随器形式的条件下测得的。

定义: 1) 转换速率 S_R : 当运放的闭环增益为 1, 阶跃大信号 (但是其幅值必须小于 $V_{CM,\min}$) 输入时输出信号 $V_O(t)$ 的最大变化速率 (单位为: $V/\mu s$)

$$\therefore S_R = \left. \frac{dV_O(t)}{dt} \right|_{\max}$$

2) 建立时间 T_{set} : 当运放的闭环增益为 1, 阶跃大信号输入时刻到输出幅度达到确定的精度范围所需要的时间。从此定义中可以知道, 精度越高, T_{set} 就越长。

当大的阶跃信号输入时，运放的输出电压来不及变化，负反馈信号为 0。所以输入信号全部加在运放的输入级，因此差分放大级处于限幅状态（即进入了非线性状态）。这时电路输出信号的变化与输入信号无关，决定于运放电路中的 C_C 的充电电流，即决定于 S_R 。随着输出幅度的增大，使输入到输入级的幅度逐渐减小。当减小到运放输入级限幅电平时，运放进入线性状态。

$$\text{取最小转换速率得 } S_{R,\min} = \min \left\{ 2 \frac{I_1}{C_C}, \frac{I_7}{C_C + C_{TL}} \right\}$$

$$\text{因此必须满足: } \frac{C_C}{2I_1} \leq \frac{1}{S_{R,\min}}, \quad \frac{C_C + C_{TL}}{I_7} \leq \frac{1}{S_{R,\min}}$$

2、共模抑制比 CMRR

$$\because A_{vd} = g_{m2}g_{m6}R_{01}R_{02}$$

$$A_{vc} = \frac{g_{m2}g_{m6}R_{01}R_{02}}{1 + g_{m2}g_{m3}R_{01}r_{05}}$$

$$\begin{aligned} \text{根据 CMRR 的定义可以得到: } CMRR &= 1 + g_{m1}g_{m3}R_{01}r_{05} \approx \frac{g_{m1}g_{m3}}{(g_{01} + g_{03})g_{05}} \\ &= \frac{C_{ox}}{(\lambda_n + \lambda_p)\lambda_p} \sqrt{\mu_n\mu_p \frac{W_1W_3}{L_1L_3I_5^2}} \end{aligned}$$

3、电源抑制比 PSRR:

定义：电源电压变化所对应的输出电压变化着算到输入端的值之比，即

$$PSRR = \frac{1}{\frac{\partial V_o}{\partial V_s} \cdot \frac{1}{A_v}} = \frac{A_v}{\partial V_o / \partial V_s}$$

低频时，PSRR=A_v。

4、噪音性能

一般要求 $S_{in}(f)^2 \leq S_{\max}^2$ 。

MOS 运放的噪声主要来自放大器的输入级，等效噪声源如图 2.2-6 所示。

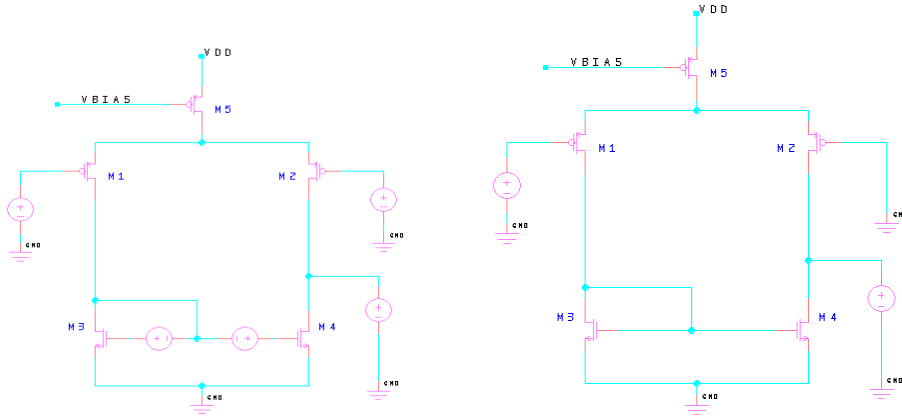


图 2.2-6 输入端的噪声源等效电路

图中 $\overline{V_{eq1}^2}$ 、 $\overline{V_{eq2}^2}$ 、 $\overline{V_{eq3}^2}$ 、 $\overline{V_{eq4}^2}$ 分别为 M1、M2、M3 和 M4 输入端的噪声电压均方值，可以分别看作独立源得：

$$i_o^2 = g_{m1}^2(\overline{V_{eq1}^2} + \overline{V_{eq2}^2}) + g_{m3}^2(\overline{V_{eq3}^2} + \overline{V_{eq4}^2})$$

$$\text{又} \because i_o^2 = g_{m1}^2 \overline{V_{eq}^2}$$

$$\overline{V_{eq}^2} = \overline{V_{eq1}^2} + \overline{V_{eq2}^2} + \frac{g_{m3}^2}{g_{m1}^2}(\overline{V_{eq3}^2} + \overline{V_{eq4}^2})$$

所以，为了减小 M3、M4 管的噪声对放大器的影响，电路设计中应该减小 g_{m3} 。

对于 MOS 管，噪声分为两种： $1/f$ 噪声和热噪声。

1)、 $1/f$ 噪声：

对单个 MOS 管来说， $\overline{V_{1/f}^2} = \frac{KF}{C_{ox}WL} \frac{\Delta f}{f}$ ，其中，KF 为 $1/f$ 噪声系数，代

入 $\overline{V_{eq}^2} = \overline{V_{eq1}^2} + \overline{V_{eq2}^2} + \frac{g_{m3}^2}{g_{m1}^2}(\overline{V_{eq3}^2} + \overline{V_{eq4}^2})$ 中得到：

$$\overline{V_{1/f}^2} = \frac{2Kp}{W_1 L_1 C_{ox}} \left(1 + \frac{Kn \mu_n L_1^2}{Kp \mu_p L_3^2}\right) \left(\frac{\Delta f}{f}\right)$$

其中， Kn 、 Kp 分别为 NMOS 和 PMOS 的 $1/f$ 噪声系数，与工艺条件密切相关。

要减小 $\overline{V_{1/f}^2}$ ，则应该：①增大 $W_1 \times L_1$ ；

②使 $L_1 < L_3$ 。

2) 热噪声:

对单个 MOS 管来说, $\overline{V_H^2} = 4kT(\frac{2}{3g_m})\Delta f$, 其中 k 为波尔兹曼常数。

带入噪声表达式得到:

$$\overline{V_{Heq}^2} = 4kT \frac{4}{3 \times \sqrt{2\mu_n C_{ox} \frac{W_1}{L_1} I_d}} \left(1 + \sqrt{\frac{\mu_n \frac{W_3}{L_3}}{\mu_p \frac{W_1}{L_1}}}\right) \Delta f$$

所以要减小热噪声, 应该: ①增大 $g_{m1}(g_{m2})$, 即增大 I_d 和提高 W_1/L_1 ;

②减小 W_3/L_3 , 同时使得 $W_3/L_3 \ll W_1/L_1$ 。

第三章 设计和仿真结果

本章将根据给定的运放性能指标利用一般的设计方法计算得到各变量值, 并进行验证以及软件模拟仿真。主要目的是掌握 CMOS 运放电路的一般设计方法。

§ 3.1 二级 CMOS 运放性能指标

图 3.1-1 电路由两级放大器组成, M1~M4 构成有源负载的差分放大器, M5 提供该放大器的工作电流。M6、M7 管构成共源放大电路, 作为运放的输出级。M6 提供给 M7 的工作电流。M8 和 I1 组成的偏置电路, 提供整个放大器的工作电流。

对应于图 3.1-1 电路的主要参数如下表所示:

参数种类	参数值
管子长度	$\geq 0.35 \mu\text{m}$
管子宽度	$\geq 0.8 \mu\text{m}$
负载电容	$= 3 \text{ pF}$
面积	$\leq 10000 \mu\text{m}^2$
共模输入电压	固定在 $(VDD + VSS) / 2$

输出动态范围	$[0.1(VDD-VSS), 0.9(VDD-VSS)]$
静态功耗	$\leq 5mW$
开环直流增益	$\geq 80\text{ dB}$
单位增益带宽	$\geq 100\text{ MHz}$
相位裕量	$\geq 60\text{ degree}$
转换速率	$\geq 200\text{ V/us}$
共模抑制比	$\geq 60dB$
等效输入噪声	$\leq 200\text{ nV}/\sqrt{HZ}$ @1KHz (thermal noise)
输入失调电压	$\leq 0.5\text{ mV}$

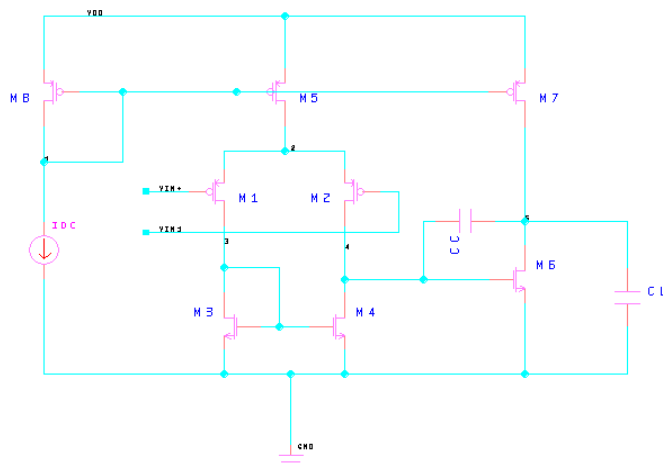


图3.1-1 用Workview Office 软件输入实际设计电路

§ 3.2 基本单元的设计和结果

本节将介绍电路中各管工艺参数的近似值的测定，电路工作点的设定，以及 MOS 器件沟道宽长比的计算方法。

§ 3.2.1 工艺参数近似值的测定

本节的主要内容是根据所给的.35 工艺的 hspice model，求出 NMOS、PMOS 之 length 及 width 分别为 $L=0.8\mu m$, $W=2.0\mu m$ 时之 (1) λ , (2) μC_{ox} , (3) V_t , (4) C_g , (5) C_d , (6) mos 管处于饱和和工作区时的电流方程。并由所得参数画出的 I-V

curve 与 HSPICE 所画出的 I-V curve 比较及讨论其误差。

1. NMOS FET (L=0.8um, W=2.0um) 参数计算流程:

1) spice 仿真 NMOS FET 的 I-V 特性曲线, 电路如图 3.2-2 所示:

其中 V_{gs} 从 0V 到 3.3V 每隔 0.05V 取一次
值,

V_{ds} 从 0V 到 3.3V 每隔 0.05V 取一次
值,

记录 I_d 对它们两者的变化。

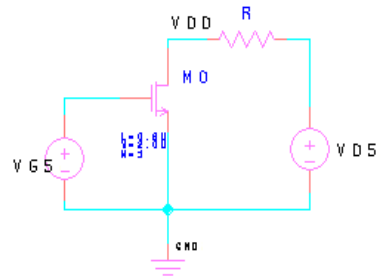


图 3.2-2 NMOS FET 参数测定电路

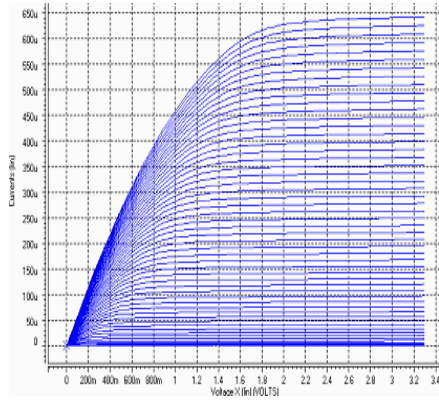
网表文件如下:

```
#NMOS
R0 2 3 1.0 M=1.0
V1 1 0
V0 3 0
M0 2 1 0 0 nmos L=0.8u W=2.0u M=1.0
* End of Netlist

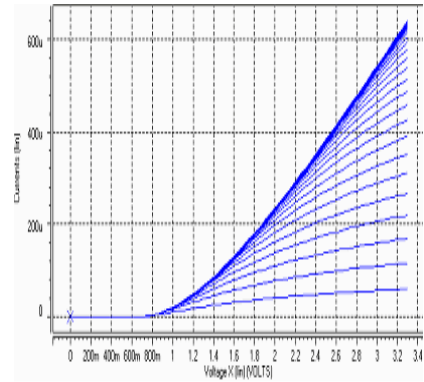
.DC v0 0 3.3 0.05 v1 0 3.3 0.05
.TEMP 25.0000
.OP
.lib 'sm083006-lg.hspice' typical
.save
.OPTION INGOLD=2 ARTIST=2 PSF=2 dccap=1
+ PROBE=0 POST
.print 'Id' =i(m0) CGGB0(m0) CDDB0(m0)
.probe vth(m0) cgg=CGGB0(m0) cdd=CDDB0(m0)
.END
```

2) 经由 hspice 求得 V_t 对 V_{gs} 及 V_{ds} 之关系:

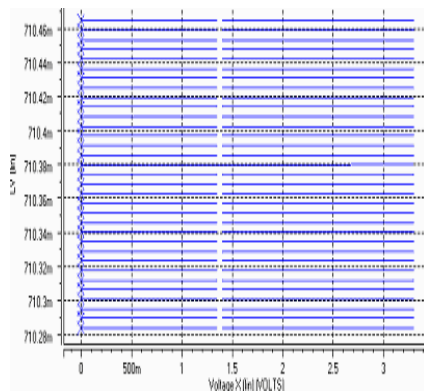
① $I_{ds} \sim V_{ds}$ 的关系:



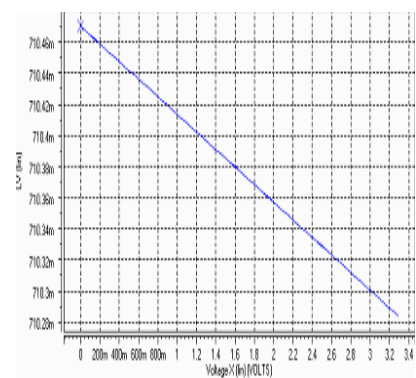
② $I_{ds} \sim V_{gs}$ 的关系:



③ $V_{th} \sim V_{gs}$ 的关系:



④ $V_{th} \sim V_{ds}$ 的关系:



由以上图形可以看出, V_{th} 与 V_{gs} 、 V_{ds} 关系很小, 可以假定: $V_{th}=0.71v$

3) 首先根据 hspice 输出的数据以 matlab 作出 I_d - V_{gs} - V_{ds} 三维图形(图 3.2-6), 然后使用 level1 模型将经由 hspice 所得之 I - V 特性曲线利用 matlab 作曲线拟合, 以求出 λ 和 μC_{ox} 对 V_{gs} 和 V_{ds} 的关系式: (.m 运行文件资料如附录所示)

I_d - V_{gs} - V_{ds} 三维图形如图 3.2-6 所示:

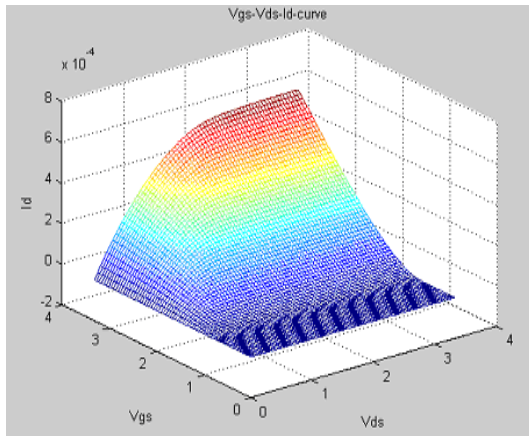


图 3.2-6 Id-Vgs-Vds 三维图形

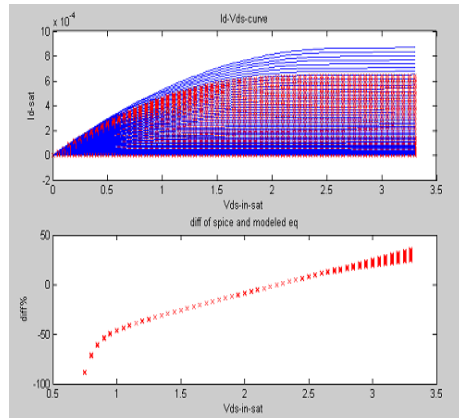


图 3.2-7 Matlab 拟合曲线和 hspice 输出
曲线误差

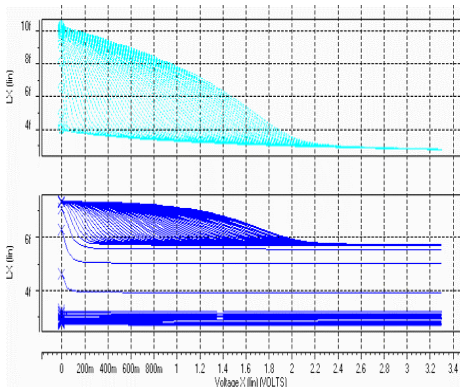
得到 λ 和 μC_{ox} 对 V_{gs} 和 V_{ds} 的关系式 (level one) 为:

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}), \quad \mu C_{ox} = 1.000000e-004, \quad \lambda = 1.080220e-002$$

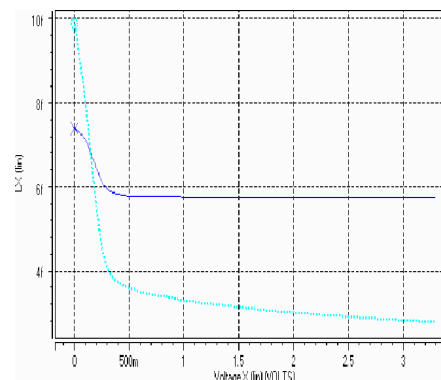
由图 3.2-7 可以看到, 在管子处于饱和区工作时, 其 μC_{ox} 的误差仅在 $\pm 50\%$ 之间, 故在电路设计之初可以使用此参数进行手工计算, 但同时设计和仿真结果之间导致了较大误差的出现。

4) 电容值的仿真结果:

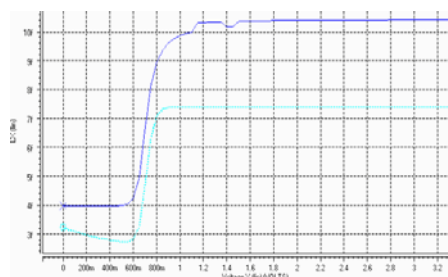
① C_g 和 $C_d(v_{gs}, v_{ds}$ 同时扫)



② C_g 和 $C_d(v_{gs} = 1v, v_{ds}$ 扫)



③ C_g 和 $C_d(v_{gs}$ 扫, $v_{ds} = 1.2v$)



5) 该管的其他参数的仿真值如下表所示:

参数种类	参数值	参数种类	参数值
vdsat	4.018e-02	cdtot	3.974e-15
beta	5.376e-04	cgtot	3.212e-15
gam eff	6.379e-01	cstot	3.974e-15
gm	0	cbtot	9.804e-15
gds	1.044e-13	cgs	3.329e-16
gmb	0	cgd	3.415e-16

从电容值的仿真图和上表中的电容值中可以得到该管的各个分布电容值。

2、PMOS FET (L=0.8um, W=2.0um) 参数计算

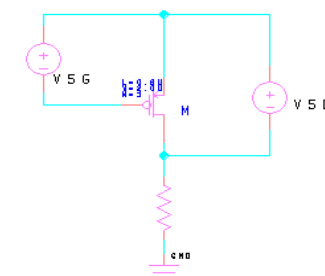
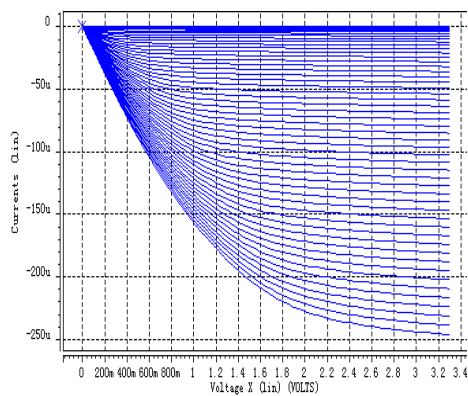
流程同 NMOS FET。

1) spice 仿真 NMOS FET 的 I-V 特性曲线,

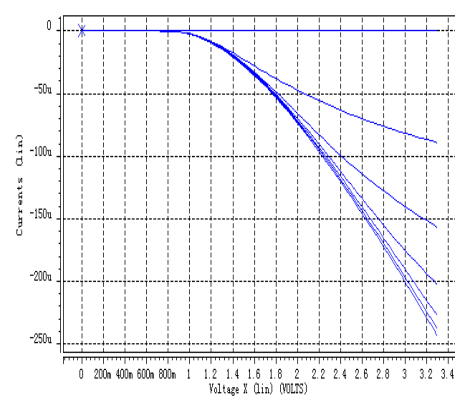
电路如右图 3.2-11 所示:

2) 经由 hspice 求得 V_t 对 V_{gs} 及 V_{ds} 之关系:

① $I_{ds} \sim V_{sd}$ 的关系:

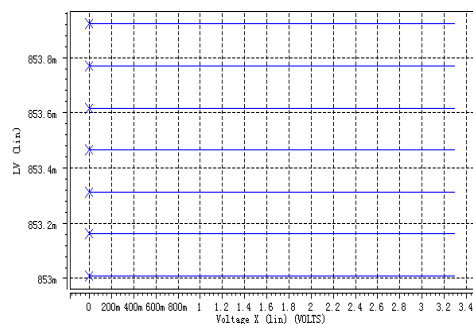


② $I_{ds} \sim V_{sg}$ 的关系:

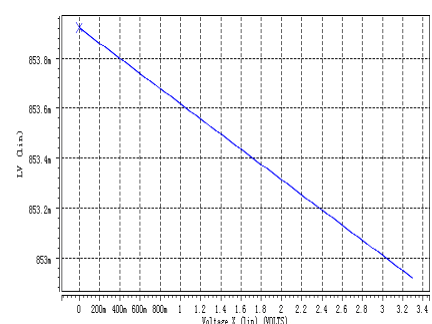


③ $V_{th} \sim V_{sg}$ 的关系:

(取 V_0 从 0 到 3V, 每隔 0.5V 扫描一次)



④ $V_{th} \sim V_{sd}$ 的关系:



由以上图形，假定 $V_{th}=0.85V$

3) 首先根据 hspice 输出的数据以 matlab 作出 $I_d-V_{gs}-V_{ds}$ 三维图形(图 3.2-12)，然后使用 level1 模型将经由 hspice 所得之 $I-V$ 特性曲线利用 matlab 作曲线拟合，以求出 λ 和 μC_{ox} 对 V_{gs} 和 V_{ds} 的关系式，并作出对于 spice 和 matlab (一级模型) 的曲线拟合误差图 (图 3.2-13): (.m 运行文件资料如附录所示)
 $I_d-V_{gs}-V_{ds}$ 三维图形如图 3.2-12 所示:

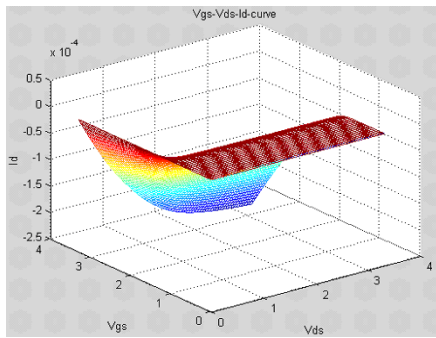


图 3.2-12 $I_d-V_{gs}-V_{ds}$ 三维图形

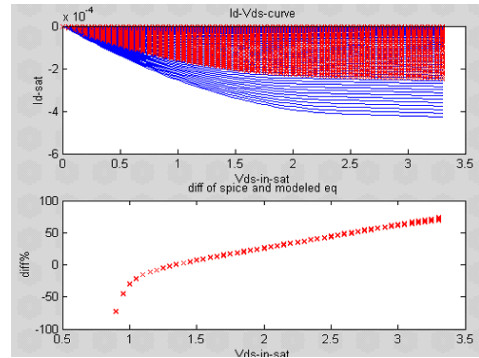


图 3.2-13 Matlab 拟合曲线和 hspice 输出特性曲线误差

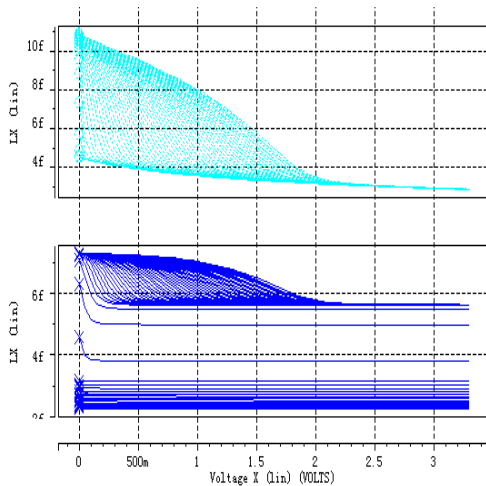
得到 λ 和 μC_{ox} 对 V_{gs} 和 V_{ds} 的关系式 (level one) 为:

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad , \quad \text{其中 } \mu C_{ox} = -5.000000e-005 \quad ,$$

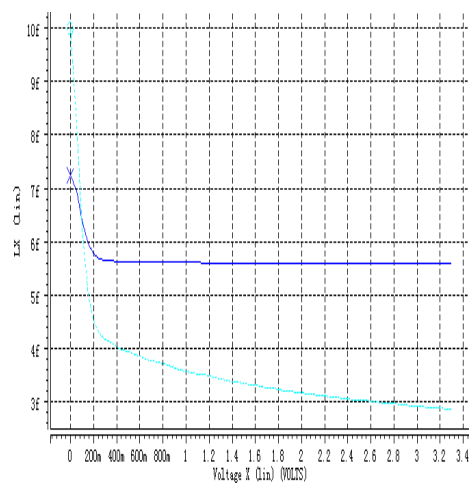
$$\lambda = 4.159029e-002$$

4) 电容值的仿真结果:

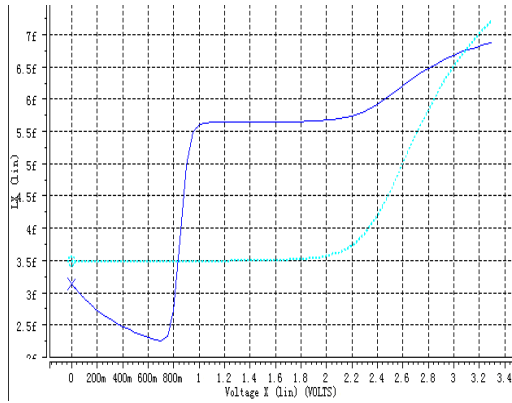
①. C_g 和 $C_d(v_{gs}, v_{ds}$ 同时扫)



② C_g 和 $C_d(v_{gs} = 1v, v_{ds}$ 扫) :



③ C_g 和 $C_d(v_{gs}$ 扫, $v_{ds} = 1.2v$) :



5) 该管的其他参数的仿真值如下表所示:

参数种类	参数值	参数种类	参数值
vdsat	-4.200e-02	cdtot	4.522e-15
beta	1.551e-04	cgtot	3.153e-15
gam eff	4.805e-01	cstot	4.522e-15
gm	0	cbtot	1.096e-14
gds	1.096e-16	cgs	3.142e-16
gmb	0	cgd	3.055e-16

§ 3.2.2 二级运放的设计

本节中, 将根据 § 3.1 中给定的运放性能指标, 以及利用 § 3.2.1 中测定的工艺参数对二级运放进行设计, 求出电路所需的偏置电流大小、补偿电容以及各个晶体管的宽、长。

一、 偏置电路的设计: (在本研究中将不进行具体讨论)

g_m 的固定可以说是设计运放时最重要的参数, 因为 g_m 的固定保证增益和频率相应特性的准确。所以设计时只需考虑如何使偏压网络的 g_m 固定即可。

如何使 g_m 固定呢? 因为 $g_m = (2u_n C_{ox} (W/L)_{13} I_{D13})^{1/2}$, 直接做 (W/L) 是很不准的, 但比值可以做的很准。用比值来做电流镜, 马上可以联想到 Widlar 电流镜。而 Widlar 电流镜的偏置电流以对称性为原则来设计如图 3.2-14 所示。再加一级做 cascode (M14 和 M15 管) 可产生更大的输出电阻如图 3.2-15 所示。

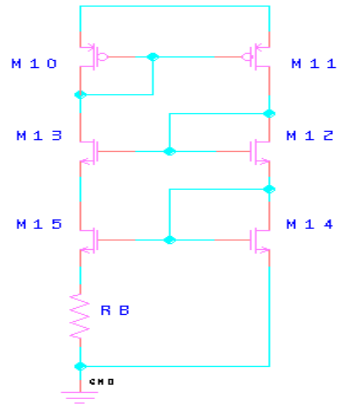
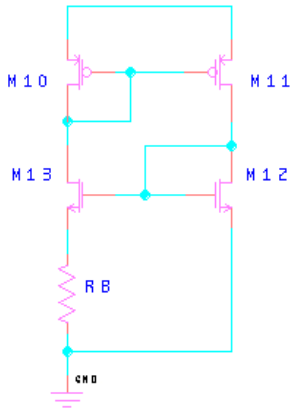


图 3.2-14 Widlar 电流镜

图 3.2-15 带一级 cascode 的 Widlar 电流镜

由于整个电路的偏压电流都是由这个偏压网络来产生，故电路中的所有晶体管都会有很稳定的 g_m 。

二、两级运放的设计

关于两级运放的设计，与全差分运放的最大不同点是必须做内部补偿。由于所要求的规格不是很严格，故使用简单的架构即可。

MOS 运放的设计同双极型运放类似，主要从开环增益、输出摆幅、共模抑制比、频率特性、瞬态特性、失调电压及功耗等方面考虑。

MOS 运放的简单架构如图 3.1-1 所示。

1. 工作点的设计

(1)由 Phase Margin 计算补偿电容：

由以上的讨论可知，要使 $PM \geq 60^\circ$ ，则 $C_c > 0.22C_L = 0.66\text{pf}$ 。

所以取 $C_c = 1\text{pf}$ 。

(2)根据转换速率 SR 计算 I_5 ：

因为：
$$S_{R,\min} = \min \left\{ 2 \frac{I_1}{C_c}, \frac{I_7}{C_c + C_{TL}} \right\}$$
，要求 $SR \geq 200 \text{ V}/\mu\text{s}$ ，

所以取 $I_5 = S_{R,\min} \cdot C_c = 200\text{V} / \mu\text{s} \times 1\text{pf} = 200\mu\text{A}$

(3)由静态功耗求得偏置电流 I_{bias} 和输出级的电流：

由 $Ps = (V_{DD} - V_{SS})(I_{bias} + I_5 + I_7)$ 得到： $(I_{bias} + I_5 + I_7) = 1500\mu\text{A}$

$$\therefore I_{bias} = 100\mu A, I_5 = 200\mu A, I_7 = 1200\mu A$$

综上所述，电路中 M8、M5、M7 的电流比设计为 1:2:12，也即沟道的宽长比为 1:2:12。

2. 各 MOS 管沟道的宽长比计算

CMOS 电路的版图尺寸设计时，最重要的是确定各 MOS 管沟道的宽长比。

(1) 根据共模输入电压和 M5 管的漏极电流计算 M3 (M4) 管的宽长比：

要使得当 M1 管输入为共模输入电压时，其栅极电压比漏极电压高一个 $|V_{TP}|$

以上

假设以下的 $|V_{TP}|$ 把绝对值去掉，都取为正值 $V_{TP} = 0.85V$

$$\text{由 } \sqrt{\frac{2I_1 L_3}{\mu_n C_{ox} W_3}} \leq V_{CM, \min} - V_{Tn} - V_{Tp} - V_{SS}, \text{ 且 } V_{CM} = \frac{V_{DD} - V_{SS}}{2} = \frac{3.3 - 0}{2} = 1.65(V)$$

$$\therefore \frac{W_3}{L_3} \geq \frac{I_5}{\mu_n C_{ox} (V_{CM} - V_{tn} - V_{tp})^2} = \frac{200 \times 10^{-6}}{1 \times 10^{-4} \times 0.09^2} = 2.5$$

(2) 从 C_c 和 GB 来确定 g_{m2} (M2 管的跨导)：

$$g_{m2} = g_{m1} = GB \cdot C_c = 2\pi \times 100MHz \times 1pf = 6.28 \times 10^{-4} \Omega^{-1}$$

(3) 由 g_{m2} 得到 $(W/L)_2$ ：

$$\therefore g_{m2} = \sqrt{2I_{d2} \beta_2} = \sqrt{I_5 \mu_p C_{ox} \frac{W_2}{L_2}}$$

$$\therefore (W/L)_2 = (W/L)_1 = \frac{g_{m2}^2}{\mu_p C_{ox} I_5} = \frac{6.28^2 \times 10^{-8}}{5 \times 10^{-5} \times 200 \times 10^{-6}} = 39.4$$

取 $W1=W2=2u$ ， $L1=L2=0.8u$ ， $m=16$

(4) 根据等效输入噪声 $\leq 200 \text{ nV}/\sqrt{HZ}$ @1KHz (thermal noise) 的最低标准

计算得到 $(W/L)_3$

$$\text{对于系统的热噪声, 有 } \overline{V_{Heq}^2} = 4kT \frac{4}{3 \times \sqrt{2\mu_n C_{ox} \frac{W_1}{L_1} I_d}} \left(1 + \sqrt{\frac{\mu_n \frac{W_3}{L_3}}{\mu_p \frac{W_1}{L_1}}}\right) \Delta f$$

所以
$$\sqrt{\frac{V_{Heq}^2}{\Delta f}} = \sqrt{\frac{16 \times 4.14 \times 10^{-21}}{3 \times \sqrt{10^{-4}} \times 40 \times 2 \times 10^{-4}}} \left(1 + \sqrt{\frac{2 \frac{W_3}{L_3}}{40}} \right) \leq \frac{2 \times 10^{-7}}{\sqrt{10^3}}$$

由上式可以推得: $\frac{W_3}{L_3} \leq 7.7$, 所以取 $\frac{W_3}{L_3} = 7.5$

取 $W_3=W_4=2\mu$, $L_3=L_4=0.8\mu$, $m=3$

(5)计算 M5 管的饱和电压:

$$\begin{aligned} V_{ds5}(sat) &= V_{CM} - V_{SS} - \sqrt{\frac{I_5}{\mu_p C_{ox} \left(\frac{W}{L}\right)_1}} - |V_{T1}| \\ &= 1.65 - 0 - \sqrt{\frac{200 \times 10^{-6}}{5 \times 10^{-5} \times 32}} - 0.85 \\ &= 1.65 - 0.35 - 0.85 \\ &= 0.45(V) \end{aligned}$$

(6)由 M5 管的饱和电压和 I5 推出 M5 管的宽长比:

$$\left(\frac{W}{L}\right)_5 = \frac{2I_{d5}}{\mu_p C_{ox}(V_{ds,sat})^2} = \frac{2 \times 200 \times 10^{-6}}{5 \times 10^{-5} \times 0.45^2} = 39.5$$

故取: $W_5=2.0\mu$, $L_5=0.8\mu$, $m=16$

(7)确定 M7 管的宽长比, 根据电流镜原理:

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_5 \frac{I_7}{I_5} = 39.5 \frac{1200}{200} = 237, \text{ 故取 } m=95$$

(8)根据相位裕度的要求得到 g_{m6} : \therefore phase margin 为 60°

\therefore second pole 至少要为 unity-gain frequency 的 2.2 倍。

$$\text{所以推得: } g_{m6} \geq 2.2 g_{m2} \left(\frac{C_L}{C_C}\right) = 2.2 \times 6.28 \times 10^{-4} \times 3 = 4.15 \times 10^{-3} \Omega^{-1}$$

(9)由于输入失调电压的要求, 应该保证 $\frac{W_3/L_3}{W_6/L_6} = \frac{W_4/L_4}{W_6/L_6} = \frac{1}{2} \frac{W_5/L_5}{W_7/L_7}$

$$\text{而 } \frac{W_5/L_5}{W_7/L_7} = \frac{I_5}{I_7} = \frac{1}{6}, \text{ 所以 } \frac{W_6}{L_6} = 12 \frac{W_4}{L_4} = 12 \times 7.5 = 90$$

所以取 M6 管的宽长比为: $W_6=2.0\mu$, $L_6=0.8\mu$, $m=36$

$$\text{则此时的 } g_{m6} = \sqrt{2\mu_n C_{ox} I_{d6} \frac{W6}{L6}} = \sqrt{2 \times 10^{-4} \times 1200 \times 10^{-6} \times 90} = 4.65 \times 10^{-3} \Omega^{-1}$$

另，M6 和 M7 管的漏端电压为放大器的输出电压，为了使整个电路具有最小的失调电压，要求使静态输出电压满足 $V_{OUT} = \frac{1}{2}(V_{DD} - V_{SS})$ ，这里 $V_{SS} = 0V$ 。

所以在仿真过程中可能要对 M6 管的宽长比稍微调整一下。

(10)由 I_{bias} 求得 M8 管的宽长比：

$$\left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_5 \frac{I_{bias}}{I_5} = 39.5 \frac{100}{200} = 20, \text{ 故取 } m=8$$

设计后各管的宽长比整理如下表所示：

器件	M 值 (W=2.0U, L=0.8U)
Ibias	100uA
M1, M2	16
M3, M4	3
M5	16
M6	95
M7	36
M8	8

§ 3.2.3 参数规格的手工验证

这一节将验证上一节中得到的设计变量值构成的运放性能是否完全满足给定的性能指标，从而知道 CMOS 运放电路的一般设计方法的正确性。

一、直流工作点分析

分析各点的直流电平，看各管是否工作在饱和区，并且是否满足门过驱动电压要求。

我们这里假设 $V_{tn}=0.71V$, $V_{tp}=0.85V$, $V_{ovr}=200mV$ 。

$$\text{计算得到: } V_{SG,8} - V_{TP} = \frac{2I_{D,8}}{\mu_p C_{ox} \left(\frac{W}{L}\right)_8} = \sqrt{\frac{2 \times 100 \times 10^{-6}}{5 \times 10^{-5} \times 16}} = 0.5V, V_{SG,8} = 1.35V$$

$V_{SG,1} = 1.35V$ ，而 $V_{G,1} = 1.65V$ ，所以 $V_{S,1} = V_{D,5} = 3.0V$

$$V_{GS,3} - V_{TN} = \sqrt{\frac{2I_{D,3}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_3}} = \sqrt{\frac{2 \times 100 \times 10^{-6}}{1 \times 10^{-4} \times 7.5}} = 0.516V, \quad V_{G,3} = V_{D,3} = 1.226V$$

整理各点电压如下表所示：（表中电压值均以 V 为单位）

节点	电压值	节点	电压值	节点	电压值	节点	电压值
0	0	1	/	2	3.3	3	1.65
4	1.226	5	/	6	1.95	7	1.226
8	1.65	9	3.0	10	1.65		

二、直流转换特性

主要确定运放的动态范围以及共模输入电压范围。

1、共模输入电压 = $V_{cm, \max} - V_{cm, \min}$

$$\begin{aligned} &= (V_{SG1} + V_{SD5(sat)}) - (V_{SD1(sat)} - V_{SG1} + V_{GS3}) \\ &= (1.35 + 0.45) - (0.516 - 1.35 + 1.226) = 1.408V \end{aligned}$$

2、运放的输出动态范围 = $V_{out, \max} - V_{out, \min}$

$$\begin{aligned} &= (V_{DD} - V_{sat7}) - V_{sat6} \\ &= [V_{DD} - (V_{SG7} - V_{TP7})] - (V_{GS6} - V_{TN}) \\ &= 2.8 - 0.516 = 2.284V \end{aligned}$$

三、交流小信号分析

主要完成运放的频域分析。

1、开环增益

1)、输入级增益为：

$$\begin{aligned} A_{V1} &= g_{m2}(r_{o2} \parallel r_{o4}) = \sqrt{2I_{d2}\mu_p C_{ox} \frac{W_2}{L_2}} \times \left[\left(\frac{1}{\lambda_2 I_{d2}} \right) \parallel \left(\frac{1}{\lambda_4 I_{d4}} \right) \right] \\ &= 6.32 \times 10^{-4} \times \left[(9.12 \times 10^5) \parallel (2.4 \times 10^5) \right] = 6.32 \times 10^{-4} \times 1.9 \times 10^5 = 120 \end{aligned}$$

若以分贝计算，则第一级增益为 41.6db

2)、输出级增益为：

$$A_{v2} = g_{m6}(r_{o6} \parallel r_{o7}) = \sqrt{2I_{d6}\mu_n C_{ox} \frac{W_6}{L_6}} \times \left[\left(\frac{1}{\lambda_6 I_{d6}} \right) \parallel \left(\frac{1}{\lambda_7 I_{d7}} \right) \right]$$

$$= 4.65 \times 10^{-3} \times \left[(7.7 \times 10^4) \parallel (2 \times 10^4) \right] = 4.65 \times 10^{-3} \times 1.6 \times 10^4 = 74.4$$

若以分贝计算，则输出级的增益为 37.4db

则总的增益 $A_v = 8928$ ，以分贝值计算，为 79db

2、相位阔度 PM

因为 $\omega_c = GB = 100 \text{ MHz}$

$$\text{第一极点为 } p_1 = \frac{g_{m1}}{A_v C_C} = \frac{6.32 \times 10^{-4}}{1.06 \times 10^4 \times 10^{-12}} = 5.96 \times 10^4, \text{ 即为 } 9.5 \text{ KHz}$$

$$\text{第二极点为 } p_2 \approx \frac{g_{m6}}{C_L} = \frac{4.65 \times 10^{-3}}{3 \times 10^{-12}} = 1.55 \times 10^9, \text{ 即为 } 247 \text{ MHz}$$

$$\therefore PM = \pi - \arctan \frac{\omega_c}{p_1} - \arctan \frac{\omega_c}{p_2} = 180^\circ - 89.4^\circ - 22.0^\circ = 68.6^\circ$$

3、共模抑制比 CMRR

$$CMRR = \frac{1}{(\lambda_n + \lambda_p) \lambda_p} \sqrt{\mu_n \mu_p C_{ox}^2 \frac{W_1 W_3}{L_1 L_3 I_5^2}}$$

$$= \frac{1}{(0.0108 + 0.0416) 0.0416} \sqrt{10^{-4} \times 5 \times 10^{-5} \frac{40 \times 7.5}{4 \times 10^{-8}}} = 2.8 \times 10^3 (68.9 \text{ dB})$$

四、瞬态分析

主要分析压摆率、建立时间等瞬态相应参数。

对于转换速率 SR:

$$\text{由 } S_{R,\min} = \min \left\{ 2 \frac{I_1}{C_C}, \frac{I_7}{C_C + C_{TL}} \right\} \text{ 得到:}$$

$$2 \frac{I_1}{C_C} = \frac{2 \times 100 \times 10^{-6}}{1 \times 10^{-6}} = 200 \text{ V} / \mu\text{S}$$

$$\frac{I_7}{C_C + C_{TL}} \approx \frac{1200 \times 10^{-6}}{3 \times 10^{-6}} = 400 \text{ V} / \mu\text{S}$$

$$\text{所以 } S_{R,\min} = 200 \text{ V} / \mu\text{s}$$

五、其他性能指标

1、面积

$$\begin{aligned} \text{AREA} = A &= \alpha_0 + \alpha_1 C_c + \alpha_2 \sum_{i=1}^8 W L_i \approx \sum_{i=1}^8 W L_i \\ &= 1.6 \times 197 = 315.2 \mu\text{m}^2 \end{aligned}$$

2、等效输入噪声（热噪声）

对于系统的热噪声，有 $\overline{V_{Heq}^2} = 4kT \frac{4}{3 \times \sqrt{2\mu_n C_{ox} \frac{W_1}{L_1} I_d}} \left(1 + \sqrt{\frac{\mu_n \frac{W_3}{L_3}}{\mu_p \frac{W_1}{L_1}}} \right) \Delta f$

$$\text{则 } \sqrt{\frac{\overline{V_{Heq}^2}}{\Delta f}} = \sqrt{\frac{16 \times 4.14 \times 10^{-21}}{3 \times \sqrt{10^{-4} \times 40 \times 2 \times 10^{-4}}} \left(1 + \sqrt{\frac{15}{40}} \right)},$$

所以： $\overline{V_{Heq}^2} = 199.5 \text{ nV}/\sqrt{\text{HZ}} @1\text{KHz}$ (thermal noise)

§ 3.2.4 spice 仿真结果

一、直流工作点分析

1、直流工作点分析结果（各节点电压）

直流分析可用.OP 语句完成。

整理各点电压如下表所示：（表中电压值均以 V 为单位）

节点	电压值	节点	电压值	节点	电压值	节点	电压值
0	0	1	/	2	3.3	3	2.7609
4	1.0829	5	/	6	2.0210	7	1.0829
8	1.65	9	2.8704	10	1.65		

从直流电压分析，发现 V3 电压值偏离了理想的 1.65V，所以应该稍微调整一下 M6 的宽长比，调整之后使 M6 的 m=40，此时 V3=1.6609V，其他电压值未变化。

2、失调电压分析

通常，把输入端交流接地，此时，出现在输出端的电压是由运放的失调所致。此时的输出失调电压除以开环增益就得到等效的输入失调电压。测量电路如下图所示。

此时 AC=0V (即交流接地)

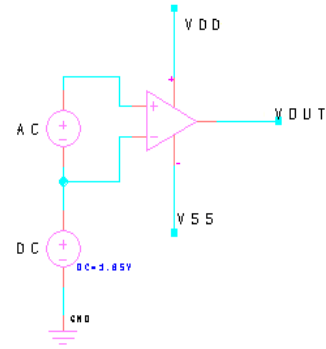
可以看到: $V_{out}=1.6609V$

由输入失调电压的定义可以知道:

$$V_{OS} = \frac{V_{od}}{A_{Vd}} \Big|_{V_{id}=0}$$

其中 V_{od} 为输出失调电压, 而 A_{Vd} 为开环增益。

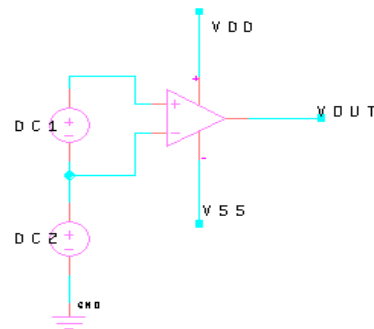
$$\therefore V_{OS} = \frac{(1.6609-1.65)V}{10^{20}} = \frac{0.0109V}{7079} = 1.54 \times 10^{-6}V$$



二、直流转换特性

第一种方法: 用 .DC 语句或 .TRAN 语句 (用 .TRAN 时, 要在输入端加一个上升时间足够长的脉冲源或分段线性源) 对整个电压范围进行扫描, 以此确定运放的动态范围以及共模输入电压。

共模输入电压范围测试方法如右图所示: 不停的调节 DC2, 使运放的工作点不正常, 即不工作在饱和区, 可以测到当 $V_{dc2}=1.71v$ 时, m5 管不再处于饱和区, 所以共模输入电压范围为 $[0, 1.70v]$ 。



确定输出动态范围,

修改网表为: v1 8 10

v2 10 0 1.65v

测试语句为: .dc v1 0 3.3v 0.05v

.print v(3)

从而观察输出电压的变化幅度。

第二种方法: 利用 .OP 得到直流分析的结果计算:

1、共模输入电压 $= V_{cm, max} - V_{cm, min}$

$$= (V_{SG1} + V_{SD5(sat)}) - (V_{SD1(sat)} - V_{SG1} + V_{GS3})$$

$$= (1.2204 + 0.386) - (0.286 - 1.2204 + 1.0829)$$

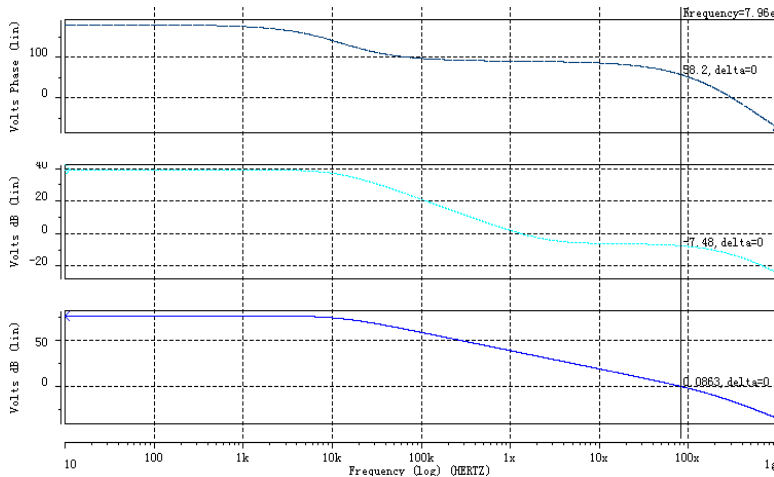
$$= 1.458V$$

$$\begin{aligned}
 2、\text{运放的输出动态范围} &= V_{out,max} - V_{out,min} = (V_{DD} - V_{sat7}) - V_{sat6} \\
 &= (3.3 - 0.367) - 0.313 = 2.62V
 \end{aligned}$$

三、交流小信号分析

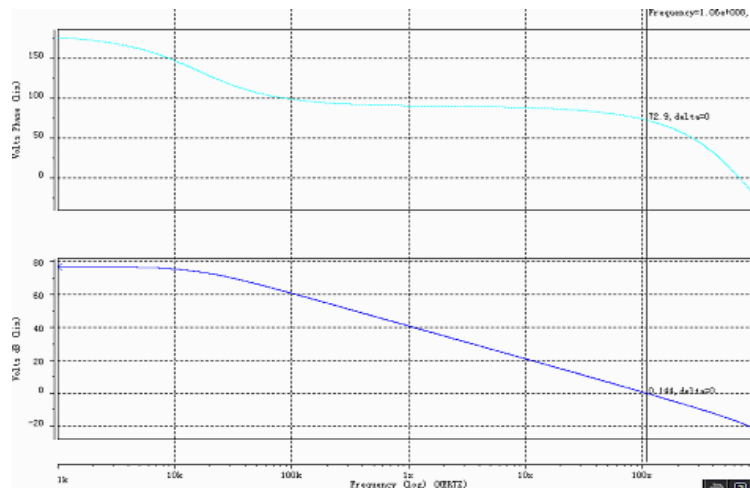
1、开环增益

一般在输入端加一个交流小信号，并打印输出端电压的幅值和相位，即可得到运放的幅频特性和相频特性。用.ac 以及.probe 完成这项分析。结果如图所示：



phase margin=58.2°。
unity-gain
frequency=80MHz。
Gain=77dB。

当把补偿电容变小后，使两极点拉得更开，从而可以单位增益带宽变大，见下图。

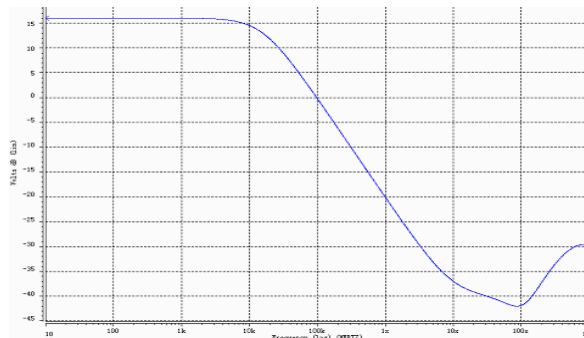


phase margin=73°。
unity-gain
frequency=106MHz。
Gain=77dB。

2、共模抑制比 CMRR

在输入端加上共模小信号，把差模放大倍数与共模放大倍数相除，就得到 CMRR。

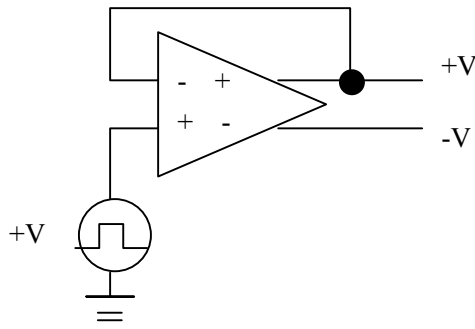
共模增益如右图所示：Avc=16db。



所以 $CMRR=77-16=61\text{db}$

四、瞬态分析

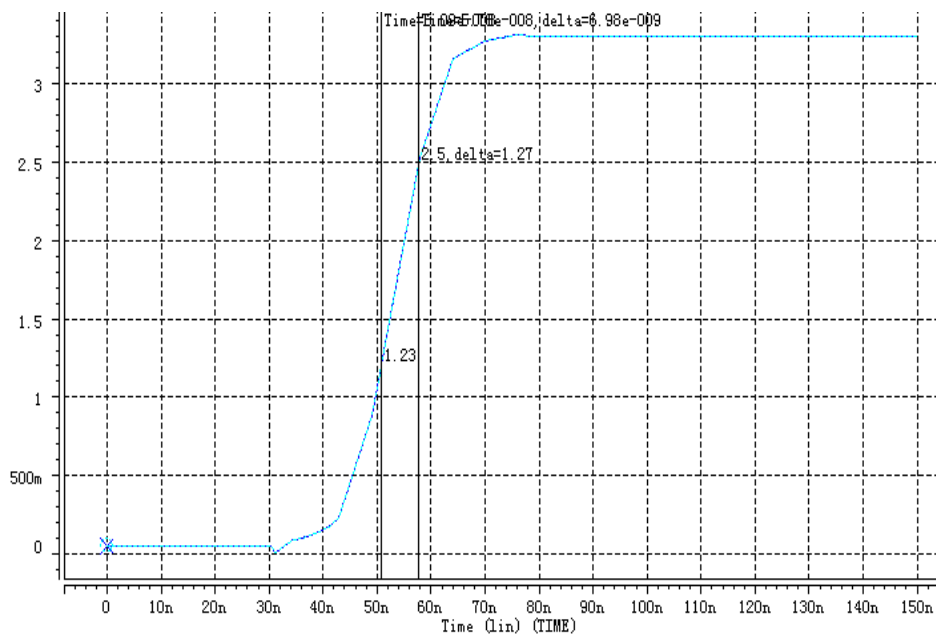
slew rate 的测试：测试电路的接法如下图所示。在闭环增益等于 1 的时候，同相输入端加上上升时间足够短的一脉冲源或者分段线性源，打印输出电压，可获得压摆率。（SR 与负载电容的大小有关）



结果如图所示：

网表文件改动为：（v2 去掉）

```
m2      4  3  9  2  pmos    l=0.8u    w=2u    m=16
v1      8  0  pulse 3 0 3.0e-8 0.1e-8 0.1e-8 7e-8 10e-8
.tran 10n 150n
```



计算得到 $\text{slew rate}=208.2\text{V/us}$

五、其他性能要求

1、等效输入噪声：

当 frequency = 1.000k hz,
 **** total output noise voltage = 905.3651n sq v/hz
 = 951.5068u v/rt hz
 transfer function value:
 v(3)/v1 = 7.1046k
 equivalent input noise at v1 = 133.9276n /rt hz
 PS:噪声分析语句为——.NOISE V(3) V1 1000

§ 3.3 运放性能指标的对比（手工 vs.Hspice 仿真）

本节对前两节的内容进行总结，把 Spec、手工计算、spice 仿真性能整理比较如下表所示，从而便于后面进行手工改进运放的性能提供方便。

Spec、手工计算、spice 仿真性能比较如下表所示

参数名	Specification	手工计算	Spice 仿真结果
管子长度	$\geq 0.35 \mu\text{m}$	0.8 μm	0.8 μm
管子宽度	$\geq 0.8\mu\text{m}$	2.0 μm	2.0 μm
面积	$\leq 10000 \mu\text{m}^2$	315.2 μm^2	
负载电容	= 3 pF	= 3 pF	= 3 pF
共模输入电压	=1.65V	[0.39V, 1.7V]	[0.15V, 1.60V]
输出动态范围	[0.33V, 2.97V]	[0.52V, 2.8V]	[0.31V, 2.93V]
静态功耗	$\leq 5\text{mW}$	4.95 mW	4.91 mW
开环直流增益	$\geq 80 \text{ dB}$	79 dB	77 dB
单位增益带宽	$\geq 100 \text{ MHz}$	100 MHz	80 MHz
相位裕量	$\geq 60 \text{ degree}$	68.6degree	58.2 degree
转换速率	$\geq 200 \text{ V/us}$	200 V/us	208.1 V/us
共模抑制比	$\geq 60\text{dB}$	75 dB	61 dB
等效输入噪声	≤ 200 nV/ $\sqrt{\text{HZ}}$ @1KHz (thermal noise)	199.5 nV/ $\sqrt{\text{HZ}}$ @1KHz (thermal noise)	133.9 nV/ $\sqrt{\text{HZ}}$ @1KHz (thermal noise)
输入失调电压	$\leq 0.5 \text{ mV}$	0 (视为理想运放)	1.54UV

第四章 运放的几何方法优化概论[2]

本章本欲利用 GPCAD 优化方法对二级运放进行设计并优化，将可以得到一个全局最优的设计，并把它与传统的设计方法进行比较。但由于时间关系，没有完成本部分。这里只简单介绍一下这个方法和此方法使用的模型。

§ 4.1 GPCAD 介绍

Geometric programming (GP) 优化方法在二十世纪六十年代后期已经出现并使用。近年来更是大规模的应用在设计使数字电路的 Elmore 延迟得到最小化的晶体管和导线尺寸。但是，在模拟运算放大器设计中很少使用。

这里我将简单介绍一下什么叫做 Geometric programming (GP) 优化方法。

假设 (x_1, \dots, x_n) 为一个 n 为正实数向量。如果一个函数有如下形式：

$$f(x_1, \dots, x_n) = \sum_{k=1}^t c_k x_1^{\alpha_{1k}} x_2^{\alpha_{2k}} \dots x_n^{\alpha_{nk}} \quad (\text{其中 } c_j \geq 0, \alpha_{ij} \in R)$$

则说 f 函数是关于 x 的多项函数式。当 $t=1$ 时，称 f 为关于 x 的单项式。

一个 Geometric program 有如下形式：

$$\begin{aligned} \text{最小化} \quad & f_0(x) \\ & f_i(x) \leq 1, i = 1, \dots, m \\ \text{约束条件为:} \quad & g_i(x) = 1, i = 1, \dots, p \\ & x_i > 0, i = 1, \dots, n \end{aligned}$$

(其中 f_1, \dots, f_m 为多项式，而 g_1, \dots, g_p 为单项式。)

如果 f 是多项式而 g 是单项式，则得到 $f(x) \leq g(x)$ ，也可以表示为 $f(x)/g(x) \leq 1$ 。同理，当 g_1 和 g_2 均为单项式，则可以把等式 $g_1(x) = g_2(x)$ 处理为： $g_1(x)/g_2(x) = 1$ 。假设 $1/h$ 为多项式，则函数 h 为多项倒项式。如果 h 是一个多项倒项式而 f 为一个多项式，则在 Geometric program 中可以把约束条件 $f(x) \leq h(x)$ 处理为 $f(x)(1/h(x)) \leq 1$ ，同时可以最小化 $1/h(x)$ 。

在实际约束条件中可以把倒项多项式整理为一个并列的组合：如果 h 和 \tilde{h} 均为倒项多项式，则有 $h \parallel \tilde{h} = 1/(1/h + 1/\tilde{h})$ 。

实际上，对于二级运算放大器的许多性能指标和约束条件（在 § 3.1 中已经进行具体分析）都可以用如上的单项式、多项式或者倒项多项式来表示，先总结如表 4.1-1 所示。

可以从表上得知，除了正向电源抑制比外，其它的性能指标和约束条件都可以处理为可以用 Geometric programming 处理的表达式。既然所有的性能参数和约束条件都可以用多项式来表示出来，那么可以使用 Geometric programming 解决很多种结构的运放设计问题。

例如，以运放的功率、面积、输入失调电压、开环增益、工艺尺寸限制、共模抑制比、压摆率、相位阈值以及输出摆幅为条件，最大化增益带宽。优化问题便转化为一个几何程序问题（geometric programming problem）。这个问题看起来非常的复杂，因为包含了那么多复杂的不等式和等式约束条件，但实际上很容易就解决了。

§ 4.2 GP MOSFET 模型介绍

一、GPO MOSFET 模型

GPO MOSFET 模型主要应用于长沟道器件，其电流方程满足平方定律。

1、大信号模型

运算放大器正常工作时各个晶体管均工作在饱和区。

1) 对于 NMOS 晶体管，其端点电压满足 $V_{DS} \geq V_{GS} - V_T$ 的时候，管子将工作在饱和区，其漏级电流表达式为：

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda_n V_{DS})。$$

- 其中，L 晶体管沟道长度
- W 晶体管宽度
- μ_n 电子迁移率
- C_{ox} 氧化层单位面积电容
- V_T NMOS 晶体管的阈值电压
- λ_n N 沟道长度调制因子

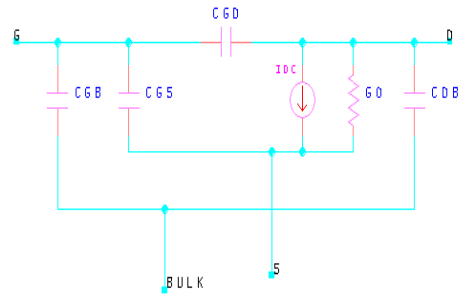


图 4.2-1 MOSFET 小信号模型

在 GPO 模型中，将使用简化的大信号电流方程： $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$ ，

也就是说，忽略了沟道长度调制因子。这里将引入一点小误差。

2) 对于 PMOS 晶体管，其端点电压满足 $V_{DS} \leq V_{GS} - V_T$ 的时候，管子将工作在饱和区，其漏级电流表达式为：

$$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_{TP})^2 (1 + \lambda_p V_{DS})。$$

其中， μ_p 空穴迁移率

V_{TP} PMOS 晶体管的阈值电压

λ_p P 沟道长度调制因子

在 GPO 模型中，同样也忽略了沟道调制效应而使用了简化表达式：

$$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_{TP})^2$$

2、小信号模型：

图 4.2-1 为处于饱和区工作的 MOSFET 晶体管的小信号模型等效电路图。图中参数表达式如下所示。

$$1) \text{ 跨导 } g_m \quad g_m = \frac{\partial I_D}{\partial V_{GS}} = \sqrt{2\mu C_{ox} I_D \frac{W}{L}} \quad (1)$$

$$2) \text{ 输出导纳 } g_o \quad g_o = \frac{\partial I_D}{\partial V_{DS}} = \lambda I_D \quad (2)$$

从这里可以看到，虽然在 g_m 表达式中，忽略了沟道长度调制因子的影响，但是在输出导纳表达式中必须有沟道长度调制因子 λ （如果不存在的话，则输出导纳为 0）。

$$3) \text{ 栅源电容 } C_{gs} \quad C_{gs} = \frac{2}{3} W L C_{ox} + W L_D C_{ox} \quad (3)$$

其中 L_D 为源/漏横向扩散长度

$$4) \text{ 源衬电容 } C_{sb} \quad C_{sb} = \frac{C_{sb0}}{\left(1 + \frac{V_{SB}}{\phi_0}\right)^2} \quad (4) \text{ 其中, } C_{sb0} = C_j L_S W + C_{jw} (2L_S + W) \quad (5)$$

其中， ϕ_0 结内建势能， L_S 为源扩散长度。

$$5) \text{ 漏衬电容 } C_{db} \quad C_{db} = \frac{C_{db0}}{\left(1 + \frac{V_{DB}}{\phi_0}\right)^{\frac{1}{2}}} \quad (6)$$

其中，若源漏扩散长度一致，则 $C_{sb0} = C_{db0}$

$$6) \text{ 栅漏电容 } C_{gd} \quad C_{gd} = C_{ox}WL_D \quad (7)$$

在以上电容表达式中，③、⑤、⑦是关于设计变量的多项式。结电容表达式④和⑥并不是多项式，一般情况下， V_{SB} 和 V_{DB} 与设计变量无关。最简单的处理方法就是考虑一个最坏情况，使用最大的可能电容值（这将减小带宽、压摆率和相位幅度等）。于是令 $V_{SB} = 0V$ 和 $V_{DB} = 0V$ ，则这样结电容的表达式④和⑥可以当作一个常数。

在运算放大器电路中，使用到的唯一的结电容是 M1、M2、M3、M4、M6 和 M7 的漏衬电容，我们将把它们当作一个常数考虑。

电路中，PMOS 管的衬底接高电平 Vdd，NMOS 管的衬底接低电平 GND。M1、M2、M3、M4 的漏电压将设计和 M6 的栅电压一致。在大多数的设计中，M6 的栅电压 $V_{G,6}$ 通常比 V_{TN} 高几百毫伏。于是可以把 M6 的栅电压表示为： $V_{G,6} = V_{TN} + \Delta V_0$ 。其中，通常使用一个典型的门驱动电压 $\Delta V_0 = 200mV$ 。则 M1、M2、M3、M4 的漏衬电容可以表示为：

$$C_{db,1} = C_{db,2} = \frac{C_{db0,1}}{\left(1 + \frac{V_{DD} - V_{TP} - \Delta V_0}{\phi_0}\right)^{\frac{1}{2}}}$$

$$C_{db,3} = C_{db,4} = \frac{C_{db0,3}}{\left(1 + \frac{V_{TN} + \Delta V_0}{\phi_0}\right)^{\frac{1}{2}}}$$

M6 和 M7 管的漏端电压为放大器的输出电压，为了使整个电路具有最小的失调电压，要求使静态输出电压满足 $V_{OUT} = \frac{1}{2}(V_{DD} - V_{SS})$ ，这里 $V_{SS} = 0V$ 。

因此可以把 $V_{D,6}$ 表达为： $V_{D,6} = \frac{V_{DD}}{2}$ 。从而得到 $C_{db,6}$ 和 $C_{db,7}$ 为常数。

$$C_{db,6} = \frac{C_{db0,6}}{\left(1 + \frac{V_{DD}}{2\phi_0}\right)^{\frac{1}{2}}} \quad C_{db,7} = \frac{C_{db0,7}}{\left(1 + \frac{V_{DD}}{2\phi_0}\right)^{\frac{1}{2}}}$$

二、GP1 模型

GP0 模型中很多的误差来自于晶体管的跨导和输出导纳的计算，因为 GP0 模型中的参数和标准的长沟道器件模型中参数值一致。如果我们考虑模型表达时不改变，而模型参数采用更为准确的值将使误差变小。

通过对经验数据或更高 LEVEL 的 SPICE 仿真出来的数据进行拟合，我们可以得到更为准确的以 Geometric Programming 为基础的设计电路模型，这些新的模型参数以及表达式将构成新的优化模型——GP1 模型。

发现，对 NMOS 器件，有 $g_{d,NMOS} = 3.1 \times 10^{-2} W^{0.18} L^{-1.14} I_D^{0.82}$ 。在这个表达式中，输出导纳以毫西门子为单位，偏置电流以毫安为单位，沟道宽度和长度以毫米为单位。

对 PMOS 器件，其跨导通常有两种模型表示：

①当管子工作在低漏源电压（如 M5 和 M8）时，

$$g_{d1,PMOS} = 4.5 \times 10^{-1} W^0 L^{-1.58} I_D^{1.04}$$

②当管子工作在大漏源电压（如 M1、M2 和 M7 管）时，

$$g_{d2,PMOS} = 8.9 \times 10^{-2} W^{0.13} L^{-1.97} I_D^{0.87}$$

以上输出导纳均以毫西门子为单位，偏置电流以毫安为单位，沟道宽度和长度以毫米为单位。其它的电路参数，仍将使用 GP0 模型。

第五章 设计讨论

前几章对 CMOS 运放电路的一般设计方法进行了研究，并对 GPCAD 优化方法进行了简单的介绍。但是还有很多地方没有加以考虑，现大致列在本章中。

§ 5.1 二级运放的补偿问题

二级运放中要考虑补偿问题，基本结构中考虑加入补偿电容 C_c 。加了补偿

电容 C_C 之后，使 p_1, p_2 拉开，但同时也产生了零点，而且零点再 S 平面的右半平面上，因而此零点产生的相移是滞后的，它与极点 p_1, p_2 所产生的滞后相移叠加，产生了较大的附加相移。

若 $z \gg GB$ ，则 z 可以忽略，不影响电路的稳定性。若 $z < GB$ ，则产生的这个零点将会使运放工作不稳定。在 3.3 的设计实现中，采用了使 $z \gg GB$ 的方法。

为了去掉零点 z ，以提高电路的稳定性，还可以采用以下两种方法。

方案一：加单位增益缓冲器，将补偿电容 C_C 与放大器输出端相隔离。如图 2.2-3 所示，由于 M9 的隔离作用， C_C 不能将信号直接馈送到输出端，从而减小了运放输出信号的相位变化。该电路的等效电路图如图 2.2-4 所示。

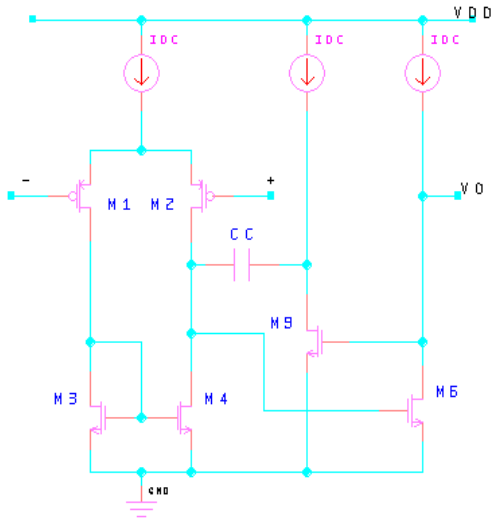


图 2.2-3 二级运放

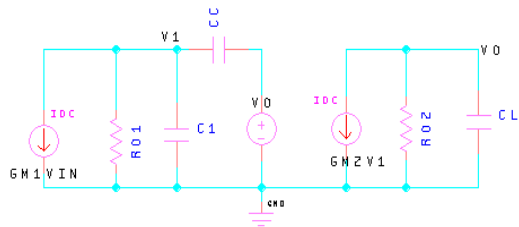


图 2.2-4 图 2.2-3 的等效电路

根据节点电流，得到如下方程组：

$$\begin{cases} g_{m1}V_{in} + \frac{V_1}{R_1} + SC_1V_1 + (V_1 - V_0)SC_C = 0 \\ SC_LV_0 + \frac{V_0}{R_2} + g_{m6}V_1 = 0 \end{cases}$$

$$\text{又} \because R_1, R_2 \gg \frac{1}{g_{m6}}$$

$$\therefore \frac{V_0}{V_{in}} = \frac{g_{m1}}{S^2(C_1 + C_C)C_L + S[(C_1 + C_C)\frac{1}{R_2} + C_L\frac{1}{R_1} + C_Cg_{m2}] + \frac{1}{R_1R_2}}$$

$$\text{从而可以得到: } p_1 \approx \frac{-1}{R_1 R_2 g_{m6} C_C}, \quad p_2 \approx \frac{-g_{m6} C_C}{C_L (C_1 + C_C)}$$

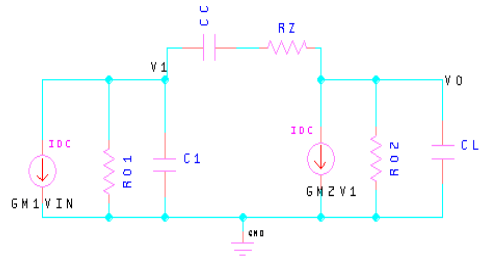
这样, 就得以消除零点 z 。

方案二: 加上电阻 R_C , 即补偿电容 C_C 与电阻串联后进行补偿。其等效电路如图

2.2-5 所示。

根据节点电流, 得到如下方程组:

$$\begin{cases} g_{m1} V_{in} + \frac{V_1}{R_1} + SC_1 V_1 + (V_1 - V_0) \frac{SC_C}{1 + SC_C R_C} = 0 \\ g_{m6} V_1 + SC_2 V_0 + \frac{V_0}{R_2} + (V_0 - V_1) \frac{SC_C}{1 + SC_C R_C} = 0 \end{cases}$$



解上述方程, 求得传递函数为:

图 2.2-5 二级运放电阻零点补偿的等效电路

的等效电路

$$\frac{V_0}{V_{in}} = \frac{a[1 - S(\frac{C_C}{g_{m6}} - R_C C_C)]}{1 + bS + cS^2 + dS^2}$$

式中,

$$\begin{cases} a = g_{m1} g_{m6} R_1 R_2, \\ b = [(C_L + C_C)R_2 + (C_1 + C_C)R_1 + g_{m6} R_1 R_2 C_C + R_2 C_C], \\ c = [R_1 R_2 (C_1 C_L + C_C C_1 + C_C C_L) + R_2 C_C (R_1 C_1 + R_2 C_L)], \\ d = R_1 R_2 C_1 C_L C_C \end{cases}$$

如果 $R_1, R_2 \gg \frac{1}{g_{m6}}$, 两个极点分离得较远, 则由传递函数求得的极点和零点为

$$p_1 \approx \frac{-1}{(1 + g_{m6} R_2) R_1 C_C} \approx \frac{-1}{g_{m6} R_2 R_1 C_C}$$

$$p_2 \approx \frac{-g_{m6} C_C}{C_L C_1 + C_C C_1 + C_C C_L} \approx -\frac{g_{m6}}{C_L}$$

$$z = \frac{1}{C_C (\frac{1}{g_{m6}} - R_C)}$$

由以上分析可以知道，当 $R_C = \frac{1}{g_{m6}}$ 时，零点消去，提高了电路的稳定性。如

果 R_C 稍大于 $\frac{1}{g_{m6}}$ ，则零点从 S 平面的右半平面移到左半平面，也可以提高电路的稳定性。

§ 5.2 不足与计划

本次论文中，对 CMOS 运放的设计优化仅仅开了个头。由于时间问题，主要是对运算放大器的手工设计和优化，对 GPCAD 的优化方法仅仅稍微了解。而且还有很多性能需要改进，现介绍如下：

1、MOS 管的寄生电容参数如栅源电容、漏衬电容在设计验证中均未加以考虑，真正设计时这些因素都是不能够忽略的。

2、电源抑制比的测试。

3、未能真正实现使用 GPCAD 对运算放大器进行优化设计。

以上这些都将作为下阶段研究设计的重点。我将对 GPCAD 这个全局优化方法进行细致的研究和探索。在对手工设计和验证各个需要设计的性能指标并利用 HSPICE 模拟仿真成功后，再利用 GPCAD 方法进行优化设计，即使用数学的方法自动算出各个电路中需要设计的参数变量，最后再次使用 HSPICE 对计算机自行计算出的参数变量进行模拟仿真看是否能够满足所有性能指标，是否为最优的设计。

结 束 语

毕业设计终于在经历了两个多月的奋战之后接近了尾声，心里既有一种如释重负的感觉又有些许失落，或许深处其中时，除了刚决定题目时的踌躇满志和结果在很多次反复调试之后如预想般呈现在我眼前的兴奋之外，更多的还是一次次尝试都失败而无法突破的迷茫和焦躁，但是现在回首看看，我想说，毕设的日子不仅仅是人生一份宝贵的财富，也具有里程碑意义，我将终生难忘。

这种用数学的方法去解决模拟电路设计的问题与通常我们更多的是依靠经验来设计模拟电路（运算放大器等）的方法有很多的区别，这对于电路设计方法是有突破性意义的。在毕设的过程中，我对此项目作了全面的了解和分析，实现了手工的设计和软件的验证，但是却没有最终完成整个项目，这是颇为遗憾的地方。尽管如此，最重要的是，这次研究学习让我更真切地明白在模电设计中不能随心所欲地改变参量，而应该从原理出发，耐心细致的反复调试，这种动一辄而触全身，寻找权衡点的玄机与奥妙也给我带来了很大的兴趣与快乐。

对于刚刚开始接触电路设计的我来说，将来还要面对很多深入艰巨的任务，“革命尚未成功，同志仍需努力”，与其说毕设已经结束，不如说它是一个新生活的开始。

也许是因为毕设的意义不凡，也许是因为第一次写论文所以格外珍视。我希望把这份论文作为我二十多年来工作旅程中第一件精心雕琢的作品，献给我的家人、老师、学长和朋友们，希望这算得上一份让你我满意的答卷。

参考文献

- [1]Donald A. Neamen, “Electronic Circuit Analysis and Design, Second Edition” Copyright©2001, 1996 by the McGraw-Hill Companies, Inc.
- [2]Maria del Mar Hershenson, Stephen P. Boyd, Fellow, IEEE, and Thomas H. Lee, “Optimal Design of a CMOS Op-Amp via Geometric Programming”
- [3]Paul R. Gray, Fellow, IEEE, and Robert G. Meyer, Fellow, IEEE, “MOS Operational Amplifier Design—A Tutorial Overview”
- [4]李联 《MOS 运算放大器—原理、设计与应用》上海集成电路设计教育服务中心, 1999 年 5 月
- [5]Jieh-Tsorng Wu, “Basic Two-Stage Operational Amplifier Design” , National Chiao-Tung University Department of Electronics Engineering

致 谢

首先要感谢我的师兄兼指导老师唐长文博士，他悉心的点拨与引导，严谨的治学态度，广泛的涉猎面，耐心负责的风范和真诚求实的为人，令我在学识与做人方面均获益良多，也大大提高了我对电路设计的认识和兴趣。在整个毕设进行过程中，他的机智敏锐，思考分析问题的方法，对新事物的把握以及对信念的坚持与追求都对我今后的发展有很大的触动和启发。

其次，我想感谢刘祖望、孙承绶等授业恩师，是您们把我引入了电路的世界，是您们让我深深爱上了这个专业。除了专业知识以外，在生活和为人处事等方面也给了我很大的关心和帮助。“师恩难忘”，我将以实际行动回报您们为我做的一切一切。

接着我想向何杰、王飞、王君、徐洪宇等师兄或同学致以最诚挚的谢意，是你们的热心帮助与指导，以及在我最郁闷的时候给与我最诚挚的鼓励，这些使得我的工作可以顺利进行。

最后，最要感谢我的父母和家人，是您们二十多年来的关爱和养育，才有了我的今天，最想把这本册子献给您们，作为女儿一点小小的心意。

在此，衷心地感谢曾经给与我和帮助的所有人，谢谢你们！

附录一 二级运放的网表文件

```
*biasing circuit
m8      6  6  2  2  pmos  l=0.8u  w=2u  m=8
il      6  0  dc 100u
*first stage
m5      9  6  2  2  pmos  l=0.8u  w=2u  m=16
m1      7  8  9  2  pmos  l=0.8u  w=2u  m=16
m2      4 10  9  2  pmos  l=0.8u  w=2u  m=16
m3      7  7  0  0  nmos  l=0.8u  w=2u  m=3
m4      4  7  0  0  nmos  l=0.8u  w=2u  m=3
*second stage
m7      3  6  2  2  pmos  l=0.8u  w=2u  m=95
m6      3  4  0  0  nmos  l=0.8u  w=2u  m=40
c1      3  4  0.8p
*input signal
v1      8  0  1.65 ac 1.0
v2      10 0  1.65
*vdd
v0      2  0  3.3v
.temp 25.0000
.OPTION post
.op
.ac dec 1000 10 1000meg
.probe ac vdb(3) vdb(4)
.END
```

附录二 工艺参数值测定.m 程序(matlab 应用程序)

```

function lpx(W, L, VTH, Level);    % spice model parameter extract
% W Width, L length, Threshold voltage, Model Level( 1 for Level one,
% others for high level with short channel effect.
% Default lpx(0.3, 0.25, 0.5316, 1);
%main program
format long e
load data33 -ascii
data_total= data33;                % load
data, format is [vds, ids, , ];
size_op=size(data_total);        %
calculate
number_op=size_op(1)^0.5;
number_min=round(0.5*number_op)+1; %
60% total number
number_max=number_op;
number=number_max-number_min+1;
%%
%%
%%    3D plot data    %%
%%
%%
for                                i=1:number_op
% i-> Vds
    for                            j=1:number_op
% j-> Vgs
        id_matrix(i, j)= data_total((i-1)*number_op+j, 2); %
id_matrix stores the id matrix

```

```

        vds_matrix(i, j)= data_total((i-1)*number_op+j, 1); %
vds_matrix stores the vds matrix
    end
end
vds=0.05*(0:1:(number_op-1)); vgs=0.05*(0:1:(number_op-1));
mesh(vds, vgs, id_matrix), title('Vgs-Vds-Id-curve'), xlabel('Vds'),
ylabel('Vgs'), zlabel('Id'); % 3D plot for Id
disp('Please press any key, and go on. ');
pause;

%%%%%%%%%%
%% Lamda Calculation %%
%%%%%%%%%%

sum_maker=linspace(1, 1, number);
for i=1:number
    id=id_matrix(number_min-1+i, number_min:number_max); % id &
vds for calculating lamda
    vds=vds_matrix(number_min-1+i, number_min:number_max);
    %plot(vds, id, 'o'); hold on;
    id_vds_eq=polyfit(vds, id, 1); % one
degree approximation
    va(i)=roots(id_vds_eq);
    %plot(vds, id_vds_eq(1)*vds+id_vds_eq(2));
    if (va(i)<0)
        lamda(i)=-1/va(i);
    end
end
end

va_avg=(sum_maker*va')/number;

```

```

lamda_avg=(sum_maker*lamda')/number;

lamda_avg=-1/va_avg; % mean of lamda

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%% Fuzzy Minimum Error Search For Specific Function %%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

% Fuzzy search function

if Level==1

x=fminsearch('errormin_1', [0.001], [], W, L, VTH, number_min, number_max,
lamda_avg, id_matrix);

disp('The Ids-Vds-Vgs Equation (Level One) is:');

disp('      1          W          2          ');
disp(' Ids = --- * UOCox * --- * (Vgs-Vth) * (1 + Lamda * Vds) ');
disp('      2          L          ');

fprintf(' Library Parameter:  UOCox  = %d \n', x(1));
fprintf(' Library Parameter:  Lamda   = %d \n', lamda_avg);

x=[x, 2, 0];

else

x=fminsearch('errormin', [0.0001, 1.5, 0.1], [], W, L, VTH, number_min, number_max,
lamda_avg, id_matrix);

disp('The Ids-Vds-Vgs Equation (short channel effect) is:');

disp('      1          UOCox          W          Apha
');
disp(' Ids = --- * ----- * --- * (Vgs-Vth) * (1 + Lamda * Vds)
');
disp('      2          1 + Theta * (Vgs-Vth)          L
');

fprintf(' Library Parameter:  UOCox  = %d \n', x(1));
fprintf(' Library Parameter:  Apha    = %d \n', x(2));

```

```

fprintf(' Library Parameter:   Theta   = %d \n', x(3));
fprintf(' Library Parameter:   Lamda   = %d \n', lamda_avg);
end

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%  Caculating Error Percentage between estimated data and inputted data  %%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

n_than_VTH = round(VTH/0.05 + 1) + 1;
for n=n_than_VTH:number_max
    for p=1:number_max
        if (p-1)*0.05 >= ((n-1)*0.05 - VTH)           % Saturation Region
            current(n,
p)=0.5*(W/L)*x(1)*(1+lamda_avg*(0.05*(p-1)))*((n-1)*0.05-VTH)^x(2)/(1+x(3)*((n-
1)*0.05-VTH));
            current1(n,
p)=0.5*(W/L)*x(1)*(1+lamda_avg*(0.05*(p-1)))*((n-1)*0.05-VTH)^x(2);
        else                                           % Linear Region
            current(n,
p)=(W/L)*x(1)*(1+lamda_avg*(0.05*(p-1)))*((n-1)*0.05-VTH-(p-1)*0.05/2)*((p-1)*0
.05)/(1+x(3)*((n-1)*0.05-VTH));
            current1(n,
p)=(W/L)*x(1)*(1+lamda_avg*(0.05*(p-1)))*((n-1)*0.05-VTH-(p-1)*0.05/2)*((p-1)*0
.05)/(1+x(3)*((n-1)*0.05-VTH));
        end
        if id_matrix(n,p)==0
            difference(n,p)=0;
            difference1(n,p)=0;
        else
            difference(n,p)=(current(n,p)-id_matrix(n,p))/id_matrix(n,p)*100;

```

```

difference1(n,p)=(current1(n,p)-id_matrix(n,p))/id_matrix(n,p)*100;
        end
    end

subplot(2,1,1),plot(vds_matrix(n,1:number_max),id_matrix(n,1:number_max),'Rx'),
    title('Id-Vds-curve'), xlabel('Vds-in-sat'), ylabel('Id-sat')
    hold on
    plot(vds_matrix(n,1:number_max),current(n,1:number_max));
    %plot(vds_matrix(n,1:number_max),current1(n,1:number_max),'G');
end
hold off;
for n=n_than_VTH:number_max

subplot(2,1,2),plot((0.05*(n-1)),difference(n,number_min:number_max),'RX'),

subplot(2,1,2),plot((0.05*(n-1)),difference1(n,number_min:number_max),'Go'),
    title('diff of spice and modeled eq'), xlabel('Vds-in-sat'), ylabel('diff%')
    hold on
end
hold off;

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
function total_error = errormin(x, W, L, VTH, number_min, number_max, lamda_avg,
id_matrix);
% x(1) stands for uCox,
% x(2) stands for apha
% x(3) stands for theta
total_error=0;
number=number_max-number_min+1;

```

```

for m=number_min:number_max
    part_of_eq(m)=0.5*(W/L)*(1+lamda_avg*(0.05*(m-1)));
end
if 0<x(2)<2
    for n=number_min:number_max
        for p=number_min:number_max
            total_error=total_error+(id_matrix(n,p)-x(1)*part_of_eq(p)...
                *((n-1)*0.05-VTH)^x(2)/(1+x(3)*((n-1)*0.05-VTH))^2;
        end
    end
end
end
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
function total_error = errormin(x, W, L, VTH, number_min, number_max, lamda_avg, id_matrix);
% x(1) stands for uCox,
% x(2) stands for apha
% x(3) stands for theta
total_error=0;
number=number_max-number_min+1;
for m=number_min:number_max
    part_of_eq(m)=0.5*(W/L)*(1+lamda_avg*(0.05*(m-1)));
end
end
for n=number_min:number_max
    for p=number_min:number_max
        total_error=total_error+(id_matrix(n,p)-x(1)*part_of_eq(p)...
            *((n-1)*0.05-VTH)^2)^2;
    end
end
end

```