

学校代码： 10246

学 号： 021021053

復旦大學

博 士 学 位 论 文

DVB-T 接收机中频率综合器的研究

院 系： 微电子学系

专 业： 微电子学与固体电子学

姓 名： 何 捷

指 导 教 师： 洪志良 教授 闵昊 教授

完 成 日 期： 2005 年 4 月 20 日

复旦大学博士学位论文

DVB-T 接收机中频率综合器的研究

何 捷

指导教师:

洪志良 教授

闵 昊 教授

指导小组:

洪志良 教授

闵 昊 教授

任俊彦 教授

杨莲兴 教授

复旦大学信息科学与工程学院微电子学系

摘要

本文从应用于数字地面电视广播 DVB-T 接收机中的频率综合器研究为出发点, 首先, 简单介绍了 DVB-T 接收机对频率综合器的性能要求, 概括了频率综合器的结构和分析方法。在此基础上, 着重研究了频率综合器的环路参数设计和噪声估计方法, 并采用 TSMC 0.25 μm CMOS 工艺设计了一个窄带的频率综合器加以验证。

在环路参数设计方面, 本文定量分析了环路参数由于工艺、电压和温度等条件的变化对整个环路稳定性的影响, 并在此基础上, 提出了基于稳定性优化的环路参数设计方法。

在噪声估计方法, 建立了对电荷泵等效噪声估算的采样噪声模型, 并且进一步的采用了基于环路的噪声参数模型和基于性能指标的噪声参数模型来估算整个环路的相位噪声。

在电路设计方面, 详细的论述了各个模块的实现方法。研究了差分电荷泵存在的问题并提出了相应的改进技术, 同时依据稳定性分析提出了结构简单的稳定性补偿电荷泵; 另外本文还提出了采用开关阶跃变容器的全差分压控振荡器电路; 并研究总结了低噪声分频器的原理和电路结构。

最后, 通过仿真和芯片测试, 验证了本文提出的基于稳定性优化的参数设计方法, 以及电荷泵的采样等效噪声模型的准确性和环路噪声估计方法的可行性; 也验证了新电路结构如差分电荷泵及差分压控振荡器的可行性。

论文论述了从频率综合器的系统级参数设计到电路设计的完整流程, 在此基础上, 文章最后提出了噪声优化的方法, 为进一步的研究工作提供的很好的参考。

关键字: 频率综合器, 环路稳定性, 参数设计, 相位噪声, 等效噪声模型, 噪声估计, 差分电荷泵, 差分压控振荡器, 分频器, 稳定性优化, 稳定性补偿, 噪声优化

中图分类号: TN4

Abstract

The purpose of the thesis is to research the fully integrated frequency synthesizer suitable for terrestrial digital video broadcasting (DVB-T) receiver. First, the thesis introduces the specification of synthesizers for DVB-T and summaries the common analysis methods and structure of synthesizers. Then, the research focuses on the analysis methods for loop parameters design and noise estimation, and the test chip of a narrow band synthesizer was manufactured with TSMC 0.25 μ m CMOS technology to verify the analysis.

In the part of loop parameters design, the influence on loop stability of parameters variations caused by process, voltage and temperature (PVT) etc is quantitatively analyzed. Based on the analysis, the method of parameters design with stability optimization is proposed.

In the part of noise estimation, the new sampling equivalent noise model for charge pump is proposed, and the block noise estimation based on the loop parameters or the design specification is suggested to estimate the whole loop noise.

In the part of circuits design, the practical circuits including innovations are exhaustively discussed. The improving techniques on the differential charge pump are proposed, and the simple stability compensation method is also proposed based on the stability analysis. The fully differential VCO with new switch-varactor is also proposed. The principle and structure for low-noise divider is also theoretically analyzed and concluded.

Finally, through the simulation and chip test, the proposed parameter design method based on stability analysis and optimization is verified, and the proposed sampling-equivalent noise model for charge pump and the method for noise estimation is also verified. Additionally, the novel circuits such as differential charge pump and VCO are validated.

In general, the thesis discusses the method and complete procedure from system parameter design to circuits design for frequency synthesizers. At the end of the paper, the optimization method for noise optimization is discussed, which is the good reference for further research.

Key words: frequency synthesizer, loop stability, phase noise, parameter design, equivalent noise model, noise estimation, differential charge pump, differential VCO, frequency divider, stability optimization, stability compensation, noise optimization.

CLC number: TN4

前言

研究背景

数字电视广播技术随着数字通信技术的迅猛发展也臻渐成熟。自从上世纪九十年代以来,欧洲电信标准研究院 ETSI(Europe Telecommunication Standard Institute)最先提出数字电视标准 DVB 系列,随后美国和日本也相继出台了各自的数字电视标准。而我国也于 2000 年成立了数字电视标准化工作组,展开未来数字电视标准的制定工作。从全世界范围内来看,欧洲的数字电视标准已经被大部分地区所采用,并且其中的卫星数字广播 DVB-S 和有线数字广播 DVB-C 两个标准也成为了我国广播业事实上的准标准。就目前情况看来,我国的地面无线数字电视广播标准还正在争论之中,而候选热门标准之一 DMB-T[1]采用的技术与 DVB-T[2]比较接近,都是基于了 OFDM 技术。在电视调谐器(即射频接收机)部分,DVB-T 和 DMB-T 对性能指标的要求也基本一致,所以本文就暂以成熟的标准 DVB-T 为切入点。

DVB-T 是 ETSI 提出的地面无线数字广播标准。由于地面无线广播的信道复杂性,及电视信号的高信噪比要求,使得电视调谐器的噪声性能要求很高。就目前而言,全集成的调谐器也是工业界和学术界研究的热点,而其中的难点之一就是如何实现全集成的低噪声频率综合器。

目前能达到调谐器性能指标的频率综合器芯片都是采用双极或者是 BiCMOS 工艺实现的,而且需要较多的片外元器件。而如何用 CMOS 工艺实现满足调谐器性能的全集成频率综合器面临着诸多的挑战,至少存在着两个方面的问题。首先,集成的元器件会受工艺参数的影响发生改变,不能像片外元器件那么进行很方便的调整,从而会对频率综合器的性能产生影响;其次,CMOS 器件本身的高噪声使得低噪声频率综合器设计没有采用双极器件那么容易,需要进行诸多方面的特别是噪声方面的优化考虑。所以本论文将从频率综合器的稳定性优化和噪声优化进行研究,尝试用 CMOS 工艺实现满足 DVB-T 接收机性能的全集成频率综合器。

论文的主要工作和贡献

论文的主要工作和贡献包括:

- 1) 研究和总结了在 DVB-T 接收机中对频率综合器的性能要求,特别是相位噪声的性能指标。
- 2) 在三阶闭环环路模型的基础上,推导了环路参数设计的流程,并且首次定量

分析了频率综合器中环路参数的变化对环路稳定性的影响[3]。引入了变化因子的概念，并讨论得到了稳定性最优闭环阻尼因子的计算方法，提出了基于稳定性优化的环路参数设计方法。

3) 提出了电荷泵等效电流噪声的采样噪声模型，与传统的导通比模型相比，在低频段的噪声分析具有更好的精度。在此基础上，进一步分析了其它各模块的参数化等效噪声模型，得出了环路总相位噪声的估算方法。

4) 在详细分析全差分电荷泵电路的基础上，提出了电平位移电路、cascode 管隔离、复位信号生成电路等提高性能的方法，并提出了结构简单的稳定性补偿方法。

5) 分析了采用开关阶跃可变电容器的新结构 LC-VCO 的工作原理[4]，并且设计了全差分的压控振荡器。

6) 分析和总结了低噪声的分频器的设计原理和方法。

概括而言，本论文在基于环路稳定性优化的参数设计方法、以及如何准确的估计环路的相位噪声的两个方面进行的深入的研究，为设计高性能的频率综合器得到了很好的指导方法。同时，在电路实现方面，在全差分电荷泵、全差分压控振荡器的设计也有所创新。仿真和测试的结果进一步验证了稳定性参数优化和噪声估计方法的正确性，也验证了电路设计的可行性。

论文的组织结构

第一章，“DVB-T 接收机中频率综合器性能”，首先简单介绍一下 DVB-T 标准，及部分与频率综合器性能指标相关的内容；然后重点介绍了频率综合器中的相位噪声和时钟抖动的基本概念；并且进一步推导了 DVB-T 接收机对频率综合器相位噪声的性能要求。

第二章，“频率综合器的结构”，介绍了频率综合器的组成、线性分析模型和噪声的产生及传递等基础知识；进一步介绍了常用的频率综合器的电路结构：整数分频、分数分频和双环路结构，比较了各自的优缺点及适用范围；最后，介绍了 DVB-T 接收机的基本结构，并分析了适用的频率综合器结构和存在的问题。

第三章，“环路参数设计”，采用闭环三阶的环路模型，推导了设计环路参数的流程和方法；以闭环分析为基础，借助于根轨迹的分析方法，定量分析了环路参数的变化与环路稳定性之间的关系，并且进一步提出了基于稳定性优化的参数设计方法；此外，还分析了二阶模型和三阶模型、三阶模型和四阶模型相互之间的关系。

第四章，“噪声估计”，在闭环三阶模型的基础上，分析了环路中各个模块的传输函数和降低环路噪声的方法。提出了电荷泵的采样等效噪声模型，并且分别采用

了基于参数的噪声模型和基于性能指标的噪声模型对不同的模块等效噪声进行估计；最后由噪声传输函数和等效噪声模型，得到了环路的最终输出相位噪声的估计。

第五章，“电路设计”，先介绍了鉴相器的设计方法，随后详细的研究了全差分电荷的电路设计方法和稳定性补偿技术；讨论了环路滤波器中电阻和电容的选择方法，并讨论了降低电容面积的技术；介绍了开关可变电容器的工作原理，并且在此基础上设计了全差分的压控振荡器电路；分析了分频器结构与噪声的关系，设计了基于 TPSC 逻辑的低噪声分频器；最后介绍了用于整个电路中的偏置电路的设计方法。

第六章，“仿真与测试”，针对 DVB-T 的要求设计了一个窄带的频率综合器来验证稳定性分析和噪声估计的方法。通过仿真，验证了基于稳定性的参数设计方法和稳定性补偿电荷泵调整电路。通过仿真和测试，验证了提出的电荷泵采样噪声模型和噪声估计的计算方法。同时还测试了采用开关变容器的差分压控振荡器的相位噪声。最后提出了进一步进行噪声优化的方法。

参考文献

- [1] *Terrestrial Digital Multimedia/Television Broadcasting System*, P. R. China Patent 00 123 597.4, Mar. 21, 2001.
- [2] ETSI EN 300 744, *Digital Video Broadcasting(DVB): Framing structure, channel coding and modulation for digital terrestrial television*. 2001. <http://www.etsi.org>.
- [3] He Jie, Tang Zhangwen, Min Hao, Hong Zhiliang. “A CMOS Fully Integrated Frequency Synthesizer with Stability Compensation”, *Chinese Journal of Semiconductor*, Accepted.
- [4] Tang Zhangwen, He Jie, Jian Hongyan, and Min Hao. “An Accurate 1.08-GHz CMOS LC Voltage-Controlled Oscillator”, *Chinese Journal of Semiconductor*, Accepted

第一章 DVB-T 接收机中频率综合器性能

1.1 引言

频率合成技术被广泛应用在国民生活和科技研究的各个方面,早已渗透到了空间探测、通信、雷达、计算机及家电等各个领域。随着微电子技术(尤其是 CMOS 硅工艺)的迅猛发展,现代频率合成技术已经向微型化和高集成度方向发展。尤其在市场竞争激烈的消费电子领域,全集成的频率综合器已经成为了主流。

一般来说,频率综合器关心的性能指标包含了:频率的分辨率、可调频率范围、频率切换的瞬态稳定时间、相位噪声或者时钟抖动、参考时钟的馈通毛刺、功耗等几个主要方面。由于不同应用对于频率综合器的性能要求各不相同,通常频率综合器的结构和复杂度也随着应用系统的不同要求存在着差异。

本论文研究的是应用在 DVB-T 接收机中的频率综合器,而相位噪声及时钟抖动是频率综合器设计的重点和难点,也是目前改进频率综合器的主要研究方向。因此本章先简要的介绍一下 DVB-T 通信系统的特点;然后进一步介绍频率综合器中的相位噪声和时钟抖动的基本概念;最后根据 DVB-T 的性能要求,初步计算满足系统要求的频率综合器的相位噪声等性能指标。

1.2 DVB-T 简介

由于本论文所论述的频率综合器是应用于地面数字电视标准 DVB-T[1]接收机中的,因此这里首先简单介绍一下 DVB-T 的特点及性能要求,这些都将对频率综合器的性能指标有影响。

DVB-T 的主要特点:

1) 规定的信道涵盖了 VHF 和 UHF 频段,并且同时定义了 3 种带宽,即 8MHz、7MHz 和 6MHz,可以适合不同的国家和地区的应用。目前应用的最为广泛的是 8MHz 的带宽。

2) 采用编码正交频分多路(COFDM, Coded Orthogonal Frequency Division Multiplexing)通信技术。正交频分多路(OFDM)是一种多载波通信技术,可以解决地面无线信道中的多径效应。所谓编码就是指采用了信道编码技术,如线性分组编码和卷积编码,这样能够提高整个系统的抗噪声和抗干扰能力。

3) DVB-T 协议中目前定义了两种子载波数,即 2K 和 8K 模式。在 2K 模式、8MHz 带宽的情况下,实际的有效载波数是 $K=1704$ 个,每个子载波的带宽是 $f_U=4.464\text{kHz}$,

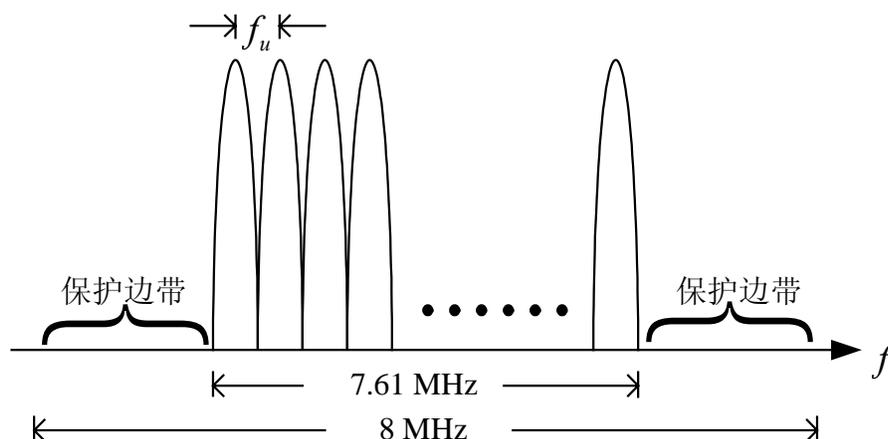


图 1.1 DVB-T 中信号的频域分布

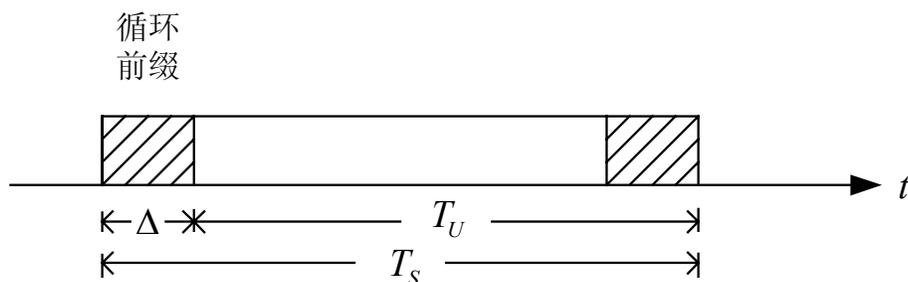


图 1.2 DVB-T 信号中一个 symbol 的时域分布

实际占用带宽是 7.61MHz ，余下的带宽称为保护边带，如图 1.1 所示。在时域上，如图 1.2 所示，一个数据符号(symbol)段 T_S 有两部分组成：有效数据段 $T_U=224\mu\text{s}$ 和循环前缀段 Δ 。其中循环前缀段由有效数据的尾段组成，它的长度 Δ 在 DVB-T 协议中也有定义，可以是 $1/4$ 、 $1/8$ 、 $1/16$ 或 $1/32$ 有效数据段 T_U 的长度。

4) DVB-T 可以采用多种调制方式将信号匹配到子载波上，包括 QPSK、QAM-16、QAM-64 及非标准 (non-uniform) 的 QAM-16、QAM-64。另外，DVB-T 还提供了采用 BPSK 调制的导频信号来进行参数传输、信道估计和均衡。

5) 信道编码技术包括了线性分组码和卷积码。线性分组码采用 Reed-Solomon 编码：RS(204,188,t=8)。它表示可以纠正一个码字中 8 比特的错误，同时这种编码也被称为外码。RS 编码的编码率是固定的，而卷积编码在 DVB-T 标准中是可以选择的，可以根据实际信道的情况加以调整。卷积编码的编码率可以有 $1/2$ 、 $2/3$ 、 $3/4$ 、 $5/6$ 和 $7/8$ 五种选择。卷积编码在标准中也被称为内码。同时，除了信道编码以外，

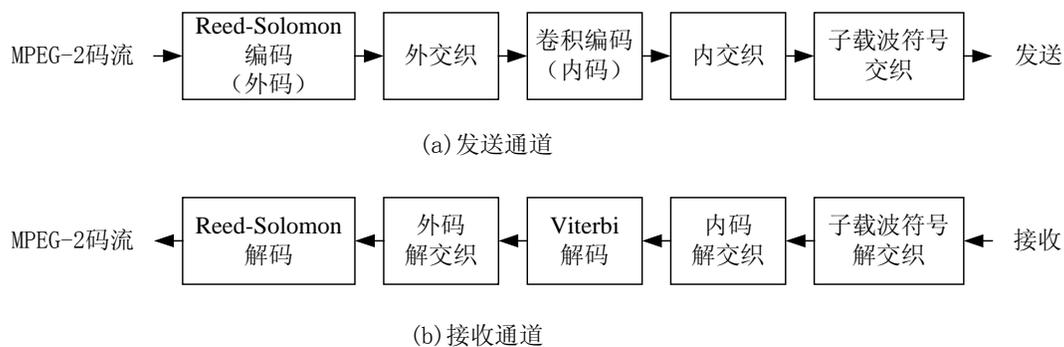


图 1.3 DVB-T 标准中的信道编解码流程示意

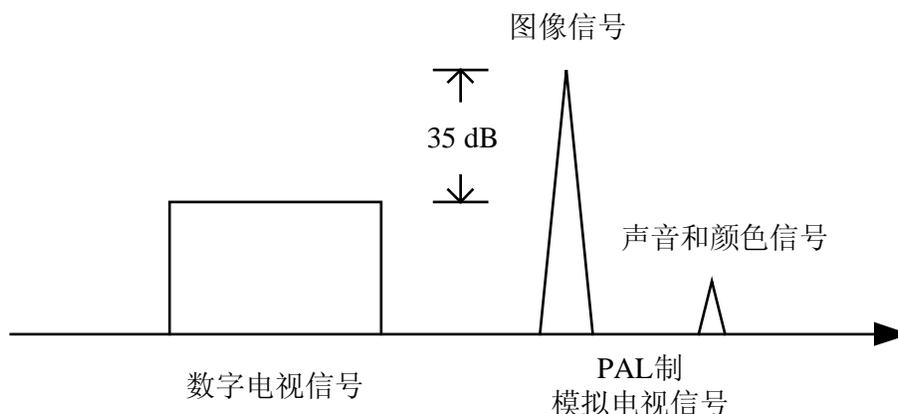


图 1.4 相邻的 DVB-T 数字电视信号和 PAL 模拟电视信号的频谱示意

还采用了交织技术来进一步提高系统对突发噪声的抗干扰能力。发送时的编码和交织顺序如图 1.3(a)所示；相应地，接收端也存在着解交织和解码的过程，如图 1.3 (b)所示。通过编码和交织技术，发送端和接收端的 MPEG-2 码流能达到准无误 (QEF, Quasi Error Free)，即一个小时内出现的错误小于一个。DVB-T 标准中也给出了在不同信道、不同调制方式下，达到 QEF 时接收端的最小载噪比 (CNR, Carrier to Noise Ratio) 的参考测试值。例如，在移动条件下的信道 (即 Rayleigh 信道)，对于 QAM-64 调制方式，要实现 QEF 的最小载噪比是 27.9 dB。

6) 由于目前依然存在着模拟电视的广播，而模拟电视信号比数字电视信号要强的多。DVB-T 标准也给出了实际测试的参考值：在最坏情况下，模拟电视信号的强度比数字电视信号要高 35 dB，如图 1.4 所示。如果模拟电视的信道与数字电视的信道相邻，则相邻信道的干扰也要考虑，这对接收机中频率综合器的性能也有影响。

1.3 基本概念—相位噪声和时钟抖动

频率综合器关系的性能指标有很多方面，而本论文主要的研究重点之一是噪声的评估和优化，因此先介绍最重要的噪声指标相关的基本概念：相位噪声及时钟抖动。

1.3.1 相位噪声

顾名思义，相位噪声就是信号在相位上的噪声，带有相位噪声的信号可表示成

$$A_0 \sin(\omega_0 t + \phi_n) = A_0 (\cos \phi_n \sin \omega_0 t + \sin \phi_n \cos \omega_0 t) \quad (1-1)$$

其中 A_0 是信号的幅度； ω_0 是信号的中心频率，在通信系统中也称为载波频率； ϕ_n 就是相位噪声。值得注意的是，相位噪声是个随机信号，它在时间上的均值是零，(1-1)式可以简化成：

$$A_0 \sin(\omega_0 t + \phi_n) \approx A_0 (\sin \omega_0 t + \phi_n \cos \omega_0 t) \quad (2)$$

可见，相位噪声的贡献只出现在载波的正交相位上，即 $\cos \omega_0 t$ 。

通常，噪声模型可以用频谱上的一系列不相关的、间隔为 1Hz 的正弦信号来表示。假设频率综合器的输出可以表示成 $A_0 \sin \omega_0 t$ ，如果在中心频偏 $\Delta\omega$ 存在幅度为 a_n 的加性噪声，则输出可以表示成

$$\begin{aligned} & A_0 \sin \omega_0 t + a_n \sin((\omega_0 + \Delta\omega)t + \phi) \\ = & A_0 \sin \omega_0 t + \underbrace{\frac{a_n}{2} \sin((\omega_0 + \Delta\omega)t + \phi) + \frac{a_n}{2} \sin((\omega_0 - \Delta\omega)t - \phi)}_{\text{AM noise}} \\ & + \underbrace{\frac{a_n}{2} \sin((\omega_0 + \Delta\omega)t + \phi) - \frac{a_n}{2} \sin((\omega_0 - \Delta\omega)t - \phi)}_{\text{PM noise}} \\ = & A_0 \sin \omega_0 t + \frac{a_n}{2} \cos(\Delta\omega t + \phi) \cdot \sin \omega_0 t + \frac{a_n}{2} \sin(\Delta\omega t + \phi) \cdot \cos \omega_0 t \end{aligned} \quad (1-3)$$

可以看出，一个加性噪声对载波贡献两种类型的噪声：幅度调制(AM)噪声、相位调制(PM)噪声。图 1.5 表示了在频谱上的幅度调制噪声和相位调制噪声的这种分解。两种噪声的功率谱密度(PSD)是相等的，都是总噪声功率谱密度的一半。

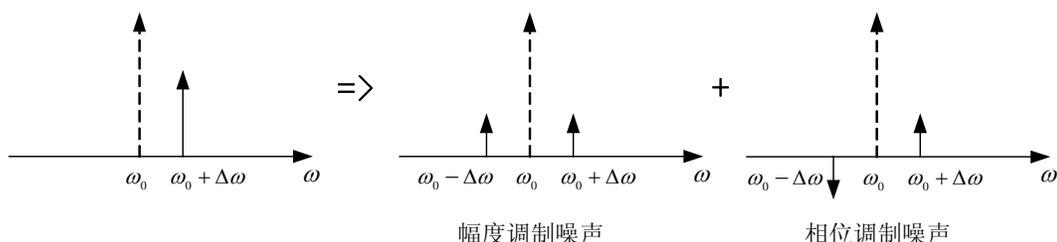


图 1.5 噪声的幅度调制和相位调制分解

如果噪声的功率谱密度是 $S_{\omega}(\Delta\omega)$ ，则相位噪声的功率谱密度表示成[2]

$$S_{\phi}(\Delta\omega) = \frac{1}{2} \cdot \frac{S_{\omega}(\Delta\omega)}{(\Delta\omega)^2} \quad (1-4)$$

考虑到在频偏 $-\Delta\omega$ 处的噪声同样对相位噪声有贡献，则正负频偏处的噪声需要同时考虑，这样得到的相位噪声与载波的比称之为*单边带相位噪声*，用 $\mathcal{L}(\Delta\omega)$ 表示：

$$\mathcal{L}(\Delta\omega) = \frac{S_{\phi}(\Delta\omega) + S_{\phi}(-\Delta\omega)}{P_c} \quad (1-5)$$

单位是dBc/Hz，其中 P_c 是在中心频率（载波）处的功率。例如，假设噪声是白噪声， $S_{\omega}(\Delta\omega) = N_0$ ，则 $\mathcal{L}(\Delta\omega) = N_0 / (P_c \Delta\omega^2)$ 。

在实际电路中，单边带相位噪声的频谱如图 1.6 中所示。由于频率综合器的输出往往是压控振荡器(VCO)的输出，所以图 1.6(a)是自由VCO的相位噪声曲线，具有典型的 $1/f^3$ 、 $1/f^2$ 和噪声基底(noise floor)区域；同时由于大多数频率综合器是基于锁相环结构的，所以图 1.6(b)给出了一种典型的经过锁相环输出的VCO相噪曲线，它的区域包含 $1/f$ 、噪声平带、 $1/f^2$ 和噪声基底区域。

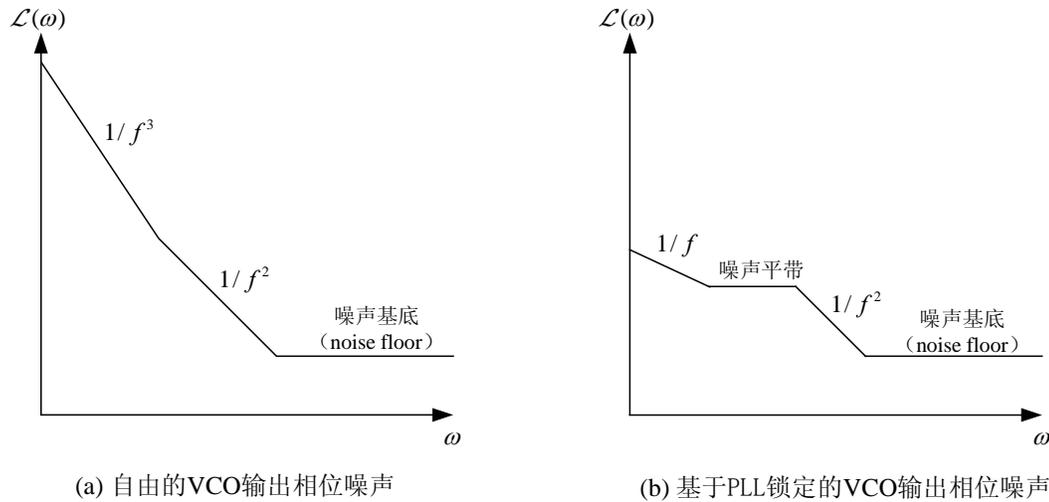


图 1.6 VCO 单边带相位噪声的谱密度

1.3.2 时钟抖动

由于噪声是随机信号，随机信号需要用自相关函数 $R(\tau)$ 和功率谱密度 $S(f)$ 来表

征，同时自相关函数和功率谱密度函数互为 Fourier 变换：

$$R(\tau) \xleftrightarrow{\text{Fourier Transform}} S(f)$$

这个关系也被称为维纳-辛钦(Wiener-Khinchine)定理[3]。特别的，当 $\tau=0$ ，并且当随机信号的均值为零时， $R(\tau)=\sigma^2$ ，其中 σ 是随机信号的方差。对于相位噪声，此时有：

$$\sigma_{\phi}^2 = \int_{-\infty}^{+\infty} S_{\phi}(f)df \quad (1-6)$$

其中 $S_{\phi}(f)$ 是相位噪声功率谱密度， σ_{ϕ}^2 是相位噪声的方差。

相位噪声在时钟系统中往往表现为时钟抖动(jitter)，如图 1.7 所示。实际时钟与理想时钟的边沿时间上的差值就是时钟抖动。时间上的差与对应的相位差的关系表示为：

$$\Delta t = \frac{\Delta\phi}{2\pi}T \quad (1-7)$$

同样时钟抖动也是随机信号，因此

$$\sigma_t^2 = \left(\frac{T}{2\pi}\right)^2 \sigma_{\phi}^2 = \frac{\sigma_{\phi}^2}{\omega_0^2} \quad (1-8)$$

其中 σ_t^2 是时钟抖动的方差， T 、 ω_0 分别是时钟的周期和角频率。由(1-6)式，(1-8)可以写成：

$$\sigma_t^2 = \frac{1}{\omega_0^2} \int_{-\infty}^{+\infty} S_{\phi}(f)df \quad (1-9)$$

这个方程给出了时钟抖动与相位噪声的功率谱密度之间的关系。如果用单边带相位噪声来表示，则(1-9)式可以进一步写成：

$$\sigma_t^2 = \frac{P_c}{\omega_0^2} \int_0^{+\infty} \mathcal{L}(f)df \quad (1-10)$$

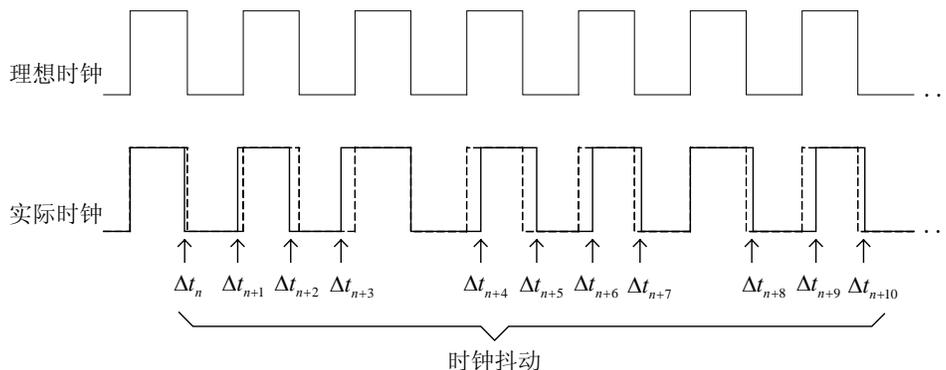


图 1.7 由相位噪声产生的时钟抖动

从(1-10)可以看出，时钟抖动实际上是相位噪声在频率域上的积分，因此不同的相位噪声曲线可能具有相同的时钟抖动。从图 1.8 可以知道，即使(a)和(b)相位噪声曲线不同，只要有相同的积分，它们就有着相同的 jitter。这一点在一些对电磁兼容和泄漏有特殊要求的系统中特别重要，图 1.8(b)的相位噪声曲线可以避免在中心频率附近泄漏出额外的电磁能量。但是另一方面，在无线通信系统接收电路中，图 1.8(a)的相位噪声则有着更好的性能。因此根据不同的系统性能要求，需要选择的相位噪声曲线也不相同。

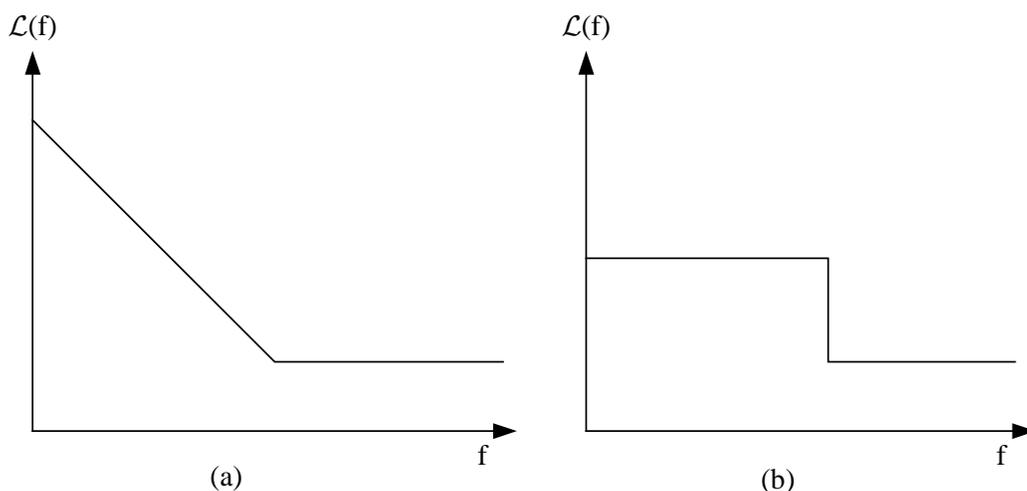


图 1.8 具有相同时钟抖动的两种不同相位噪声曲线

1.4 DVB-T 接收机中频率综合器的性能估算

1.4.1 理想 OFDM 信号的表示

假设在发送端和接收端采用 N 点的 DFT 算法进行信号的调制和解调，则在信号中存在着 N 个载波，即使在那些载波中有一些是用来提供保护边带的零，但是这些载波事实上还是存在的，所以发送的信号可以表示成：

$$s(t) = \sum_{k=0}^{N-1} S_k e^{j(\omega_0 + k\omega_U)t} \quad (1-11)$$

其中， S_k 是经过 QPSK 或 QAM 调制的复信号；

ω_U 是子载波间距，即 $\omega_U = 2\pi/T_U$ ；

ω_0 是载波中心频率。

经过单位冲击响应为 $h(t)$ 的信道传输后，理想接收信号 $r(t)$ 可以表示成：

$$r(t) = \sum_{k=0}^{N-1} H_k S_k e^{j(\omega_0+k\omega_U)t} = \sum_{k=0}^{N-1} R_k e^{j(\omega_0+k\omega_U)t} \quad (1-12)$$

其中， H_k 是信道在第 k 个子载波上的复频域响应，与时域响应 $h(t)$ 相对应； R_k 是理想接收信号在第 k 个子载波上复幅度。如果经过理想本地振荡器(LO)的下混频，得到信号是：

$$x(t) = \sum_0^{N-1} R_k e^{jk\omega_U t} \quad (1-13)$$

假设接收的信号是非周期的，且只在 $[0, T_U]$ 时间段内有效，其他时间段为 0，则信号的 Fourier 变换是：

$$X_l = \int_0^{T_U} x(t) e^{-jl\omega_U t} dt = \int_0^{T_U} \sum_{k=0}^{N-1} R_k e^{-j(l-k)\omega_U t} dt = T_U \cdot R_l \quad (1-14)$$

1.4.2 相位噪声对 OFDM 接收信号的影响

在实际的接收过程中，由于 LO 存在着相位噪声，则接收到的 OFDM 基带信号是：

$$x'(t) = e^{j\varphi(t)} \sum_0^{N-1} R_k e^{jk\omega_U t} \quad (1-15)$$

其中 $\varphi(t)$ 是相位噪声，因此：

$$X'_l = \int_0^{T_U} x'(t) e^{-jl\omega_U t} dt = \int_0^{T_U} e^{j\varphi(t)} \sum_{k=0}^{N-1} R_k e^{-j(l-k)\omega_U t} dt \quad (1-16)$$

由于 $\varphi(t)$ 是均值为零的随机信号，上式可以简化成：

$$\begin{aligned} X'_l &= \int_0^{T_U} (1 + j\varphi(t)) \sum_{k=0}^{N-1} R_k e^{-j(l-k)\omega_U t} dt \\ &= \int_0^{T_U} \sum_{k=0}^{N-1} R_k e^{-j(l-k)\omega_U t} dt + j \sum_{k=0}^{N-1} R_k \int_0^{T_U} \varphi(t) e^{-j(l-k)\omega_U t} dt \\ &= T_U [R_l + j \sum_{k=0}^{N-1} R_k \varphi_{l-k}] \end{aligned} \quad (1-17)$$

$$\text{其中 } \varphi_m = \frac{1}{T_U} \int_0^{T_U} \varphi(t) e^{-jm\omega_U t} dt \quad (1-18)$$

这里， φ_{l-k} 代表了由于相位噪声的存在，第 k 个子载波对第 l 个载波信号的干扰系数。这说明，对于任意一个子载波，所有的子载波都会由于相位噪声的存在对该载波产生额外的噪声。注意观察一下 φ_m ，可以发现它可以被看作是一个信号的Fourier变换，这个信号即噪声信号 $\varphi(t)$ 和宽度为 T_U 的窗信号 $w(t)$ 之乘积，但由于 $\varphi(t)$ 是随机信号，需要用功率谱密度函数来分析。为了方便分析，先做以下近似假设：

1) 发送信号是随机的，每个子载波上的信号 S_k 是互不相关的，而且它们的平均功率也是一样的。

2) 信道的幅度响应 H_k 是一致的。（虽然实际的信道响应是不确定的，也不可能是一致的，但是由于协议提供了用作信道均衡的导频信号，通过均衡可以使得幅度响应一致）

3) 根据以上两点，可以推出每个子载波接收到的信号 R_k 之间也互不相关，而且它们的平均功率也是一样的。

通过(1-17)式可以得到接收信号的功率：

$$\begin{aligned}
 X_l' X_l'^* &= T_U^2 [R_l R_l^* + \sum_{k=0}^{N-1} R_k R_k^* \varphi_{l-k} \varphi_{l-k}^*] \\
 &= T_U^2 R^2 [1 + \sum_{k=0}^{N-1} \varphi_{l-k} \varphi_{l-k}^*] \\
 &= T_U^2 R^2 [1 + \sum_{k=0}^{N-1} \int_{-\infty}^{+\infty} \text{sinc}^2(\frac{f-(l-k)f_U}{f_U}) S_\phi(f) df] \tag{1-19} \\
 &= T_U^2 R^2 [\underbrace{1 + \int_{-\infty}^{+\infty} \text{sinc}^2(\frac{f}{f_U}) S_\phi(f) df}_{\text{common rotation noise}} + \underbrace{\sum_{k \neq l}^{N-1} \int_{-\infty}^{+\infty} \text{sinc}^2(\frac{f-(l-k)f_U}{f_U}) S_\phi(f) df}_{\text{thermo-noise-like noise}}]
 \end{aligned}$$

其中 R^2 表示子载波理想接收信号的平均功率， $S_\phi(f)$ 即相位噪声的功率谱密度，而 N 实际上应该是有效载波的数目，不包括为零的子载波。这里，由相位噪声引入的误差被分成了两部分：一部分称为公共旋转噪声，则部分噪声是由(1-18)式中的 φ_0 贡献的，也就是说子载波自身贡献的，在文献[4][5]中称为公共相位差CPE(Common Phase Error)，这一项使得星座图产生旋转，这部分可以通过DVB-T中的导频信号估计出来从而完全被矫正；而另一部分称为类热噪声，是由其他子载波贡献的，所以像热噪声，这部分噪声是真正的噪声。文献[Scott]同样也得到了这部分热噪声的表达式，并且将最大的噪声简化成了：

$$\max \left\{ \sum_{k \neq l}^{N-1} \int_{-\infty}^{+\infty} \text{sinc}^2(\frac{f-(l-k)f_U}{f_U}) S_\phi(f) df \right\} \approx \int_{-\infty}^{+\infty} [1 - \text{sinc}^2(\frac{f}{f_U})] S_\phi(f) df \tag{1-20}$$

1.4.3 频率综合器的相位噪声性能估算

1.4.3.1 $1/f^2$ 噪声性能指标

由于振荡器的相位噪声频谱通常如图 1.6 所示,而且经频率综合器锁定的振荡器具有如图 1.6(b)一样典型的相位噪声频谱。因此,如果暂时忽略基底噪声的影响(对积分的贡献很小),则相位噪声可以近似为:

$$S_{\phi}(f) \approx P_c A \frac{f_a^2}{f^2} \quad (1-21)$$

其中, f_a 是相位噪声曲线在 $1/f^2$ 区域中任意一点的频偏, A 则代表了该频率点对应的相位噪声。此式是相位噪声保守的估计,因为对经锁定的振荡器而言,在 $1/f$ 和噪声平带区域上的相位噪声要比此式表示的要小。则由于振荡器的相位噪声引入到单个子载波上的最大噪声载波比 NCR 为:

$$NCR_{\max} = \frac{1}{CNR_{\min}} = \int_{-\infty}^{+\infty} [1 - \text{sinc}^2(\frac{f}{f_U})] S_{\phi}(f) df = P_c A f_a^2 \int_{-\infty}^{+\infty} [1 - \text{sinc}^2(\frac{f}{f_U})] \frac{1}{f^2} df \quad (1-22)$$

由于积分: $\int_{-\infty}^{+\infty} (1 - \text{sinc}^2(x)) \frac{1}{x^2} dx = \frac{2}{3} \pi^2$, 所以可以得到:

$$NCR_{\max} = \frac{2}{3} \frac{P_c A f_a^2}{f_U} \pi^2 \quad (1-23)$$

在上一节已经介绍了,在 Rayleigh 信道下,要实现 QAM-64 的准无误(QEF)解调需要的最小载波噪声比 CNR 为 27.9 dB。所以假设振荡器的平均功率 $P_c=1$, $f_U=4.464$ kHz, $f_a=10$ kHz, 则

$$10^{-27.9/10} = \frac{2}{3} \times \frac{1 \times A \times (10^4)^2}{4.464 \times 10^3} \times \pi^2 \Rightarrow A = -79.6 \text{ dB}$$

这说明,对于频率综合器而言,相位噪声性能要在 10kHz 频偏处达到至少 -80 dBc/Hz 才能满足系统的要求。

1.4.3.2 基底噪声性能指标

由于 DVB-T 的信道带宽是 8MHz, 图 1.6(b) 所示频率综合器的 $1/f$ 、噪声平带和 $1/f^2$ 噪声主要是和信道带内的子载波相互混频产生的噪声;同时信道带外的干扰信号(包括其他的数字频道和模拟频道)也会和频率综合器的噪声基底(Noise floor)互相混频,进一步产生更多的干扰噪声,这可以用图 1.9 来解释。图 1.9 中,基带的噪

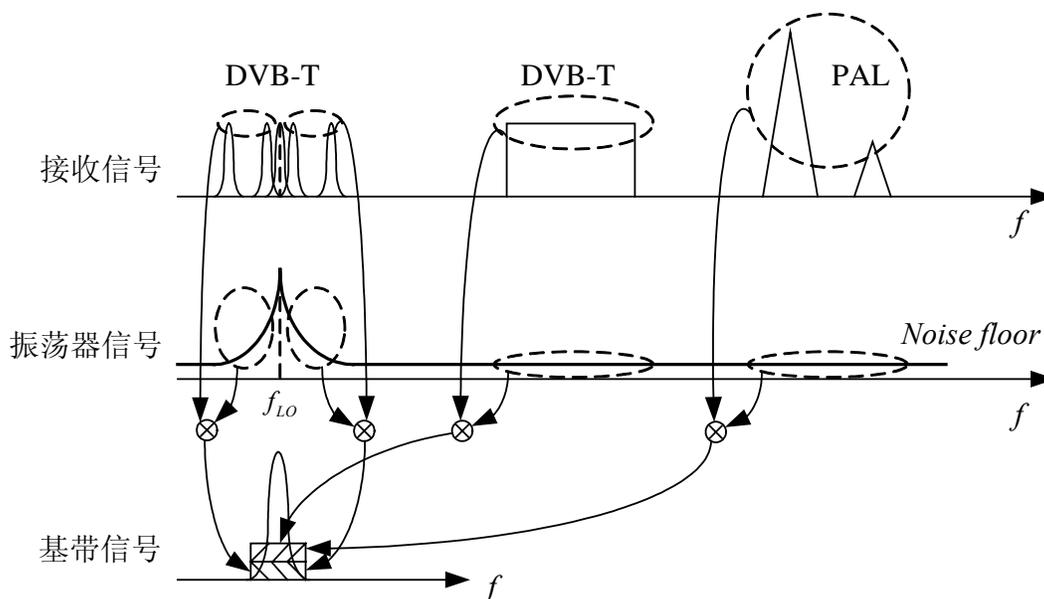


图 1.9 带内混频和带外混频对总噪声的贡献

声被分成了两个部分：带内混频噪声和带外混频噪声。其中，在上节得到的结果是带内混频产生的噪声。这里我们需要计算带外混频贡献的噪声。由于 DVB-T 的接收机接收的信号是宽带信号，往往可能有上百兆的带宽，可能包含了多个数字和模拟频道，每个频道都会和振荡器混频产生噪声干扰。假设载波功率已经归一化了，则这些噪声之和可以计算为：

$$N_{TOTAL} = LO_{NF} \cdot (n_{DVB-T} \cdot BW_{DVB-T} + n_{PAL} \cdot A_{PAL} \cdot BW_{PAL}) \quad (1-23)$$

其中， LO_{NF} 是振荡器输出信号的噪声基底；

n_{DVB-T} 、 n_{PAL} 分别是同时接收到的 DVB-T 频道和 PAL 制模拟频道的数目； A_{PAL} 是 PAL 制电视信号比 DVB-T 信号高出的功率，最大值 35 dB；

BW_{DVB-T} 、 BW_{PAL} 分别是数字和模拟频道的带宽。

由于实际情况下，模拟信号比数字信号强的多，在模拟电视信号存在的情况下，上式可以近似为：

$$N_{TOTAL} \approx LO_{NF} \cdot n_{PAL} \cdot A_{PAL} \cdot BW_{PAL} \quad (1-24)$$

如果要想实现准无误 QEF 接收，上式可以改写为：

$$LO_{NF} = NCR - [10\log(n_{PAL}) + 35 + 10\log(BW_{PAL})] \quad (1-25)$$

假设有 5 个模拟信道，模拟信道的带宽通常为 8MHz，则对于 $CNR=27.9+3dB$ 的情

况,

$$\begin{aligned} LO_{NF} &= NCR - [10\log(n_{PAL}) + 35 + 10\log(BW_{PAL})] \\ &= -CNR - 111.0 \text{ dB} \\ &= -141.9 \text{ dBc/Hz} \end{aligned}$$

这个指标对频率综合器来说也是苛刻的, 相当于 $141.9 \text{ dBc/Hz@10MHz}$ 。在载噪比 CNR 加上 3dB, 表示这部分噪声也将贡献总噪声的一半, 即如图 9 所示的噪声的上半部分。当然, 在未来没有模拟电视信号共存的情况下, 这个指标也是可以放宽的。

1.4.4 频率综合器性能小结

至此, 我们可以得到应用于 DVB-T 系统的频率综合器基本噪声指标, 即
 $-80 \text{ dBc/Hz @10kHz}$, $-100 \text{ dBc/Hz @100kHz}$,
 -120 dBc/Hz@1MHz , -142dBc/Hz@10MHz 。

此外, 虽然 DVB-T 标准中没有提及频率综合器的锁定时间, 但是如果我们认为在某些情况下, 可以将如图 1.2 所示的一个符号周期作为参考, 即希望环路的锁定时间在 $224\mu\text{s}$ 之内, 而这是比较容易达到的。

参考文献

- [1] ETSI EN 300 744, *Digital Video Broadcasting(DVB): Framing structure, channel coding and modulation for digital terrestrial television*. 2001. <http://www.etsi.org>.
- [2] D.B. Leeson. "A Simple Model of Feedback Oscillator Noise Spectrum". *Proceedings of the IEEE*, vol.54, no.2, pp.329~30,1966.
- [3] John G. Proakis. *Digital Communication, Fourth Edition*. McGraw-Hill, 2001.
- [4] J. Stott. "The Effects of Phase Noise in COFDM", *BBC Research & Development Technical Review*, Summer 1998.
- [5] D. Petrovic, W. Rave, G. Fettweis. "Performance Degradation of Coded-OFDM due to Phase Noise". *Vehicular Technology Conference*, 2003, Spring, 22-25 April, vol.2, pp.1168~1172.

第二章 频率综合器的结构

2.1 频率综合器的基本组成

频率综合器主要是基于锁相环(PLL)技术的，在锁相环的基础结构上，在反馈回路中增加了分频器模块，如图 2.1 所示。一个典型的集成频率综合器包含的模块有：鉴相器、电荷泵、低通滤波器、压控振荡器和分频器。

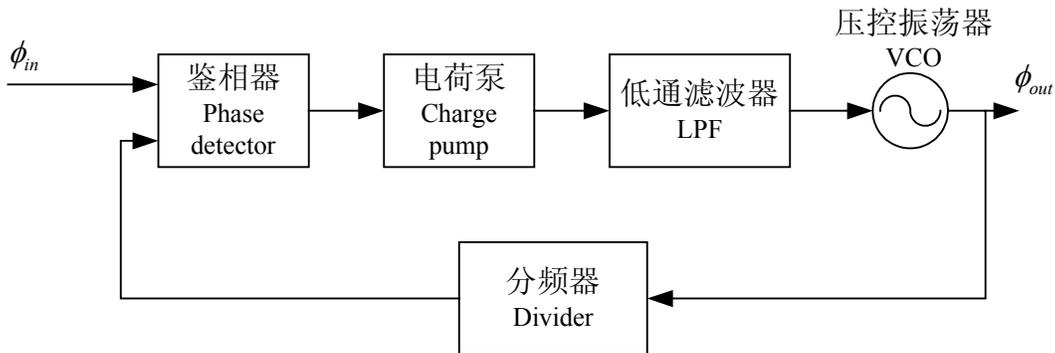


图 2.1 频率综合器的组成

由于频率综合器是基于锁相环的，所以在很多方面和锁相环很相似，但是它们之间也存在着差别。比如，频率综合器需要输出不同的频率，因此要改变分频器的分频比，环路的性能参数也会随之改变；另外在改变频率的过程中，也要考虑到频率综合器的稳定性和稳定时间。

2.2 频率综合器的线性模型

2.2.1 线性模型

频率综合器是一个反馈系统。在锁定或接近锁定的条件下，它可以等效成一个线性反馈系统模型，如图 2.2 所示。在这个模型中， K_P 表示了鉴相器和电荷泵的增益；

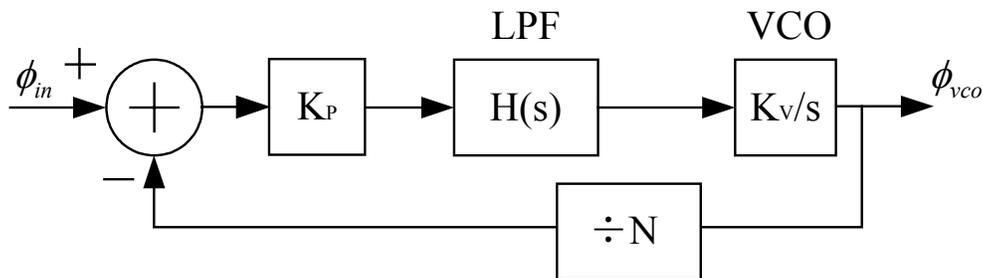


图 2.2 频率综合器的线性反馈系统模型

$H(s)$ 是低通滤波器的传输函数； K_V 是VCO的压控增益； N 是分频器的分频比。

2.2.2 开环分析法

由于频率综合器是反馈系统,反馈系统可以用开环传输函数和反馈系数来表示闭环传输函数。对于频率综合器的线性模型,其开环传输函数 $H_o(s)$ 为:

$$H_o(s) = \frac{K_p K_V}{N} \frac{H(s)}{s} \quad (2-1)$$

其反馈系数是 $1/N$, 则闭环传输函数 $H_c(s)$ 为:

$$H_c(s) = \frac{NH_o(s)}{1+H_o(s)} \quad (2-2)$$

通常由于开环传输函数比较简单,而且易于分析,所以通常用开环特性分析替代闭环特性分析。对于典型的二阶环路滤波器,即

$$H(s) = \frac{s + \omega_z}{s(s + \omega_p)} \quad (2-3)$$

其开环传输函数 $H_o(s)$ 的 Bode 图如图 2.3 所示,其中开环增益为 0 dB 的频率点 ω_c 称为环路带宽;在 ω_c 处的开环相位也被称为相位裕度。通过对开环传输函数的环路带宽和相位裕度的设计可以方便的得到环路参数。值得注意的是,这里的模型是连续时间模型,而实际的环路具有离散的特性,所以只有当环路带宽 ω_c 满足 $\omega_c < 1/10\omega_{in}$ 时,连续时间模型才是有效的[1][2]。另外设计参数时,为了提高环路稳定性,希望在 ω_c 处的相位裕度最大,即对应了相位特性曲线的顶点,文献[3]给出了设计最大相位裕量的方法。当开环参数设计好,由(2-2)就能得到闭环特性了。

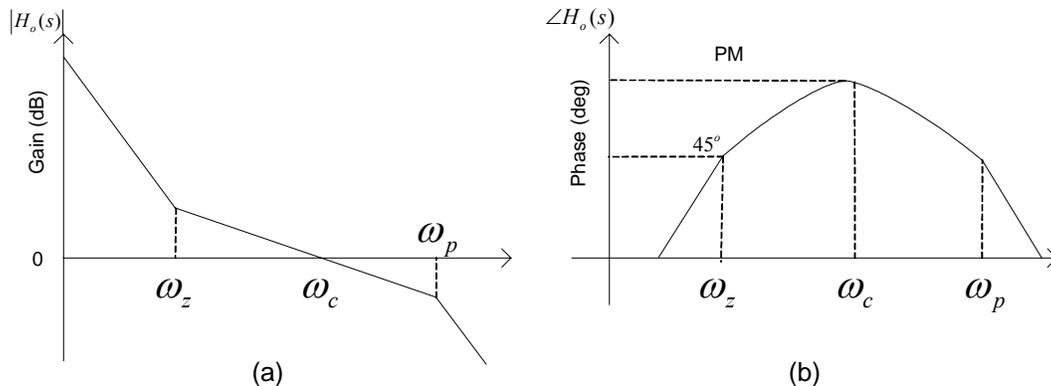


图 2.3 开环传输函数的 Bode 图 (a)幅度特性 (b)相位特性

2.3 频率综合器中的噪声

频率综合器的一个重要指标就是相位噪声,而相位噪声的来源就是频率综合器中的各个模块。图 2.4 是相位噪声的线性模型,在这里共有五处噪声注入点,其来源分别是:

- n_1 : 输入参考时钟的相位噪声、分频器的输出等效相位噪声;
- n_2 : 鉴相器和电荷泵的输出等效噪声;
- n_3 : 环路滤波器的输出等效噪声;
- n_4 : VCO 的输出等效相位噪声;
- n_5 : 分频器的输入等效噪声、或其他的注入噪声;

这些噪声源都会传输到输出,但是它们的传输函数不同,其闭环传输函数的幅频特性如图 2.5 所示,从图 2.5 中可以看到:

- 1) n_1 , n_2 和 n_5 的传输函数是低通的; n_3 是带通的; n_4 是高通的; 而且其共同的截止频率正比于环路带宽。
- 2) n_1 , n_2 , n_3 的通带增益是与分频系数 N 成正比的; 而 n_4 , n_5 的通带增益是 1, 与 N 无关。

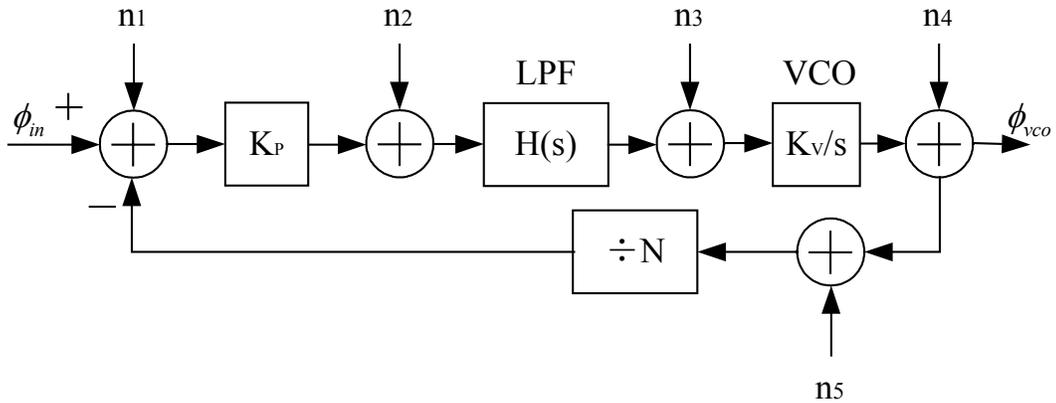


图 2.4 频率综合器的噪声模型

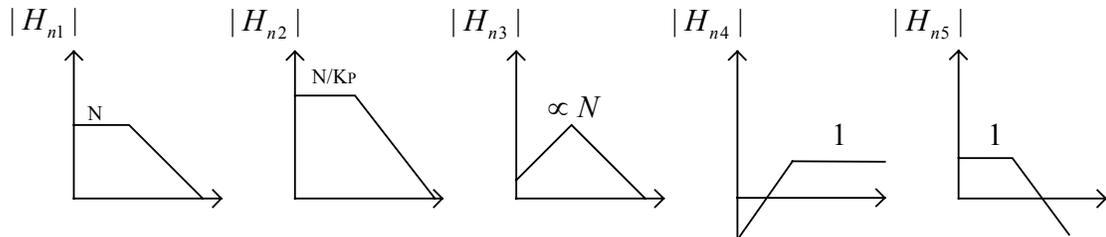


图 2.5 闭环噪声幅度传输函数的 Bode 图

因此可以知道,

- 1) 环路可以抑制来自于环路滤波器和 VCO 的低频相位噪声, 而对来自于参考时钟、电荷泵及分频器的低频噪声不能很好的抑制 (除了降低环路带宽)。
- 2) 环路带宽小, 来自于参考时钟、电荷泵及分频器的噪声得到较好的抑制, 但是对于 VCO 噪声的抑制能力下降; 反之亦反。
- 3) 另外, 除了 VCO 的输出和分频器的输入处注入的噪声外, 环路会对其他地方注入的噪声有放大的作用, 放大的倍数是和分频器的分频比成正比的。这说明, 如果分频比很大的话, 环路在低中频段的噪声可能会严重的恶化。

2.4 频率综合器的结构

随着频率综合器的广泛应用, 不同的应用要求也产生了不同的综合器结构: 从整数分频环到分数分频环[5,7,8,10~13]; 从单环路到多环路[14,15]。以及从单环路滤波器到复合环路滤波器[23], 从连续时间的环路滤波器发展到采样保持的环路滤波器[24]。下面将简单介绍一下三种基本的频率综合器结构及特点。

2.4.1 基于整数 N 分频器的频率综合器

整数 N 分频的频率综合器是结构最简单和易于理解的。如图 2.6 所示, 分频器分频系数 N 是整数, 通过改变 N 的大小来获得所需的输出频率。频率综合器能调整的最小频率称为频率分辨率。很明显, 整数分频频率综合器的频率分辨率就是参考时钟的频率。如果参考时钟频率低, 则环路带宽也要更小, 同时导致环路的速度也低, 将不能满足对于频道速度要求高的系统。对相位噪声和响应速度要求都很高的系统, 整数分频的综合器将不适合。而对于如电视接收机这些速度要求不高的系统, 整数分频的频率综合器由于结构的简单性和可靠性而获得了广泛的应用。

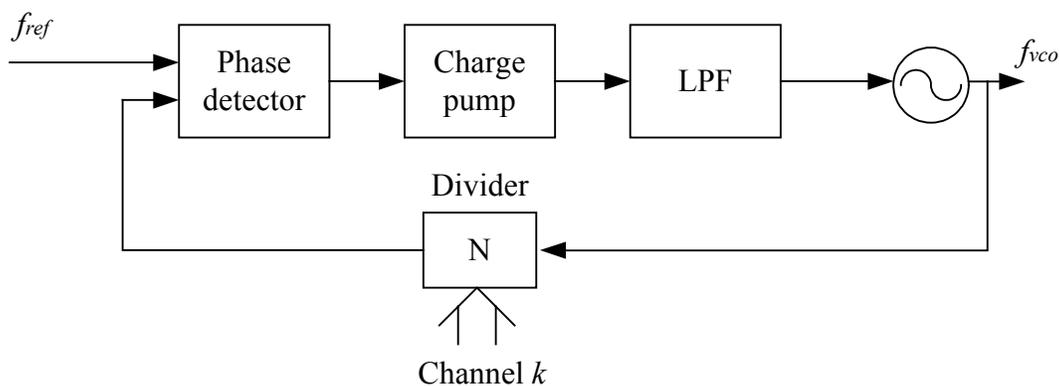


图 2.6 整数 N 分频的频率综合器结构

2.4.2 基于分数 N 分频器的频率综合器

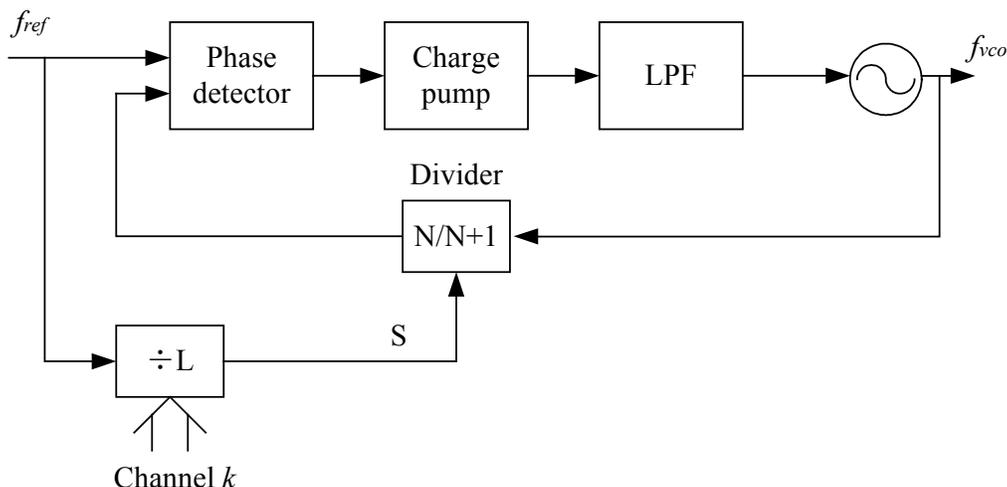
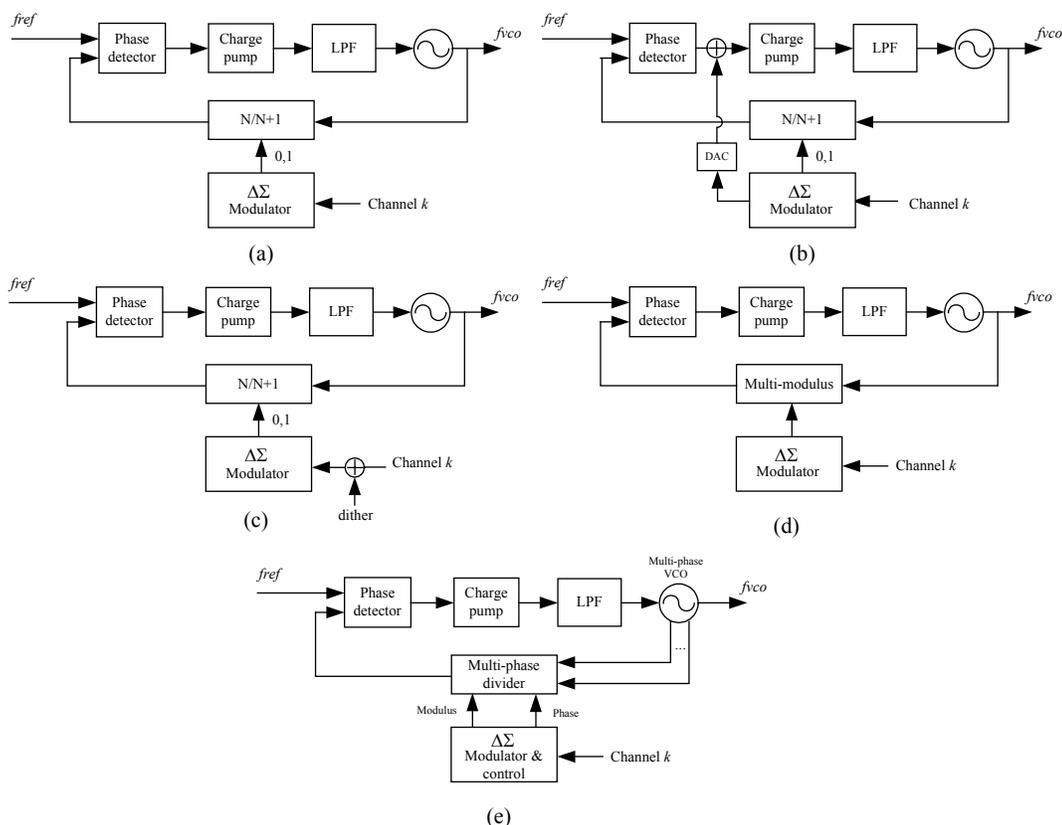


图 2.7 分数 N 分频频率综合器的原理图

顾名思义，基于分数 N 分频频率综合器的就是分频系数 N 是分数，而不再是整数。它最大的特点就是能兼顾相位噪声和系统速度的要求，特别是针对相位噪声要求不是特别高，但对频率分辨率小、环路频率切换的速度要求高的系统。基本的分数分频的频率综合器原理如图 2.7 所示[Razavi]，分频器是双模 $N/N+1$ 的，它在 k 个参考时钟周期内是 $N+1$ 分频，而在 $L-k$ 个参考时钟周期内是 N 分频的，则在 L 个参考时钟周期内对 VCO 的平均分频比是 $N+k/L$ ，因此综合器的分辨率能达到 f_{ref}/L ，这样参考时钟就能取的比较高，环路的响应速度随着环路带宽的增加而提高。但是分数分频的频率综合器存在着较大的由分频器量化噪声引入的毛刺，而且毛刺的频率与分频比有关。如何来降低由分数分频引入的毛刺，最常用的就是 $\Delta\Sigma$ 调制器，所以分数分频往往也被称为 $\Delta\Sigma$ 分数分频。图 2.8(a)是最基本的 $\Delta\Sigma$ 分数分频，其中的 $\Delta\Sigma$ 调制器最简单的结构是基于累加器的，采用累加器的进位来控制分频器的分频比[5]。但是累加器本质上只是一阶的 $\Delta\Sigma$ 调制器，往往不能满足性能，所以需要采用高阶的 $\Delta\Sigma$ 调制器，包括单环路的高阶 $\Delta\Sigma$ 调制器[5]和 MASH 结构的高阶 $\Delta\Sigma$ 调制器[6]。其中单环路的 $\Delta\Sigma$ 调制器有比较好的噪声整形功能，高频噪声小，但是存在着稳定性的问题；而 MASH 结构 $\Delta\Sigma$ 调制器的结构简单，稳定性好，但噪声整形性能没有单环路的好，高频噪声高[7][8]。除了采用高阶 $\Delta\Sigma$ 调制器，还能采用如图 2.8(b)的噪声补偿结构进一步降低分频器噪声，用过 DAC 将量化噪声在鉴相器或电荷泵处补偿抵消[9][10]；另外如图 2.8(c)，还能通过在信道选择输入端引入随机噪声(甚至是噪声加上需要调制的信号)将输入信号随机化，降低了在特定频率处的

图 2.8 $\Delta\Sigma$ 分数分频频率综合器的各种拓扑结构

噪声能量，从而提高环路的噪声性能[11]；如图 2.8(d)，还能采用多模的分频器将量化噪声的频谱拓宽来降低分频毛刺[12][13]；除此外，如图 2.8(e)，也能采用多相位的振荡器，通过相位的插值来降低每次量化噪声的能量，从而可以很好的改善噪声毛刺[14]。总的来说，分数 N 分频能够兼顾到噪声和速度的要求，但是在结构上比较复杂，也存在着稳定性和功耗方面的问题；另外在很多频率点上存在着毛刺，并且频率点的数目和位置随着分频比的不同而不同，这可能是用在 DVB-T 系统中潜在的问题之一。

2.4.3 双环路的频率综合器

多环路的频率综合器同样也能兼顾到噪声和速度的要求，特别适合于性能要求很高的系统，例如现代探空和导航系统。通常双环路的频率综合器可以达到很高的性能要求了，图 2.9 给出了两种双环路频率综合器的结构，它们都由一个用于粗调的主环路和一个用于细调的子环路组成，且子环路是一个整数分频的频率综合器。对于图 2.9(a)而言[15]，它的输出频率是：

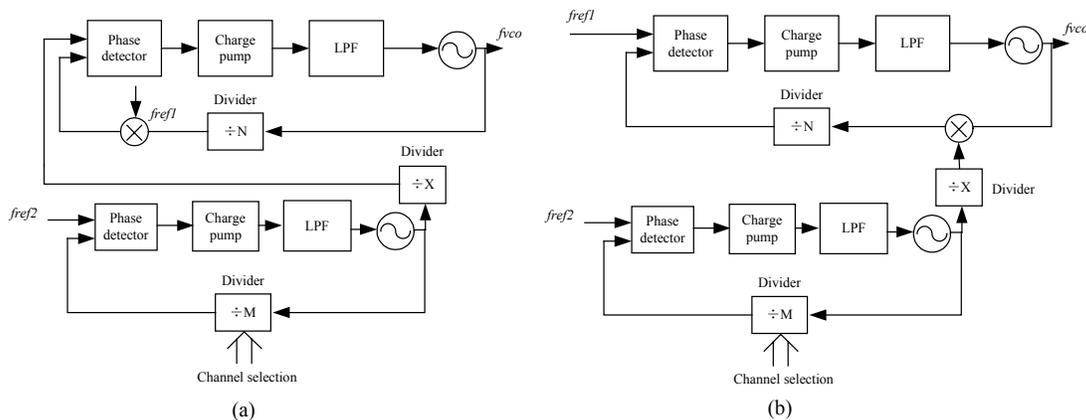


图 2.9 双环路频率综合器的拓扑结构

$$f_{vco} = N(f_{ref1} + \frac{M}{X} f_{ref2}) = Nf_{ref1} + \frac{NM}{X} f_{ref2} \quad (2-4)$$

因此频率分辨率为 $(N/X)f_{ref2}$ 。选择较小 N 和较大 X ，可以使得 f_{ref2} 较大从而使子环路获得很好的相位噪声，而主环路的速度可以通过改变 f_{ref1} 来进行调节。同样，对于图 2.9(b)[Kan]，它的输出频率为：

$$f_{vco} = Nf_{ref1} + \frac{M}{X} f_{ref2} \quad (2-5)$$

频率分辨率为 $(1/X)f_{ref2}$ ，通过提高 X 来降低子环路的相位噪声，增加 f_{ref1} 和降低 N 来提高主环路的速度并降低相位噪声。通过 2.3 节的噪声传输函数的分析，可以知道，图 2.9(b)可能比(a)的噪声性能更好，因为由于在主环路中的噪声注入点的不同，(b)中主环路对子环路的噪声没有放大作用，而(a)中主环路对子环路的噪声还要放大 N 倍。但是值得注意的是，对于(a)结构而言，混频器的设计难度要比(b)低得多，所以在 N 不大的情况下，结构(a)也值得考虑。无论如何，两种结构的双环路频率综合器都能获得很好的性能，但是由于使用了两个频率综合器，这将占用很大的芯片面积，所以多环路结构的频率综合器只有在其他结构都失效的情况下才值得考虑。

2.5 DVB-T 系统中的频率综合器结构

2.5.1 DVB-T 调谐器的结构

ETSI(Europe Telecommunication Standards Institute)在 DVB-T 协议中并没有明确的规定频段范围，但是 ITU(International Telecommunication Union)已经明确了地面无线电视广播的频段范围，DVB-T 的广播也应该在这些频段内。地面无线电视广播频段被分配在了 VHF 和 UHF 频段，在中国涵盖了三个子频段：54~108MHz、174~223MHz、470~890MHz。

由于很难实现调频范围从 54MHz 到 890MHz 的振荡器,传统的电视接收机往往会采用三组振荡器和混频器来处理不同频段的信号[16][17],如图 2.10(a),将接收频道信号下变频到输出中频(36MHz 到 46MHz)。同时不同组的模块由于频率和增益也存在差异,这也导致了处理信号的不均匀性。文献[18]提出了二次变频的结构:先将所有的频道都先上变频到一个高中频,然后再下混频到输出中频。二次变频结构能够将三组振荡器和混频器减少为两个振荡器和一个混频器,并且也解决了信号处理不均匀性给基带处理带来的问题。目前集成的电视接收调谐器已经越来越多的采用这种结构[19][20][21],如图 2.10(b)。由于振荡器的频率变高,所以在集成的时候占用的芯片面积也小;同样由于信号处理频率的升高,往往采用声表面滤波器(SAW)进行高中频的滤波。

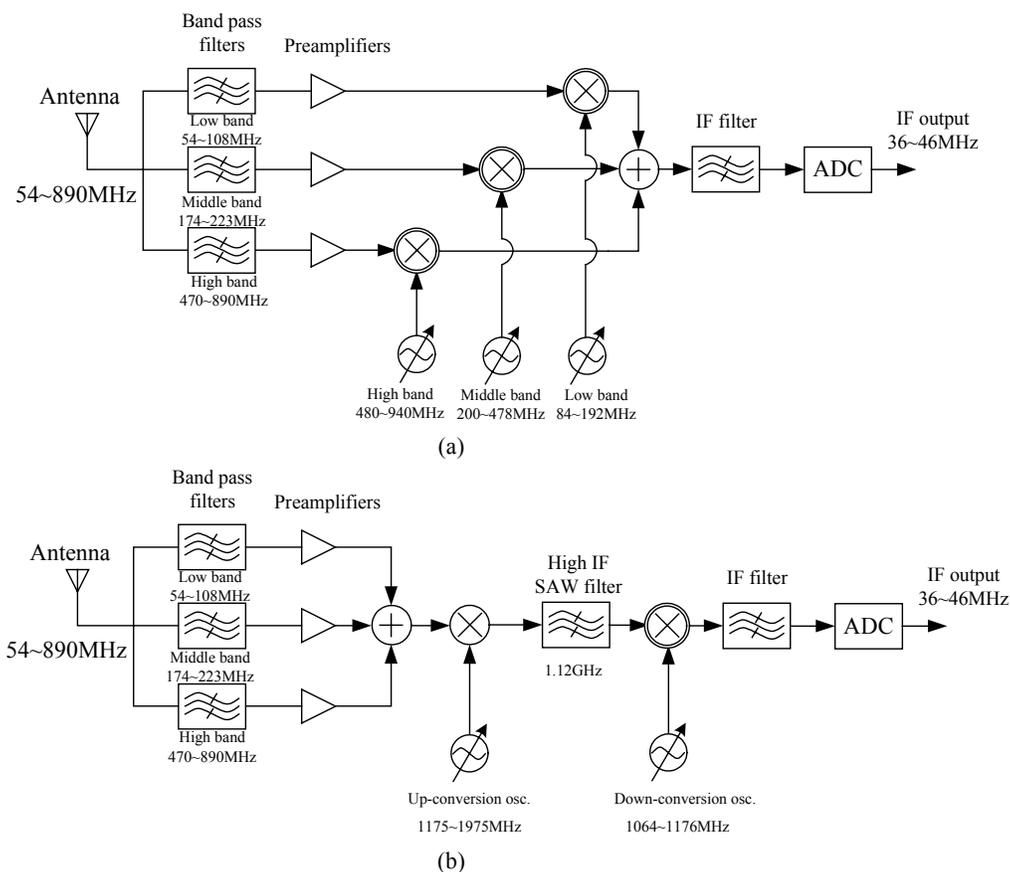


图 2.10 电视调谐器的结构图

2.5.2 频率综合器的结构

传统的模拟电视广播的信号分为图像信号和声音信号，这些信号离中心频率都有整数加上 250kHz 的频偏，所以频率综合器的分辨率至少需要 250kHz [19]；另外由于振荡器之间的频率误差，高性能的频率综合器需要提供小于 250kHz 的分辨率，如 50kHz[19][20]。因此无论用何种结构的频率综合器，要用 CMOS 工艺来实现就存在很大的困难，所以到目前为止调谐器还是以 BiCMOS 工艺实现，这样就很难与大规模的基带电路集成在一起。但是数字电视 DVB-T 的 OFDM 信号的中心频率和信道是吻合的，所以不需要有 250kHz 的分辨率；而振荡器的频率误差也可以在数字域进行矫正[22]，这样降低了频率综合器设计的难度。这样，只要选择合适的中心频率，就能采用整数分频的频率综合器。但是，为了在实际应用中能兼容数字和模拟电视，250kHz 的分辨率还是需要的，因此本论文还是采用了 250kHz 作为分辨率的整数分频频率综合器进行研究，这样会使研究的结果更具意义。

对于第 2.4.1 节中介绍的整数分频结构，采用较大的分频比，会对分频器、电荷泵及环路滤波器的噪声引入较大的增益，这样会恶化整个环路的相位噪声。因此有必要对整个环路进行优化，包括基于环路稳定性的参数设计，以及相位噪声的估计和优化。这就是后面几章将要涉及的问题。

参考文献

- [1] Floyd M. Gardner. Charge-Pump Phase-Lock Loops. *IEEE Trans. on Communications*, 1980, 28(11):1849~1858.
- [2] Pavan Kumar Hanumolu, et al. Analysis of Charge-Pump Phase-Locked Loops. *IEEE Trans. on Circuits & Systems-I: Regular Papers*, 2004, 51(9):1665~1674.
- [3] Hamid R. Rategh, et al. A CMOS Frequency Synthesizer with an Injection-Locked Frequency Divider for a 5-GHz Wireless LAN Receiver. *IEEE J. of Solid-State Circuits*, 2000, 35(5):780~787.
- [4] B. Razavi. *RF Microelectronics*, Prentice Hall, 2000.
- [5] Tom A.D. Riley, Miles A. Copeland, etc. "Delta-Sigma Modulation in Fractional-N Frequency Synthesis". *IEEE J. of Solid-State Circuit*, 1993, 28(5):553~559.
- [6] Brian Miller, Robert J. Conley. "A Multiple Modulator Fractional Divider". *IEEE Trans. on Instrumentation and Measurement*, 1991, 40(3):578~583.
- [7] W. Rhee, B.S. Song, Akbar Ali. "A 1.1GHz CMOS Fractional-N Frequency Synthesizer with a 3-b Third-Order $\Delta\Sigma$ Modulator". *IEEE J. of Solid-State Circuits*, 2000,

35(10):1453~1460.

[8] B.D. Muer, M.S.J. Steyaert. "A CMOS Monolithic $\Delta\Sigma$ -Controlled Fractional-N Frequency Synthesizer for DCS-1800". *IEEE J. of Solid-State Circuits*, 2002, 37(7):835~844.

[9] Y. Matsuya, et al. "A 16-bit oversampling A/D Conversion Technology Using Triple Integration Noise Shaping". *IEEE J. of Solid-State Circuit*, 1987, 22(12):921~929.

[10] M.H. Perrott, M.D. Trott, Charles Sodini. "A Modeling Approach for $\Delta\Sigma$ Fractional-N Frequency Synthesizers Allowing Straightforward Noise Analysis". *IEEE J. of Solid-State Circuit*, 2002, 37(8):1028~1038.

[11] Emad Hegazi, A.A. Abidi. "A 17mW Transmitter and Frequency Synthesizer for 900-MHz GSM Fully Integrated in 0.35um CMOS". *IEEE J. of Solid-State Circuit*, 2003, 38(5):782~792.

[12] R. Ahola, K. Halonen. A 1.76GHz 22.6mW $\Delta\Sigma$ Fractional-N Frequency Synthesizer. *IEEE J. of Solid-State Circuits*, 2003, 38(1):138~140.

[13] Chun-Huat Heng, Bang-Sup Song. "A 1.8GHz CMOS Fractional-N Frequency Synthesizer With Randomized Multiphase VCO". *IEEE J. of Solid-State Circuits*, 2003, 38(6):848~854.

[14] W.S.T. Yan, H.C. Luong. "A 2-V 900MHz Monolithic CMOS Dual-Loop Frequency Synthesizer for GSM Receivers". *IEEE J. of Solid-State Circuit*, 2001, 36(2):204~216.

[15] Toby K.K. Kan, Gerry C.T. Leung, H.C. Luong. "A 2-V 1.8GHz Fully Integrated CMOS Dual-Loop Frequency Synthesizer". *IEEE J. of Solid-State Circuit*, 2002, 37(8):1012~1020.

[16] TUA 6030/6032/6034, Data Sheet. Infineon AG, <http://www.infineon.com>.

[17] SL2610, Data Sheet. Zarlink Semiconductor Inc., <http://www.zarlink.com>.

[18] G. M. Maier, et al. "Double Conversion Tuner: A Must For The Future?" *IEEE Trans. on Consumer Electronics*, 1992, 38(3):384~388.

[19] MC44C800/MC44C801 Silicon Tuner. Freescale Semiconductor, Inc. <http://www.freescale.com>.

[20] TDA6650TT/TDA6651TT. Philips Semiconductors. <http://www.semiconductor.philips.com>.

[21] MT8871C Reference Kit. Microtune Inc. <http://www.microtune.com>.

[22] TDA827x, Silicon Tuner Family. Philips Semiconductors. <http://www.semiconductor>.

philips.com.

[23] Jan Craninckx, M. Steyaert. A Fully Integrated CMOS DCS-1800 Frequency Synthesizer. *IEEE J. of Solid-State Circuits*, 1998, 33(12):2054~2065.

[24] Adrian Maxim, Baker Scott, Edmund M. Schneider, et al “A Low-Jitter 25~1250 MHz Process-Independent and Ripple- Poleless 0.18 μ m CMOS PLL Based on a Sample Reset Loop Filter”. *IEEE J. of Solid-State Circuits*, 2001, 36(11):1673~1683.

第三章 环路参数设计

频率综合器设计的一个重要的环节就是环路参数的设计，参数设计的好坏直接影响着综合器的整体性能。参数设计主要依据环路的模型，通过模型的分析得到相应的参数，文献[1][2]比较完整的分析了基于电荷泵的锁相环的模型，同样可以用作分析频率综合器。一般来说，基于电荷泵的频率综合器可以用离散的系统模型来精确的描述。离散模型(z域)可以用不同的分析方法得到，包括状态空间分析法[1]和冲击响应不变变换法[3]。但是，离散模型相对比较复杂，幸运的是，可以证明，当环路带宽不大于参考时钟频率的1/10时，离散模型可以用连续时间模型(s域)较好地近似[2]。

但是，高阶的系统模型比较复杂，为了通过模型设计环路的参数以及分析参数对环路的影响，往往需要对模型进行简化。因此，高阶的 s 域模型往往被简化为低阶的模型[1]，或者闭环系统的分析用开环系统分析来代替。简化的模型给参数设计带来了很大的方便。频率综合器是三阶或者四阶的闭环系统，通常会被简化成二阶的闭环系统 [4][5]，这样可以得到很简单的电路参数和闭环特性参数之间的关系。但是近似二阶系统往往不能准确描述三阶或四阶系统的特性，所以文献[6]通过三阶的开环系统模型来进行分析，进一步的描述了电路参数和环路特性参数之间的关系。这种分析虽然方便，也只能近似的反映真实的闭环系统的特性。无论是闭环二阶近似还是基于相位裕度的开环三阶分析，都不能定量的反映环路参数变化与稳定性之间的关系。本章将从新的角度、采用根轨迹的分析方法来帮助分析完整的闭环三阶环路系统，并且详细的描述了电路参数和环路特性参数之间的关系，进一步的定量分析出参数的变化对环路稳定性的影响，从而完善了基于稳定性优化的环路参数设计方法[9]。

3.1 闭环三阶 s 域模型分析

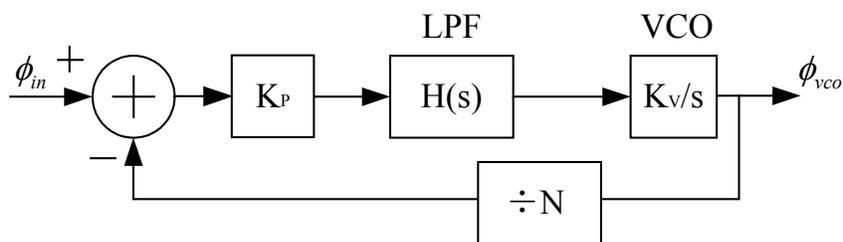


图 3.1 频率综合器的线性反馈系统模型

图 3.1 是典型的频率综合器 s 域模型，在第二章已经介绍过了。环路的开环传输函数为

$$H_o(s) = \frac{K_{CP}K_V}{N} \frac{H(s)}{s} \quad (3-1)$$

其中 1) K_{CP} 是鉴相器和电荷泵的增益，可以表示为：

$$K_{CP} = \frac{I_{CP}}{2\pi}$$

这里 I_{CP} 即为电荷泵的冲放电电流；

2) K_V 是压控振荡器的增益；

3) N 是分频器的分频比；

4) $H(s)$ 是环路滤波器的传输函数，通常情况下表示为用环路滤波器的阻抗函数；对于三阶的环路而言，它的环路滤波器是二阶的(如图 3.2)，可以表示为：

$$H(s) = \frac{b}{C_1} \cdot \frac{s + \omega_z}{s(s + \omega_p)} \quad (3-2)$$

这里的 ω_z 和 ω_p 分别是开环传输函数的零点和极点，可以表示为：

$$\omega_z = \frac{1}{RC_1}; \quad \omega_p = \left(\frac{C_1}{C_2} + 1\right)\omega_z$$

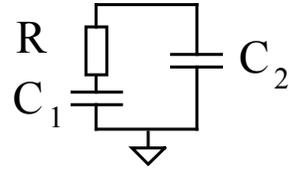


图 3.2 二阶环路滤波器

通常，系数 C_1/C_2 用 b 表示，(在有些文献中，也用 b 表示 $C_1/C_2 + 1$)。这样，零极点可以表示为：

$$\omega_z = \frac{1}{RC_1}; \quad \omega_p = (b + 1)\omega_z \quad (3-3)$$

因此，三阶环路的开环传输函数可以进一步表示为：

$$H_o(s) = K' \frac{s + \omega_z}{s^2(s + \omega_p)} \quad (3-4)$$

其中 $K' = \frac{K_{CP}K_V b}{NC_1}$

在得到开环传输函数后，就可以推导闭环传输函数了。在文献[1]中把闭环传输函数简化成二阶进行分析，但是这种简化是在假设电容比 b 很大的情况下进行的。对于一般的情况，二阶简化分析会丧失一些参数和环路性能的内在关系。因此这里将对闭环环路进行三阶的分析。由于已经得到了开环的传输函数，则闭环的传输函

数可以表示为:

$$H_c(s) = \frac{NH_o(s)}{1+H_o(s)} = \frac{NK'(s+\omega_z)}{s^3 + \omega_p s^2 + K's + K'\omega_z} \quad (3-5)$$

可以进一步对极点进行分解, 上式三阶闭环传输函数可以写成:

$$H_c(s) = \frac{NK'(s+\omega_z)}{(s^2 + 2\zeta\omega_n s + \omega_n^2)(s + \omega_{p3})} \quad (3-6)$$

其中 ω_n 是本征频率;

ζ 是阻尼因子;

ω_{p3} 则表示高阶极点, 在二阶近似中是被忽略的。

将(3-6)式的分母展开, 由(3-5)、(3-6)式相等可以得到如下的关系方程组:

$$2\zeta\omega_n + \omega_{p3} = \omega_p \quad (3-7)$$

$$\omega_n^2 + 2\zeta\omega_n\omega_{p3} = K' \quad (3-8)$$

$$\omega_n^2\omega_{p3} = K'\omega_z \quad (3-9)$$

这三个方程描述了开环函数的参数 K' 、 ω_z 、 ω_p 和闭环函数的参数 ω_n 、 ζ 、 ω_{p3} 之间的关系。

将(3-7)~(3-9)中的参数 K' 、 ω_{p3} 消去, 经过数学代换, 可以得到方程:

$$2\zeta\omega_n^2 - ((4\zeta^2 - 1)\omega_z + \omega_p)\omega_n + 2\zeta\omega_p\omega_z = 0 \quad (3-10)$$

这个方程可以看到闭环的本征频率 ω_n 只与阻尼因子 ζ 及开环的零极点有关。进一步, 由式(3-3)知 $\omega_p = (b+1)\omega_z$, 如果假设 $\omega_n = m\omega_z$, 则方程(3-10)可以化简为:

$$2\zeta m^2 - (4\zeta^2 + b)m + 2\zeta(b+1) = 0 \quad (3-11)$$

我们可以看到所有的零极点都可以与开环的零点 ω_z 相关联, 而且闭环的本征频率 ω_n 的系数 m 只与电容比 b 和阻尼因子 ζ 有关。系数 m 可以通过解二次方程(3-11)得到, 这里写为 $m = m(b, \zeta)$, 表示 m 是变量 b 和 ζ 的函数。再将 $\omega_n = m\omega_z$ 带入到方程(3-7)中, 可以得到高阶极点 ω_{p3} 的表达式:

$$\omega_{p3} = (b+1 - 2\zeta m) \cdot \omega_z \quad (3-12)$$

这样, 闭环高阶极点也能由电容比 b 、阻尼因子 ζ 以及开环零点 ω_z 决定了。

将 $\omega_n = m\omega_z$ 和式(3-12)带入方程(3-8), 可以得到,

$$K' = k(b, \zeta)\omega_z^2 \quad (3-13)$$

其中, $k(b, \zeta)$ 表示是 b 和 ζ 的函数, 具体表示为

$$k(b, \zeta) = (1 - 4\zeta^2)m^2 + 2\zeta(b+1)m \quad (3-14)$$

这样如果知道了电容比 b 、阻尼因子 ζ 以及开环零点 ω_z , 就可以得到整个环路的闭环传输函数了。

3.2 环路参数设计流程

参数设计的目标是获得满足要求的环路性能。通过三阶闭环分析, 使得参数设计可以直接的从闭环的阻尼因子 ζ 和本征频率 ω_n 开始, 也就是说能够直接从所需要的性能出发来设计参数。同时, 本征频率 ω_n 又与阻尼因子 ζ 相关, 因此, 参数设计的第一步就是选择一个符合要求的阻尼因子 ζ 。

为了降低由参考时钟频率引入的毛刺, 需要比较低频的高阶极点 ω_{p3} 来抑制参考时钟引入的馈通, 所以高阶极点与本征频率相接近, 必须采用三阶模型进行分析。在设计参数时, 往往采用比较小的电容比 b 来降低高阶极点, 从而更好的抑制参考时钟引入的毛刺、以及电荷泵和分频器引入的噪声; 另一方面, 电容比也不能过小, 为了保证环路的稳定性, 电容比 b 必须大于 8[1]。比较理想的电容比 b 是 9 或者 10, 这样能达到较好的噪声抑制性能。

在上节的分析中, 环路的传输函数由三个参数决定: 阻尼因子 ζ 、电容比 b 和开环零点 ω_z 。其中, b 和 ζ 可以直接选择, 但是, ω_z 需要通过环路带宽 ω_c 来关联。在第二章中, 环路带宽 ω_c 是非常重要的参量, 它必须在不大于 1/10 的参考时钟频率的情况下才能保证 s 域的分析是比较精确的[2]。另外, 由于比较难以设计非常低相位噪声的 VCO, 所以往往期望比较大的环路带宽 ω_c 来抑制 VCO 的相位噪声; 同时较大的环路带宽 ω_c 能够提高环路的响应速度。一个比较好的选择是让环路带宽 ω_c 是参考时钟的 1/25。当然如果参考时钟频率很高, 则可以取相对更小的环路带宽; 相反如果参考时钟频率较低, 则可以取相对较大的环路带宽。一旦确定了环路带宽 ω_c , 就可以得到开环零点 ω_z 了。具体的方法是, 假设 $s = j\omega_c$, 并且让开环传输函数的增益为 1, 即 $|H_o(j\omega_c)| = 1$, 可以得到,

$$\left| K' \frac{j\omega_c + \omega_z}{\omega_c^2(j\omega_c + \omega_p)} \right| = 1 \quad (3-15)$$

由式(3-13)可以进一步得到开环零点和环路带宽之间的关系, 即

$$\omega_z = \frac{1}{n(b, \zeta)} \omega_c \quad (3-16)$$

其中, $n(b, \zeta)$ 也是一个与 b 和 ζ 有关的函数, 由于表达式比较繁琐, 可以用简单的程序进行计算。

知道了开环零点 ω_z , 还要进一步计算环路滤波器中电阻和电容的值。由式(3-13)可得,

$$\frac{b \cdot I_{CP} \cdot K_V}{2\pi \cdot N \cdot C_1} = k(b, \zeta) \cdot \omega_z^2 \quad (3-17)$$

再将式(3-3)代入整理得到,

$$R = \frac{2\pi \cdot N \cdot k(b, \zeta)}{b \cdot I_{CP} \cdot K_V} \omega_z \quad (3-18)$$

$$C_1 = \frac{b \cdot I_{CP} \cdot K_V}{2\pi \cdot N \cdot k(b, \zeta)} \cdot \frac{1}{\omega_z^2} \quad (3-19)$$

这里可以看出, 要计算环路滤波器的具体参数还要确定三个量: 分频比 N 、电荷泵电流 I_{CP} 、VCO 的压控增益 K_V 。在频率综合器设计时, 如果要将环路滤波器集成进去, 则需要考虑集成的环路滤波器的可实现性。在集成电路中, 电容和电阻的取值都要比较适中, 否则如果取值太大, 占用的芯片面积过大; 如果取值太小, 实际值受工艺偏差影响而偏离设计值过大, 从而影响整个环路。所以, 如果计算出的电阻或电容值不合适, 需要重新选择电荷泵的电流 I_{CP} 。

这样设计环路参数的初步流程可以概括为:

- P.1) 选择合适的电容比 b 、阻尼因子 ζ , 并计算参数系数 $m(b, \zeta), n(b, \zeta), k(b, \zeta)$;
- P.2) 根据参考时钟的频率选择环路带宽 ω_c , 一个很好的初始点是 $\omega_c = \omega_{ref}/25$;
- P.3) 计算开环零点 ω_z ;
- P.4) 通过仿真得到 VCO 的压控增益 K_V ;
- P.5) 选择合适电荷泵的电流 I_{CP} , 和确定分频器的分频比 N ;
- P.6) 从式(3-18)计算电阻 R , 如果值太大, 则增加电荷泵电流, 直至比较合理的值;
- P.7) 计算电容 C_1 、 C_2 , 如果值太大, 则减小电荷泵电流, 直至比较合理的值, 否则返回到 P.6 重新计算电阻;

需要说明的是, 上面只是设计参数的初步流程, 而且还不完整, 因为我们还没有得到参数 b 和 ζ 的选取的依据。此外, 电荷泵电流 I_{CP} 的选取还需要和环路的噪声性

能结合起来，这部分的讨论会在下一章中涉及。本章将从环路稳定性的角度出发进一步分析，得到稳定性最优的参数 b 和 ζ 的计算方法。

3.3 参数变化与稳定性优化

对于频率综合器而言，要得到不同的输出频率就要改变分频比 N ，因此环路的传输函数和特性也随之改变。如果 N 变化范围过大，则环路可能变成不稳定。为了避免环路的特性改变和保持稳定性，可以通过改变电荷泵的电流 I_{CP} ，并保持比率 N/I_{CP} 在限定的范围内[7]。同样，文献[8]还考虑了用可调电流源来补偿VCO的压控增益 K_V 的非线性。但是在CMOS集成的综合器中，更多参数和变量将随着工艺、电压和温度的不同而变化，这通常称为PVT(*Process Voltage Temperature*)变化。为了考虑PVT对环路稳定性的影响，在环路参数设计时要考虑一定的裕量，最常用的方法就是开环传输函数的相位裕量最大法[6]。但是，由于相位裕量法是基于开环分析的，相位裕量的取值多少往往凭经验，不能和PVT变化直接联系起来，而且相位裕量法不能定量的反映由于PVT引起的参数变化对实际环路的影响。

PVT变化包括多个参数的变化，如电容 C_1 和 C_2 、电阻 R 的变化，电荷泵电流 I_{CP} 的变化，以及VCO压控增益 K_V 的变化。那么这些PVT变化是如何影响环路的特性的呢？首先，电容和电阻的变化会改变环路的一个重要参数开环零点 ω_z ；其次，电容、电荷泵电流、VCO的压控增益的变化将影响另一个重要参数 K' 。开环零点 ω_z 的变化将影响所有的环路的零极点；而 K' 的变化将影响整个环路的稳定性。

从控制系统理论可知，随着 K' 的变化，闭环系统的极点在根轨迹曲线上移动，环路的三阶闭环根轨迹如图 3.3 所示。图 3.3 是s域的平面图，在开环的情况下，存在着两个原点处的极点、一个相对高频的极点 ω_p 和一个零点 ω_z ，参考式(3-4)；在闭环的情况下，闭环极点会按照图 3.3 中极点轨迹移动，具体的位置就与 K' 有关。当极点的位置在稳定边界的左侧时，整个环路是稳定的；但如果极点的位置移动到了稳定边界的右侧，这环路系统存在着欠阻尼，将趋向于不稳定。在稳定边界上，对应于闭环系统的阻尼因子为 0.707。假设参数设计理论值是图 3.3 中的点A，如果 K' 偏小，则闭环极点 ω_{p1} 将向点B移动，一旦 K' 过小， ω_{p1} 越过了点B，环路将会趋向不稳定；同样，如果 K' 偏大，则闭环极点 ω_{p3} 将向点D移动，随着 K' 的增大，越过点D后继续向点C移动，一旦 K' 过大， ω_{p3} 越过了点C，环路也将会趋向不稳定。因此在设计参数时，一定要给 K' 考虑足够的裕量，使得在PVT变化以及分频比 N 改变的情况下，环路能保证稳定。

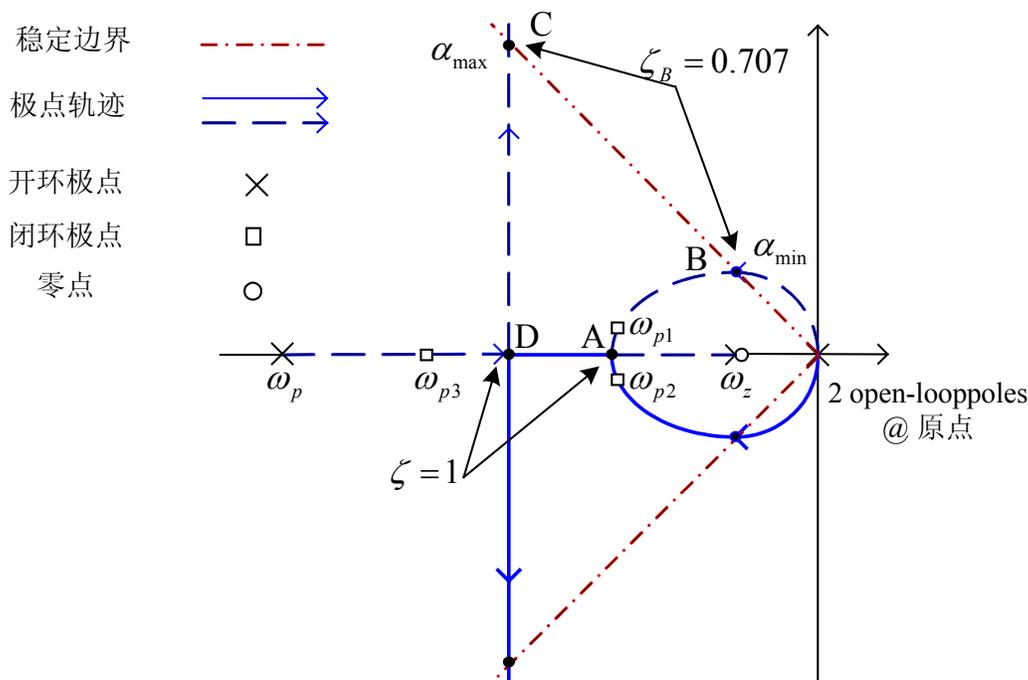


图 3.3 环路的三阶闭环系统根轨迹

如何来定量的考虑PVT变化及分频比N对稳定性的影响呢？从图 3.3 中还可以知道在稳定边界的阻尼因子 ζ_B 是 0.707，所以需要找到阻尼因子从设计值 ζ_0 变化到 ζ_B 对应着多少的PVT和N的变化。从式(3-14)可以知道K'和开环零点的关系可以用电容比b和阻尼因子 ζ 的函数 $k(b, \zeta)$ 来表示，因此设计值 ζ_0 对应于 $k_0 = k(b, \zeta_0)$ ，由式(3-18)可进一步得到：

$$k(b, \zeta_0) = \frac{K_V \cdot I_{CP} \cdot b \cdot R^2 \cdot C_1}{2\pi N} \quad (3-20)$$

这里的参数 K_V 、 I_{CP} 、 R 、 C_1 及 N 都是理想的值。考虑实际的情况，由于参数的变化，阻尼因子变为 ζ ，则有：

$$k(b, \zeta) = \alpha k(b, \zeta_0) = \alpha \cdot \frac{K_V \cdot I_{CP} \cdot b \cdot R^2 \cdot C_1}{2\pi N} \quad (3-21)$$

其中 α 可以定义为**变化因子**。这说明由于实际参数的变化，导致了K'的变化，而且所有参数的变化之总贡献可以用**变化因子** α 来反映。

如果(3-20)式中所有的变量都增加 10%的话(电容比b除外，假设不变)，则变化因子 $\alpha = 1.1^4 \approx 1.464$ ，如何来判断这种情况的参数变化是否会影响环路的稳定性呢？只要将稳定边界对应的阻尼因子 ζ_B 代入到式(3-4)计算出两个 $k_{max}(b, \zeta_B)$ 和 $k_{min}(b, \zeta_B)$ ，

然后再计算 $k_{max}(b, \zeta_B)/k(b, \zeta_0)$ 及 $k_{min}(b, \zeta_B)/k(b, \zeta_0)$ 就能得到变化因子的边界,即 α_{max} 和 α_{min} 。例如,对于 $b=9, \zeta_0=1$,可以计算得到 $\alpha_{max}=1.57$ 和 $\alpha_{min}=0.65$,对于所有 10%的变量变化而言,整个环路还是稳定的。还可以定义**变化裕量**,即 $(\alpha_{max}-1)$ 和 $(1-\alpha_{min})$ 中的较小值。因此,对于上面的例子来说,只能说它具有 35%的**变化裕量**。为了使它的变化裕量最大,我们需要找到一个合适的阻尼系数。图 3.4 是变化因子 α 和阻尼因子 ζ 之间的关系。假设,还是以 $\zeta_0=1$ 对应于变化因子 $\alpha=1$ 作为基准,那么可以找到一个最优的阻尼因子 ζ_{opt} 对应于变化因子 α_{opt} 。

如何根据 α_{max} 和 α_{min} 来计算 α_{opt} ? 显然最简单的表达式是:

$$\alpha_{opt1} = \frac{\alpha_{max} + \alpha_{min}}{2} \quad (3-22)$$

相应的变化裕量是 $\frac{\alpha_{max} - \alpha_{min}}{2\alpha_{opt1}} \times 100\%$; 这能使环路参数的**总变化**在增加和减小两个

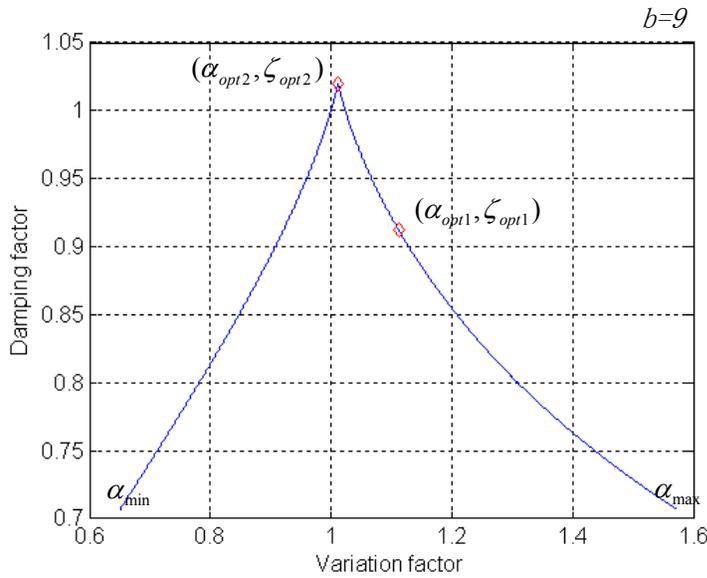


图 3.4 变化因子 α 与阻尼因子 ζ 之间的对应关系(电容比 $b=9$)

方向具有相同的**变化裕量**。就上面的例子而言,由式(3-22)可以得到, $\alpha_{opt1}=1.11$,可以得到的变化裕量是 41%。

但是,考虑这样一种情况,如果所有的变量都向负方向变化 10%,那么负方向的总变化是 $0.9^4 \approx 0.656$,可以看到相同的 10%变量变化对在正方向和负方向的总变化是不同的。可以进一步的得到,负方向的变化裕量 41%对应于每个变量**平均变化裕量**为 $1-(1-41\%)^{1/4} \approx 13\%$;而正方向的变化裕量 41%对应于每个变量**平均变化裕量**为 $(1+41\%)^{1/4}-1 \approx 9\%$ 。所以由式(3-22)得到的最优变化因子并不能完全的利用裕量空

间,因为在相同的变量平均变化裕量的情况下,正方向的总变化总比负方向的要大。所以需要重新考虑计算最优的变化因子 α_{opt} ,因此有,

$$\alpha_{opt2} = \sqrt{\alpha_{max} \cdot \alpha_{min}} \quad (3-23)$$

这里我们用几何平均代替了式(3-22)的算术平均。对于上面的 $b=9, \zeta_0=1$ 的例子而言,新得到的 $\alpha_{opt2}=1.01$,重新计算一下负方向的变化裕量为 $(\alpha_{opt2}-\alpha_{min})/\alpha_{opt2}=36\%$,对应于每个变量可以变化 $1-(1-36\%)^{1/4} \approx 11\%$;正方向的变化裕量为 $(\alpha_{max}-\alpha_{opt2})/\alpha_{opt2}=55\%$,对应于每个变量可以变化 $(1+55\%)^{1/4}-1 \approx 12\%$ 。虽然,正负方向的总变化裕量是不等的,但是式(3-23)得到的最优变化因子可以保证每个变量的平均变化裕量范围最大。式(3-22)和(3-23)计算得到的最优变化因子在图 3.4 中,分别对应于 $(\alpha_{opt1}, \zeta_{opt1})$ 和 $(\alpha_{opt2}, \zeta_{opt2})$ 。从上面的分析可知, $(\alpha_{opt2}, \zeta_{opt2})$ 比 $(\alpha_{opt1}, \zeta_{opt1})$ 具有更好的变化裕量。有意思的是点 $(\alpha_{opt2}, \zeta_{opt2})$ 非常接近点(1,1),这是因为电容比**b**较小的缘故,所以在这种情况下,可以用 $\zeta=1$ 来近似最优阻尼因子 ζ_{opt2} 。

图 3.5 是在不同的电容比**b**下,变化因子 α 和阻尼因子 ζ 之间的关系,其中曲线的顶点就是几何平均的最优值;表 3.1 是与不同电容比**b**相对应的最优变化因子 α_{opt2}

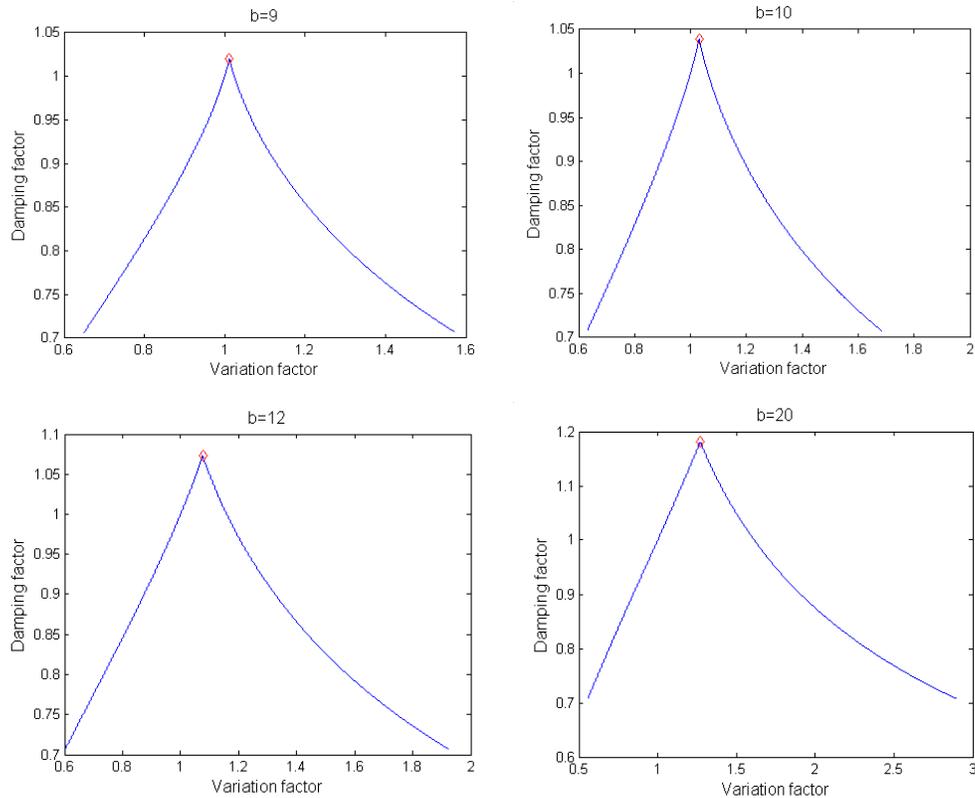


图 3.5 在不同的电容比 b 下,闭环阻尼因子 ζ 与参数变化因子 α 之间的关系

表 3.1 电容比与最优阻尼因子、最优变化因子、边界变化因子关系表

b	9	10	12	20
α_{opt2}	1.0119	1.0311	1.0766	1.2702
ζ_{opt2}	1.0201	1.0388	1.073	1.1814
$\alpha_{max}/\alpha_{opt2}$	1.5548	1.637	1.7878	2.2855
$\alpha_{min}/\alpha_{opt2}$	0.6431	0.6109	0.5594	0.4375

和阻尼因子 ζ_{opt2} ，以及相应的稳定边界变化因子 α_{max} 和 α_{min} (以 $\zeta_0=1, \alpha=1$ 为基准)。可以观察到，最优的设计值随着电容比的增加，最优的阻尼因子也在增加，并且变化裕量也在增加，也就是说环路将更加稳定。至此，可以得出基于稳定性最优的参数**b**和 ζ 的设计方法：

- 1) 根据工艺选取及电路设计的设计情况，估算出环路中参数的相对变化量(包括 $\Delta R/R$ 、 $\Delta C/C$ 、 $\Delta I_{CP}/I_{CP}$ 、 $\Delta K_v/K_v$ 、 $\Delta N/N$)，然后依据式(3-21)计算总变化因子 α_{max} 和 α_{min} 。
- 2) 然后依据总变化因子，选取合适的参数**b**，使得**b**所对应的变化裕量满足总变化因子，再进一步计算出对应的最优阻尼因子 ζ_{opt2} 。

另外，从表 1 中还能知道，在电容比**b**较小的情况下， ζ_{opt2} 很接近 1。由于计算最优值比较繁琐，所以近似计算的情况下，还可以用 $\zeta=1$ 来代替 ζ_{opt2} ，即对应于如图 3.3 中根轨迹上的点A和D。但是对于电容比增大的情况下，需要计算复杂的最优比才能达到最优值。

3.4 二阶模型、三阶模型之间的比较

在二阶模型近似中，本征频率 $\omega_{n(2)}$ 和阻尼因子 $\zeta_{(2)}$ 可以表示为：

$$\omega_{n(2)} = \sqrt{\frac{I_{CP}K_{VCO}}{2\pi NC_1}} = \sqrt{\frac{I_{CP}K_{VCO}R^2C_1}{2\pi N}}\omega_z = m_{(2)}\omega_z \quad (3-24)$$

$$\zeta_{(2)} = \frac{\omega_{n(2)}}{2\omega_z} \quad (3-25)$$

模型成立的前提是假设电容比**b**较大，因此开环传输函数中的三阶极点 ω_p 可以被忽略。可以发现，二阶模型中，环路参数是与电容比无关的。然而，在实际电路中，

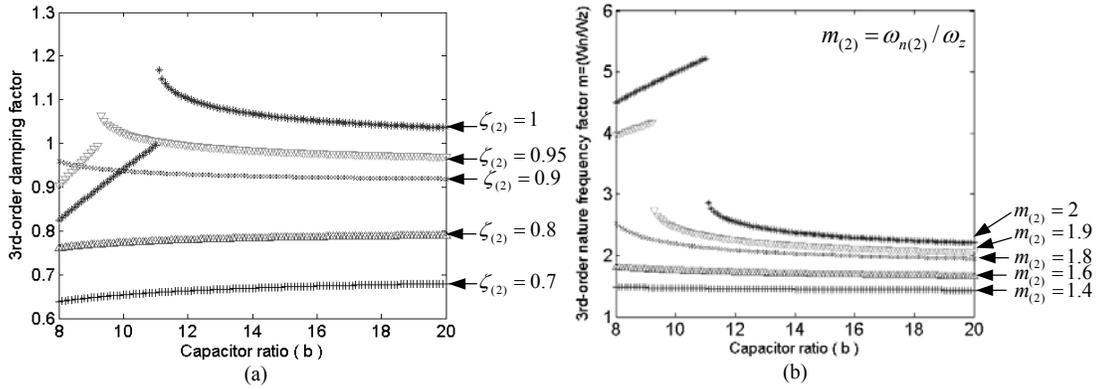


图 3.6 二阶模型与三阶模型的参数与电容比的关系

(a)三阶模型阻尼系数 vs 电容比 (b) 三阶模型本征频率系数 vs 电容比

总是希望有比较小的电容比，这样才能很好的抑制参考时钟的毛刺。如果按照二阶模型来设计的阻尼因子 $\zeta_{(2)}$ 和本征频率 $\omega_{n(2)}$ (也即系数 $m_{(2)}$)，将它们和用三阶模型计算得到的值相比较，如图 3.6 所示。图中，三阶模型得到的参数是与电容比有关的，并且从图 3.6(a)可以看到，对于 $\zeta_{(2)}=0.95$ 和 1，曲线是不连续的，在电容比较小的地方，三阶模型得到的阻尼因子 $\zeta_{(3)}$ 与 $\zeta_{(2)}$ 有很大的差异。同样，从图 3.6(b)可以看到，本征频率系数 $m_{(3)}$ 与 $m_{(2)}$ 在较小电容比处也有较大差异。但是，对于较小的阻尼因子，二阶模型的估算值与三阶模型估算值偏离不大。因此，通过比较可以得到的结论是：

- 1) 对于较大的电容比 b ，二阶模型近似是有效的；
- 2) 对于较小的电容比 b ，如果设计的阻尼因子较小，那么二阶模型近似也是有效的。
- 3) 对于较小的电容比 b ，并且设计的阻尼因子较大(接近 1)，二阶模型是不准确的。
(在这种情况下，开环的主极点可能已经是 ω_{p3})

如果环路带宽相对于参考时钟比较大的情况下，总是希望有比较小的电容比，从而使得极点 ω_{p3} 较低能够更好的抑制参考时钟的毛刺。同时，从稳定性考虑，就需要采用比较大的阻尼因子。从图 3.6 中还可以发现，当电容比 b 大于 12 时，二阶模型近似还是有效的。但是，二阶模型无法像三阶模型一样用根轨迹的方法来预测参数变化对稳定性的影响。

3.5 四阶环路

如果环路对参考时钟馈通引入的毛刺的抑制比要求很高，往往会在环路滤波器中再加入一级 RC 滤波，从而得到了三阶的环路滤波器，如图 3.7。这样，整个环路就成为了四阶，环路滤波器的传输函数是，

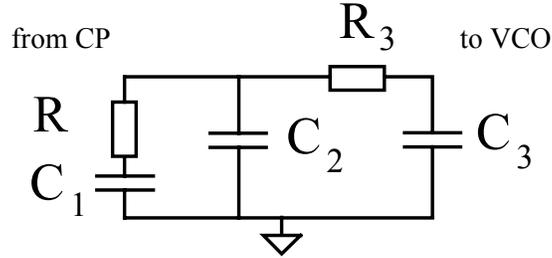


图 3.7 三阶环路滤波器

$$H(s) = \frac{1}{(C_1 + C_2)} \cdot \frac{\frac{s}{\omega_z} + 1}{s \left[s^2 \cdot \frac{1}{\omega_p \omega_p'} + s \left(\frac{1}{\omega_p} + \frac{1}{\omega_p'} + \frac{C_3}{\omega_z (C_1 + C_2)} \right) + \left(1 + \frac{C_3}{C_1 + C_2} \right) \right]} \quad (3-26)$$

$$\text{其中, } \omega_z = \frac{1}{RC_1}, \quad \omega_p = \frac{C_1 + C_2}{RC_1 C_2} = (b+1)\omega_z, \quad \omega_p' = \frac{1}{R_3 C_3}$$

如果满足条件, $\frac{1}{\omega_p} + \frac{1}{\omega_p'} \gg \frac{C_3}{\omega_z (C_1 + C_2)}$ 及 $1 \gg \frac{C_3}{C_1 + C_2}$, 则式(3-26)可以简化

为,

$$H(s) = \frac{1}{C_1 + C_2} \cdot \frac{\frac{s}{\omega_z} + 1}{s \left(\frac{s}{\omega_p} + 1 \right) \left(-\frac{s}{\omega_p'} + 1 \right)} \quad (3-27)$$

那么相应的四阶环路的开环传输函数可以表示为,

$$H_o(s) = \frac{K_V I_{CP} b R_3 C_3}{2\pi N C_1} \cdot \frac{s + \omega_z}{s^2 (s + \omega_p)(s + \omega_p')} \quad (3-28)$$

与三阶环路模型相比，增加了一个极点 ω_p' ，如果它比其他极点的频率都要高。那么这个极点对闭环特性有什么影响呢？再来看一下四阶闭环极点的根轨迹图(图3.8)，可以看到，除了高频极点 ω_p' 向更高频率移动外，其他的轨迹是与三阶环路的闭环根轨迹是一样的。因此，同样可以用三阶环路分析的方法来分析环路的稳定性，也就是说，即使是四阶环路，也能用三阶环路分析来近似，而且由于具有类似的根轨迹。

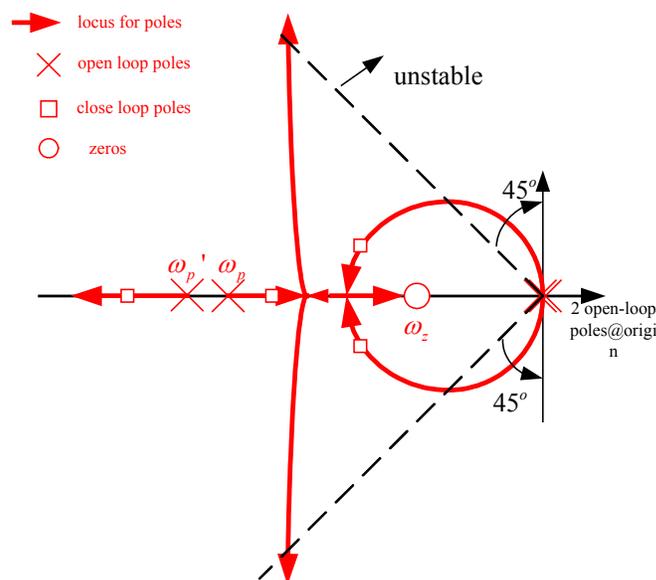


图 3.8 四阶环路的闭环极点根轨迹

3.6 小结

本章从三阶闭环环路模型出发，分析了频率综合器环路参数的设计方法。并且定量的分析了参数变化对环路稳定性的影响，进一步得出了基于稳定性优化的参数设计方法。

通过分析可知，为了得到稳定性高的环路，必须选择一个合适的电容比 b 和阻尼因子 ζ_0 。另外，需要考虑实际工艺中参数的偏差，如电荷泵电路、VCO压控增益，它们需要在不同的corner下进行仿真，得到中心值和相对偏差；又如电阻和电容的工艺偏差，这在选择器件类型时根据工艺文件进行选择；还要考虑的是分频比的变化范围，得出相对偏差。将所有参数的偏差都考虑进去，进行稳定性分析，如果存在着稳定性的问题，一方面需要对电路进行优化设计，使得参数偏差的范围减小；另一方面，就需要适当的增加电容比 b ，使得系统稳定性提高。

参考文献

- [1] Floyd M. Gardner. Charge-Pump Phase-Lock Loops. IEEE Trans. on Communications, 1980, 28(11):1849~1858.
- [2] Pavan Kumar Hanumolu, et al. Analysis of Charge-Pump Phase-Locked Loops. IEEE Trans. on Circuits & Systems-I: Regular Papers, 2004, 51(9):1665~1674.
- [3] Jerrell P. Hein, Jeffrey W. Scott. z-Domain Model for Discrete-Time PLL's. IEEE Trans. on Circuits and Systems, 1988, 35(11):1393~1400.
- [4] W. B. Wilson, et al. A CMOS Self-Calibrating Frequency Synthesizer. IEEE J. of Solid-State Circuits, 2000, 35(10):1437~1444.
- [5] David M. Colleran, et al. Optimization of Phase-Locked Loop Circuits via Geometric Programming. Custom Integrated Circuits Conference, 2003:377~380.
- [6] Hamid R. Rategh, et al. A CMOS Frequency Synthesizer with an Injection-Locked Frequency Divider for a 5-GHz Wireless LAN Receiver. IEEE J. of Solid-State Circuits, 2000, 35(5):780~787.
- [7] Patrik Larsson. "A 2-1600-MHz CMOS Clock Recovery PLL with Low-V_{dd} Capability", IEEE J. of Solid-State Circuits, 1999, 34(12):1951~1960.
- [8] Jan Craninckx, M. Steyaert. A Fully Integrated CMOS DCS-1800 Frequency Synthesizer. IEEE J. of Solid-State Circuits, 1998, 33(12):2054~2065.
- [9] He Jie, Tang Zhangwen, Min Hao, Hong Zhiliang. "A CMOS Fully Integrated Frequency Synthesizer with Stability Compensation", Chinese Journal of Semiconductor, Accepted.

第四章 噪声估计

在讨论了基于稳定性优化的参数设计方法后，还要保证设计的参数能够满足环路在噪声性能方面的要求。我们需要根据设计的参数，来估算出整个频率综合器输出信号的相位噪声，如果噪声性能达不到设计指标，则需要进一步的调整参数设计的一些初始参量，如环路带宽 ω_c 、电荷泵电流 I_{CP} 等等，甚至需要重新调整 VCO 的压控增益。所以环路的噪声估计也是相当重要的一个环节，也是设计高性能相位噪声的频率综合器不可缺少的部分。下面我们就噪声估计展开讨论。

频率综合器的一个特点是在环路中同时存在着高频成分(VCO)、低频成分(参考时钟)及其他的中频成分(分频器内部)，这导致环路本身的仿真就比较困难。一些很好的电路分析工具如 HSPICE、Spectre 都不能直接用来仿真环路的噪声性能，甚至环路的瞬态相应也只能用这些工具在最后验证阶段使用。为了在设计初期能够初步的预测环路的性能，就必须对环路进行建模分析，利用所建的模型及模型参数来估算环路的特性。

我们在进行参数设计的时候，已经得到了环路传输函数中的参数。为了估计环路的噪声性能，在传输函数的基础上，还需要进一步分析环路各个模块的等效噪声模型。这方面工作已经在文献[1~3]中有了一定的介绍。但是在电荷泵等效噪声估计方面，文献[1,2]采用了最常用的电荷泵导通比噪声模型来近似估算电荷泵的噪声贡献，由于这种近似在低频段误差较大，所以估算出来的环路噪声与实际测试值误差较大，而文献[3]则完全通过仿真来得到电荷泵输出噪声，一旦电路参数变化就需要重新仿真，方法比较繁琐而且与电路结构相关性大，因此需要新的模型来等效电荷泵噪声。本文通过引入电荷泵导通时间参数 T_{on} ，分析提出电荷泵的采样噪声等效模型。同时分别采用了*基于环路的参数模型*估计电荷泵与滤波器的等效噪声，和*基于性能指标的参数模型*等效 VCO 与分频器的等效噪声，得到了在参数设计阶段的一套完整的噪声估计方程和噪声优化的方法。

4.1 噪声模型及传输函数分析

在第二章中，曾对频率综合器的噪声模型进行了简单的介绍，如图 2.4。为了进一步的研究环路中的噪声模型，将图 2.4 重新细化为图 4.1，这里各个节点的等效噪声已经细化为相应的相位噪声、电流噪声和电压噪声。图 4.1 中各个噪声源如下，

θ_i : 输入参考时钟的相位噪声；

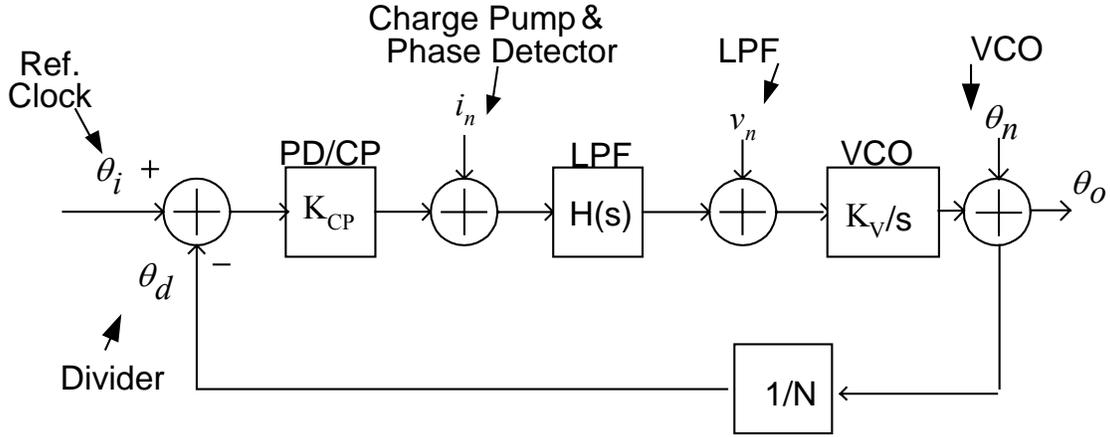


图 4.1 频率综合器等效噪声模型

- θ_d : 分频器的输出等效相位噪声;
- θ_n : VCO 的输出等效相位噪声;
- v_n : 环路滤波器的输出等效电压噪声;
- i_n : 鉴相器和电荷泵的输出等效电流噪声;
- θ_o : 最终的频率综合器输出信号的相位噪声;

所有的噪声都会经过环路后传输到输出，成为频率综合器的输出相位噪声，那么它们各自也有相应的噪声传递函数，根据第三章得到的三阶模型参数可以计算如下，

1) 来自参考时钟和分频器输出的相位噪声有相同的传输函数

$$H_d(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{\theta_o(s)}{\theta_d(s)} = N \cdot \frac{\omega_n^2 \left(\frac{s}{\omega_z} + 1\right)}{(s^2 + 2\zeta\omega_n s + \omega_n^2) \left(\frac{s}{\omega_{p3}} + 1\right)} \quad (4-1)$$

2) 来自电荷泵和鉴相器的噪声的传输函数

$$H_i(s) = \frac{\theta_o(s)}{i_n(s)} = \frac{N}{K_{CP}} \cdot \frac{\omega_n^2 \left(\frac{s}{\omega_z} + 1\right)}{(s^2 + 2\zeta\omega_n s + \omega_n^2) \left(\frac{s}{\omega_{p3}} + 1\right)} \quad (4-2)$$

3) 来自环路滤波器的噪声的传输函数

$$H_v(s) = \frac{\theta_o(s)}{v_n(s)} = \frac{N C_1 (b+1)}{K_{CP}} \cdot \frac{\omega_n^2 s \left(\frac{s}{\omega_p} + 1\right)}{(s^2 + 2\zeta\omega_n s + \omega_n^2) \left(\frac{s}{\omega_{p3}} + 1\right)} \quad (4-3)$$

4) 来自 VCO 的噪声的传输函数

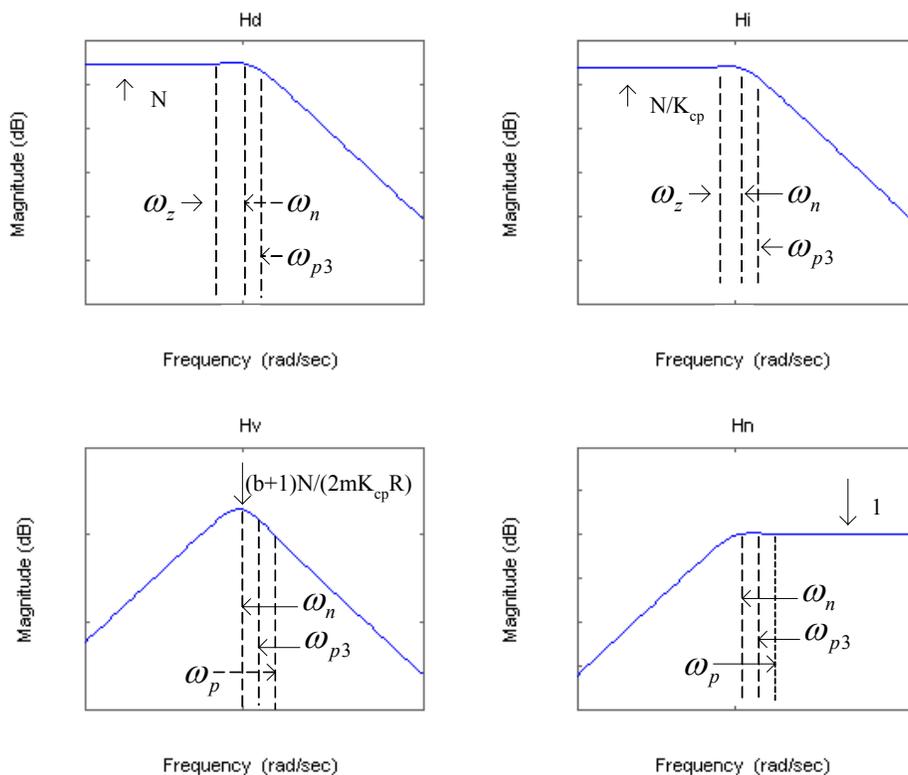


图 4.2 各个噪声传输函数的幅频响应 Bode 图

$$H_n(s) = \frac{\theta_o(s)}{\theta_n(s)} = \frac{NC_1(b+1)}{K_{cp}K_{vco}} \cdot \frac{\omega_n^2 s^2 \left(\frac{s}{\omega_p} + 1\right)}{(s^2 + 2\zeta\omega_n s + \omega_n^2) \left(\frac{s}{\omega_{p3}} + 1\right)} \quad (4-4)$$

图 4.2 是各个噪声传输函数的幅频响应的 Bode 图，从响应曲线可知，环路对来自于输入参考时钟、分频器输出和电荷泵的噪声是低通的，对于来自环路滤波器的噪声是带通的，而对于 VCO 本身的输出相位噪声是高通的。在图中也标出了各个传输函数的通带增益和相应的零极点位置。

4.2 环路噪声的优化方法

在如图 4.2 的噪声传输函数中，值得注意的是，环路滤波器的噪声传输函数 H_v 的通带增益是 $|H_v(j\omega_n)| = (b+1)N/(2mK_{cp}R)$ ，其中 m 和 R 都是在参数设计时由其他参量表示的，用第三章中的关系式重新计算通带增益并化简可得，

$$|H_v(j\omega_n)| = \left| H_v(j\frac{m\omega_c}{n}) \right| \approx \frac{b^2 \cdot K_V}{2 \cdot k(b, \zeta) \cdot \omega_c} \quad (4-5)$$

这是一个非常有意思的简化式，注意到 $k(b, \zeta)$ 与 b^2 是近似成正比的，所以要降低环路滤波器的噪声贡献，只能通过两种方式：减小 VCO 压控增益 K_V ，或者增大环路的带宽 ω_c 。这点在设计有源环路滤波器的时候很有用，因为有源滤波器产生的噪声比无源滤波器大的多，如果有源滤波器的噪声对整个环路输出相位噪声的贡献很大的化，除了降低有源电路本身的噪声输出以外，就只能从上面的两个方面来降低噪声贡献。

为了降低来自于参考时钟和分频器的噪声贡献，希望具有较小的分频比 N 和较小的带宽。在整数 N 的频率综合器中，如果对于窄带的应用而言， N 的取值往往较大，所以只能通过降低环路带宽或者减小电容比 b 来进一步抑制这部分的噪声贡献。

对于电荷泵引入的噪声，除了采用较小的分频比和带宽，还可以采用提高电荷泵电流来抑制噪声贡献。第三章已经提到增加电荷泵电流将使电容 C_I 增大和电阻 R 减小，但电容增加将占用更大的芯片面积；另外因为电荷泵总存在着失配，增加电流将使得的馈入到环路中参考时钟的毛刺增大。所以增加电荷泵电流需要与芯片面积、引入的参考时钟馈入折中考虑。

为了抑制 VCO 的相位噪声贡献，由于传输函数的通带增益为 1，只能通过增大环路带宽来抑制 VCO 的低频噪声，增大了带宽，会使得从参考时钟、分频器和电荷泵的噪声贡献增加。所以环路带宽的设计需要折中考虑。

设计低噪声频率综合器的方法可以总结为：

- 1) 较小的分频比 N 和较小的电容比 b ，可以降低参考时钟、分频器和电荷泵的噪声贡献；
- 2) 较大的电荷泵电流，可以降低电荷泵的噪声贡献和环路滤波器中电阻的噪声；
- 3) 较小的 VCO 压控增益，可以降低环路滤波器的噪声贡献以及降低 VCO 自身的相位噪声；
- 4) 环路的带宽选择需要折中，以使得来自于参考时钟、分频器、电荷泵、环路滤波器及 VCO 的总噪声最小；
- 5) 当然还有降低各个模块自身的等效输出噪声。

4.3 参数化等效噪声模型

需要指出的是，如果参考时钟和分频器的相位噪声很小，与电荷泵噪声和 VCO 噪声相比对环路输出总噪声的贡献很低的情况下，设计环路带宽是可以先从大的带宽开始，这样可以抑制更多的 VCO 的低频相位噪声和降低环路滤波器噪声传输函数的通带增益；然后根据估计的噪声，如果参考时钟和分频器的噪声贡献在带内某频段处不可接受时，再降低环路带宽至合适的值。事实上，这种前提条件在实际电路中是存在的。首先参考时钟往往是由片外晶振产生的，它具有非常好的相位噪声，往往在估计总相噪时都会可以将参考时钟的噪声忽略；其次，虽然分频器输出信号的相位噪声不能忽略，而且可能很大，但是通过采用输出同步技术可以很好的降低分频器的输出相位噪声[4][5]，使得相位噪声能够维持在较低的水平上。

如果能够保证分频器的输出噪声相对的小，那么频率综合器的输出总噪声将主要受电荷泵、环路滤波器和 VCO 的噪声影响。所以需要对这些主要噪声源建立等效噪声模型。对于 VCO 而言，已经有大量的工作对其噪声模型进行了分析[6]，这里将不是我们研究的重点，而是采用*基于性能指标的参数模型*来估计 VCO 的相位噪声。同样，对于分频器而言，也采用*基于性能指标的参数模型*来估计它的相位噪声。所谓*基于性能指标的参数模型*是指，模块设计的噪声性能指标就是它的噪声估计，只要在设计仿真时得到的噪声性能满足指标性能，就认为这种噪声估计是可行的。因为对于 VCO 和分频器而言，它们本身的噪声产生机理比较复杂，电路结构又有多种变化，但是在环路参数中可分析的变量又很少(只有 K_V 和 N)，所以*基于性能指标的参数模型*来估计噪声是最方便的，从可靠性上而言也是可行的。

那么重点将集中到了电荷泵和环路滤波器上，由于和它们相关的环路参数较多，更重要的是对于不同结构的电路，噪声的产生机理和表现形式基本上是一致的，所以可以将它们的噪声模型与环路参数联系起来，这种方法我们称为*基于环路的参数模型*。当然，这里涉及的参数不仅仅只是在环路参数设计和分析中出现的参数，而且还包括在实际电路设计中需要考虑的其他参数，如电荷泵的导通时间、运放的输出阻抗等，甚至还需要包括工艺参数中器件的噪声参数，这些都会在下面分析中逐一提及。

4.3.1 电荷泵的等效输出噪声电流—采样等效噪声模型

电荷泵的基本结构如图 4.3 所示，目前比较通用的结构有图 4.3(a)(b)(c)三种结构，在这三种结构中，UP 和 DN 信号是鉴相器的输出控制信号， V_{BP} 和 V_{BN} 分别是

上下电流源的偏置电压，电流源的导通电流是 I_{CP} 。三种结构电荷泵的噪声模型都可以用图 4.3(d)来表示。其中，PMOS 电流源的噪声电流用 $i_{n,p}$ 表示，NMOS 电流源的噪声电流用 $i_{n,n}$ 表示，输出等效的噪声电流用 $i_{n,o}$ 表示。开关的控制信号分别是 $UP(t)$ 和 $DN(t)$ ，在环路锁定的理想情况下， $UP(t)$ 和 $DN(t)$ 是相同的，即同时导通和同时关闭。为了消除鉴相器的死区，控制信号必须导通一个较短的时间 T_{on} 。这样输出的噪声电流 $i_{n,o}(t)$ 可以表示为，

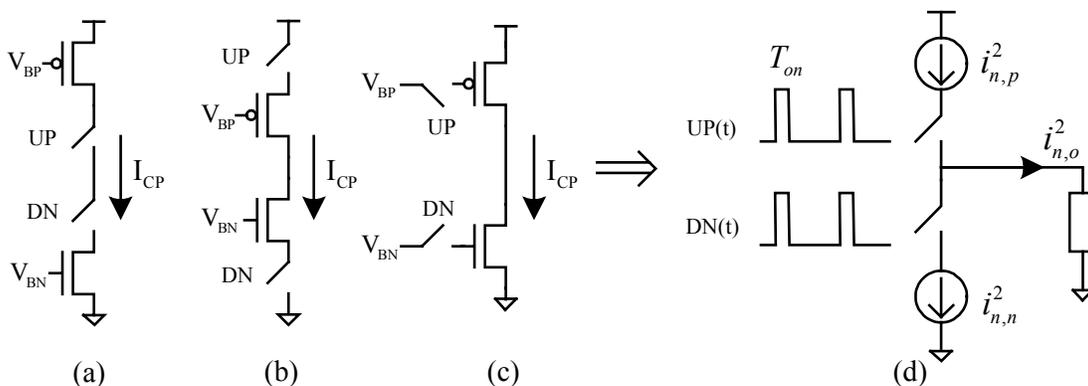


图 4.3 电荷泵的几种基本结构及其等效噪声电流模型

$$i_{n,o}(t) = \underbrace{i_{n,p}(t) \times UP(t)}_{i_{n1}(t)} + \underbrace{i_{n,n}(t) \times DN(t)}_{i_{n2}(t)} \quad (4-6)$$

噪声通常用功率谱密度(PSD)表示，所以它们的功率谱密度之间的关系是，

$$S_{i_{n,o}}(f) = S_{i_{n1}}(f) + S_{i_{n2}}(f) \quad (4-7)$$

$$S_{i_{n1}}(f) = S_{i_{n,p}}(f) * S_{UP}(f) \quad (4-8)$$

$$S_{i_{n2}}(f) = S_{i_{n,n}}(f) * S_{DN}(f) \quad (4-9)$$

这里 $S_x(f)$ 代表了信号 x 的功率谱密度，运算符 $*$ 表示卷积。因为 $UP(t)$ 和 $DN(t)$ 在锁定时是相同的，所以只要分析式(4-8)就行。 $S_{i_{n,p}}(f)$ 是 PMOS 的噪声电流功率谱密度，可以表示为：

$$S_{i_{n,p}}(f) = a + \frac{b}{|f|^\beta} \quad (4-10)$$

其中 a 是热噪声， b 是 flicker 噪声的系数， β 是 flicker 噪声的指数。 $S_{UP}(f)$ 可以表示为：

$$S_{UP}(f) = \sum_{n=-\infty}^{+\infty} a_n^2 \delta(f - nf_{ref}) \quad (4-11)$$

其中 f_{ref} 是信号 UP(t) 的频率, a_n 是 UP(t) 在频率 nf_{ref} 处的 Fourier 级数, 可以表示为:

$$a_n = \frac{1}{T} \int_{-\frac{T_{on}}{2}}^{\frac{T_{on}}{2}} UP(t) e^{-jn\omega_{ref}t} dt = \frac{\sin \frac{n\omega_{ref}T_{on}}{2}}{n\pi} \quad (4-12)$$

再由式(4-8)进一步得到,

$$S_{i_{n1}}(f) = \int_{-\infty}^{\infty} S_{i_{n,p}}(f') S_{UP}(f - f') df' = a \cdot \sum_{n=-\infty}^{+\infty} a_n^2 + b \cdot \sum_{n=-\infty}^{+\infty} \frac{a_n^2}{|f - nf_{ref}|^\beta} \quad (4-13)$$

上式说明, 在输出端, 电流源的热噪声和 flicker 噪声都被乘上了不同的系数。值得注意的是, flicker 噪声的系数通常要比热噪声的系数要小的多, 这说明电流源的 flicker 噪声被抑制掉了。除了在参考时钟的整数倍频率点上, flicker 噪声的系数无穷大, 这说明即使在理想情况下(电荷泵是完全匹配), 也存在着参考时钟的馈通, 在频率综合器输出时也存在着参考时钟频率的毛刺。但是无穷大是没有意义的, 在实际处理时, 整数倍参考时钟频点的噪声可以由偏离 1Hz 频点的噪声来估计。

在上面的分析中, 引入了一个重要的参数 T_{on} , 即电荷泵锁定态下的导通时间。这在很多设计中往往是被忽略的, 大家总是遵守着一个原则, 这个导通时间越短越好, 但是过短的导通时间也可能使得电荷泵不能充分工作, 所以这个导通时间短到什么程度就可以了, 也是值得思考的问题。在这里, 导通时间只要使得电荷泵的噪声满足要求, 就可以认为它已经够短的了。所以需要将它引入来估算电荷泵的等效输出噪声。图 4.4 是导通时间 T_{on} 与式(4-13)右边两项噪声系数的关系, 图是以参考时钟频率 $f_{ref}=250kHz$, $\beta=1$, $T_{on}=1ns \sim 9ns$ 为例的。很明显, 导通时间越短, 电荷泵输出的噪声越小。从图 4.4 中可以看到, flicker 噪声与热噪声相比, 除了在参考时钟的整数倍频率点附近外, 被很大的抑制了。而这些现象在传统的导通比等效噪声模型[1,2]中是无法估计出来的, 采样等效噪声模型更加接近实际的情况, 特别是在低频端的准确度比导通比等效噪声好的多, 详细的比较将在第六章“仿真与测试”中介绍。

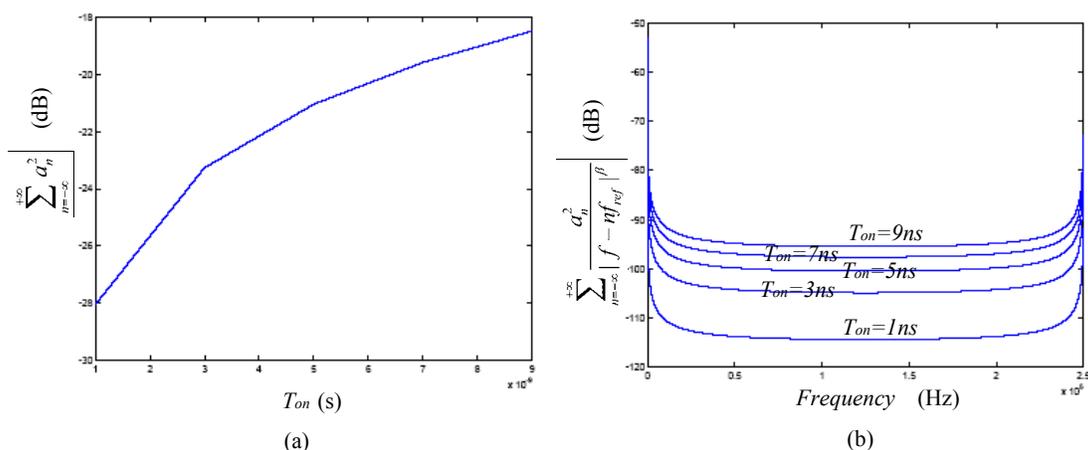


图 4.4 锁定状态下电荷泵导通时间与输出噪声系数的关系

为了更好的估计电荷泵的噪声，还要对导通时的噪声电流进行估计。由式(4-10)可知，估计电荷泵导通时的噪声电流功率谱密度，也就是要对热噪声和 flicker 噪声的参数 a 、 b 、 β 进行估计。幸运的是，噪声电流主要由偏置的 MOS 管贡献，因此只要用 MOS 管的噪声模型来代替。MOS 管的噪声模型，特别是热噪声和 flicker 噪声，已经比较成熟了，文献[7][8]中有着详细的介绍。而且工艺厂商在提供的器件模型中也对 MOS 管的噪声模型参数进行了拟合，这给在设计初期估计电荷泵噪声带来很大方便。MOS 管的噪声模型可以用下面的方程表示：

$$\text{热噪声电流 PSD: } S_{i,thermo} = \frac{8}{3} kT(1 + \eta)g_m \quad (4-14)$$

$$\text{flicker 噪声电流 PSD: } S_{i,flicker} = \frac{K_f g_m^2}{C_{ox} \cdot W_{eff} \cdot L_{eff} \cdot f^\beta} \quad (4-15)$$

其中， k 是 Boltzmann 常数， 1.38×10^{-23} J/K；

T 是绝对温度，单位 K；

g_m 是 MOS 工作时的跨导；

η 是系数，表示为 $\eta = (g_{mb} + g_{ds})/g_m$ ， g_{mb} 和 g_{ds} 分别是衬底跨导和沟道导纳。

如果 MOS 工作在饱和区状态， η 可以认为是个常数。

C_{ox} 是栅氧区的单位电容；

W_{eff} 、 L_{eff} 分别是 MOS 管的有效宽度和长度；

β 是 flicker 噪声的指数系数，接近 1，所以 flicker 噪声也称为 1/f 噪声。

K_f 是与器件有关的常数。

实际上 (4-14)和(4-15)分别是(4-10)右式中两项噪声。如果能够得到与电荷泵的工作

电流相关的噪声模型方程，则能够很方便的预测等效电流噪声的功率谱密度。由于工作在饱和区 MOS 的跨导 g_m 与工作电流 I_{CP} 的关系可以表示为：

$$g_m \propto \frac{I_{CP}}{V_{gs} - V_{th}} \quad (4-16.a)$$

或者
$$g_m \propto \sqrt{\frac{W_{eff}}{L_{eff}}} I_{CP} \quad (4-16.b)$$

将(4-16.a)带入到(4-14)，及(4-16.b)带入到(4-15)，分别可得，

$$S_{i,thermo} \propto \frac{8}{3} kT(1+\eta) \frac{I_{CP}}{V_{gs} - V_{th}} \quad (4-17.a)$$

$$S_{i,flicker} \propto \frac{K_f \cdot I_{CP}}{C_{ox} \cdot L_{eff}^2 \cdot f^\beta} \quad (4-17.b)$$

因为在电荷泵中，电流源偏置电压是不变的，即 V_{gs} 是常数，所以可以看到，噪声电流的功率谱密度与工作电流是成正比的。这样，在设计初期，为了比较准确的估计电荷泵等效噪声，只要先对一个标准偏置管(例如偏置电流 $I_U=10\mu A$)进行噪声仿真，得到单位噪声 PSD 为 S_U ，实际的噪声 PSD 为则为 $(I_{CP}/I_U)S_U$ 。另外，还有一个比较简便的方法，在仿真工具如 Spectre 中，提供了一个工作点参数跨导电流比 $gmoverid$ ，在偏置电压不变的情况下， $gmoverid$ 基本上是常数，所以通过仿真得到 $gmoverid$ 后，就可以很方便从工作电流反推得到跨导 $gm=gmoverid \times I_{CP}$ 。

4.3.2 环路滤波器的等效输出噪声电压

对于环路滤波器而言，也可以方便的将噪声模型与环路参数联系起来，对设计初期估计噪声有利。通常，环路滤波器有两种实现形式：无源和有源，如图 4.5 所

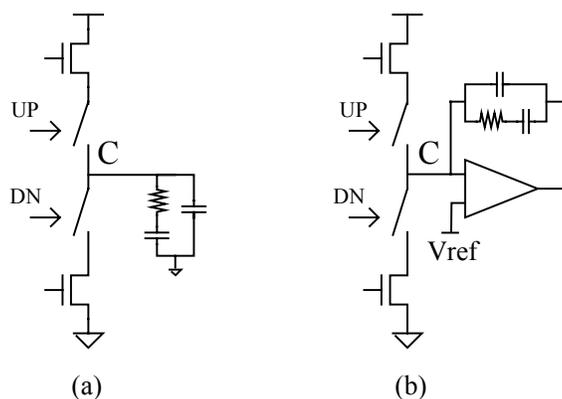


图 4.5 环路滤波器实现的两种形式 (a)无源 (b)有源

示。一方面，无源滤波器比有源滤波器的噪声往往要小的多。另一方面，由于无源滤波器的输出就是图 4.5(a)中的节点 C，为了保证电荷泵正常工作，输出节点的电压范围受到限制，从而会限制频率综合器的输出频率范围，但是如果采用有源的滤波器，如图 4.5(b)，节点 C 的电压被稳定在参考电压 V_{ref} ，则对电荷泵基本不影响，而 VCO 的压控电压范围完全由运放的输出电压范围决定。然而，有源滤波器的噪声很大，在第 4.2 节噪声分析提到，要降低这部分噪声，只有降低 VCO 的压控增益 K_V 或者增加环路的带宽 ω_c ，所以有源滤波器往往只在宽带的频率综合器中才使用。下面将环路滤波器(包括无源和有源)的等效噪声估算与环路参数联系起来。

无源滤波器

无源滤波器的噪声源主要来自于滤波器中的电阻 R ，电阻的串联等效噪声电压

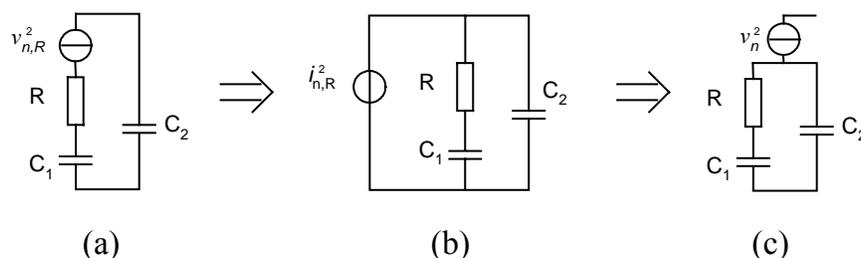


图 4.6 无源环路滤波器的噪声模型等效

$v_{n,R}$ ，噪声模型如图 4.6(a)所示，经过到(b)得到等效输出电流噪声 $i_{n,R}$ ，表示为：

$$\sqrt{i_{n,R}^2} = \sqrt{v_{n,R}^2} \frac{sC_1}{s/\omega_z + 1} \quad (4-18)$$

再进一步到(c)的等效变换，就可以得到等效输出噪声电压 v_n ，可以表示为：

$$\sqrt{v_n^2} = \sqrt{i_{n,R}^2} Z(s) = \frac{b}{b+1} \cdot \frac{1}{s/\omega_p + 1} \sqrt{v_{n,R}^2}$$

其中 $Z(s)$ 表示滤波器的阻抗，上式可以写成功率谱密度的形式，

$$S_{v,n} = \left| \frac{b}{b+1} \cdot \frac{1}{s/\omega_p + 1} \right|^2 S_{v,R} \quad (4-19)$$

$S_{v,n}$ 代表等效输出噪声电压的功率谱密度， $S_{v,R}$ 表示电阻的噪声电压的功率谱密度。

上式说明无源滤波器的等效噪声基本上是低通的电阻热噪声，带宽为 ω_p 。

有源滤波器

与无源滤波器相比，有源滤波器增加了有源运放的噪声，噪声模型可以用图 4.7 来表示。在(a)中， r_o 表示有源运放的输出阻抗， $i_{n,a}^2$ 表示运放等效输出噪声电流 PSD。

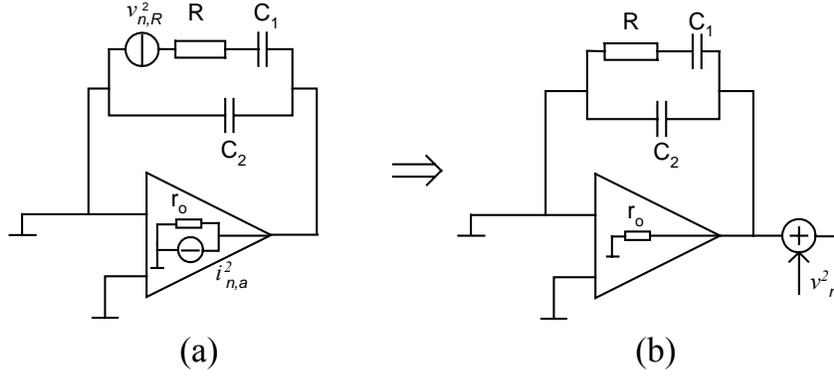


图 4.7 有源滤波器噪声模型及其等效

可以推导噪声的传输函数如下：

$$H_R(s) = \frac{\sqrt{v_n^2(s)}}{\sqrt{v_{n,R}^2(s)}} = \frac{\sqrt{v_n^2(s)}}{\sqrt{i_{n,R}^2(s)}} \cdot \frac{\sqrt{i_{n,R}^2(s)}}{\sqrt{v_{n,R}^2(s)}} = (r_o // Z(s)) \frac{sC_1}{s/\omega_z + 1} \quad (4-20.a)$$

$$H_a(s) = \frac{\sqrt{v_n^2(s)}}{\sqrt{i_{n,a}^2(s)}} = r_o // Z(s) \quad (4-20.b)$$

则输出等效噪声电压为，

$$\sqrt{v_n^2} = H_R(s)\sqrt{v_{n,R}^2} + H_a(s)\sqrt{i_{n,a}^2} \quad (4-21)$$

由于电阻噪声和运放的噪声是不相关的，所以将上式写为功率谱密度的形式，

$$v_n^2 = |H_R(s)|^2 v_{n,R}^2 + |H_a(s)|^2 i_{n,a}^2 \quad (4-22)$$

$$\text{即, } S_{v,n} = |H_R|^2 S_{v_{n,R}} + |H_a|^2 S_{i_{n,a}}$$

同样为了在设计初期就能估计有源滤波器的噪声，需要对运算放大器的噪声进行估算。这里假定运算放大器采用 folded-cascode 结构，如图 4.8 所示。在电路中，用虚线所框的 MOS 管是噪声的主要来源，与电荷泵相似，我们也可以从 MOS 管的噪声模型来估算总的噪声电流，同样，只要给出运放的工作电流，就能够估算出噪声电流，采用的方法也与电荷泵噪声估计一致。由于电流越大噪声越大，所以要尽量选取较小的工作电流，每个支路工作电流的下限就是电荷泵的工作电流，在初期

估计的时候，可以假设运放的支路工作电流是电荷泵电流的 2.5 倍。

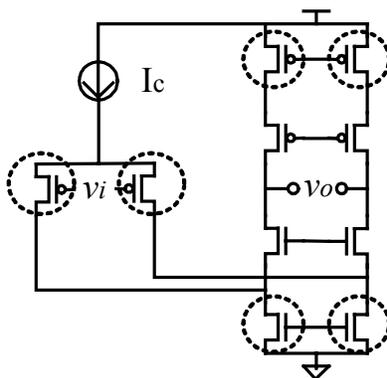


图 4.8 folded-cascode 运算放大器结构示意图

4.3.3 VCO 和分频器的噪声参数模型

与电荷泵和环路滤波器相比，VCO 和分频器与环路相关的参数比较少，这使得在设计初期很难用相关的环路参数来估计它们的噪声。所以这里采用基于设计的性能指标，给 VCO 和分频器的噪声性能指定一个上限，并用上限来作为这些模块的噪声估计，这种方法我们称之为**基于性能指标的参数化噪声模型**。虽然，这种估计方法不是十分准确，但是在设计初期能够很方便的估计整个环路的噪声性能；而且在电路设计的过程中，将实际得到的噪声性能重新带入估算方程，还能进一步优化电荷泵和环路滤波器的参数以得到更好的整体噪声性能。

VCO 的噪声估计

在第一章已经介绍了 VCO 的频谱特性，在频谱上，VCO 的相位噪声可分为三个区域， $1/f^3$ 、 $1/f^2$ 和基底噪声区域，将相位噪声的功率谱密度重画于图 4.9。

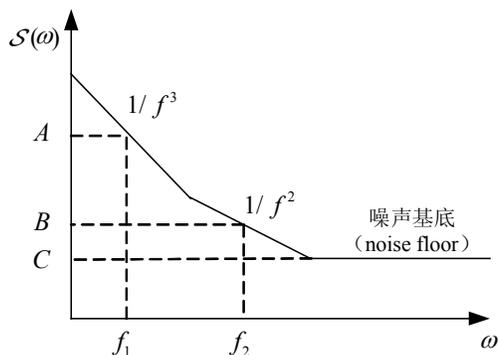


图 4.9 VCO 的相位噪声功率谱密度

f_1 、 f_2 分别代表了在 $1/f^3$ 、 $1/f^2$ 的典型频偏值。相位噪声实际的取值，应该就是作为 VCO 设计时的上限指标。VCO 相位噪声的参数模型可以表示为，

$$S_{\text{vco},n}(f) = A\left(\frac{f_1}{f}\right)^3 + B\left(\frac{f_2}{f}\right)^2 + C \quad (4-23)$$

其中 A 是在频偏 f_1 (在 $1/f^3$ 区域)处的相位噪声，单位 dBc/Hz；

B 是在频偏 f_2 (在 $1/f^2$ 区域)处的相位噪声，单位 dBc/Hz；

C 是 VCO 的基底噪声，单位 dBc/Hz。

例如，假设 $f_1=10\text{kHz}$ ， $f_2=100\text{kHz}$ ， $A=-70\text{dBc/Hz}$ ， $B=-100\text{dBc/Hz}$ ， $C=-150\text{dBc/Hz}$ ，则预测的相位噪声如图 4.10 所示，在 100kHz 频偏处的计算噪声为 -97dBc/Hz，与指标 -100dBc/Hz 的误差是可以接受的，因此式(4-23)基本上能够依据设计指标估算出相应的噪声。

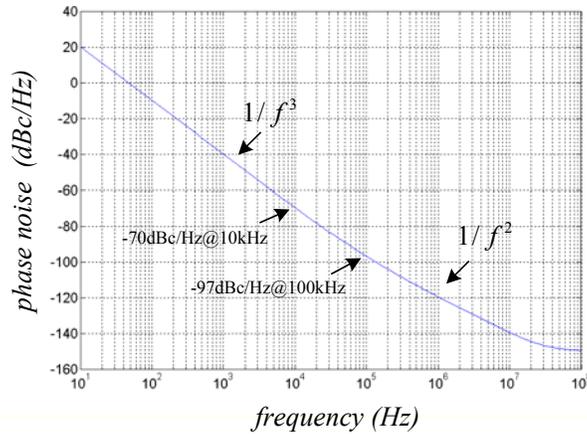


图 4.10 基于性能指标参数模型的 VCO 相位噪声估计

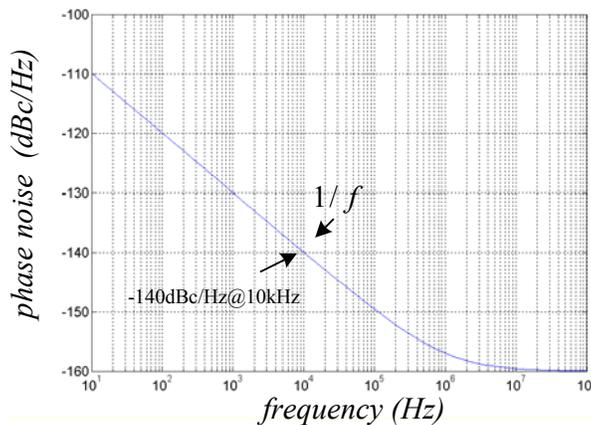


图 4.11 基于性能指标参数模型的分频器相位噪声估计

分频器的噪声估计

分频器输出相位噪声的频谱特性分为两个区域： $1/f$ 区域和基底噪声区域。与 VCO 相似，也能用公式来计算，

$$S_{d,n}(f) = D\left(\frac{f_3}{f}\right) + E \quad (4-24)$$

其中， f_3 是 $1/f$ 区域的典型频偏值， D 是对应的相位噪声值， E 为基底相位噪声。例如， $f_3=10\text{kHz}$ ， $D=-140\text{dBc/Hz}$ ， $E=-160\text{dBc/Hz}$ ，则采用式(4-24)估算的噪声频谱如图 4.11 所示。

4.4 环路的总输出相位噪声估计

要估计环路总的输出噪声，需要有两个前提条件：

- 1) 不同噪声到输出的传输函数可知；
- 2) 每个模块引入的等效噪声是可以估计的；

在前面的讨论和分析就是解决了这两个问题，下面可以对整个环路的输出噪声进行估算了。将所有的噪声对输出的贡献相加，得到：

$$S_o(f) = S_{i,n}(f) |H_i(f)|^2 + S_{v,n}(f) |H_v(f)|^2 + S_{vco,n}(f) |H_n(f)|^2 + S_{d,n}(f) |H_d(f)|^2$$

其中， $S_{i,n}$ 是电荷泵的等效输出噪声电流的功率谱密度(PSD)；

$S_{v,n}$ 是环路滤波器的等效输出噪声电压的功率谱密度(PSD)；

$S_{vco,n}$ 是 VCO 的等效输出相位噪声的功率谱密度(PSD)；

$S_{d,n}$ 是分频器的等效输出相位噪声的功率谱密度(PSD)；

另外，传输函数的表达式在式(4-1)~(4-4)已经给出。

通过整章的讨论，可以从设计初期就能估计整个频率综合器环路的输出相位噪声。下面先给出一个窄带频率综合器完整的环路参数及模块设计指标，并且估计出整个环路的输出相位噪声。这个综合器可以用作二次变频结构的 DVB-T 调谐器的下变频电路。性能指标和模块参数如表 4.1 所示。

通过表格中的参数，分别估计采用无源环路滤波器的频率综合器输出相位噪声，如图 4.12 和图 4.13 所示，在图中也给出了各个模块的相应噪声贡献。注意到电荷泵的电流为 $I_{CP}=500\mu\text{A}$ ，首先导致环路滤波器的电容值过大，不利于集成；其次，由于给出的运算放大器的尺寸是基于单位电流 $I_U=50\mu\text{A}$ 的，因此实际的尺寸也将增大 10 倍。如果降低电荷泵电流到 $I_{CP}=50\mu\text{A}$ ，虽然减小了电容，但是电阻却增加了十倍，

频率综合器的性能指标	
中心频率	1.025 GHz
调频范围	±25 MHz
最小频率分辨率	250 kHz
相位噪声	
@ 10kHz	-80 dBc/Hz
@ 100kHz	-100dBc/Hz
@ 1MHz	-120dBc/Hz
基底噪声	-150dBc/Hz

环路参数	
环路带宽 f_c	20 kHz
参考时钟频率 f_{ref}	250 kHz
电容比 b	10
稳定性参数	
最优阻尼因子 ζ_{opt}	1.0388
参数最大变化因子 α_{max}	1.6366
参数最小变化因子 α_{min}	0.611
平均变化裕量	9.40%

电荷泵参数	
电流 I_{CP}	500uA
导通时间 T_{on}	5ns
电流源参数(相对于单位电流 $I_u=25uA$)	
电流源 MOS 管的宽 W	20u
电流源 MOS 管的长 L	2u

环路滤波器参数	
电阻 R	36.9 kΩ
电容 C_1	716 pF
电容 C_2	71.6 pF
运算放大器参数 (相对于单位电流 $I_u=50uA$)	
运放输出阻抗 r_o	10 kΩ
输入对管的宽长比 W/L	1000u/5u
电流沉的宽长比 W_n/L_n	500u/20u
电流源的宽长比 W_p/L_p	250u/5u

VCO 参数	
压控增益 K_v	30 MHz/V
相位噪声	
@ 10kHz	-80 dBc/Hz
@ 100kHz	-110dBc/Hz
@ 1MHz	-130dBc/Hz
基底噪声	-150dBc/Hz

分频器参数	
分频比 N	4000~4200
相位噪声	
@ 10kHz	-160 dBc/Hz
基底噪声	-180dBc/Hz

PMOS 管噪声参数	
η_p	1/3
Kf_p	1.18E-23
β_p	1.2828

NMOS 管噪声参数	
η_n	1/4
Kf_n	3.45E-24
β_n	0.8824

其他工艺参数	
氧化层厚度 t_{ox}	5.40E-09
真空介电常数 ϵ_0	8.85E-12
氧化层介电常数 ϵ_{sio2}	3.9
单位面积电容 C_{ox}	$\epsilon_0 \times \epsilon_{sio2} / t_{ox}$
gmoverid	11(电荷泵)
	6(有源滤波器运放)

表 4.1 用于噪声估计的窄带频率综合器的环路参数及噪声模型参数

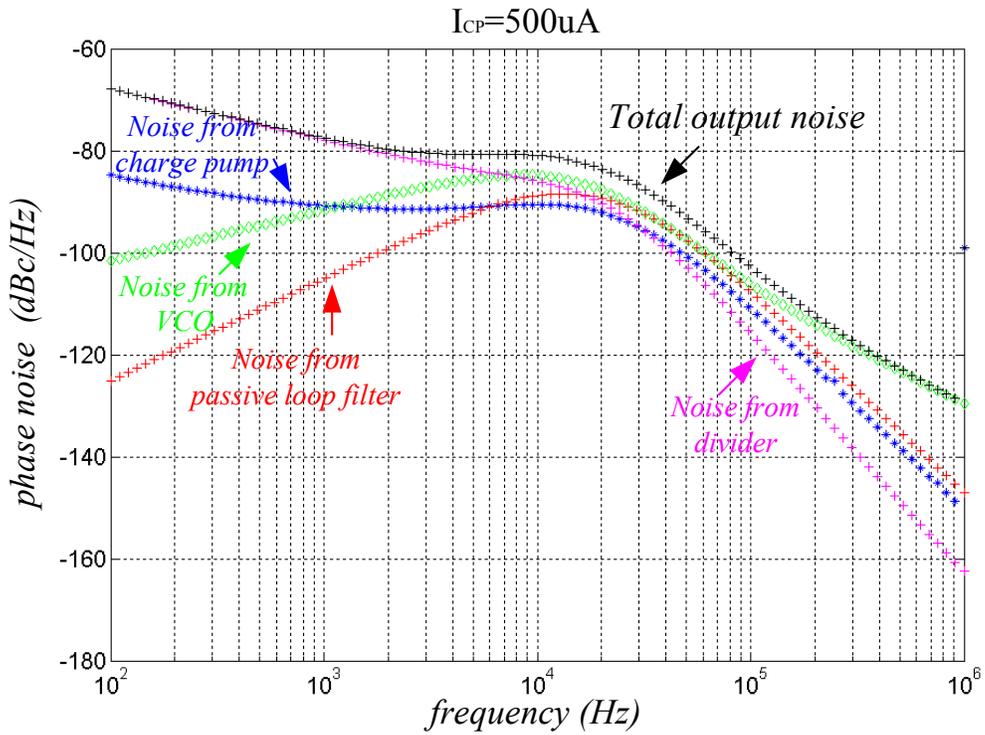


图 4.12 采用无源滤波器窄带频率综合器的环路输出噪声估计 ($I_{CP}=500\mu A$)

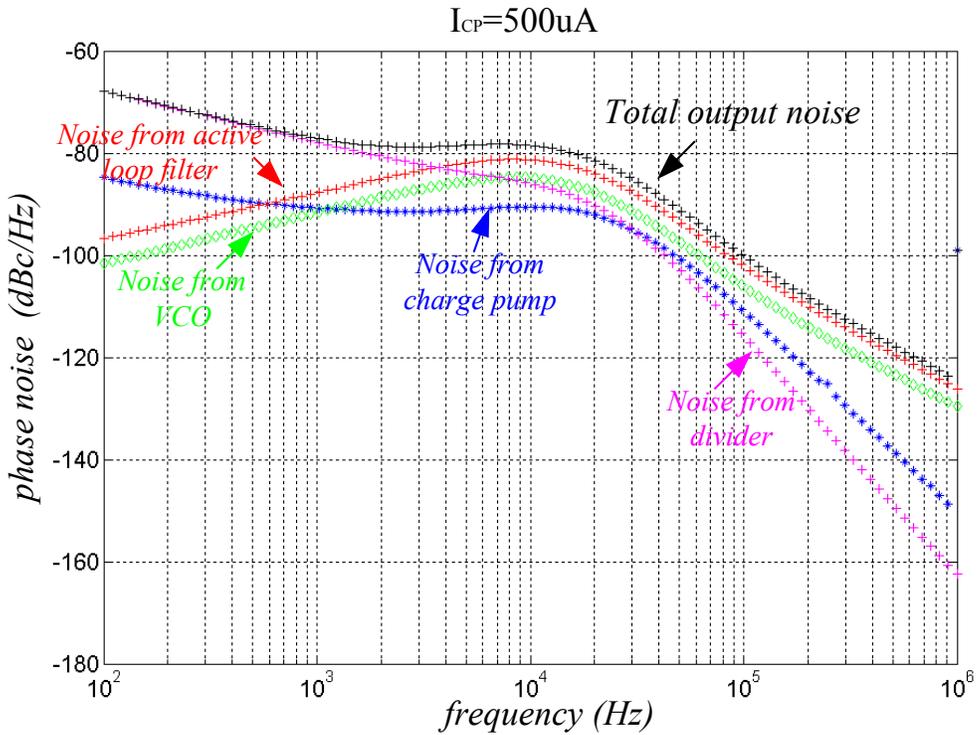


图 4.13 采用有源滤波器窄带频率综合器的环路输出噪声估计 ($I_{CP}=500\mu A$)

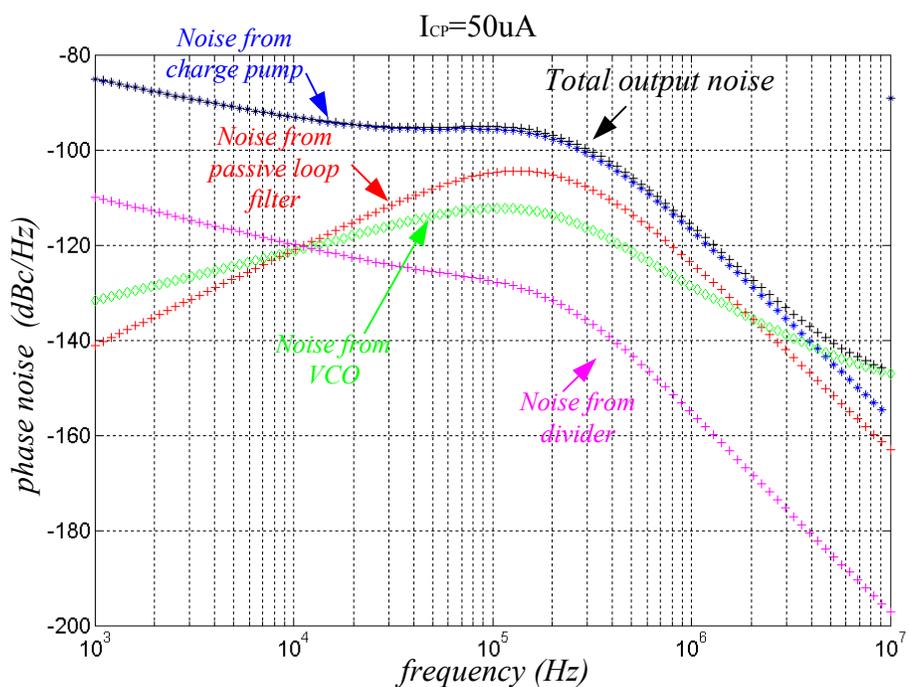
引入了更多的滤波器电阻热噪声；另外，有源运放的虽然电流减小导致噪声电流下降，但是运放的输出阻抗也同时增加，等效输出噪声电压不变，因此导致了最终的噪声贡献增大。所以在窄带的频率综合器中，电荷泵的电流趋向于较大值，但是如果达到集成的目的还要考虑滤波器占用的芯片面积。

对于宽带的频率综合器，也给出相应的环路参数及模块设计指标，如表 4.2 所示，并且估计出整个环路的输相位噪声如图 4.14 所示。从噪声估计图上可知，在给出参数的宽带频率综合器中主要是电荷泵的噪声贡献比较大，这是因为两点原因：一是电荷泵电流较小，导致噪声的增益大；二是电荷泵的导通时间相对于参考时钟的周期也较长，导致馈入的噪声大。因此如要进一步的优化噪声，可以从提高电荷泵电流和减小电荷泵导通时间两方面着手。总的来说，宽带的频率综合器要比窄带的容易达到较好的相位噪声。

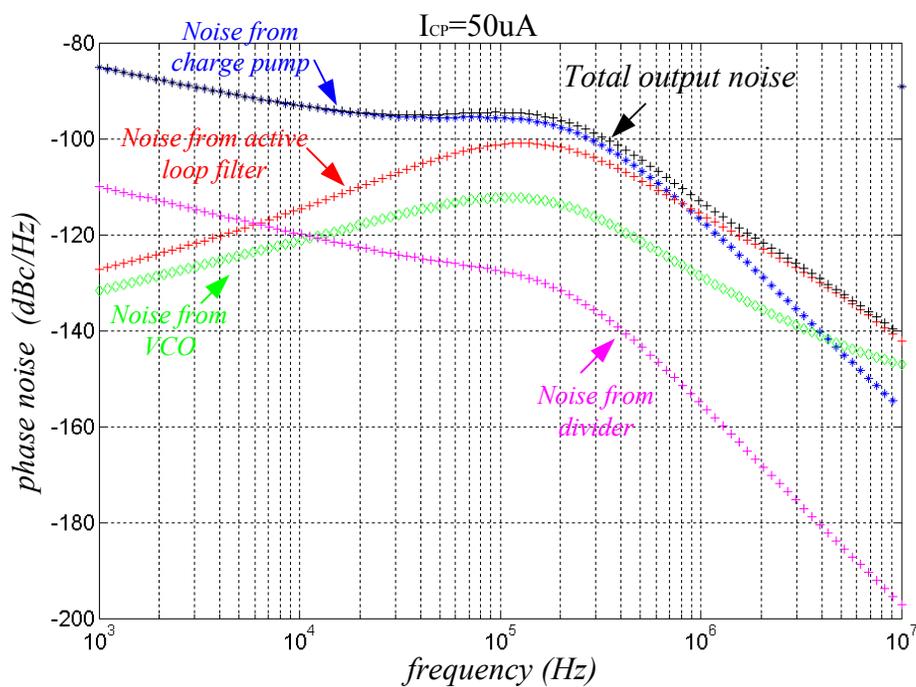
至此，我们已经给出了环路输出噪声的估算方法，但是估算的精度如何，还需要进一步的用实验加以验证。因此在后面的章节中将设计一个频率综合器，比较实际测量噪声值和估计噪声值来对本章的噪声估计方法加以验证。

表 4.2 用于噪声估计的宽带频率综合器的环路参数及噪声模型参数

频率综合器的性能指标		环路滤波器参数	
中心频率	1 GHz	电阻 R	92 kΩ
调频范围	±50 MHz	电容 C ₁	28.6 pF
最小频率分辨率	10 MHz	电容 C ₂	2.86 pF
环路参数		VCO 参数	
环路带宽 f_c	200 kHz	压控增益 K _v	30 MHz/V
参考时钟频率 f_{ref}	10 MHz		
电荷泵参数		分频器参数	
电流 I _{CP}	50uA	分频比 N	100
导通时间 T _{on}	5ns		



(a)



(b)

图 4.14 宽带频率综合器的噪声估计 $I_{CP}=50\mu A$
 (a)采用无源环路滤波器 (b)采用有源环路滤波器

参考文献

- [1] Jan Craninckx, M. Steyaert. "A Fully Integrated CMOS DCS-1800 Frequency Synthesizer". *IEEE J. of Solid-State Circuits*, 1998, 33(12):2054~2065.
- [2] W.S.T. Yan, H.C. Luong. "A 2-V 900MHz Monolithic CMOS Dual-Loop Frequency Synthesizer for GSM Receivers". *IEEE J. of Solid-State Circuit*, 2001,36(2):204~216.
- [3] M.H. Perrott, M.D. Trott, Charles Sodini. "A Modeling Approach for $\Delta\Sigma$ Fractional-N Frequency Synthesizers Allowing Straightforward Noise Analysis". *IEEE J. of Solid-State Circuit*, 2002, 37(8):1028~1038.
- [4] Li Lin, Luns Tee, Paul R. Gray. "A 1.4GHz Difference Low-Noise CMOS Frequency Synthesizer Using a Wideband PLL Architecture", *2000 IEEE International Solid-State Circuits Conference*, p204-205.
- [5] Salvatore Levantino, etc. "Phase Noise in Digital Frequency Dividers", *IEEE J. of Solid-State Circuits*, 2004,39(5).
- [6] Ali Hajimiri, Thomas H. Lee. "A General Thoery of Phase Noise in Electrical Oscillators". *IEEE J. of Solid-State Circuits*, 1998, 33(2):179~194.
- [7] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer. *Analysis and Desgin of Analog Integrated Circuits, the Fourth Edition*. John Wiley & Sons, Inc. 2001.
- [8] Y. Tsvividis. *Operation and Modeling of the MOS Transistor, 2nd Edition*, McGraw-Hill, New York, 1999

第五章 电路设计

5.1 鉴相器

在频率综合器中，由于输入的参考时钟的频率相对较低，可以采用三态鉴相器的结构[1]，用标准的 CMOS 逻辑门实现，如图 5.1(a)。通常要对输出差分信号进行延时平衡，以保证差分信号尽量同时到达电荷泵的控制端；另外，为了消除环路在锁定态的 Dead-zone，需要对复位信号进行延时控制，以保证 UP 和 DN 信号在一小段时间内同时有效。在实际电路中，触发器的复位信号不会从它的输出直接产生，而是从电荷泵的控制端得到 UP 和 DN 信号来产生复位信号，如图 5.1(b)，这样可以防止在锁定情况下，由于信号延迟不相等引入的不可控的静态相差。具体的复位信号产生电路将在后面电荷泵设计中分析。触发器电路如图 5.2 所示，由四个与非门简单组成[1]。

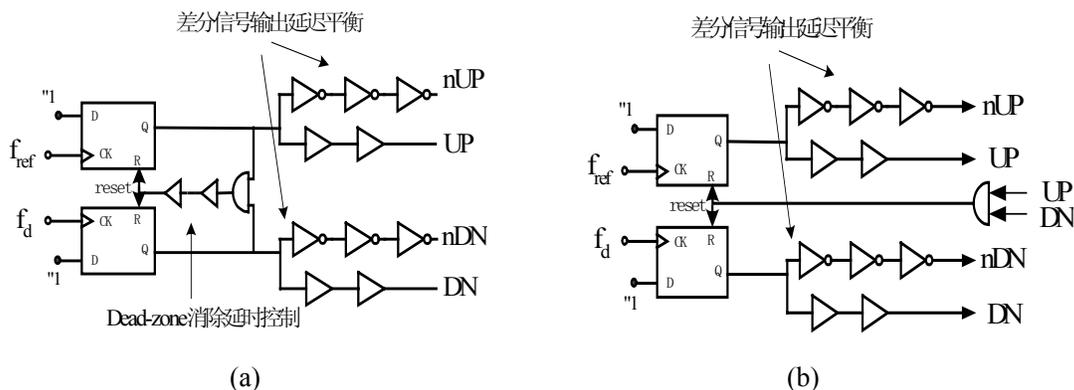


图 5.1 通用的三态鉴相器结构

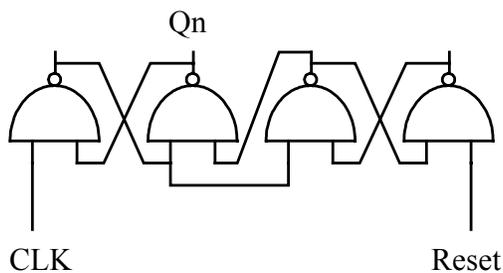


图 5.2 触发器的结构

5.2 电荷泵

5.2.1 电荷泵的不理想因素

理想的电荷泵模型是由上下两路完全相等的电流源组成，并且在环路锁定状态下，两路开关同时导通和关闭，控制端电压 V_c 不变。但是实际的电路中存在着很多的不理想因素，如图 5.3 所示，其中包括

- 1) 电流不匹配：在实际电路中，上下两路电流不可能完全相等。通常情况下，充电电流是由 PMOS 产生，而放电电流由 NMOS 产生，因为两种电流源的工作状态不相关，所以很难匹配。电流源的失配会引起压控点 V_c 周期性的冲放电，产生周期性的毛刺信号，如图 5.4 所示。
- 2) 沟道电荷注入：电荷泵在导通时，在开关 MOS 管的沟道是完全导通的(强反型)，会积累多子电荷。当开关从导通态变为关闭态的过程中，会有一半左右的多子电荷进入到压控点 V_c ，使得电压发生变化；相反开关从关闭态变为导通态的过程中，压控点的电荷又要有一些进入到沟道。这个过程也是以参考时钟频率出现的，电压信号也如图 5.4 所示。当然极性相反的载流子会相互抵消，但是这要在完全匹配的情况下才会成立。
- 3) 时钟馈通：由于开关管存在的栅漏电容，开关信号 nUP 和 DN 都会耦合到压控点 V_c ，如果栅漏的电容较大，则耦合越强。如果降低开关信号的幅度，可以降低耦合。同样，在输出压控端耦合到的波形如图 5.4 所示。
- 4) 衬底耦合：由于衬底存在着杂信号，特别是会从振荡器耦合到衬底，然后通过衬底又会耦合到压控点。这些耦合信号不一定具有周期性，通常需要采用较多的隔离来屏蔽衬底耦合。
- 5) 漏电流：随着工艺的进步，由于 MOS 管的栅氧层变薄而导致从栅到源漏及衬底的漏电流变大，虽然漏电流的绝对值并不是很大，但是在某些情况下，如参考频率较低，还是对电路造成影响的。

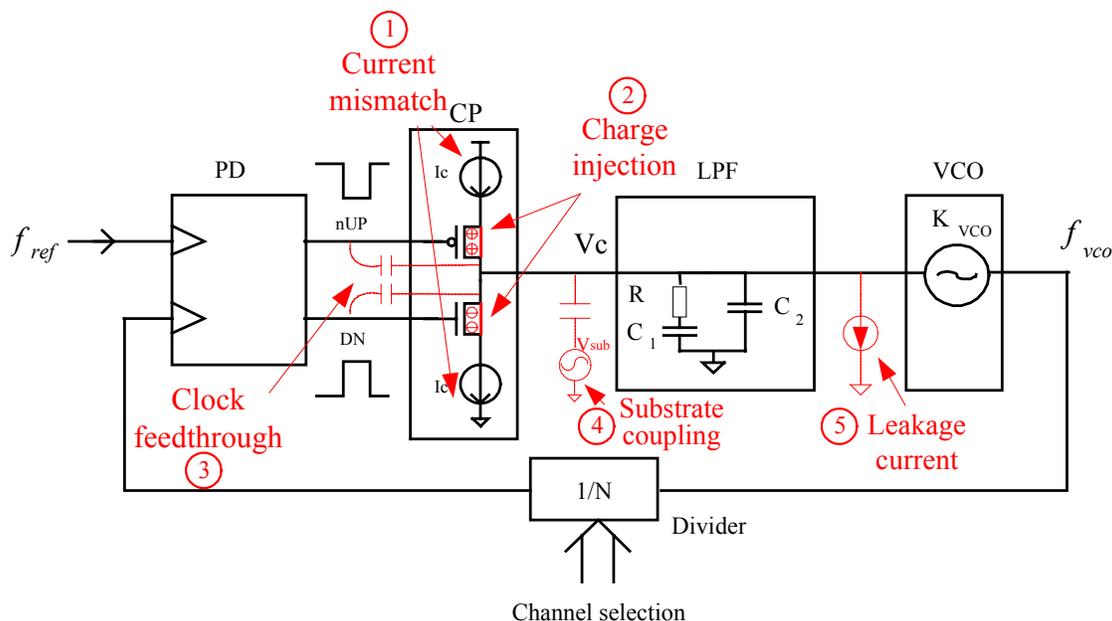


图 5.3 频率综合器中电荷泵相关的非理想因素

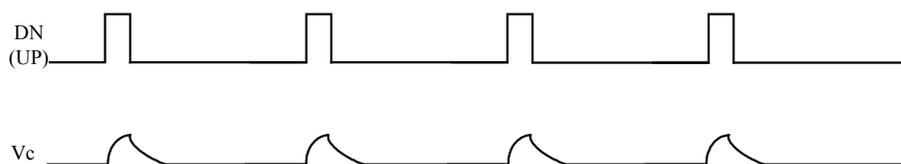


图 5.4 锁定状态下，非理想因素存在时的相关波形图

5.2.2 全差分结构

由于差分电路结构的固有特性，对共模信号有很好的抑制。全差分结构的电荷泵能够很好地抑制由于电路中不理想因素导致的压控电压抖动[2]。如图 5.5 所示，说明了差分电荷泵的基本结构与工作原理。在锁定状态下，如果存在着不理想的情况，压控点电压 V_{c1} 和 V_{c2} 的波形如(b)所示，那么得到的差分电压周期性抖动的幅度要降低很多。差分结构的好处之一就是不需要原来的 PMOS 和 NMOS 产生的电流之间的匹配，而是改为 PMOS 和 PMOS，NMOS 和 NMOS 之间的匹配，这是相对容易的事。

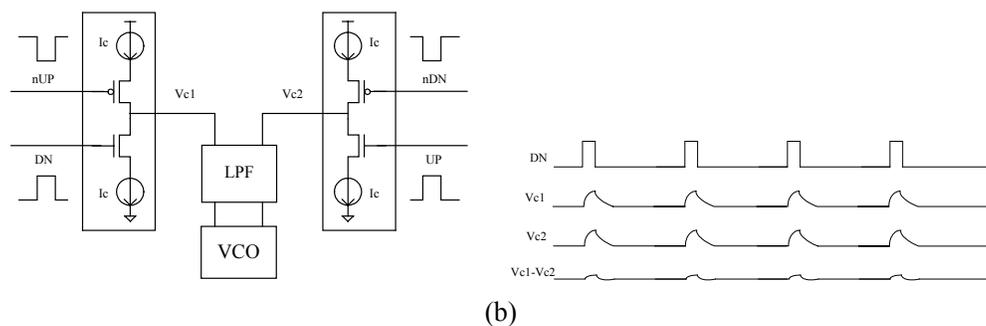


图 5.5 差分电荷泵的结构和工作原理

在某些的不理想情况下，差分结构不能改善性能反而会起到恶化作用的，这需要尽量避免的。如图 5.6 所示，如果由于信号传输的不平衡，信号 UP 和 DN 之间存在的静态相差，则压控电压点 Vc1 和 Vc2 的抖动不同相，导致输出的差模信号误差反而会增强。

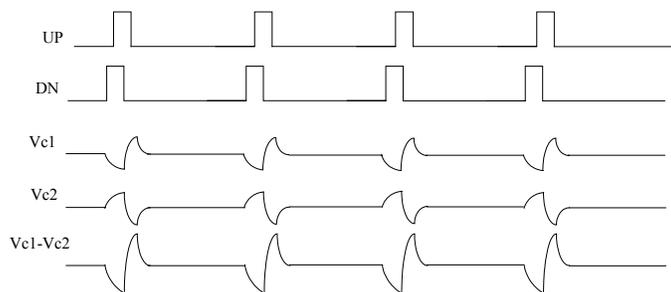


图 5.6 锁定时鉴相器输出存在固定相差的情况下的压控点波形和差模电压

可以看出，差分电荷泵对引入的共模干扰具有抑制作用，而对差模干扰却起到恶化的作用。差模干扰信号产生的原因是：

- 1) 由于存在着相差，导致冲放电电流工作不同步，在控制电压端产生一上一下的抖动信号，产生了差模信号。
- 2) 由于存在着相差，通过开关从时钟馈通和沟道电荷注入而来的信号也不同相，从而导致差模信号的产生；

为了降低差模信号的恶化，可以采用的方法是：

- 1) 首先，尽量保证两路开关信号 UP 和 DN 的匹配；
- 2) 其次，要尽量降低差模干扰信号的幅度，可以从以下方面进行考虑(如图 5.7)，

(a) 降低开关控制信号 UP 和 DN 幅度，这样可以降低时钟馈通的幅度和沟道导

通所需的电荷总量，从而降低输出压控信号的幅度。

(b) 在实际电路中，信号 DN 和 UP 之间的相差相对还是比较小的，如果在相差期间，电荷泵电流比较小，则在输出压控端的信号幅度就小，就是说要使得电荷泵从零变化到 I_{CP} 的时间比实际的相差长，也即是使电荷泵电流的切换是缓变的过程，如图 5.7 所示。

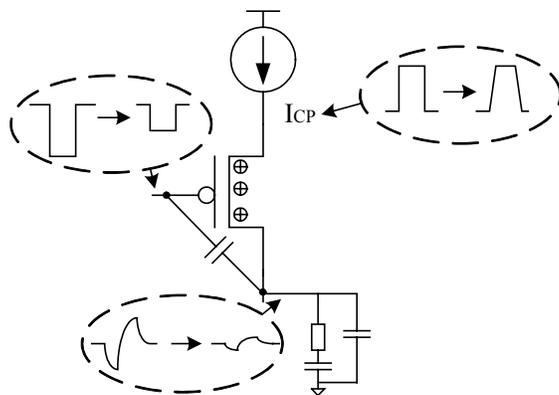


图 5.7 降低差模干扰幅度的方法示意

有意思的是，图 5.7 所示的方法不仅可以降低差模干扰，也可以降低由于共模信号不匹配引入的差分信号的幅度。

根据上面的分析，改进的差分电荷泵如图 5.8 所示。主要的改进有两点：

- 1) 每个支路上增加了一个 Cascode 管(如 PM3、PM4、NM3、NM4)，这样使得输出压控点得到更好的隔离；对于节点 A~D 而言，电压比较稳定，在开关切换的瞬间，电荷泵的输出电流抖动的幅度小。
- 2) 开关控制信号都经过了电平位移，开关信号的幅度降低。如图 5.8 中所示，信号 UPH+、UPH-、DNH+、DNH-的“0”信号的电平为 V_{b3} ，而信号 UPL+、UPL-、DNL+、DNL-的“1”信号的电平为 V_{b2} 。通过电平位移，因为开关的不理想因素而耦合到输出压控点的干扰信号的幅度降低。

图 5.8 中所示的差分电荷泵中还包括了后接的差分有源滤波器，以及共模反馈电路。共模反馈电路的作用是稳定输出差分压控点的共模电压，并且使得冲放电电流尽量匹配。图 5.9 给出了电荷泵输出电流的波形图，假设电荷泵输出冲放电电流为 $10\mu A$ ，图中给出了三种情况下的电流输出波形：a)采用电平位移和 cascode 管，b)只采用电

平位移, c)不采用电平位移和 cascode 管。从纵坐标轴上可以明显的看出, 采用电平位移技术和 cascode 偏置管能很好的降低输出电流的波动, 即提高了对时钟馈通和沟道电荷注入的抑制比。

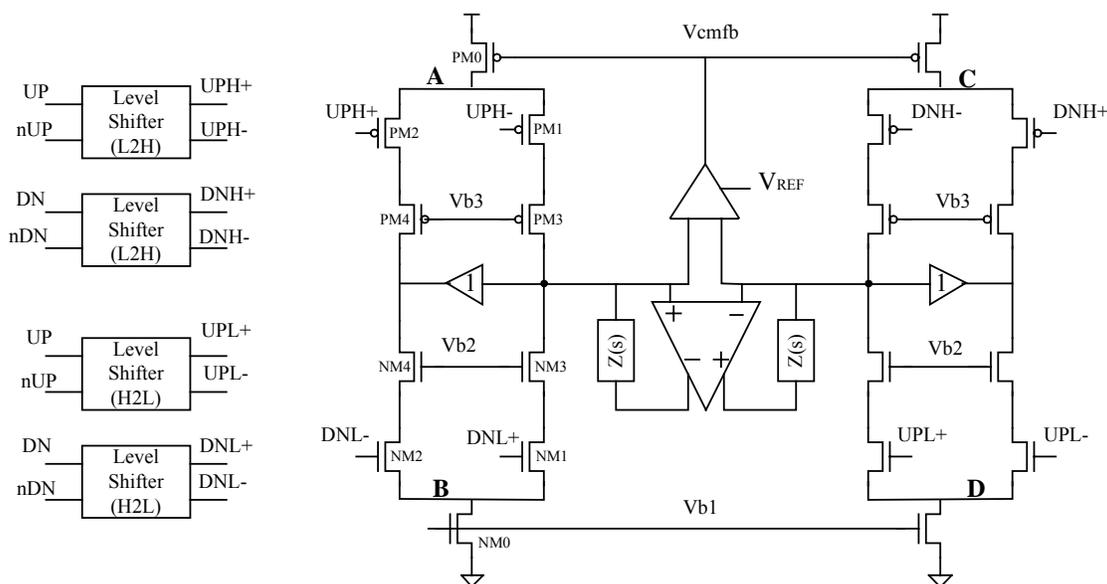


图 5.8 改进的全差分电荷泵结构图

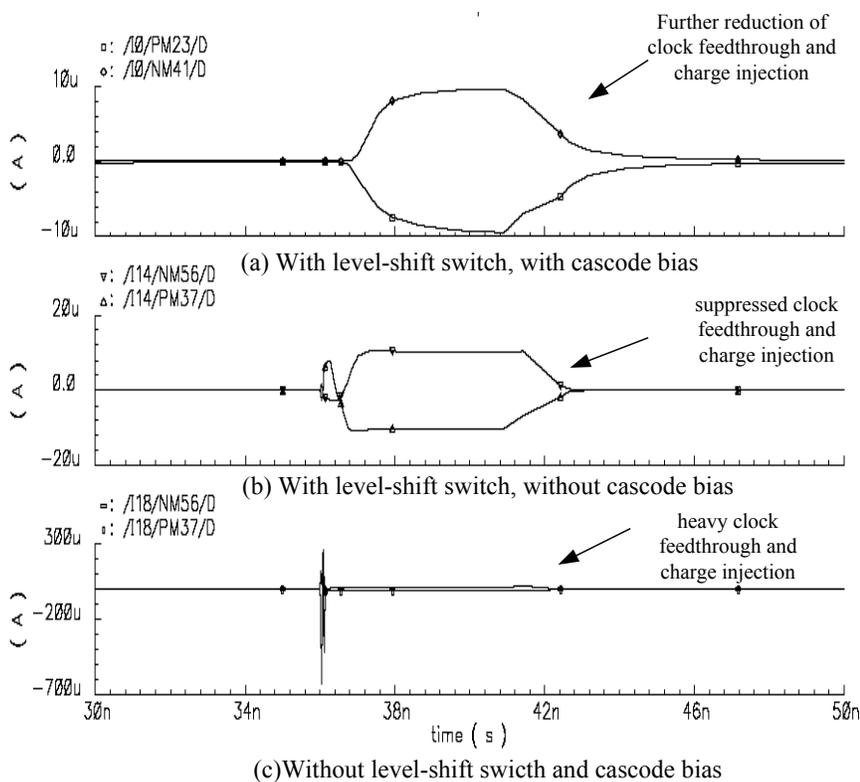


图 5.9 电荷泵冲放电电流波形与不同电路结构的关系

5.2.3 电平位移电路

可以看出电平位移电路在电荷泵中比较重要，这里需要两种电平位移电路：一种是将“0”电平从地位移到 V_{b3} ，“1”电平不变为电源(VDD)；另一种是将“1”电平位移到 V_{b2} ，“0”电平不变为地(VSS)。它们的结构是相似的，都是采用的差分耦合逻辑，如图 5.10(a)所示。这种结构的优点是能保证全差分的输出比较同步，即当输入差分信号存在较小的相差时，输出的差分信号是能够矫正输入相差的。图 5.10(b)是输出信号与输入信号之间的电平关系。电压 V_{reg} 是偏置电压 V_{b2} 和 V_{b3} 分别经过缓冲器得到的电压，以增加对逻辑电路的驱动能力。缓冲器的电路图如图

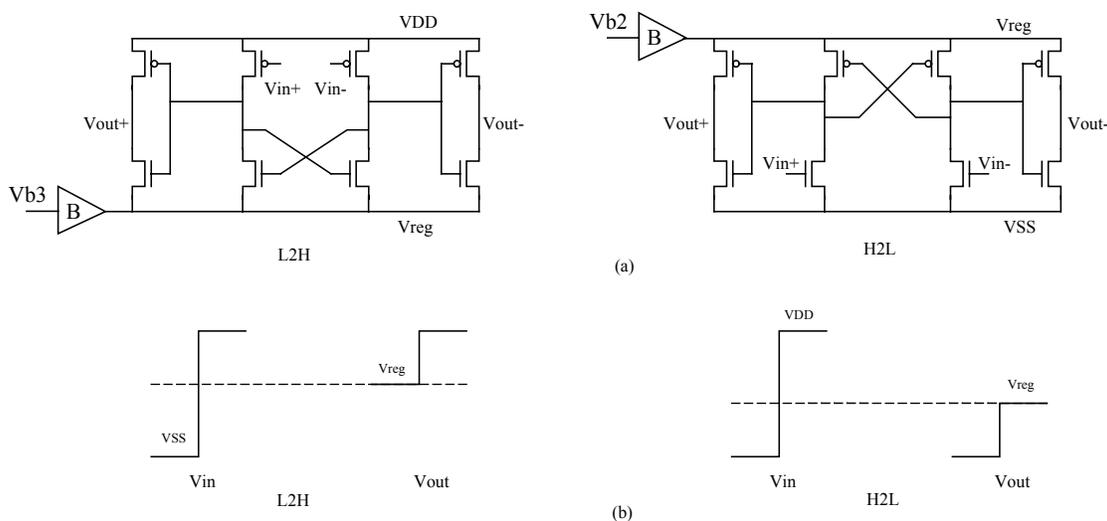


图 5.10 电平位移逻辑电路的结构与功能

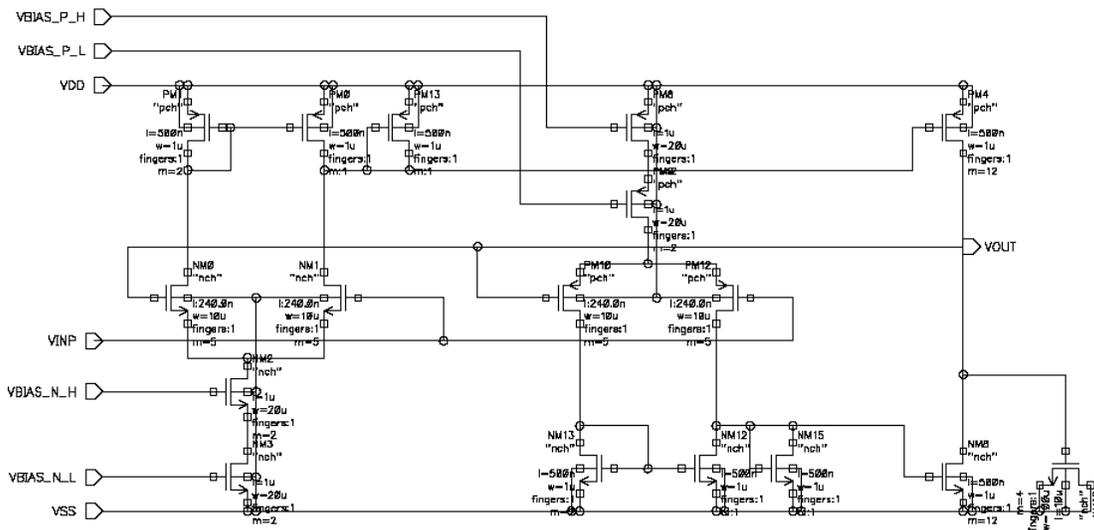


图 5.11 缓冲器(Buffer)的电路图

5.11 所示，电路为宽带的二级放大器结构，采用了较大的负载 MOS 电容来进行频率补偿和降低输出的抖动，并且采用 rail-to-rail 的输入对增加输入的动态范围和进一步的提高增益。

5.2.4 共模反馈

差分电荷泵的输出共模电平需要采用共模反馈电路来稳定，为了减少共模点采样电路对环路滤波器的影响，采用了如图 5.12(a)所示的电路结构。该电路可以不采用额外的电阻、电容来采样共模电平，但是该电路的缺点是线性度较差和输入信号的动态范围较小，改进的方法是输入管采用倒比管来降低跨导，该方法比较简单。另外，还可以进一步的采用线性跨导单元作为输入对增加输入信号的动态范围[3]，如图 5.12(b)。

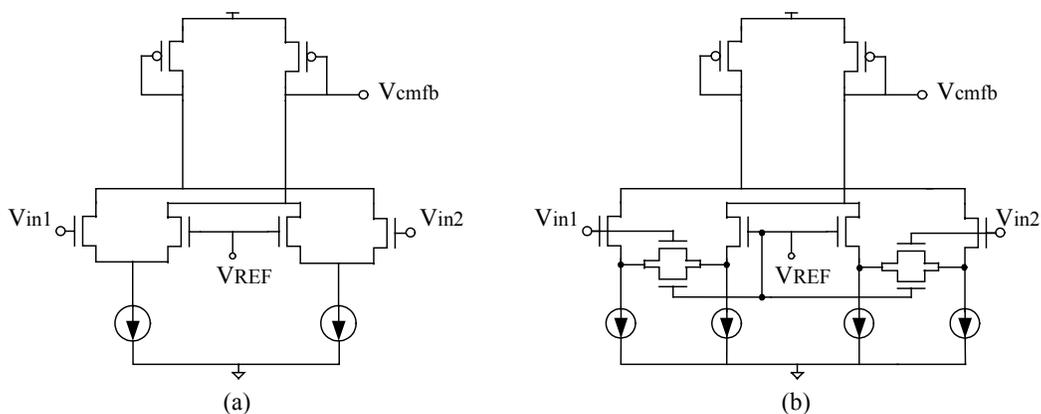


图 5.12 共模反馈电路结构

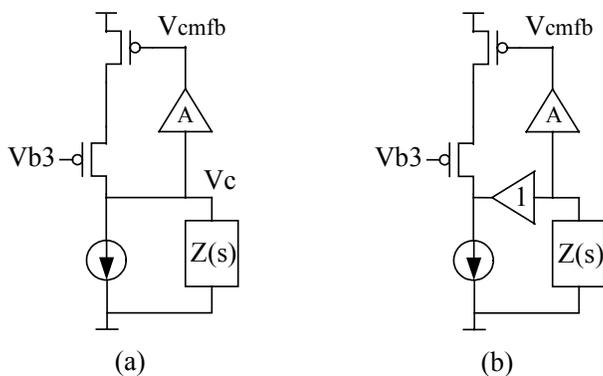


图 5.13 共模反馈回路的分析

(a) 电荷泵导通，共模反馈电路闭环工作 (b) 电荷泵关闭，共模反馈电路开环工作

共模反馈电路的稳定性

电荷泵导通时，共模反馈电路闭环工作，如图 5.13(a)所示，此时需要考虑环路的稳定性，幸运的是环路滤波器刚好可以起到频率补偿的作用。当电荷泵关闭时，即电流被旁路时，共模电路工作在开环状态，如图 5.13(b)，这样保证了电路的稳定性，电路的工作点与闭环状态下基本一样。

5.2.5 稳定性补偿电流源单元

在第三章中，详细分析了环路的稳定性与参数变化之间的关系。如果参数变化相对较大，就需要采用较大的电容比 b 来保证环路的稳定，但是参数如果 b 太大，又会恶化环路的相位噪声，所以又希望 b 较小。因此还需要附加的电路来进行额外的稳定性补偿。这里我们采用了一种比较简单的可调电流源来实现稳定性补偿，我们称之为加倍-减半电流单元，用来代替图 5.8 中的电流单元(如 NM0、PM0)。加倍-减半电流单元的 N 型电流源，如图 5.14 所示。在正常工作状态下， $nDEC=1$ ， $INC=0$ ，即两路电流导通、另外两路关闭。如果整体环路参数向偏小方向变化而导致环路不稳定，让 $INC=1$ ，使得总电流加倍从而进行稳定性补偿；相反，如果整体环路参数向偏大方向变化而导致环路不稳定，让 $nDEC=0$ ，使得总电流减半从而进行稳定性补偿。

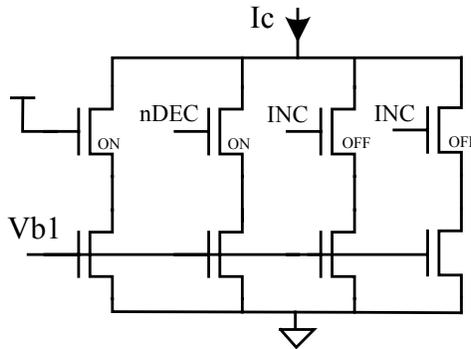


图 5.14 用于稳定性补偿的加倍-减半电流单元

例如，假设 $\Delta R/R = \pm 20\%$ ， $\Delta C/C = \pm 10\%$ ， $\Delta I_{CP}/I_{CP} = \pm 10\%$ ， $\Delta K_v/K_v = \pm 30\%$ ， $\Delta N/N = \pm 10\%$ ，总参数的最大变化因子是 2.49，最小变化因子是 0.327，为了保持环路的稳定，电容比 b 至少要等于 36.5。显然这个值太大了，如果 $b=10$ ，那么此时稳定

边界所对应的变化因子分别为 $\alpha_{\max}=1.637$ 和 $\alpha_{\min}=0.611$ ，不经过任何稳定性补偿的话，环路会可能不稳定。但是，当采用了加倍—减半电流源补偿的话，即使是 $b=10$ ，也能够对变化范围 $[\alpha_{\min}/2, \alpha_{\max} \times 2]=[0.306, 3.274]$ 内的参数变化因子进行稳定性补偿，从而在保证噪声性能的同时，又保证在 PVT 变化下的环路足够的稳定。

5.2.6 鉴相器复位信号

前面分析提到，差分电荷泵对开关控制信号之间的相差敏感，而相差会导致输出端的差分抖动，所以采用了全差分的电平位移电路改善输出差分控制信号的匹配度(即图 5.8 中 UPH+与 DNH+之间、UPL+与 DNL+之间)。为了进一步提高电荷泵上下冲放电信号之间的匹配(即 UPH+与 UPL+之间、DNH+与 DNL+之间)，鉴相器的复位开关信号也应该由开关栅端的控制信号生成，这样上下支路的延时都可以由复位环路控制调整，如图 5.15 所示。图 5.16 是复位信号实现的电路图，其中包括：电平位移电路、差分逻辑电路和双端-单端转换电路。电平位移电路就是前面讨论的差分控制信号生成；差分逻辑电路即实现图 5.15 中的逻辑；双端-单端转换电路通过将差分复位信号变为单端输出到鉴相器复位端。后两个子模块电路如图 5.18 所示，它们都是用模拟电路的形式实现的。在第四章时，我们曾经引入了一个参量：锁定时电荷泵导通时间 T_{on} 。那么这个参量的大小可以很方便的通过改变双端-单端转换电路的输出级偏置电流来实现。

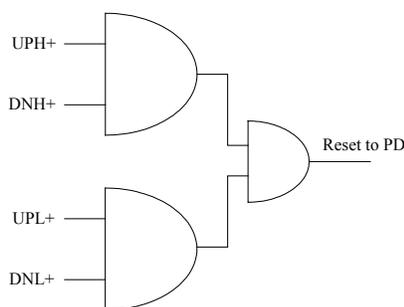


图 5.15 鉴相器复位信号生成原理

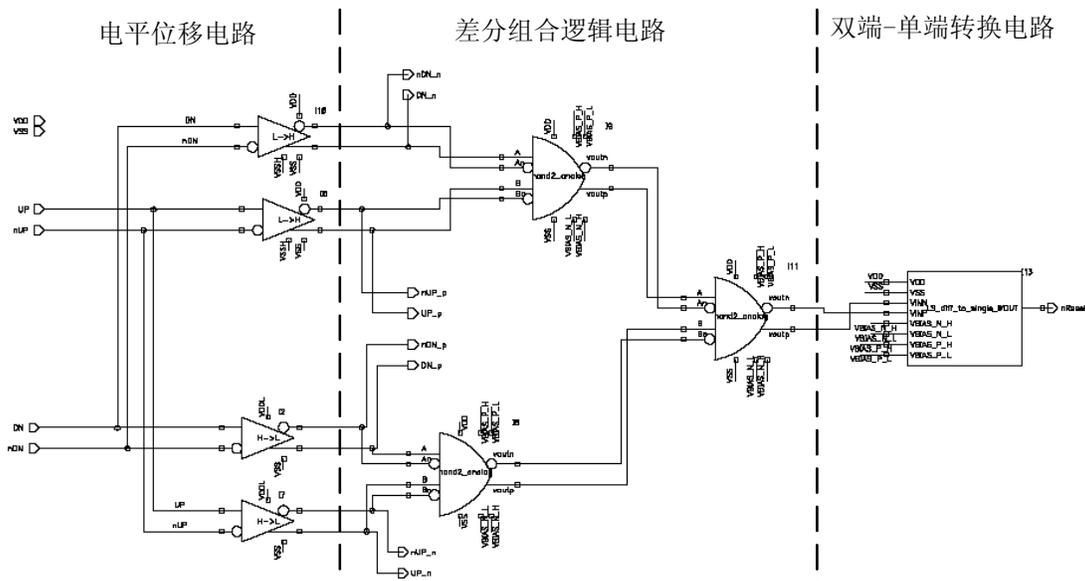


图 5.16 鉴相器复位信号生成电路

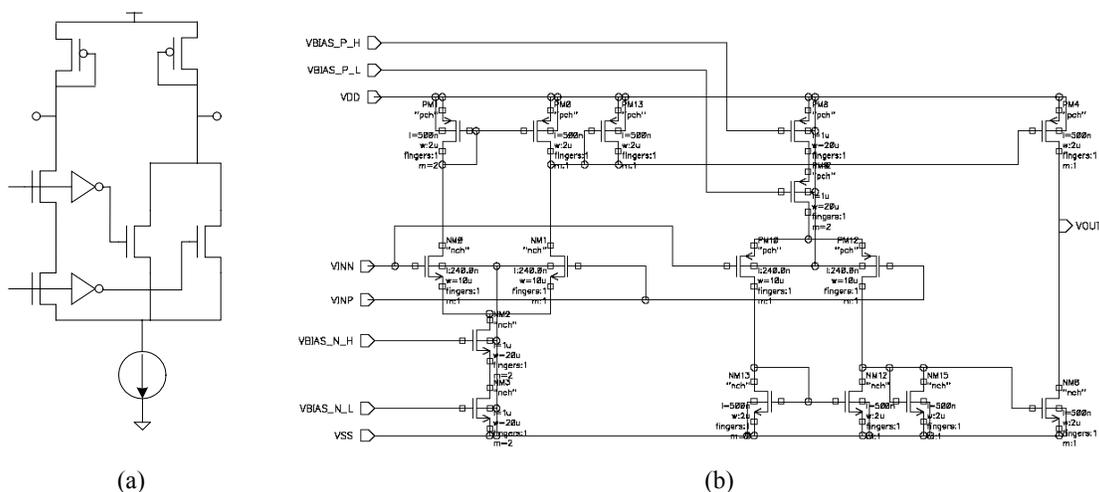


图 5.17 复位信号生成子电路模块 (a)差分与逻辑实现 (b) 双端-单端转换电路

5.3 环路滤波器

环路滤波器通常有两种实现方法：有源和无源。下面将讨论一下在电路实现中会遇到的问题及相应的解决方法。

5.3.1 无源滤波器中的电阻与电容

无源滤波器就是由电阻和电容直接构成。在集成电路工艺中，实现电阻的方法很多，包括：多晶硅电阻、扩散区电阻和阱电阻。其中多晶硅电阻的方块电阻最小，但精度最高，随工艺、电压和温度的变化较小；而扩散区电阻和阱电阻的方块电阻大，但精度差，随工艺、电压和温度的变化大。此外还可以用线性区的 MOS 管来实现面积很小的等效电阻，但是电阻值的大小是随工作点在变化的。根据第三章稳定性的分析，应该采用多晶硅电阻来作为环路滤波器中的电阻。目前工艺水平下，多晶硅电阻的精度可以达到 $\pm 10\%$ 以内。

同样，对于电容而言，有 MOS 电容、金属层间(MIM)电容和多晶硅层间(PIP)电容三种实现方式。三种电容的精度是相似的。MOS 电容的面积小，但是电容值会随着工作点变化；MIM 和 PIP 电容的面积较大，电容值随着电压的变化较小。所以 MOS 电容常被用作稳定直流工作点，而 MIM 和 PIP 电容可以用作环路滤波器的电容。目前工艺提供的 MIM 是做在芯片的顶部，PIP 做在芯片的中间，所以 MIM 的寄生更小，精度更高。目前工艺水平下，MIM 电容的精度已经可以达到 $\pm 1\%$ 以内。

如果实际的环路滤波器中的电容很大，用 MIM 电容将占用很大的面积，而差分结构的环路滤波器又使电容的面积增加一倍。那么采用一种阻抗变换的方法可以降低差分滤波器的电容的面积。如图 5.18 所示，如果差分信号 V_{c1} 和 V_{c2} 的共模点稳定，则(a)中的电路可以等效为(b)，节点 A 和 B 就是共模点且相等，进而等效为(c)，电容的值变为 $C_1/2$ ，总的电容的面积减为原来的 $1/4$ 。

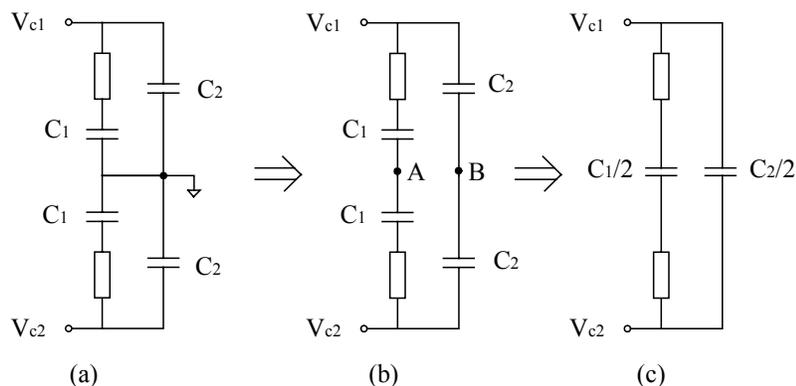


图 5.18 差分环路滤波器的等效化简

5.3.2 有源滤波器

有源差分滤波器的结构[2]如图 5.19 所示，输入是从电荷泵来的电流，输出为压控电压。对运放的要求是有足够的增益(>40dB)，带宽要比环路的单位增益带宽要大，噪声要可能的小。运放的结构采用 OTA 结构，具体的电路如图 5.20 所示，采用了互补的差分输入对来提高增益，但是会引入更多的噪声。这里的电路与第四章用于噪声估计的电路略有不同，需要计算增加了 NMOS 输入对引入的噪声。其他的噪声估算方法一样，且在偏置不变的情况下，输出噪声电流的功率谱密度与工作电流成正比，输出阻抗与工作电流成反比。运放的最小工作电流不能小于电荷泵的工作电流。

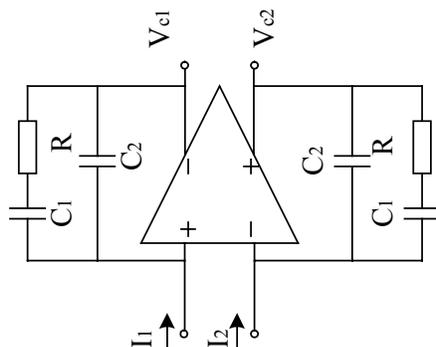


图 5.19 有源环路滤波器的结构图

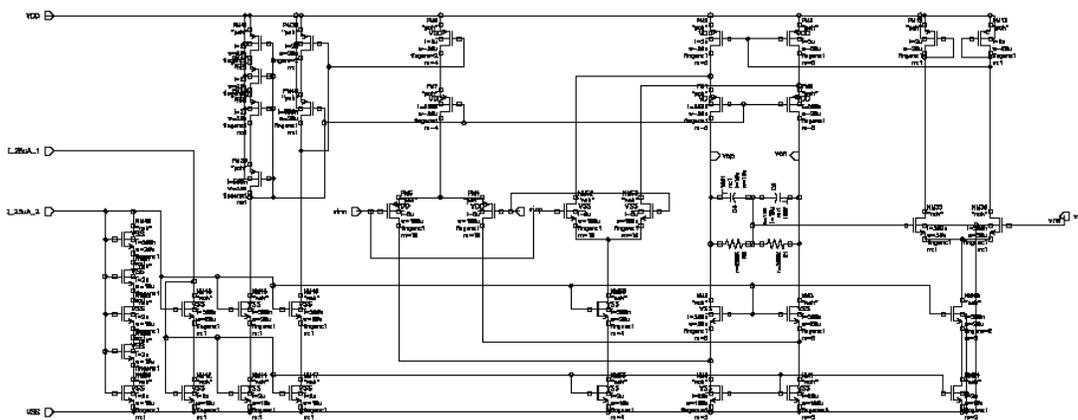


图 5.20 OTA 放大器的电路图

5.4 压控振荡器

集成的压控振荡器常用结构有：LC 振荡器和环形振荡器。通常情况下，LC 振荡器比环形振荡器的相位噪声要好，而环形振荡器的调谐范围比 LC 振荡器要大。就 DVB-T 接收机中对频率综合器的相位噪声性能要求而言，必须采用 LC 振荡器。

5.4.1 开关可变电容器压控振荡器

由于压控增益 K_v 的变化也会影响环路的稳定性，所以电压—频率(V-F)曲线的线性度也是需要关注的。通常 LC 压控振荡器采用可变电容器来调谐振荡频率，而可变电容器常用二极管结电容或者 MOS 电容来实现。虽然这些可变电容器本身不是线性的，但是由它们实现的压控振荡器的 F-V 曲线都是比较的线性(即 K_v 变化的范围在工作频段内较小)。文献[4]已经给出了 F-V 曲线接近线性的证明。由于证明过程中采用了阶跃的电容模型，所以可以进一步的提出阶跃的开关可变电容的实现方法，如图 5.21 所示，其中 V_{ctrl} 是压控电压， V_{osc} 是振荡器的输出电压(正弦波)。可变电容器工作的基本原理是：

- 1) 当 V_{ctrl} 电压很高， V_{osc} 在变化的过程中总是无法使开关管导通，那么在整个振荡周期内，只有电容 C_2 在工作，振荡周期为 $2\pi\sqrt{LC_2}$ ；
- 2) 当 V_{ctrl} 电压很低， V_{osc} 在变化的过程中总是能使开关管导通，那么在整个振荡周期内，电容 C_1+C_2 一直在工作，振荡周期为 $2\pi\sqrt{L(C_1+C_2)}$ ；
- 3) 当 V_{ctrl} 电压比较适中， V_{osc} 在变化的过程中使开关管在一部分时间导通、另一部分时间关闭，导通时 C_1+C_2 工作，关闭时 C_2 工作，那么最后的振荡周期为 $2\pi\sqrt{L[\alpha\sqrt{(C_1+C_2)}+(1-\alpha)\sqrt{C_2}]}$ ，实际上是上面两个周期的内插。

详细的周期分析和 F-V 曲线分析可以参考文献[5]。

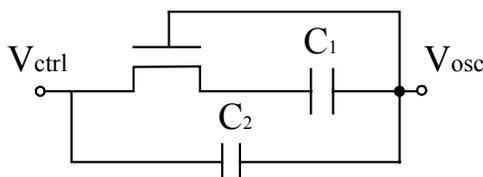


图 5.21 开关可变电容器

5.5 分频器

在第四章进行噪声估计时，对压控振荡器和分频器都采用了性能指标的估计方式，因此要根据估计时的性能指标来设计电路，使得设计电路的性能要到达或超过所设定的指标。下面将讨论如何将分频器的相位噪声的设计指标转为各个模块的设计指标。

5.5.1 分频器的噪声

如图 5.23，一个时钟信号如果经过理想分频器(无噪声)二分频后，信号的频率降低了一半，但是信号在上升沿或下降沿处的抖动 σ_{clk} 是不变的，直接传输到输出。由第一章(1-7)式可知，对应的相位抖动 ϕ_{clk} 减为原来的一般，即相位噪声降低了 6dB。如果分频器有噪声的，在输出引入而外的抖动 σ_R ，使得输出的分频信号的抖动变为 $\sigma_{clk/2} = \sigma_{clk} + \sigma_R$ 。假设时钟是理想的，那么输出抖动完全由分频器产生。同样，就相位噪声而言，输出相位噪声如果等效到输入端则增加 6dB。

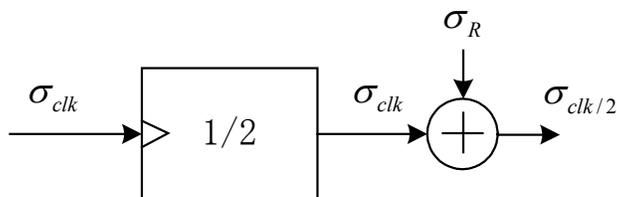


图 5.23 分频器中的时钟抖动的组成

在分频器实现时，采用的是边沿触发的寄存器，而寄存器的输出噪声完全只由输出级 Latch 决定[8]。如图 5.24 所示，由于在时钟上升沿来之前，输出 Latch 的输入端 D 的数据已经很稳定了，没有相位噪声。所以输出信号的噪声只来自于 Latch 自身和时钟。

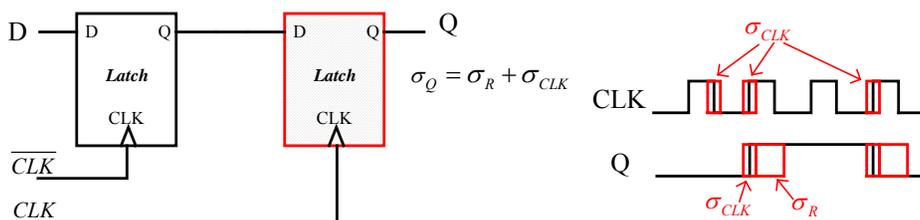


图 5.24 采用寄存器的分频器输出噪声

这里我们有必要举例评估一下寄存器产生的相位噪声与时钟抖动之间的关系。对于理想时钟二分频后的频率为 $\omega_0 = 500\text{MHz}$ ，相位噪声为 $-100\text{ dBc/Hz}@10\text{kHz}(1/f)$ 区和 $-120\text{ dBc/Hz}@ \text{noise floor}$ ，信号的有效幅度为 1V ，由方程(1-10)可得，

$$\sigma_R^2 \approx \frac{P_c}{\omega_0^2} \int_1^{\omega_0} (10^{-10} \times \frac{10^4}{\omega} + 10^{-12}) d\omega = 3.2 \times 10^{-22} \text{ sec}$$

所以 $\sigma_R \approx 18\text{ps}$ ，相对于周期 $T=1\text{ns}$ 而言很小。

5.5.2 分频器结构

分频器的结构可以分为同步和异步。同步电路的功耗较大，抖动噪声性能好；异步电路的功耗小，抖动噪声大。对于同步分频器，输出分频信号的噪声只与时钟和最后输出寄存器的噪声有关，如图 5.25(a)。对于异步分频器，输出噪声由于累加的作用，已经是输入时钟噪声加上三个寄存器的噪声了，如图 5.25(b)。

虽然同步的分频器噪声好，但是由于寄存器引入的抖动噪声不是很大，所以在高频分频器部分可以采用异步分频来降低功耗。如图 5.26，是一个低噪声的 Pulse-swallow 整数分频器[1]实现方案。预分频器的输出抖动噪声为 $\sigma_{\text{vco}} + 3\sigma_{\text{R,H}}$ ，其中 $\sigma_{\text{R,H}}$ 是高频寄存器的输出抖动噪声。P&S 分频器的输出抖动噪声为 $\sigma_{\text{vco}} + 3\sigma_{\text{R,H}} + \sigma_{\text{R,L}}$ ，其中 $\sigma_{\text{R,L}}$ 是数字寄存器的输出抖动。最后，输出的信号再经过高频寄存器同步可以进一步的提高输出分频信号的噪声性能[2,8]，只要满足 $\sigma_{\text{vco}} + 3\sigma_{\text{R,H}} + \sigma_{\text{R,L}} < T_{\text{vco}}$ ，则输出信号的抖动又能变为 $\sigma_{\text{vco}} + \sigma_{\text{R,H}}$ 。

由于用高频时钟同步可以很好降低分频信号的抖动，可以发现文献[9]提出的整数分频器结构是具有非常好的噪声性能的，如图 5.27 所示。该结构的分频器以同步的 $2/3$ 预分频器为单元，每一级的时钟($f_{i,n}$)是由前一级的分频时钟($f_{o_{n-1}}$)，并且每一级的输出($m_{o,n}$)反馈至前一级($m_{i_{n-1}}$)。分频器不仅结构简单，而且由于分频信号不断的被前一级的高频时钟同步，所以输出噪声低。分频比的范围可以从 2^k 至 $2^{n+1}-1$ 。文献中的分频输出是从第二级的 m_o 端输出的，抖动噪声为 $\sigma_{\text{vco}} + 2\sigma_{\text{R}}$ 。但由于这样得到的分频信号的占空比非常小，只有两个 VCO 时钟周期，这里将输出移至第 k 级($k=6$)，得到的信号的占空比有 64 个时钟周期，但是抖动噪声增加为 $\sigma_{\text{vco}} + 6\sigma_{\text{R}}$ 最

后用相位同步寄存器来降低抖动噪声至 $\sigma_{VCO} + \sigma_R$ 。提高占空比有利于鉴相器正常工作。

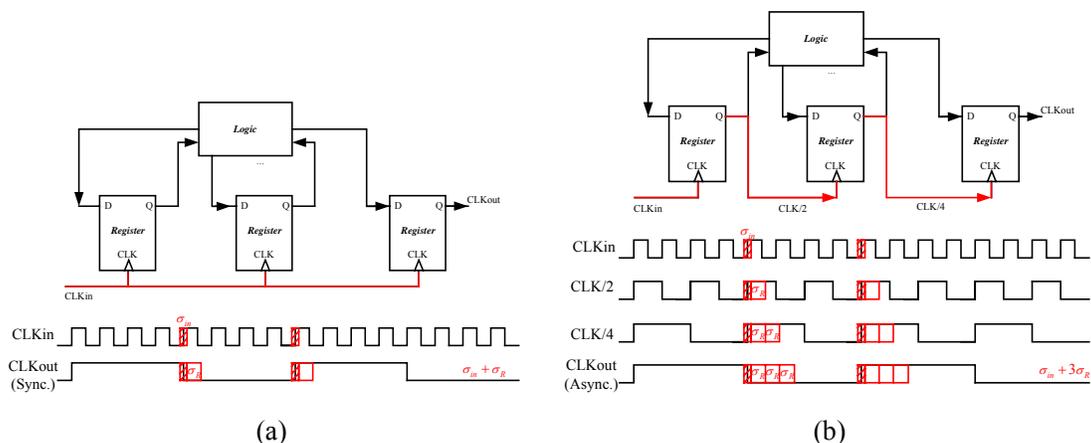


图 5.25 同步和异步分频器输出噪声 (a) 同步 (b) 异步

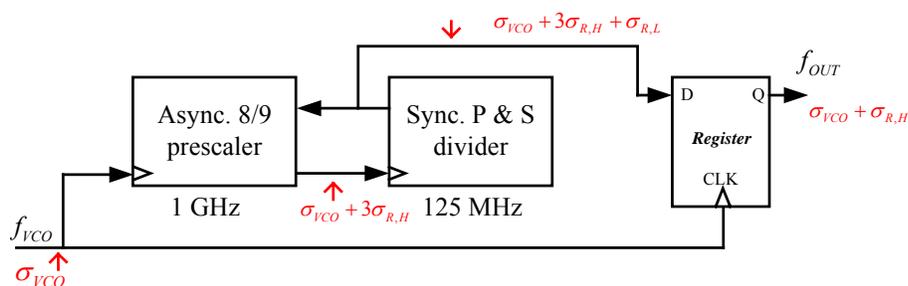


图 5.26 低噪声 Pulse-Swallow 整数分频器的结构

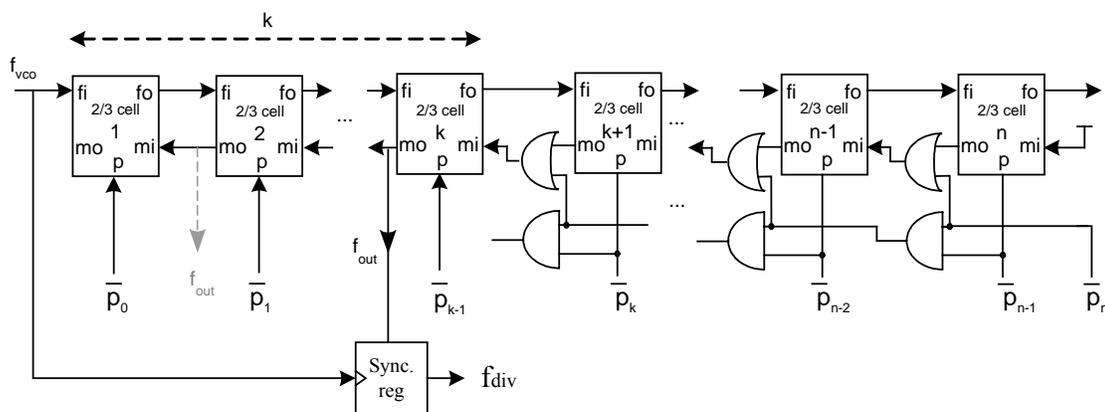


图 5.27 低噪声整数频率分频器

5.5.3 电路实现

电路实现是基于图 5.27 所示的分频器结构。关键是 $2/3$ 预分频单元的实现。 $2/3$ 分频单元的功能是：当 p 和 mi 同时为 1 时，分频比是 3，并且 mo 输出为占空比为 $1/3$ 的 3 分频的波形；相反如果 p 和 mi 有一个为零，则分频比是 2，并且 mo 输出为 0。通常 $2/3$ 分频器采用 Johnson 计数器，这里我们对计数器的结构稍加改变，如图 5.28(a)所示，采用的 D 触发器具有同步置位端(相当于输入端的或逻辑)。带置位端的 D 触发器采用单相时钟(TSPC)动态电路实现，我们称为 TSPC-S 触发器，如图 5.28(b)。同样，TSPC-S 触发器分为采样锁存器(sample latch)和保持锁存器(hold latch)，噪声由保持锁存器贡献。另外，由于 TSPC 电路对输入时钟沿的斜率敏感 [10,11]，所以输出级采用额外的锁存器来提高电路的可靠性。

输出相位同步触发器的电路结构也采用了 TSPC 逻辑，电路实现如图 5.29 所示。

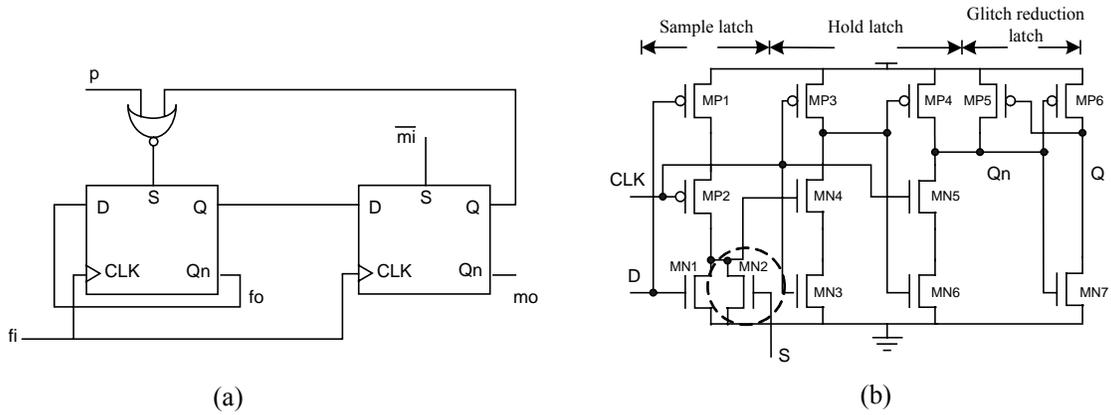


图 5.28 $2/3$ 预分频器 (a) 分频器结构 (b) 带置位的 TSPC-S 触发器

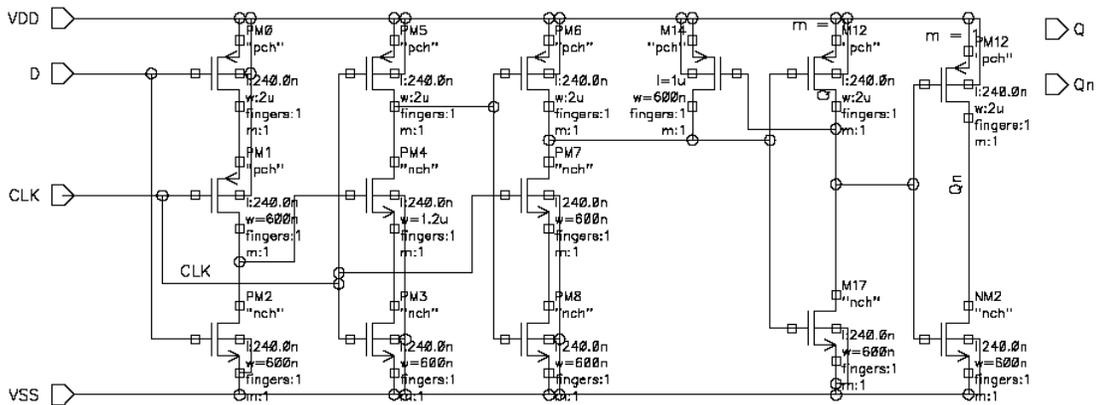


图 5.29 输出相位同步触发器的电路图

5.6 偏置电路

偏置电路在整个电路中为各个模块提供偏置，包括偏置电流、偏置电压的生成。我们采用的偏置电路是基于带隙基准源产生参考电压 V_{BG} ，经过缓冲器得到电压 V_{REF} ，然后通过参考电压产生参考电流 I_{REF} ，并进一步通过电流镜及偏置电路生成偏置电压 $V_{b1} \sim V_{b4}$ ，如图 5.30 所示。其中，电阻和电容是片外的，通过改变电阻的值可以调整电路内部的工作电流，电容起稳定的作用。带隙基准源和参考电压电流生成的电路图如图 5.31 所示。反馈运放电路如图 5.32 所示，采用 NMOS 输入差分对差分放大器可以提高输出参考电压的正电源抑制比[12]。偏置电压电路采用宽摆幅电流源结构[13]，如图 5.33。

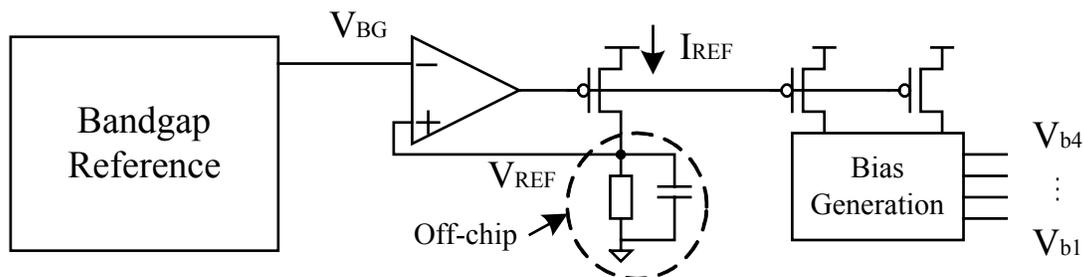


图 5.30 偏置电路的结构

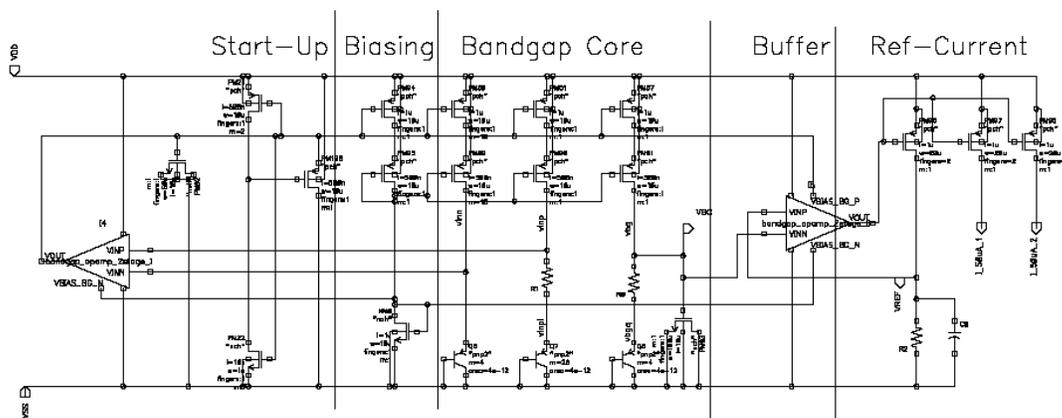


图 5.31 带隙基准源及参考电压和参考电流产生电路图

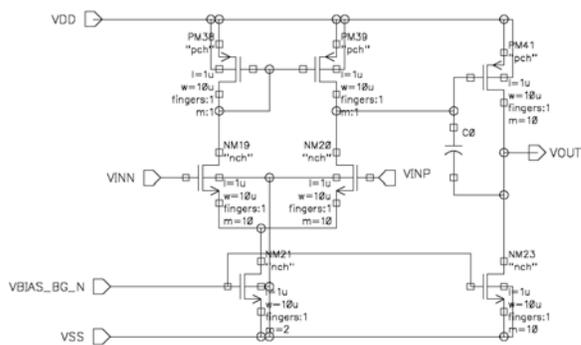


图 5.32 带隙基准源中的反馈运放电路图

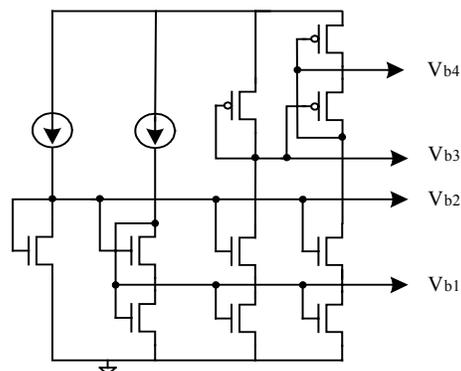


图 5.33 基于宽摆幅电流源结构的偏置电压生成

5.7 小结

本章介绍了频率综合器中各个模块的实现方法。先介绍了鉴相器的设计方法。随后详细的分析了电荷泵中存在的非理想效应，改进了全差分电荷的电路结构，并采用了电平位移技术和 cascode 管来提高差分电荷泵性能；同时还讨论了共模反馈电路和鉴相器复位信号产生电路。在环路滤波器方面，分析了电阻和电容的选择方法，并讨论了降低电容面积的技术，设计了无源和有源的环路滤波器。在压控振荡器方面，提出了开关可变电容器的工作原理，并且在此基础上设计了全差分的压控振荡器电路，同时也讨论了相关的降低相位噪声的技术。在分频器设计方面，通过噪声产生与电路结构的分析，选择了低噪声的分频器结构，并用在 TSPC 逻辑电路的基础上进行了电路的设计。最后介绍了用于整个电路中的偏置电路的设计方法。

参考文献

- [1] B. Razavi. *RF Microelectronics*, Prentice Hall, 2000.
- [2] Li Lin, Luns Tee, Paul R. Gray. "A 1.4GHz Difference Low-Noise CMOS Frequency Synthesizer Using a Wideband PLL Architecture", *2000 IEEE International Solid-State Circuits Conference*, p204-205.
- [3] F.Krummenacher N. Joehl. "A 4MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning." *IEEE J. of Solid-State Circuits*, Vol.23, pp.750-758, June 1988.

- [4] 唐长文, 电感电容压控振荡器, 复旦大学博士学位论文, 2004.
- [5] Tang Zhangwen, He Jie, Jian Hongyan, and Min Hao. "An Accurate 1.08-GHz CMOS LC Voltage-Controlled Oscillator", *Chinese Journal of Semiconductor*, Accepted
- [6] E. Hegazi, H. Sjoland, and A. Abidi, "A Filtering techniques to lower LC oscillator phase noise," *IEEE J. of Solid-State Circuits*, Vol. 36, pp. 1921-1930, Dec. 2001.
- [7] N. H. W. Fong, J. O. Plouchart, N. Zamdmer, D. Liu, L. F. Wagner, C. Plett and N. G. Tarr, "A 1-V 3.8-5.7-GHz wide-band VCO with differential tuned accumulation MOS varactors for common-mode noise rejection in CMOS SOI Technology," *IEEE Trans. on Microwave Theory and Techniques*, Vol. 51, pp. 1952-1959, Aug. 2003.
- [8] Salvatore Levantino, etc. "Phase Noise in Digital Frequency Dividers", *IEEE J. of Solid-State Circuits*, Vol.39, No.5, May 2004.
- [9] Cicero S. Vaucher, "An Adaptive PLL Tuning System Architecture Combining High Spectral Purity and Fast Setting Time", *IEEE J. of Solid-State Circuits*, Vol.35, No.4, Apr. 2000.
- [10] J.Yuan and C.Svensson. "High speed CMOS circuit technique." *IEEE J. Solid-State Circuits*, Vol.24, No.2, pp 62-70, 1989.
- [11] Larsson, P. and Svensson, C. "Impact of clock slope on true single phase clocked (TSPC) CMOS circuits." *IEEE J. Solid-State Circuits*, Vol.29, No.6, pp 723-726, 1994.
- [12] 何捷, 朱臻, 王涛, 李梦雄, 洪志良, "一种具有温度补偿、高电源抑制比的带隙基准源", *复旦学报(自然科学版)*, Vol.40, No.1, pp.86~90, 2001。
- [13] P.E. Allen, D.R. Hollberg. *CMOS Analog Circuit Design (2nd Edition)*, Oxford University Press, 2002.

第六章 仿真与测试

在前面的第三、四、五章，分别研究了基于稳定性的参数设计、环路的噪声估计和优化以及子电路的实现方法。本章将通过仿真和测试，对分析方法和电路设计进行验证。

所设计的频率综合器是基于 DVB-T 接收机的。在第一章已经分析了 DVB-T 接收机中对频率综合器的噪声指标，至少要达到 $-80\text{dBc/Hz}@10\text{kHz}$ 。第四章的噪声分析已经知道就相位噪声而言，窄带的频率综合器实现的难度比宽带的要大。所以这里就以窄带的频率综合器设计来作为验证的电路。设计的性能指标如表 6.1 所示。

表 6.1 窄带频率综合器的性能指标

中心频率	1.025 GHz
调频范围	± 25 MHz
最小频率分辨率	250 kHz
相位噪声	
@ 10kHz	-80 dBc/Hz
@ 100kHz	-100dBc/Hz
@ 1MHz	-120dBc/Hz
基底噪声	-150dBc/Hz
环路响应速度	$<224\mu\text{s}$

6.1 环路稳定性

电路实现采用 TSMC 0.25um RF 工艺。环路滤波器的电阻选择多晶硅电阻，相对的偏差为 $\pm 15\%$ 。电容选择 MIM 电容，相对偏差为 $\pm 2\%$ 以内，而电容之间的匹配度在 $\pm 0.5\%$ 以内。另外，假设电流随 PVT 变化的相对偏差为 $\pm 20\%$ ，压控振荡器的压控增益偏差为 $\pm 30\%$ 。从表 6.1 可以知道分频比 N 为 4000~4200，相对偏差为 $\pm 2.5\%$ 。通过式(3-21)可以计算出边界变化因子，

$$\alpha_{\max} = \left(1 + \frac{\Delta K_V}{K_V}\right) \left(1 + \frac{\Delta I}{I}\right) \left(1 + \frac{\Delta R}{R}\right)^2 \left(1 + \frac{\Delta C}{C}\right) / \left(1 - \frac{\Delta N}{N}\right) \approx 2.166$$

$$\alpha_{\min} = \left(1 - \frac{\Delta K_V}{K_V}\right) \left(1 - \frac{\Delta I}{I}\right) \left(1 - \frac{\Delta R}{R}\right)^2 \left(1 - \frac{\Delta C}{C}\right) / \left(1 + \frac{\Delta N}{N}\right) \approx 0.385$$

那么为了满足稳定性条件，参数 b 必须大于 25。如果 b 的值太大不利于抑制环路中的低频噪声，所以这里需要减小 b 。在第五章的电荷泵设计时，由于采用了加倍—减半电流单元用来进行稳定性补偿，可以采用更小的电容比 b 。如果 $b=10$ ，在采用加倍—减半电流单元的条件下，变化因子的稳定区间扩大为 $[0.306, 3.274]$ ，环路已经足够稳定了。此时 $b=10$ 所对应的最优阻尼因子为 $\zeta_{opt}=1.02$ 。

图 6.1 给出了在理想情况与两种极端情况下环路传输函数的幅频特性和阶跃响应。可以看到超过稳定性边界的参数变化对环路的特性影响很大。如果采用加倍—减半电流单元进行稳定性补偿之后，相应的幅频特性和阶跃响应特性曲线如图 6.2 所示，可以看到经过补偿后，进入稳定区间内，特性曲线与理想曲线比较接近。

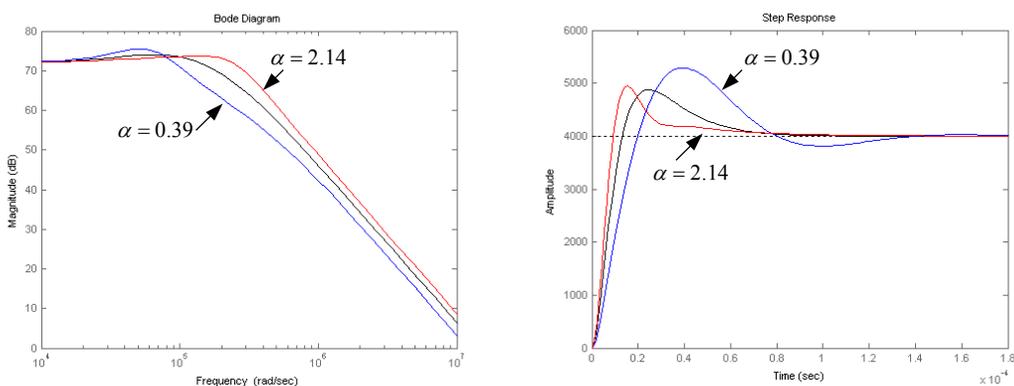


图 6.1 环路参数变化对闭环传输函数幅频响应和阶跃响应的影响

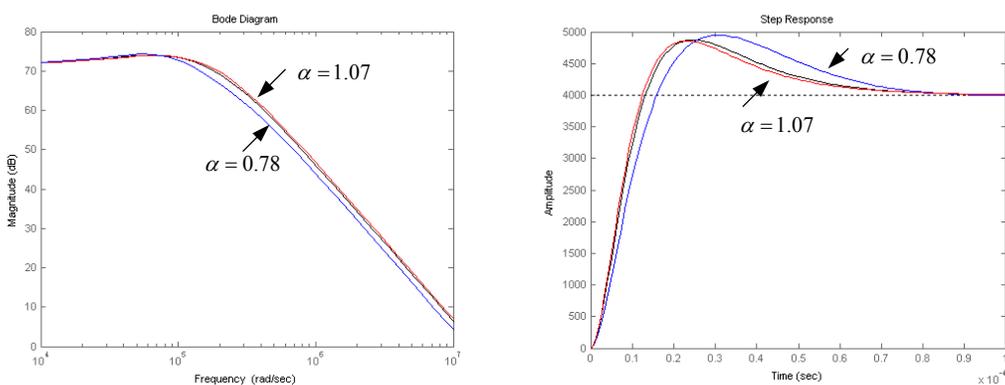


图 6.2 经过稳定性补偿后的闭环传输函数的幅频响应和阶跃响应

为了进一步验证稳定性，采用了第五章中分析的电路设计整个环路，环路的参数如表 6.2 所示。用电路仿真工具 Spectre 对环路进行了整体仿真，仿真分别为三种参数模型下进行：典型参数(tt, T= 27°C)、快参数(ff, T= - 20°C)、慢参数(ss, T= 100°C)。

在仿真中，为了加快环路的仿真速度，对压控振荡器和分频器采用了行为级语言 Verilog-A 进行描述。对于分频器而言，行为级参数中输出波形的上升和下降沿的斜率随着仿真条件变化。对于压控振荡器而言，压控增益 K_V 和频率调节范围都会随着仿真条件变化。而行为级描述的参数可以通过对单个电路的仿真得到。

对综合器输出频率从 1.005GHz 跳变至 1.045GHz 进行瞬态仿真，即分频比 N 从 4020 改变至 4180。在不同的仿真条件下，VCO 正端和负端压控信号的波形如图 6.3 所示。所对应差分的压控信号在不同仿真条件下的比较如图 6.4 所示。因此可知，随着工艺和温度的变化，环路的锁定时间都稳定在 100 μ s 之内。

在第五章的偏置电路设计中可知，电荷泵的工作电流由从片外参考电流 I_{REF} 得到的。为了进一步仿真环路的稳定性，先将参考电流调节为原来的 40%，即引入变化因子 $\alpha=0.4$ ，由稳定性分析可知，在没有进行电荷泵稳定性调整时，环路是不稳定的。此时仿真得到差分压控信号如图 6.5 中所标注的‘ $I_{CP}=0.4I_{REF}$ ，电荷泵不调整’，在 200 μ s 的时间段内环路还不能稳定。在经过电荷泵调整后(INC=1)，环路又重新稳定。如图 6.5 中所标注的差分压控信号(‘ $I_{CP}=0.4I_{REF}$ ，电荷泵调整’)，环路的锁定时间和参考电流没有变化之前(‘ $I_{CP}=I_{REF}$ ，电荷泵不调整’)基本一致，都在 100 μ s 之内。

表 6.2 主要电路设计参数

输入参考时钟频率 f_{ref}	250 kHz
b	10
电流 I_{CP}	50 μ A
导通时间 T_{on}	5ns
电阻 R	36.9 k Ω
电容 C_1	716 pF
电容 C_2	71.6 pF
分频比 N	4000~4200
压控增益 K_V	30 MHz/V
环路带宽 ω_c	20 kHz

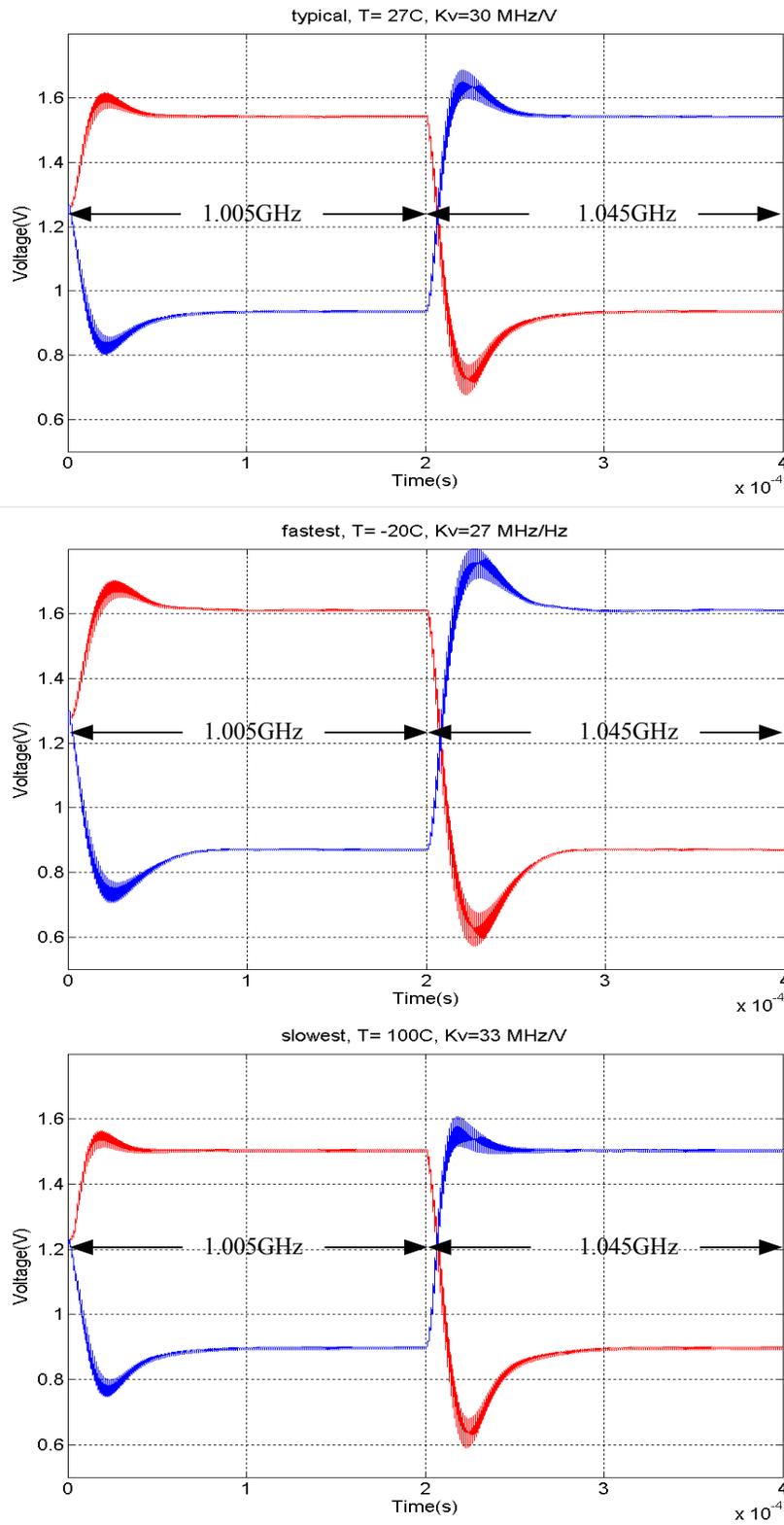


图 6.3 在不同的仿真条件下，频率跳变时，VCO 的正端和负端压控信号波形

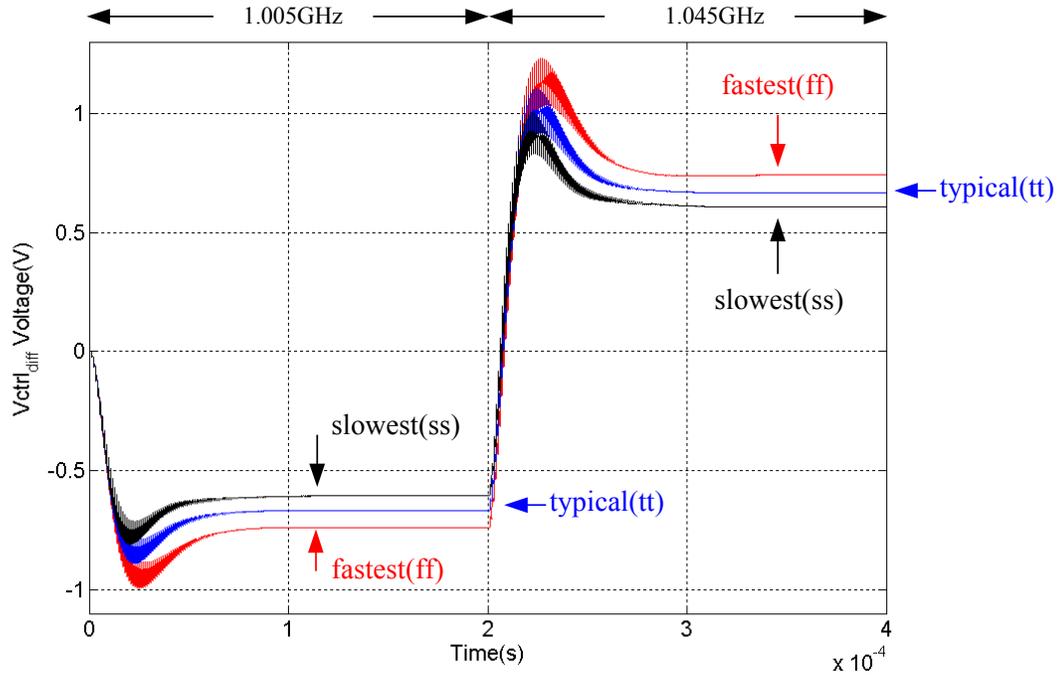


图 6.4 频率跳变时，不同仿真条件下的差分压控信号波形图

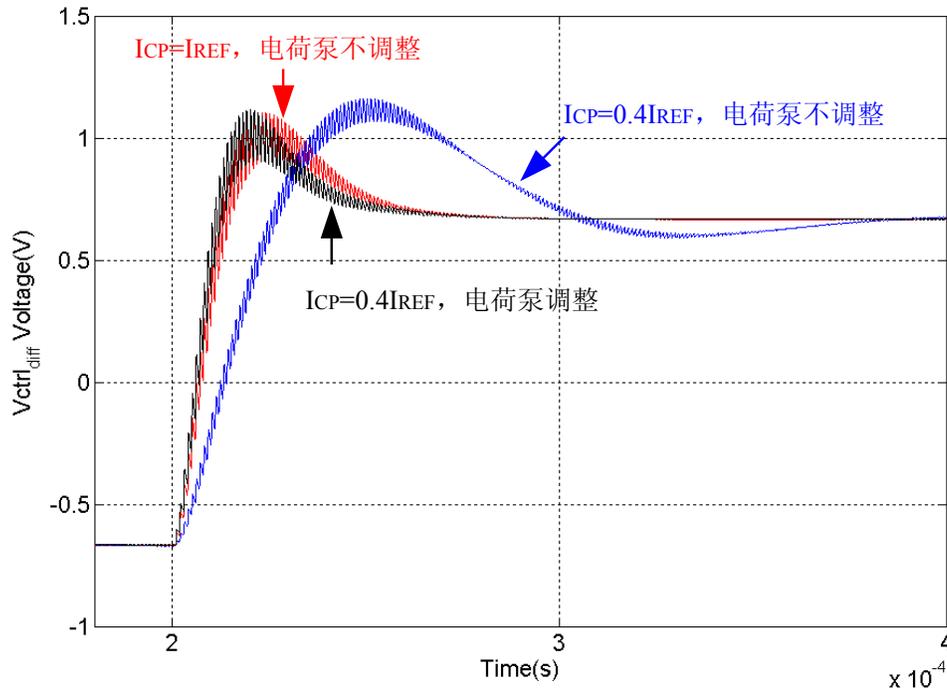


图 6.5 采用电荷泵电流调整对环路稳定性补偿的仿真

6.2 环路噪声

6.2.1 电荷泵等效噪声估计

在第四章中分析了电荷泵的等效噪声模型。与传统的导通比等效近似模型[1][2]相比,提出的采样噪声模型具有更好的准确度。为了验证这一点,分别采用导通比模型、提出的采样噪声模型和 Spectre 仿真器(PSS 和 Pnoise 工具)计算电荷泵的等效噪声。以 Spectre 仿真器的结果为准确值,将两种模型与之相比较。如图 6.6 所示,电荷泵的电流 $50\mu\text{A}$,参考时钟为 250kHz ,导通时间分别为 5ns 、 20ns 、 50ns 、 100ns 和 500ns 。图中以 'x' 标注的是 Spectre 的仿真结果, '+' 标注的是导通比等效模型的计算结果, 'o' 标注的是采样噪声等效模型的结果。可以看出,采样噪声模型在整个通带内已经很好的预测电荷泵等效噪声。在电荷泵导通比很小的情况下,导通比等效噪声模型已经和实际的噪声误差很大了,如电荷泵导通时间 $T_{\text{on}}=5\text{ns}$ (导通比 $1/800$) 下,误差最大接近 30dB ;随着导通比的增加,误差将会减少,但是即使在导通时间 $T_{\text{on}}=500\text{ns}$ (导通比 $1/8$) 的情况下,最大的误差也接近了 10dB 。在实际的情况下,导通时间都较小,所以导通比模型是非常粗略的近似,不能用来定量预测环路的输出噪声。而提出的采样噪声模型的精度就可以用来预测电荷泵噪声对环路输出

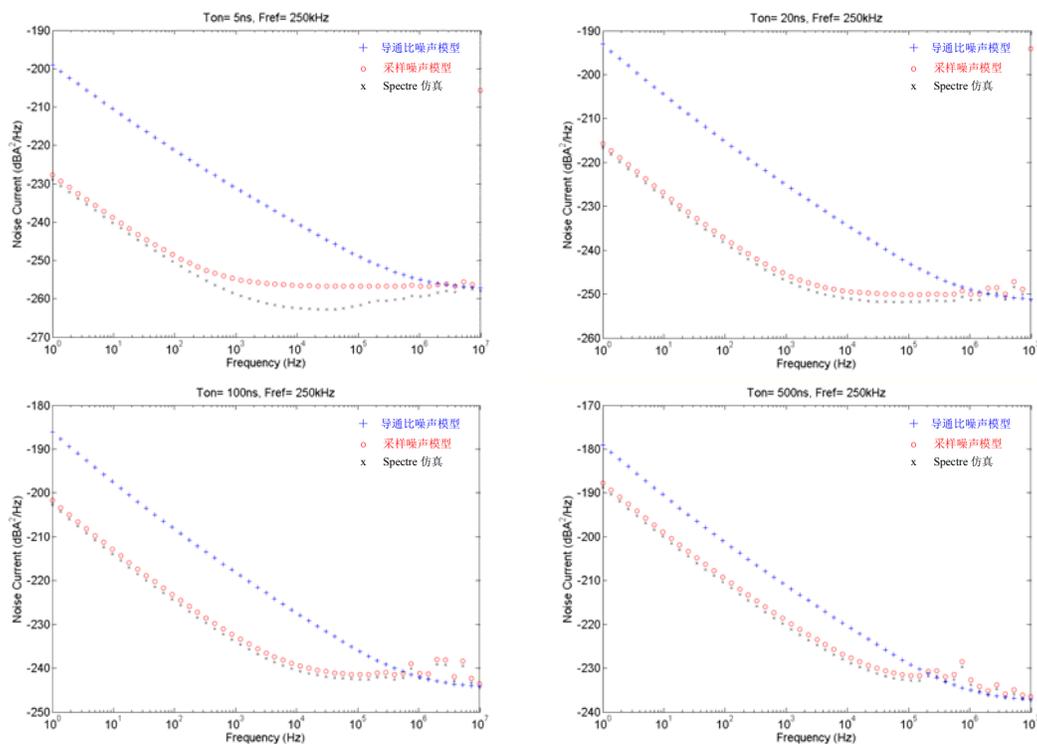


图 6.6 参考时钟 250kHz , 在不同的电荷泵导通时间下, 电荷泵等效噪声模型的比较

噪声的贡献。有意思的是，采样噪声模型所预测的在参考频率点和谐波上出现的噪声增强现象，通过 Spectre 仿真器也得到了，这进一步证明了等效噪声模型的有效性。

进一步的分析可以知道，一方面，如式(4-13)所示，由于电路在低频端的噪声主要是 $1/f$ 噪声，而采样噪声模型的分析表明电荷泵的 $1/f$ 可以被很好抑制，但是导通比模型没有考虑到这一点。所以在低频端，导通比模型的误差很大，换个角度看就是环路的带内噪声估计不准确。另一个方面，观察到在频率 1MHz 以上，两个模型的预测噪声基本接近，采样噪声模型只是比导通比噪声模型大一点，这是因为在这个频段上，主要是电荷泵中热噪声，而式(4-13)也表明，热噪声基本上与导通时间成正比。所以在高频端，导通比模型的误差不大，换个角度看就是环路的带外噪声估计还是可行的。这也是在很多采用导通比噪声模型的文献中[1][2]带内噪声估计与测量值误差很大，而带外噪声估计结果还是比较接近设计测试值的原因。

表 6.3 用于噪声估计的实际电路参数

环路参数	
环路带宽 f_c	20 kHz
参考时钟频率 f_{ref}	250 kHz
电容比 b	10

电荷泵参数	
电流 I_{CP}	50uA
导通时间 T_{on}	5ns
电流源参数(相对于单位电流 $I_u=25uA$)	
电流源 MOS 管的宽 W	20u
电流源 MOS 管的长 L	2u

环路滤波器参数	
电阻 R	369 k Ω
电容 C_1	71.6 pF
运算放大器参数 (相对于单位电流 $I_u=50uA$)	
运放输出阻抗 r_o	10 k Ω
输入对管的宽长比 W/L	1000u/5u
电流沉的宽长比 W_n/L_n	500u/20u
电流源的宽长比 W_p/L_p	250u/5u

分频器参数	
分频比 N	4100
输出相位噪声	
@ 10kHz	-160 dBc/Hz
基底噪声	-180dBc/Hz

VCO 参数	
压控增益 K_v	30 MHz/V
输出相位噪声	
@ 10kHz	-80 dBc/Hz
@ 100kHz	-110dBc/Hz
@ 1MHz	-130dBc/Hz
基底噪声	-150dBc/Hz

PMOS 管噪声参数	
η_p	1/3
Kf_p	1.18E-23
β_p	1.2828
NMOS 管噪声参数	
η_n	1/4
Kf_n	3.45E-24
β_n	0.8824
其他工艺参数	
氧化层厚度 t_{ox}	5.40E-09
真空介电常数 ϵ_0	8.85E-12
氧化层介电常数 ϵ_{sio2}	3.9
单位面积电容 C_{ox}	$\epsilon_0 \times \epsilon_{sio2} / t_{ox}$
gmoverid	11(电荷泵)
	6(有源滤波器运放)

6.2.2 相位噪声估计与测试

采用第四章中的噪声估计方法，对设计的窄带频率综合器进行噪声估计。频率综合器采用了有源环路滤波器，用于噪声估计的参数如表 6.3 所示。估计的环路输出相位噪声如图 6.7 中所示，分别采用了电荷泵采样噪声模型估算(*)和导通比噪声模型估算(+), 并且与实测的相位噪声(o)相比较。图 6.8 是实际测试得到的相位噪声曲线(部分频点值已在图 6.7 中表示), 载波频率为 1.023GHz, 对应频点的相位噪声如表 6.4 所示。通过与测试值比较, 可以看到采用基于提出的电荷泵噪声模型估算出来的相位噪声曲线在整个测试频段内与实际测试值很接近, 误差在 3dB 之内。而基于导通比电荷泵噪声模型估算的相位噪声在低频端的误差很大, 只在频率超过 100kHz 之后才与测量值接近。测量的结果进一步的验证了提出的相位噪声估计方法。

表 6.4 相位噪声测量值 ($f_c=1.023\text{GHz}$)

@ 10kHz	-73 dBc/Hz
@ 100kHz	-92dBc/Hz
@ 1MHz	-115dBc/Hz

6.2.3 相位噪声的优化讨论

由于所测试芯片还未进行噪声优化, 所以实际测试得到的相位噪声性能还达不到 DVB-T 接收机对频率综合器的要求, 需要进一步的讨论相位噪声优化的方法。采用第四章中的分析方法, 将总噪声和各个模块的噪声贡献曲线估计如图 6.9 所示。从估计的噪声中可知, 环路的主要噪声来自于有源环路滤波器, 而非电荷泵或者 VCO。那么要降低这部分的噪声, 通过第四章分析可以知道, 需要进一步的增加电荷泵的电流 I_{CP} 和采用无源滤波器。将电荷泵电流增加至 500uA, 此时按照第三章的参数计算流程得到修改的环路参数如表 6.5(可参见表 4.1)。重新估算的相位噪声曲线如图 6.10 所示(也参见图 4.12)。可以看到得到的相位噪声性能可以满足 DVB-T 接收机的要求。从图 6.10 中可以看到, 来自于电荷泵和环路滤波器的噪声被抑制了, 而主要的噪声来自于 VCO。

表 6.5 基于噪声优化修改后的环路参数

电流 I_{CP}	500uA
电阻 R	36.9 k Ω
电容 C_1	716 pF
电容 C_2	71.6 pF

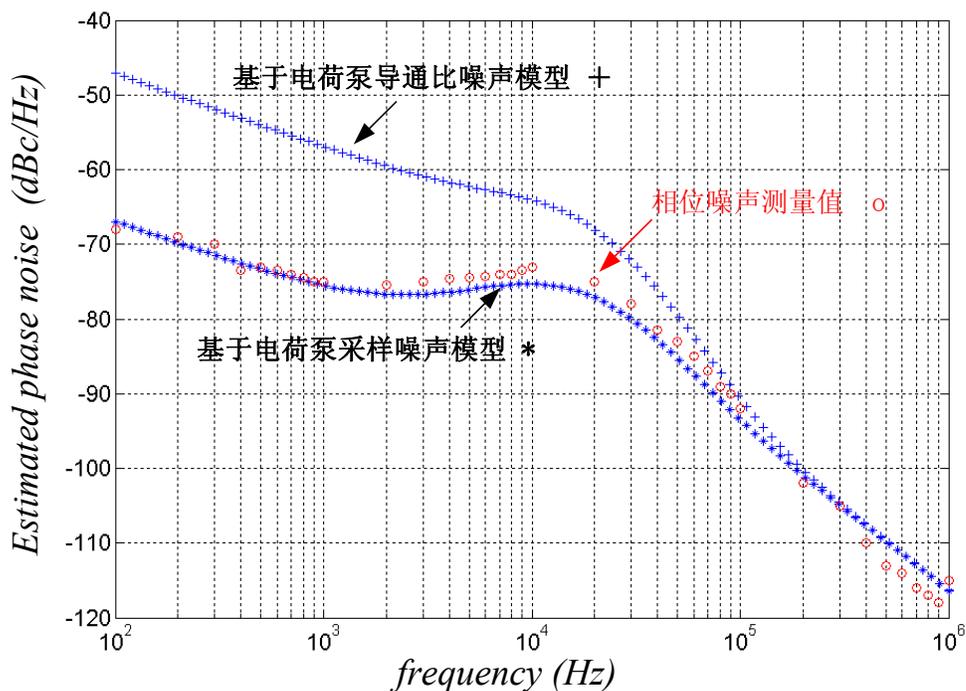


图 6.7 基于两种电荷泵噪声模型的相位噪声估计曲线与测量值的比较

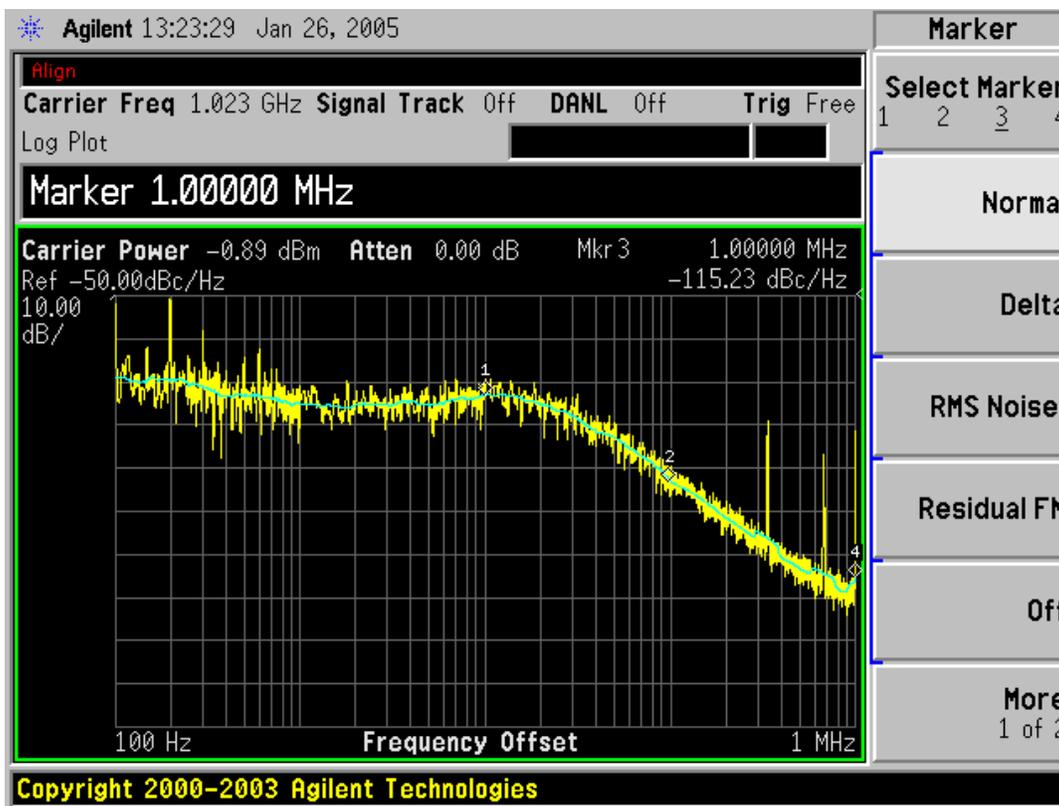


图 6.8 测试得到的相位噪声曲线，载波频率 $f_c=1.023\text{GHz}$

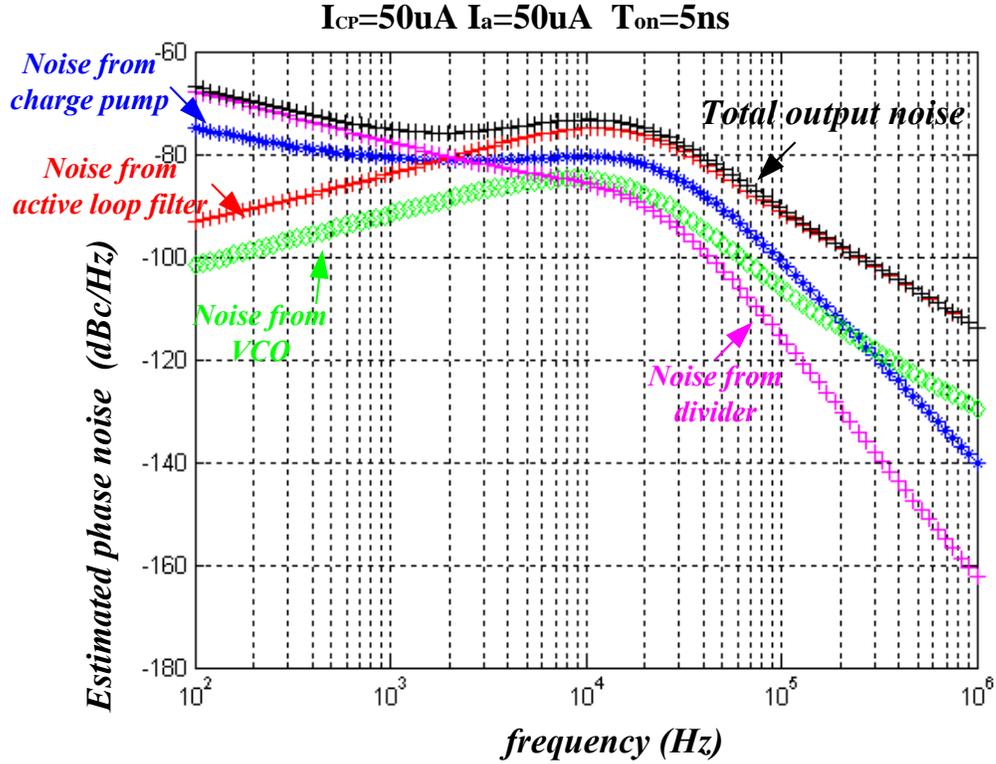


图 6.9 对实测电路采用噪声估计方法估算的各个模块对输出相位噪声的贡献

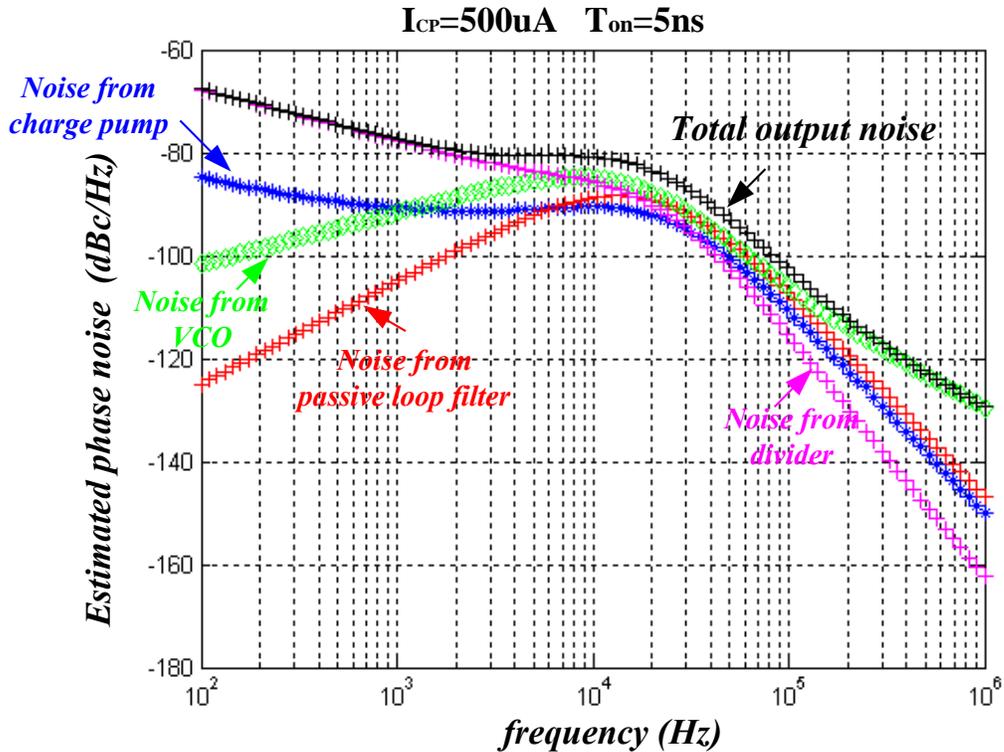


图 6.10 采用无源滤波器、电荷泵电流增加为 500uA 时，估计的相位噪声曲线

6.2.4 VCO 的相位噪声测试

从图 6.9 可知, 经过噪声优化后, 窄带频率综合器的相位噪声主要由 VCO 决定。所以 VCO 的实际相位噪声性能将影响环路的输出相位噪声。由于相位噪声的估计是基于 VCO 的性能指标(参见表 6.3), 因此也有必要对 VCO 的相位噪声进行测量, 看是否达到设计的性能指标。全差分压控振荡器的电路如图 5.22, 在振荡输出频率为 1.013GHz 时, 实际测试得到的相位噪声曲线如图 6.11, 其相噪在 10kHz 频偏处达到了 -83dBc/Hz, 满足性能指标。这也说明, 采用开关阶跃可变电容能实现低噪声的压控振荡器。

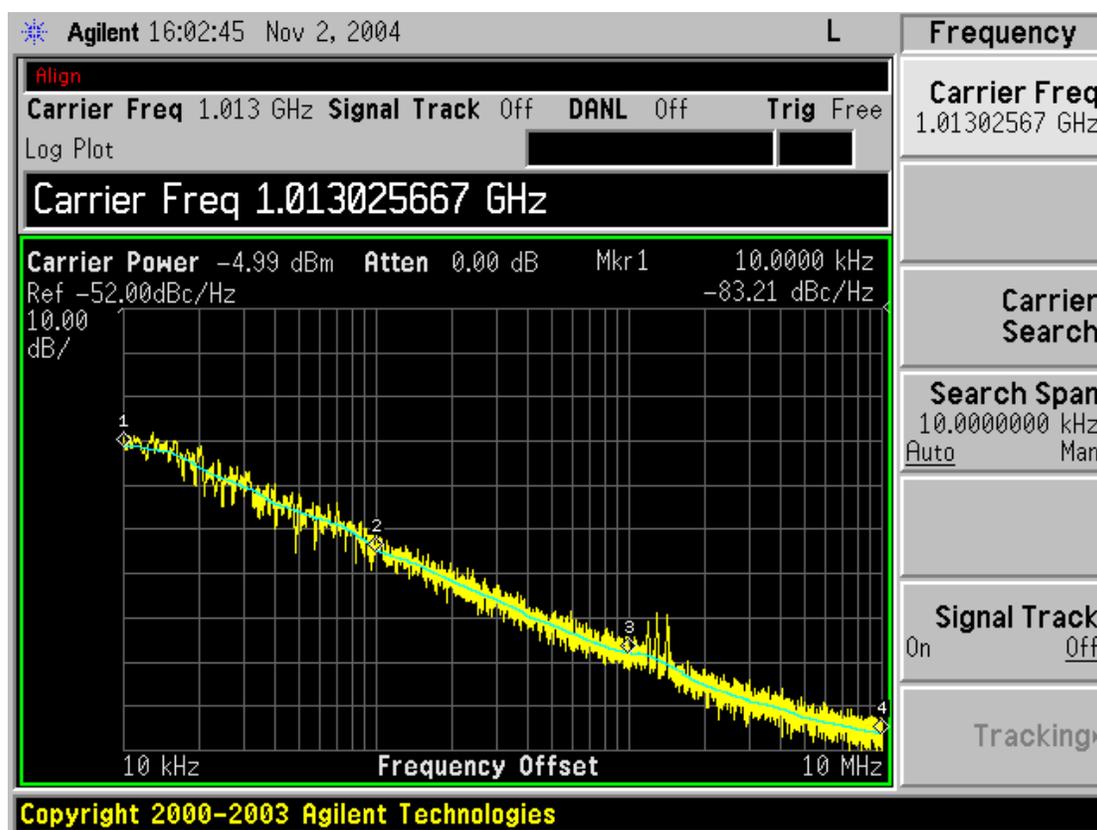


图 6.11 差分压控振荡器的相位噪声测试曲线

6.3 输出频率范围测试

为了验证设计的频率综合器的输出频率范围, 我们对 VCO 进行了进一步的测试, 要保证设计的 VCO 的可调频率范围比频率综合器要求的输出频率范围还要大。由于 VCO 是全差分的, 选择共模电压为 1.1V, 改变差分压控电压测试 VCO 的输出

频率，测试的结果如图 6.12 所示。其中的实线是按照开关阶跃电容周期计算方法[3]计算的压控曲线，而‘x’表示实际测量的值，可以看到输出频率范围 1~1.05GHz 已经完全涵盖在内，而且压控增益具有较好的线性度。从而保证了实际测试的频率综合器能够很好的综合出 1~1.05GHz 范围内分辨率为 250kHz 的频率信号。

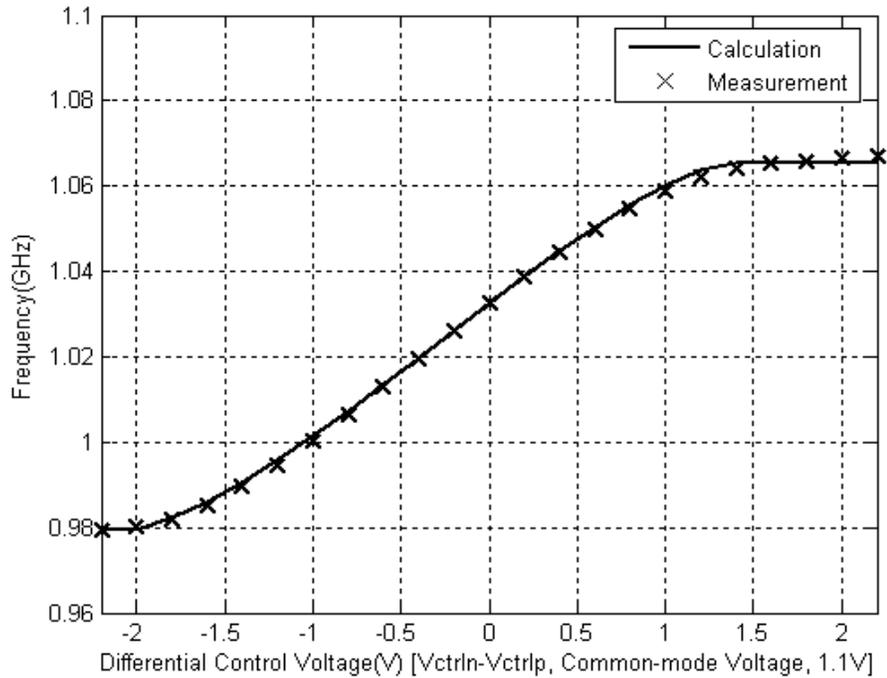


图 6.12 差分压控振荡器的差分压控电压和输出频率的关系

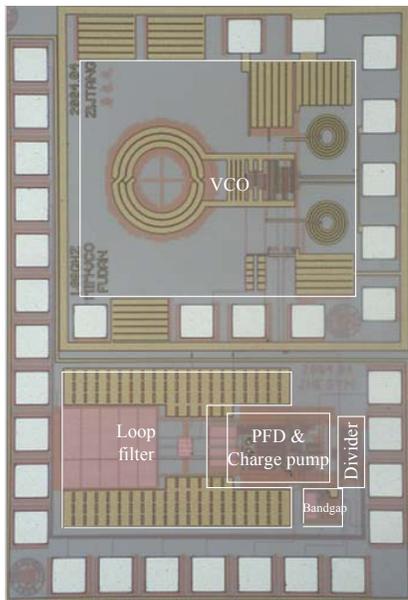


图 6.13 测试芯片的版图照片

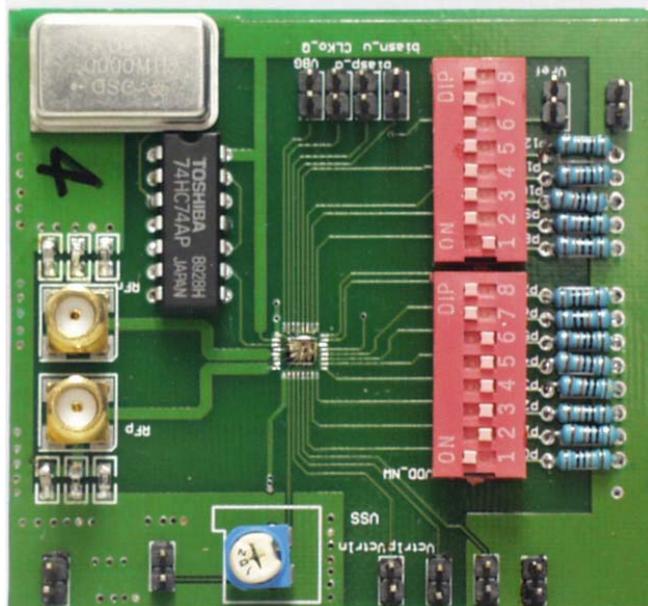


图 6.14 测试频率综合器的 PCB 版照片

6.4 版图和电路版

实际测试的窄带频率综合器设计参数见表 6.3。测试芯片的版图如图 6.13，测试 PCB 的版图如图 6.14 所示。

6.5 小结

本章针对适用于 DVB-T 接收机中的窄带频率综合器进行了设计、仿真和测试。通过对设计电路的环路稳定性仿真，验证了第三章中稳定性分析和基于稳定性优化的参数设计方法。同时，通过仿真和芯片测试，验证了电荷泵等效噪声模型，同时验证了第四章中分析的环路噪声估计的方法，估计值和测量值非常接近。由于实际测试的芯片中频率综合器没有进行噪声的优化，所以相位噪声还达不到 DVB-T 的性能要求。因此进一步借助噪声估计的方法，分析了噪声的主要来源，提出可行的噪声优化方法，对以后的工作具有很重要指导意义。

参考文献

- [1] Jan Craninckx, M. Steyaert. "A Fully Integrated CMOS DCS-1800 Frequency Synthesizer". *IEEE J. of Solid-State Circuits*, 1998, 33(12):2054~2065.
- [2] W.S.T. Yan, H.C. Luong. "A 2-V 900MHz Monolithic CMOS Dual-Loop Frequency Synthesizer for GSM Receivers". *IEEE J. of Solid-State Circuit*, 2001,36(2):204~216.
- [3] 唐长文，何捷，闵昊。“开关阶跃电容的压控振荡器调谐特性的理论分析”，*半导体学报*，已录用。

第七章 总结与展望

7.1 论文总结

本文从应用于数字电视广播 DVB-T 接收机中的频率综合器研究为出发点,着重研究了频率综合器的环路参数设计和噪声估计方法,并用 TSMC 0.25 μm CMOS 工艺设计了一个窄带的频率综合器加以验证。

在环路参数设计方面,首次定量的分析了环路参数由于工艺、电压和温度等条件的变化对整个环路稳定性的影响,并在此基础上,提出了基于稳定性优化的环路参数设计方法。

在噪声估计方法,提出了对电荷泵的等效噪声估算的采样噪声模型,解决了传统的导通比模型低频段不准确的问题。并且进一步的采用了*基于环路的噪声参数模型*和*基于性能指标的噪声参数模型*来估算整个环路的相位噪声。

在电路设计方面,详细的研究了差分电荷泵存在的问题和提出相应改进的技术,并依据稳定性分析提出了结构简单的稳定性补偿电荷泵;另外还提出了采用开关阶跃变容器的全差分压控振荡器电路,以及研究总结了低噪声分频器的原理和电路结构。这几个方面的电路设计都有所创新。

最后,实现了一个频率分辨率为 250kHz 的窄带频率综合器来进行验证,通过仿真证明了环路稳定性分析和稳定性补偿电路。通过仿真和测试,验证了提出的电荷泵的采样等效噪声模型的准确性和环路噪声估计方法的可行性。也验证了新电路结构的可行性。遗憾的是,测试的电路并没有进行噪声的优化,所以还达不到 DVB-T 的应用要求,但是提出的稳定性参数设计和噪声估计的方法得到了验证,在此基础上,文章的最后提出了噪声优化的方法,为进一步的研究工作提供的很好的参考。

7.2 展望

随着数字电视技术的发展和 CMOS 集成电路工艺的不断进步,可以预见不久的将来,单片集成的数字电视接收器 SoC 芯片将会出现。使得数字电视的应用领域扩展到人们生活的很多方面。

要实现单片的数字电视接收机,就要有高性能的模拟前端电路。而本论文就如何实现接收机中具有高性能频率综合器进行了研究。从仿真和测试的结果而言,由于没有进行相位噪声的优化,相位噪声还没有达到系统要求的性能,所以还要在研究工作的基础上,进一步进行噪声的优化,以期得到满足噪声性能的频率综合器。

值得一提的是,本文所提及的参数设计方法和噪声估计优化方法,广泛的适用

于针对各种应用的频率综合器的设计。由于频率综合器的结构种类繁多，未来应用于电视接收机中的电路结构不仅仅限于本文讨论的整数分频结构。虽然整数分频的可靠性和稳定性能比较优越，但是可能在集成中也会遇到较高的电荷泵电流和大面积电容的问题。这些问题如果采用分数分频就可以避免，随着工艺的进步，分数分频频率综合器中的高阶 $\Delta\Sigma$ 调制器的面积也会降低，使得这种结构可能比整数分频结构更具优势。无论采用那种结构，本论文所研究的方法同样的适用。在噪声估计上，只要增加分数分频器引入的等效噪声即可。

在集成的频率综合器方面，特别是用 CMOS 工艺设计实现将成为趋势。一个成功的频率综合器的设计不仅要包括整个环路的优化设计，而且子模块的优化设计也十分重要，尤其是 VCO 的设计。本文中所设计的基于开关阶跃可变电容器的 VCO 也是一种新的结构，实验证明这种结构的 VCO 具有很好的相位噪声。而这方面的研究目前还比较肤浅，值得在以后的工作中进一步研究该电路提高相位噪声的原因，以期能取得更好的研究结果。

致谢

在论文完成之际，我首先要感谢的是在复旦大学九年的学习生活中教诲我和帮助我的各位老师，特别是在我五年研究生学习中我终身难忘洪志良老师和闵昊老师，正是两位老师孜孜不倦的教导和支持才有今天这篇论文的顺利完成。洪老师严谨的治学态度和执着的敬业精神深深地影响了我，在潜移默化中培养了我精益求精地治学态度和脚踏实地的工作态度。闵老师对学术问题的洞察力和勇于创新的精神使我受益匪浅，培养了我善于思考的习惯，拓展了我的学术视野。他们是我终身学习的榜样，他们所给予我的将激励我在今后的岁月中更好地工作和生活。

在论文完成之际，还要特别感谢唐长文博士，他是我的师兄，更是我的良师益友，在三年攻读博士的阶段，他给了我莫大的帮助和支持，我们一起讨论问题，一起参与 TV-Tuner 的研究项目，分享这其中的苦与乐。此外，他还协助我设计了频率综合器中压控振荡器电路，并在芯片测试中给我提供了帮助。与师兄一起的这一段研究生活是一段珍贵的回忆。

感谢周荣政老师、晁英伟老师，他们在工作和生活中都给了我很大的帮助，从他们身上我学到了关心别人、乐观向上的精神。

感谢曾在论文完成过程中给予我宝贵意见和指导的任俊彦教授、杨莲兴教授和孙承绶教授。感谢南京五十五所提供的封装和测试帮助，以及上海集成电路设计研究中心提供的测试帮助。

实验室是一个温暖的大家庭，这里充满了同学朋友之间的关心和爱心，感谢菅洪彦、李强、韩益锋给予了我非常有益的学术交流，顾沧海、巫建明、刘珂、闫娜、何艳、高佩珺等同学共同创造了非常融洽的学习和生活环境。另外，还要感谢我亲密的室友们：杨青松、张振勇、朱柯嘉，你们是我永远的挚友。

感谢我的女友陈钰，你是我今生最大的收获，你的爱使我体会到了生活的美好，你的爱陪伴我度过人生的荆棘，你的爱是我奋斗的动力和人生的港湾。

感谢我的父母，含辛茹苦的养育之恩和最为无私的爱，我无以为报；感谢姐姐一直以来的无微不至的关怀，和对我学业的支持；还要感谢女友父母一直以来给予我的支持；正是有了亲友们的默默无闻的付出，才有今天的我，我唯有继续努力，才能不辜负所有你们对我的关心和期望。

论文独创性声明

本论文是我个人在导师指导下进行的研究工作及取得的研究成果。论文中除了特别加以标注和致谢的地方外，不包含其他人或其它机构已经发表或撰写过的研究成果。其他同志对本研究的启发和所做的贡献均已在论文中作了明确的声明并表示了谢意。

作者签名：_____ 日期：_____

论文使用授权声明

本人完全了解复旦大学有关保留、使用学位论文的规定，即：学校有权保留送交论文的复印件，允许论文被查阅和借阅；学校可以公布论文的全部或部分内容，可以采用影印、缩印或其它复制手段保存论文。保密的论文在解密后遵守此规定。

作者签名：_____ 导师签名：_____ 日期：_____