

学校代码： 10246
学 号： 021021061

復旦大學

博 士 学 位 论 文

射频集成电路片上电感的分析与优化设计

Analysis and Optimum Design of On-Chip Inductor for RF ICs

院 系： 微电子学系

专 业： 微电子学与固体电子学

姓 名： 菅洪彦

指 导 教 师： 闵昊 教授

完 成 日 期： 2005 年 4 月 20 日

Analysis and Optimum Design of On-Chip Inductor for RF ICs

by

Hongyan Jian

B.S. (Shaanxi Normal University, Xi'an) 1992

M.S. (Ocean University of China, Qingdao) 1996

A dissertation submitted in partial satisfaction of the

requirements for the degree of

Doctor of Philosophy

in

Microelectronics

in the

GRADUATE DIVISION

of the

FUDAN UNIVERSITY, SHANGHAI

Committee in charge:

Professor Hao Min

Professor Zhiliang Hong

Professor Junyan Ren

Professor Lianxing Yang

Spring 2005

Copyright Spring 2005, by Hongyan Jian

ALL RIGHTS RESERVED

目 录

第一章 引言

- 1.1 市场需求和技术推动 1
- 1.2 电感在射频集成电路中的作用 2
- 1.3 片上电感研究进展和存在的问题 2
 - 1.3.1 集成电感 3
 - 1.3.2 金属互连线电感的研究现状 4
 - 1.3.3 金属互连线电感研究存在的问题 5
- 1.4 论文的组织结构 6
- 参考文献 7

第二章 片上电感的物理模型与特性分析

- 2.1 串连电感 10
 - 2.1.1 自感 10
 - 2.1.2 互感 11
 - 2.1.3 电感值的计算 12
 - 2.1.4 电感值与面积成本 13
- 2.2 片上电感的实现与物理特性 13
 - 2.2.1 金属互连线电感的结构 13
 - 2.2.2 寄生与损耗分析 15
 - 2.2.3 品质因数和自谐振频率 16
- 2.3 电感寄生电容模型 17
 - 2.3.1 分布电容模型 17
 - 2.3.1.1 假设和定义 18
 - 2.3.1.2 电感贮存电能和寄生电容 20
 - 2.3.2 平面螺旋电感的寄生电容定量计算 22
 - 2.3.3 垂直螺线管电感的寄生电容定量计算 26
 - 2.3.4 平板电容计算 33
- 2.4 串联电阻分析 33
 - 2.4.1 直流电阻 34
 - 2.4.2 趋肤效应电阻 34
 - 2.4.2.1 趋肤效应 35
 - 2.4.2.2 趋肤效应电阻 37
 - 2.4.3 邻近效应电阻 40

2.5 衬底物理模型和损耗分析	42
2.5.1 衬底的变压器效应	43
2.5.1.1 衬底磁能损耗物理模型	43
2.5.1.2 衬底磁能损耗数学解析	43
2.5.2 衬底电容耦合损耗	48
2.5.2.1 衬底电容耦合损耗物理模型	48
2.5.2.2 衬底电容耦合损耗数学解析	49
2.5.3 衬底耦合	50
2.5.4 衬底温度效应	50
2.6 小结	51
参考文献	51

第三章 片上电感的优化设计

3.1 增大耦合系数的方法	55
3.1.1 增大同平面线圈耦合系数的方法	55
3.1.2 增大垂直串连耦合系数的方法	57
3.1.3 垂直螺线管电感优化设计	58
3.2 寄生电容降低方法	60
3.2.1 结构上降低线圈与衬底之间寄生电容的方法	60
3.2.2 结构上降低线圈与衬底之间寄生电容的方法	62
3.2.3 改进工艺降低电感寄生电容	63
3.3 降低串联电阻的方法	64
3.3.1 降低直流电阻方法	64
3.3.1.1 结构上降低直流电阻	64
3.3.1.2 工艺上降低直流电阻	65
3.3.2 电流拥挤效应抑制	66
3.3.2.1 趋肤效应抑制	66
3.3.2.2 邻近效应抑制	69
3.3.2.3 多电流路径抑制电流拥挤效应的版图优化设计方法	72
3.4 衬底的损耗抑制	75
3.4.1 衬底涡流损耗的抑制方法	75
3.4.2 降低衬底电容耦合损耗的方法	76
3.4.3 衬底耦合的降低	78
3.5 电感应用电路优化设计方法	79
3.5.1 高性能片上电感的标准	79

3.5.2 压控电感自调谐振荡器	80
3.5.3 pn结衬底隔离中心频率偏差校正	82
3.5.4 金属地屏蔽	83
3.6 小结	83
参考文献	84

第四章 测试与分析

4.1 在片测试和去嵌入	88
4.1.1 地屏蔽的开路通路去嵌入结构	89
4.1.2 可缩放的开路通路去嵌入方法	91
4.2 测试分析	93
4.2.1 流片测试	93
4.2.2 平面螺旋和螺线管电感	94
4.2.3 差分 and 单端电感	97
4.2.4 结构上降低差分电感临近线圈寄生电容的方法	99
4.2.5 电感串连电阻降低方法	100
4.2.5.1 结构上降低直流电阻	100
4.2.5.2 多电流路径电感	101
4.2.6 降低衬底效应方法的验证	106
4.2.6.1 pn结抑制衬底高频电流	107
4.2.6.2 各种地屏蔽比对	107
4.2.6.3 不同测试功率下的衬底损耗	109
4.3 小结	110
参考文献	111

第五章 结论

5.1 总结	112
5.2 展望	113
附录一 趋肤深度公式推导	115
附录二 两个平行线圈的耦合系数	118
附录三 两种去嵌入方法	119
附录四 双端口网络	120
致谢	122

摘 要

无线通信的迅猛发展激发了射频收发器设计的热潮。片上电感是高性能压控振荡器（VCO）、低噪声放大器 and 无源滤波器等集成电路模块的重要元件。片上电感品质因数低，占据较大的芯片面积是需要解决的两个主要问题。

近些年，大量的片上电感研究成果不断涌现，但是对于片上电感的性能局限以及品质因数（Q）优化过程的基本理解还是不充分的。建立在数值拟合基础上的大部分电感模型不能给电感的优化设计提供理论指导。本论文建立了包含电磁现象以及对电感性能有重要影响的寄生电阻和寄生电容的物理模型。在此基础上，分别从集成电路设计和工艺实现的角度提出了电感的优化方法。研究表明，在不改变工艺的前提下，利用一些优化技术可以提高电感的性能。采用 $0.35\mu\text{m}$ 的4层金属互连线成功实现了优化的圆形电感。试验结果证明了理论的精度，验证了优化方法的有效性。

以线圈耦合系数和电感分布电容模型为基础，设计优化了平面螺旋电感和叠层电感。在相近的芯片面积上，实现的叠层电感值为 9.9nH ，平面螺旋电感只有 1.3nH 。而要实现 1nH 电感，4层串连结构电感的面积是平面螺旋电感的四分之一。金属3和金属4并联，再与并联的金属1和金属2串连，该结构电感最大品质因数（ Q_{max} ）是相同电感值的金属3与金属4并联平面螺旋电感 Q_{max} 的210%。

电磁理论表明，小面积金属具有较弱的趋肤效应；金属线宽与间距之比越小，电感的邻近效应越小。因此，同圈电感金属被分成每股电阻相等且并联的多股，使得最大的品质因数提高了40%。

使用标准的CMOS工艺，在电感下面的n阱上进行 p^+ 扩散，形成水平和垂直的双pn结。将 p^+ 扩散层接地来阻止电感电场到达电感下面的衬底。增大n阱的电压，横向和纵向的pn结的耗尽层加厚，电感的品质因数提高了19%。这个现象证明了电感衬底电场和磁场损耗物理模型的有效性。

关键词：片上电感 品质因数 自谐振频率 平面螺旋电感 叠层电感 串联电阻 寄生电容 衬底损耗 优化设计 在片测试

Analysis and Optimum Design of On-Chip Inductor for RF ICs

Abstract

The wireless communication revolution has spawned a revival of interest in the design and optimization of radio transceivers. On-chip inductors are important, performance-limiting, large die area components in monolithic radio frequency (RF) circuits, such as voltage-controlled oscillators (VCO), low-noise amplifiers and passive-element filters.

Although numerous results of on-chip inductors have been reported, the basic understanding of performance limitations and the procedures for optimizing the quality factor (Q) are insufficient. Most published inductor models rely on numerical techniques, which are not intuitive enough to provide the insight needed in a design process. This dissertation presents physical models that address the electromagnetic phenomena and parasitics important to the behavior of on-chip inductors. Guidelines for the optimum inductor design are proposed from the point of view of the integrated circuits (ICs) design and technology.

Inductors have been fabricated in a 0.35 μm two-poly four-metal CMOS technology for validating the some proposed techniques and theories without altering technology to improve the Q of the inductor and circuits in this dissertation.

Based on the guidelines of the distributed capacitance mode and coupling coefficient formula, the stacked and planar inductors are designed. Using the close die area of the planar inductor with 1.34nH, the stacked inductor realizes 9.9nH inductance. Realizing 1nH inductance, the die area of the four-layer-interconnect series inductor only is the quarter of that of the planar spiral inductor. The maximum Q of the inductor that designed by metal 3/metal 4 in series with metal 1/metal 2 is 110% greater than that of the planar inductor with same inductance.

The electromagnetic theory indicates that the metal with small cross-area has the weak skin effect and the inductors with the less ratio the turn width of the space between turns have weak proximity effect. Thus, the one turn metal of the inductor is divided into multi-shunt tracks with the same impedance, and then the maximum Q has 40% improvement.

Dual pn junctions in lateral and vertical directions are formed by diffusing the p^+ on the patterned n -well in standard CMOS technology, which are inserted under the inductor. The p^+ -diffusion layer is grounded to shield the substrate from the electric field of inductor, the width of the depletion regions of the lateral and vertical pn junctions are changed by increasing the voltage applied to the n -wells, and then quality factor is improved by 19%. This phenomenon validates the physical models of the electric field and magnetic field losses of the on-chip inductors in the substrate.

Key Words: On-chip inductor, quality factor, self-resonant frequency, planar spirals, stacked inductor, series resistance, parasitical capacitance, substrate loss, optimum design, on-wafer measurement

第一章 引言

本章论述了研究片上电感的动机、片上电感的作用以及当前研究进展和存在的问题，最后概述了本文的组织结构。

1.1 市场需求和技术推动

在过去十几年里，寻呼机、无绳电话、模拟及数字蜂窝电话等个人通信系统以及数字电视、广播及全球定位导航系统得到了迅猛发展，这些消费电子产品的成功依赖它们的成本、电池的使用寿命、功能和重量。集成射频模块和基带数字信号处理单元在一个单硅片上可以满足上述要求。无源元件特别是电感在射频前端系统中具有重要作用，它们的集成引起了学术界和工业界广泛的关注。

当前的收发器设计通常采用双极工艺和 BiCMOS 工艺制造低噪声放大器、混频器和压控振荡器；采用砷化镓(GaAs)或双极工艺制造功率放大器；采用 CMOS 工艺制造基带信号处理芯片。目前，在印刷电路板 (PCB) 上还在大量地使用薄膜技术或分立形式的无源元件。为了增加集成度，不同的电路模块和元件采用同一种工艺，制作在相同的衬底上。随着工艺的进步，CMOS 工艺晶体管的截止频率 (f_T) 变得越来越高。与 GaAs 工艺相比，CMOS 工艺在价格、功耗方面都占有显著的优势。可以同时 CMOS 工艺中集成模拟和数字电路，因此可以实现更高层次的集成。这使 CMOS 集成电路在较低 GHz 频率范围的应用日益广泛。业界的目标是使得所有的收发器部分，无论是数字还是模拟、射频都采用标准 CMOS 工艺实现。单芯片收发器是研究的目标和重点，在学术上和经济上都具有较高的价值。

芯片的单片集成具有以下优点^[1-1]：

成本：在收发器前端部分，在 PCB 上的主要成分是无源元件。虽然在整个电路中电感、电阻、电容占一个很小的比例 (10%)，但是整体的无源元件价值超过了电路总价值的三分之一。最重要的是，随着中间级 LC 匹配网络的集成，单独的电路模块更加容易在 CMOS 工艺上制造，进而大幅度下降 IC 的封装和试验费用。

功耗：芯片的单片集成可以节能。管脚、引线、IC 封装、PCB 上的连线以及分立封装会引起较大的寄生电感和电容。当信号在 PCB 上的元件间传输时，附加的能量不得不消耗在驱动这些附加的寄生电感和电容上。而单片集成就可以避免这些能量的消耗。

面积：在今天的系统中，分立的无源元件占据了大部分 PCB 板的面积。微型的便携式系统需要较小的固定电阻电感电容 (RLC) 电路面积。由于需要很大的面积用于焊接附件和通孔，通过先进的封装技术节省的 PCB 面积变得不再显著。集成 RLC 元件在芯片上是更加有效的降低 PCB 面积方法。

可靠性: 单片集成减少了芯片与外部元件的焊接, 进而提高了系统的可靠性。

精度: 大部分无线通信的电路工作频率在 0.8-2.5GHz 之间, 在这个频率, 电路使用的典型电感值为 1-25nH。用分立元件很难实现小值电感。表面贴片电感元件值的误差一般在 2%—25%, 由于封装的寄生效应, 使得在 10nH 以下的元件值误差变得更大。由于 IC 工艺的严格控制特性, 片上电感能够提供很好的精度和重复性。

设计的灵活性: 信号在片上的传递避免了片外阻抗匹配的 50Ω 阻抗要求, 而无源元件的集成使得阻抗匹的设计配更加灵活。

试验: 更多元件的集成将简化和减少电路测试, 进而降低成本。

芯片的单片集成具有降低成本、功耗、面积、实验费用, 增加可靠性、精度高和设计灵活性的好处。因此, 在经济利益的拉动下, 技术发展的推动下, 集成电感的研究成为射频集成电路设计的一个热点课题。

1.2 电感在射频集成电路中的作用

因为电感是磁能储能元件, 与电能存储元件配合使用可以实现很多功能; 电感具有低通高阻特性, 可以在降低电源电压、滤波等电路发挥重要作用, 所以电感是射频集成电路不可缺少的元件。

便携无线通信装置需要低成本、低电压、低功耗、低噪声、高频和低失真。没有电感, 这些要求在许多情况下是不能够得到满意解决的。

多数蜂窝通讯设备的工作频率位于 0.8 到 2.5GHz 范围内, 在这样高的频率上, 为了得到射频系统中模块电路之间的最大能量传递, 必须在它们之间插入阻抗匹配网络。当两部分电路的阻抗复共扼时, 能量传输达到最大。电感是阻抗变换电路的一部分, 例如 L 匹配和 π 匹配网络的一部分。T.H. Lee 的书为阻抗匹配的设计提出了详细的指导原则^[1.2]。在设计诸如低噪声放大器 (LNA)^[1.3-1.4]、混频器^[1.5-1.6]和放大器^[1.7-1.8]等电路模块时, 阻抗匹配使电路具有较小的噪声、最大的增益、最小的反射和优化的效率。

对于 GHz 以上的振荡器, 采用环振电路很难实现低的相位噪声, 高品质因数的电感在实现 LC 调谐回路的压控振荡器 (VCO) 中也是必不可少的; VCO 的相位噪声主要决定于 LC 调谐回路的品质因数^[1.9-1.10]。一般而言, 使用电感的电路都是窄带电路, 实际上, 片上电感可以用于拓展频带^[1.2, 1.11]。镜像滤波器是实现 工艺单片集成超外差接收器的瓶颈^[1.12], 高质量的电感对于实现镜像滤波器是非常有用的。而收发器的切换开关也随着片上电感的使用得到解决^[1.13]。

1.3 片上电感研究进展和存在的问题

片上电感分为有源电感、金属互连线电感、键合线电感以及半有源电感。其中金

属互连线电感是集成电感研究和使用的主要对象。

1.3.1 集成电感

有源电感：在低频段可以通过使用有源器件模拟电感特征，而避免使用真实电感，并可以实现比较大的电感值和Q值。有源电感和无源电感相比具有电感值可调，而且芯片面积小的优点。无论电路的结构如何，有源电感都有相同的缺点：1) 在高频上有源器件的增益下降，使得模拟电感实现起来比较困难；2) 有源电感需要占用电压，降低其他电路的电压使用范围，使得有源电感电路的动态范围有限，3) 有源电感给电路带来附加噪声。这些缺点严重地限制了它的应用范围，特别是不能应用在高灵敏度的模拟电路模块中。因此，这类电感主要应用于可调谐的滤波器^[1.14-1.15]。

键合线电感：在芯片的两个焊点间、焊点与封装间以及封装与封装间焊接的金属线称为键合线电感，见图1.1。焊线适用于任何一种工艺，可以认为是标准集成电路元件。但是焊线在制作过程会产生垂直和水平方向的长度偏差以及金属线直径偏差，从而导致电感量的变化，所以焊线电感的可重复性差。键合线电感的Q值可高达30—60，但是其电感值变化范围有限，一般在0.5 - 4nH，焊盘等引起的寄生电容比较大，电感值的波动大，可预测性和重复性差，从而限制了它的广泛应用。因为键合线电感的品质因数比较大，所以也有些人对其进行研究^[1.16-1.17]。

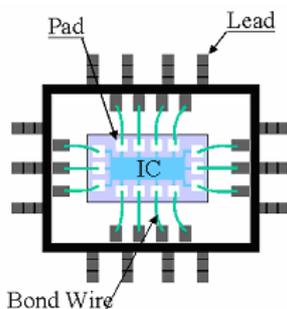


图 1.1 键合线示意图

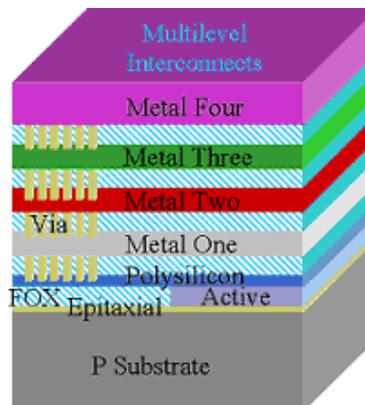


图 1.2 CMOS 工艺互连线示意图

金属互连线电感：由金属互连线（见图 1.2）构成的螺旋电感与 IC 工艺兼容，稳定性好，并且可以实现的电感值范围比较大，从几百 pH—几百 nH，为电路的设计提供了灵活性。它们不需要通过焊盘与外界连接，可降低成本，提高成品率，因此被广泛采用，是集成电感的主要形式，常被称为片上电感。

半有源电感：Tony Yeung^[1.18]提出了采用有源电路抵消无源电感电阻的方法，进而实现高品质因数电感。Soorapanth, T 等采用半有源的电感实现了片上滤波器^[1.12]，可以替代片外的声表面波滤波器，使得滤波器的频率不再拘泥于声表面波滤波器的材料特性，可以灵活设计。半有源电感是一个值得研究的方向。

1.3.2 金属互连线电感的研究现状

由于射频和微波通信市场的巨大潜力，国际上很多大学在十几年前就开始研究片上电感，产生了一系列富有成果的论文。Chik Patrick Yue^[1.1] 提出了采用衬底地屏蔽来降低半导体衬底电场损耗的思路；Sunderarajan S. Mohan^[1.18] 根据电感的几何参数提出简单的电感表达式；Ali M. Niknejad^[1.21] 在电磁场分析的基础上得到了著名的电感分析设计软件 ASITIC；Adam C. Watson^[1.22] 提出了宽带电感模型。

早在 1960 年就有人研究过在硅片上做平面电感，当时得出的结论是在硅集成电路中集成电感是不实际的。直到 1990 年，Nguyen 和 Meyer 首次发现电感能够在硅工艺集成电路制作。近年来，随着无线通信技术的迅猛发展，人们越来越希望在射频集成电路（RF IC）中集成电感，以满足低功耗、高集成度的要求，使得硅基集成电感成为微电子领域一个新研究热点。与 GaAs 半绝缘衬底不同，硅衬底是半导体，衬底的损耗比较大，很难获得高的品质因数。最近，很多研究人员对非标准工艺的方法提高电感的性能比较感兴趣，比如使用高电阻率（150–200 $\Omega \cdot \text{m}$ ）的硅衬底、将线圈下面的硅腐蚀掉等（本文的研究集中在：在不改变工艺前提下实现片上电感的优化设计方法）。

硅基螺旋电感是实现片上电感的主要方式，它利用集成电路中的金属互连线围绕成螺旋状而使其具有电感的特性。在标准 CMOS 工艺中，由于组成螺旋电感的金属连线电阻较高，高频硅基衬底的损耗较大，使得硅基螺旋电感的品质因数普遍不高。螺旋电感处于复杂的电磁场环境下，其模型建立和仿真也非常困难。十多年来，有许多人致力于硅基集成螺旋电感的研究，这些研究主要集中在两个方面：一是建立硅基螺旋电感的模型。目前，电感的模型从经典的窄带 π 模型^[1.22] 发展为可按比例缩小的宽带模型^[1.21, 1.23–1.24]。建模的主要目标是为了快速、精确、灵活地对硅基螺旋电感进行仿真；二是关于硅基集成螺旋电感的设计和优化，主要目标是使硅基螺旋电感的品质因数在一定的工作频率上最大化^[1.25–1.27]。电感的寄生电容影响了电感的使用范围和品质因数，因此电感的寄生电容也开始被分析研究^[1.28–1.31]。目前，科研人员还主要将电感当成集成电路的一个元件在研究。

具有射频工艺的芯片代工厂可以提供片上电感，模型也足够精确，可以放到 EDA 工具中仿真。通常，电感采用并联的金属互连线顶部两层金属设计而成，具有固定间距、线宽和内半径，通过不同圈数实现不同电感值。线圈的形状通常为圆形（非常大的多边形边数）和方形。芯片代工厂一般只提供单端电感，不提供差分电感，而且多数没有地屏蔽，没有接地环。相对单一的电感种类，使得电路设计人员不能根据电路的具体需调整电感，比如增大金属线宽，并联金属层数等，电路设计没有灵活性，不能根据电路的实际需要增加和减少电感的寄生参量，不能任意调整电感值。

1.3.3 金属互连线电感研究存在的问题

金属互连线电感存在的问题主要集中在其品质因数低和占据芯片面积大两个方面。

1) 品质因数低

最通用的电感品质因数定义是电感贮存的峰值磁能和峰值电能之差与其一个周期内的损耗之比。平面螺旋电感的不同线圈之间的耦合系数比较低、较大的串连电阻、相对大的寄生电容和衬底的损耗使得片上电感的品质因数不高。尤其是标准CMOS工艺的衬底是半导体，在衬底的电能和磁能损耗较大，使得标准CMOS工艺设计片上电感成为难题和热点。

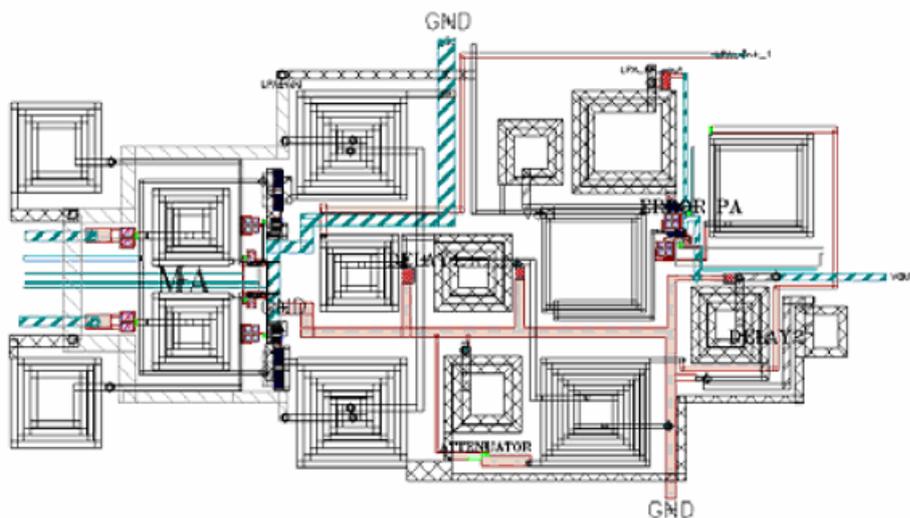


图1.3 一个线性功率放大器版图^[1.32]

2) 电感占据了太大的芯片面积

随着工艺技术的提高，芯片的特征尺寸在不断地缩小，单位面积的晶体管数量在迅速增加，成本不断地降低，而电路所需的电感值没有下降，这意味着电感的有效面积不会随着特征尺寸的降低而降低。电感占据的面积与晶体管占据的面积比在不断地加大。图1.3是一个线性功率放大器版图，整个功放的绝大多数面积是电感。降低电感的芯片面积，成为在保证电感性能之外的一个重要课题。

3) 串扰

由于片上电感可以采用保护环和地屏蔽等方法进行电场屏蔽，使得电感附近的电路不受电感电场的影响。使用标准CMOS工艺，没有方法屏蔽电感磁场而不降低其性能，不可避免的要拉大电感与其他的电路间距，降低电感磁场的耦合，这样就增大了电感的实际芯片占有面积。

片上电感的研究需要电磁场、高频电路、工艺、数学等背景知识。往往研究电感

的人具有物理背景，而缺少电路知识，将电感作为一个元器件研究。具有电路知识的人往往不具备物理背景，很难对电感优化设计。电感的设计要根据电路的需要来调整电感的电感值、寄生电阻和寄生电容，达到电路的性能最佳。

1.4 论文的组织结构

片上电感不是一个理想元件，除了固有的电感外，它还具有寄生的电阻、电容以及衬底损耗。论文的第二章至第四章就是在使用电磁理论分析电感固有和寄生参量的基础上，针对降低电感的芯片面积、提高电感的品质因数以及改善使用电感电路的性能展开的。

第二章讲述了片上电感的常规设计方法，从片上电感的物理特性出发，分析了片上电感品质因数低的种种原因：耦合系数低、有寄生电容、串联电阻欧姆损耗大、衬底的电场和磁场损耗等。本章的内容为电感的优化设计提供了理论依据。

第三章在第二章的理论指导下，从集成电路设计以及工艺的角度出发，分析了电感的耦合系数、寄生电容、串联电阻以及衬底损耗，结合已有的优化设计和新提出的方法为电感的优化指出了方向。从集成电路设计角度出发，在不改变工艺的前提下，新提出的片上电感优化方法主要有：

- 1) 采用电感半径和整体线圈宽度比值大的结构增大线圈间的耦合系数；
- 2) 采用“Z”字开槽的连接方式设计垂直串连电感，增大电感的耦合系数，降低电感的芯片面积；
- 3) 从改进的分布电容公式出发，提出降低电感临近线圈之间寄生电容以及电感与衬底之间寄生电容的方法；
- 4) 借鉴分立元件的LITZ金属线结构，提出利用集成电路互连线实现相同阻抗小横截面积的金属线并联（多电流路径）成同一个金属线圈，进而抑制电流拥挤效应；
- 5) 在衬底损耗物理模型的基础上，提出多pn结衬底隔离、低电感电压、小电感电流以及小面积电感等方法降低电感衬底损耗。

在深入了解电感的寄生参量的物理和电学性质，以及深刻理解影响电感应用电路的性能的基础上，提出合理利用片上电感的寄生参量优化电路设计，比如将金属地屏蔽结构引起的高品质因数寄生电容并入LC CVO中的并联电容等电路优化设计方法。论述了pn结衬底隔离明显降低电感与衬底之间电容的前提条件，进而提出电感自调谐振荡器，理论上证明了该结构比常规LC VCO性能好。不再将电感当成一个元件，而是一个LCR参数相互关联的子电路，作为一个整体放到应用电路中，根据电路的性能优化，提出可行的电感优化方向。

第四章在提出可缩放的地屏蔽开路通路去嵌入方法基础上，流片验证了第三章提

出的部分电感的优化结构和优化方法，例如降低芯片面积的叠层结构电感、高品质因数和自谐振频率的差分电感以及采用降低相邻线圈电压和拉开大电压差线圈间距的方法降低差分电感的临近金属间寄生电容、采用多层金属并联降低电感的直流电阻、并联小横截面积金属抑制电流拥挤效应、pn结衬底隔离降低衬底损耗等电感优化方法。分析了各种地屏蔽结构，提出了地屏蔽结构提高电感性能的前提条件。

第五章对全文进行了总结，指出了片上电感还需要深入研究的工作方向。

近几年关于片上电感的硕士、博士论文以及期刊、会议论文大量涌现。但是很少有人系统的从电感的物理本质以及寄生参量的特性出发研究电感。本论文系统的分析了片上电感的电磁现象以及寄生参量的特性，进而提出了种种优化方法，最后给出了试验验证。指出电感的优化设计不能独立的进行，需要将电感当成一个LCR相互关联的子电路，放到电感电路中进行优化设计。要以电路合适的性价比为条件优化设计电感，为今后的电感优化设计指明了方向。

参考文献

- [1.1] Chik Patrick Yue. On-chip spiral inductors for silicon-based radio-frequency integrated circuits [D]. A dissertation of the department of electrical engineering of STANFORD University for the doctor philosophy, 1998.
- [1.2] T.H. Lee. The Design of CMOS Radio-Frequency Integrated Circuits [M]. New York, New York: Cambridge University Press, 1998.
- [1.3] Gramegna, G.; Paparo, M.; Erratico, P.G.; De Vita, P. A sub-1-dB NF±2.3-kV ESD-protected 900-MHz CMOS LNA [J]. IEEE Journal of Solid-State Circuits, 2001, 36(7):1010 – 1017.
- [1.4] Egels, M.; Gaubert, J.; Pannier, P.; Bourdel, S.. Design method for fully integrated CMOS RF LNA [J]. Electronics Letters, 2004, 40 (24):1513 – 1514.
- [1.5] Vauhkonen, A.; Tarvainen, E.. Inductors allow low-voltage performance for IC mixers [C]. IEEE International Conference on Electronics, Circuits and Systems, 1998, 1(9):329 – 332.
- [1.6] Tae Wook Kim; Bonkee Kim; Lee, K. A new mixer linearization method and optimization of integrated inductor for single balance mixer LO buffer [C]. IEEE Radio Frequency Integrated Circuits (RF IC) Symposium, 2004. Digest of Papers. 2004, 6-8(6):43 – 46.
- [1.7] Burghartz, J.N.; Soyuer, M.; Jenkins, K.A.; Hulvey, M.D.. High-Q inductors in standard silicon interconnect technology and its application to an integrated RF power amplifier [C]. International Electron Devices Meeting, 1995, 10-13(9):1015 – 1018.
- [1.8] Gupta, R.; Ballweber, B.M.; Allstot, D.J. Design and optimization of CMOS RF power amplifiers [J]. IEEE Journal of Solid-State Circuits, 2001, 36(2):166 – 175.

- [1.9] Joonho Gil; Seong-Sik Song; Hyunjin Lee; Hyungcheol Shin. A -119.2 dBc/Hz at 1 MHz, 1.5 mW, fully integrated, 2.5-GHz, CMOS VCO using helical inductors [J]. IEEE Microwave and Wireless Components Letters, [see also IEEE Microwave and Guided Wave Letters] 2003, 13(11):457 – 459.
- [1.10] Yong Zhan; Harjani, R.; Sapatnekar, S.S.. On the selection of on-chip inductors for the optimal VCO design [C] Proceedings of the IEEE Custom Integrated Circuits Conference, 2004, 3-6(10) :277 – 280.
- [1.11] Mohan, S.S.; Hershenson, M.D.M.; Boyd, S.P.; Lee, T.H. . Bandwidth extension in CMOS with optimized on-chip inductors [J]. IEEE Journal of Solid-State Circuits, 2000, 35(3):346 – 355.
- [1.12] Soorapanth, T.; Wong, S.S. A 0-dB IL 2140±30 MHz bandpass filter utilizing Q-enhanced spiral inductors in standard CMOS [J]. IEEE Journal of Solid-State Circuits, 2002, 37(5):579 – 586.
- [1.13] Niranjan Talwalkar. Integrated CMOS Transmit-Receive Switch Using On-Chip Spiral Inductors [D]. A DISSERTATION FOR THE DEGREE OF DOCTOR OF PHILOSOPHY OF THE DEPARTMENT OF ELECTRICAL ENGINEERING OF STANFORD UNIVERSITY, 2004.
- [1.14] Lucyszyn, S.; Robertson, I.D. Monolithic narrow-band filter using ultrahigh-Q tunable active inductors [J]. IEEE Transactions on Microwave Theory and Techniques, 1994, 42(12):2617 – 2622.
- [1.15] Curtis Leifso, James W.Haslett, John G.McRory. Monolithic tunable active inductor with independent Q control [J]. IEEE Trans. Microwave theory and techniques, 2000, 48(6): 1024 – 1029.
- [1.16] Francesco Svelto and Rinaldo Castello. A bond-wire inductor-MOS varactor VCO tunable from 1.8 to 2.4 GHz [J]. IEEE Trans. Microwave theory and techniques, 2002, 50(1):403-407.
- [1.17] Dec, A.; Suyama, K. A 1.9-GHz CMOS VCO with micromachined electromechanically tunable capacitors [J]. IEEE Journal of Solid-State Circuits, 35(8): 1231 – 1237.
- [1.18] Tony Yeung. Analysis and Design of On-chip Spiral Inductors and Transformers for Silicon RF Integrated Circuits [D] A thesis for Master of Philosophy in Electrical and Electronic Engineering at The Hong Kong University of Science and Technology in December 1998.
- [1.19] Sunderarajan S. Mohan. The design, modeling and optimization of on-chip inductor and transformer circuits [D]. A dissertation of the department of electrical engineering of STANFORD University for the doctor philosophy, 1999.
- [1.20] Ali M. Niknejad. Analysis, Simulation, and Applications of Passive Devices on Conductive Substrates [D]. A dissertation for the degree of Doctor of Philosophy in Engineering–Electrical Engineering and Computer Science in the UNIVERSITY of CALIFORNIA at BERKELEY, 2000.
- [1.21] Adam C. Watson. Analysis and Modeling of Single-Ended and Differential Spiral Inductors in

- Silicon-Based RFICs [J]. A thesis for the degree of Master of Science of Oregon State University in June 2004.
- [1.22] Niknejad A M. Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF Ics [D]. Master Thesis, University of California, Berkeley, Spring 1997.
- [1.23] Yu Cao; Groves, R.A.; Xuejue Huang; Zamdmer, N.D.; Plouchart, J.-O.; Wachnik, R.A.; Tsu-Jae King; Chenming Hu. Frequency-independent equivalent-circuit model for on-chip spiral inductors [J]. *IEEE Journal of Solid-State Circuits*, 2003,38(3):419 – 426.
- [1.24] Scuderi, A.; Biondi, T.; Ragonese, E.; Palmisano, G. A lumped scalable model for silicon integrated spiral inductors [J] *IEEE Transactions on Circuits and Systems I: Regular Papers*, [see also *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*], 2004, 51(6):1203 – 1209.
- [1.25] Tiemeijer, L.F.; Leenaerts, D.; Pavlovic, N.; Havens, R.J. Record Q spiral inductors in standard CMOS [C] *International Electron Devices Meeting*, 2001. *IEDM Technical Digest.* , 2001, 32-5(9):40.7.1 - 40.7.
- [1.26] Jan Craninckx, and Michiel S. J. Steyaert. A 1.8-GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors [J]. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 1997, 32(5):736-744.
- [1.27] Lopez-Villegas, J.M.; Samitier, J.; Cane, C.; Losantos, P.; Bausells, J. . Improvement of the quality factor of RF integrated inductors by layout optimization [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2000, 48(1): 76 – 83.
- [1.28] Zolfaghari, A. Chan, and B. Razavi. Stacked Inductors and Transformers in CMOS Technology [J]. *IEEE J. Solid-State Circuits*, 2001, 36(4):620-628.
- [1.29] Chih-Chun Tang; Chia-Hsin Wu; Shen-Iuan Liu. Miniature 3-D inductors in standard CMOS process[J]. *IEEE J. Solid-State Circuits*, 2002, 37(4):471 – 480.
- [1.30] Chia-Hsin Wu, Chih-Chun Tang and Shen-Iuan Liu. Analysis of on-chip spiral inductors using the distributed capacitance model [J]. *IEEE J. Solid-State Circuits*, 2003, 38(6):1040-1044.
- [1.31] Hongyan Jian, Zhangwen Tang, Jie He, Hao Min. Analysis of Self-resonant Frequency for Differential-driven Symmetric and Single-ended Inductors. 2004, A3.13(10):194-197.
- [1.32] Sen, P.; Garg, V.; Garg, R.; Chakrabarti, N.B.. Design of power amplifiers at 2.4 GHz/900 MHz and implementation of on-chip linearization technique in 0.18 /0.25um CMOS [C]. *International Conference on VLSI Design*, 2004. *Proceedings*. 17th, 2004, 410 – 415.

第二章 片上电感的物理模型与特性分析

片上电感是射频收发机关键模块中不可缺少的重要元件。商业化发展的需求以及技术的推动使得使用低成本的 CMOS 工艺设计单芯片收发机成为可能。金属欧姆损耗以及半导体衬底的电磁场损耗，使得标准 CMOS 工艺的片上电感品质因数很低，一般不超过 10。这些原因促成了 CMOS 工艺片上电感的研究热潮。

一般而言，电路设计人员会直接使用芯片代加工厂提供的通用片上电感。这些电感一般只是采用互连线顶部两层金属的并联设计而成，电感的内径、线宽和间距相同，不同的圈数实现不同的电感值。但是，这些通用电感很难优化所有射频电路的设计。例如设计 1GHz 的接收机，并不一定需要片上电感的自谐振频率达到 10GHz，将几乎所有的金属层并联来降低电感的串联电阻，提高电感的品质因数，一般也能满足电路对电感自谐振频率的要求；另外代加工厂的电感一般不提供用来降低电感衬底电场损耗的地屏蔽层等等。

实际的片上电感不是理想元件，除了自身固有的电感之外，还具有寄生电阻和寄生电容，还有衬底损耗。多数电路设计人员，不十分清楚片上电感的物理属性，很少考虑自己优化片上电感，而简单的将电感当成一个元件使用。本章的任务就是详细分析片上电感的固有和寄生参量的物理属性，为片上电感的优化提供理论依据。

2.1 串联电感

电感是磁能贮存元件，在自感基础上，通过不同电感线段之间的互感，相互增强实现较大的电感值。电感设计的一个重要目标就是使用小的芯片面积实现合理电感值和品质因数。

2.1.1 自感

交变的电场可以产生磁场，用安培定律来表示两者的关系：

$$\nabla \times B = \mu J + \mu \varepsilon \frac{\partial E}{\partial t} \quad (2.1)$$

其中 μ, ε 分别为材料的磁导率和介电常数。等式右边的第一项代表常规电流产生的磁场。第二项代表两个导体之间由于位移电流（由于电容耦合在两个导体之间流过的交流电流）产生的磁场。由于集成电感线圈的电流远远大于线圈之间的位移电流，第二项是可以忽略的，这个假设称为准静磁近似。

积分形式的安培环路定理为：

$$\oint_C B \cdot dl = \mu \int_S \left(J + \mu \varepsilon \frac{\partial E}{\partial t} \right) \cdot ds \quad (2.2)$$

法拉第法则陈述了交变的磁场产生了一个诱发的电场：

$$\nabla \times E = -\frac{\partial B}{\partial t} \quad (2.3)$$

积分形式的法拉第法则为：

$$\oint_C E \cdot dl = -\frac{\partial \int_S B \cdot ds}{\partial t} = -\frac{\partial \Phi}{\partial t} \quad (2.4)$$

使用安培定律和法拉第法则就可以分析磁场和电场之间的相互作用。电感是金属互连线的基本物理属性，反映了导体几何轮廓和磁通量 Φ 的关系。

只要通过导线回路的磁通量发生变化，回路中便会有感应电动势产生。同样，当回路中有电流流过，该电流产生的磁通量又必定通过此回路。因此，当一个线圈通过交变电流时，它产生的变化磁通量，必将在自己回路中激起感应电动势。这种因为线圈中变化的电流所产生的磁通量变化，而在线圈自身回路中激起感应电动势的现象，称为自感现象，这个电动势称为自感电动势。

当线圈中通过的电流为 I ，根据毕—萨定律，该电流在空间任一点所产生的磁感应强度都和回路的电流成正比，因此，磁通量 Φ 也和电流 I 成正比，即有：

$$L = \frac{\Phi}{I} \quad (2.5)$$

式中， L 称为自感系数。它的数值与线圈的几何形状、大小、匝数及线圈的磁介质有关，单位是亨利。

2.1.2 互感

两个相邻线圈的磁场互相通过对方的包围面积，当电流发生变化时，由线圈 1 中的电流 I_1 所引起的变化磁场在通过线圈 2 时，会在线圈 2 中产生感应电动势；同样，线圈 2 中的电流 I_2 所引起的变化磁场在通过线圈 1 时，也会在线圈 1 中产生感应电动势。两个载流线圈相互激起感应电动势的这种现象称为互感现象，所产生的电动势称为互感电动势。

根据毕—萨定律，由电流 I_1 引起的磁场所产生的通过线圈 2 的磁通量 Φ_{21} 必然与电流 I_1 成正比，即：

$$M_{21} = \frac{\Phi_{21}}{I_1}$$

同理有

$$M_{12} = \frac{\Phi_{12}}{I_2}$$

式中， M_{21} 和 M_{12} 是两个比例系数，它与两个线圈的形状、大小、匝数、相对位置及周围的磁介质有关。当这些条件不变时， $M_{21}=M_{12}=M$ 是个常数，称为两个线圈的互感，单位是亨利。这样互感表示为：

$$M = \frac{\Phi_{12}}{I_2} = \frac{\Phi_{21}}{I_1} \quad (2.6)$$

当两个线圈耦合时，我们还用系数 k 表示它们之间的耦合程度，称为耦合系数。它的大小为：

$$k = \frac{M}{\sqrt{L_1 L_2}} \quad (2.7)$$

耦合系数 k 的大小表示两个线圈耦合的紧密程度，由于互感系数的大小与两个线圈的相互位置和方向有关。当两个线圈的轴线一致时，靠得越近，耦合得越紧密，耦合系数也随着增大。但是，耦合系数 k 总是个小于 1 的正数，这是因为无论两个线圈耦合得多么紧密，总有漏磁存在。

两个串联线圈 L_1 和 L_2 的电流方向一致的时候，其磁场方向是相同的，这时候互感是相互加强的，互感系数是正的，两个线圈的自感电感总量为：

$$L = L_1 + L_2 + 2M \quad (2.8)$$

两个串联线圈 L_1 和 L_2 的电流方向相反的时候，两个线圈的磁场方向是相反的，互感是相互减弱的，互感系数是负的，两个线圈的自感电感总量为：

$$L = L_1 + L_2 - 2M \quad (2.9)$$

电感的大小与自感和互感相关，为此设计电感的时候，就尽量增大电感的自感和正互感，减小负互感。

2.1.3 电感值的计算

知道电感的几何参数和结构，理论上是可以计算电感值的。直流电感可以通过 Grover 公式^[2.1]或者 Greenhouse^[2.2]的方法精确地计算得到。两者的计算相对复杂，所以很多科研人员研究电感的简单的表达式^[2.3-2.4]。趋肤效应、邻近效应和衬底变压器效应都影响电感线圈的电流分布，考虑了这些参数才能得到准确通用的简单电感计算公式^[2.5-2.6]。线圈的电感值除了自感以及线圈之间的互感之外，还有衬底涡流和电感线圈之间的变压器耦合电感 (L_{tran})，该值为负数，代表衬底的磁能损耗。这一点在 2.5 节将详细讲述。在 $-55^\circ\text{C} - 125^\circ\text{C}$ 之间的温度变化对电感的影响可以忽略^[2.7]。

2.1.4 电感值与面积成本

多年来，摩尔定律一直有效，晶体管的面积迅速降低，成本随之下降。电路的工作频率和结构基本决定了其所需的电感值，意味着电感值的需求基本不随摩尔定律下降。电感在芯片当中占据的面积与晶体管占据的面积之比越来越大，使得电感的芯片相对成本不断增加。降低电感的芯片面积成为电感品质因数之后，人们关注的另一个研究热点。降低电感芯片面积可以采用下面的三个方法：

1) 采用叠层串联电感

叠层串联电感是垂直结构，相同的电感圈数下，比平面螺旋电感占据的面积小；叠层串联电感线圈之间的耦合系数比平面螺旋电感高，相同电感值下，进一步降低电感的面积。

2) 增大电路的工作频率

以LC振荡器为例，在高频下需要的电感值就很小。现在采用标准CMOS的工艺实现的电路工作频率已经进入毫米波领域。

3) 采用尽量避免使用电感或者尽量使用小量值电感的电路结构。

2.2 片上电感的实现与物理特性

金属互连线的主要结构仍然是平面螺旋结构，然而由于该结构在实现大电感值的时候占据较大的面积，人们的目光逐渐转向耦合系数较大的叠层串联电感 [2.8-2.10]。

2.2.1 金属互连线的电感结构

片外电感采用螺线管和螺绕环结构，见图2.1。两种结构的线圈之间可以插入高导磁物质，线圈之间的耦合系数非常大。线圈的半径远远大于线圈金属的半径，正互感远远大于负互感，串联电阻很小，使得片外电感的品质因数比较高。

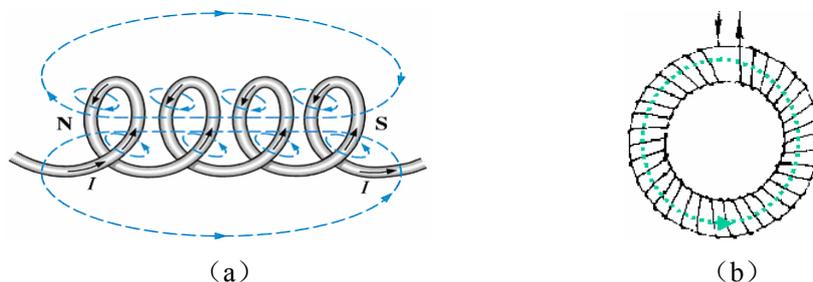


图2.1 片外电感常见的两种结构；(a) 螺线管；(b) 螺绕环

能否利用金属互连线设计分立元件相同形式的电感呢？设计是没有问题的，两种结构形式见图2.2。螺线管结构会大大降低衬底的涡流影响，理论上螺绕环结构的电磁场被限制在螺线管的内部，磁力线不会泄漏，而金属之间是绝缘层，

所以衬底涡流几乎可以忽略。线圈之间的互感很大，这也造成了负面影响：1) 由于顶层金属和底层金属的间距小，使得两者的负互感大，进而静互感小；2) 上下两层之间的金属距离很近，造成金属之间的寄生电容大；为了增大电感必然采用底层金属，使得电感与衬底之间的电容增大，衬底的电场损耗增大；3) 上下两层金属之间的近距离造成邻近效应大，进而金属的串联电阻大；4) 使用较多通孔，造成电感的串联电阻大。当金属的互连线的层数增多，以及采用嵌入式通孔（通孔的金属和金属互连线相同，多数是铜材料），螺绕环结构会具有一定优势。图2.3是CMOS工艺互连线层数的发展趋势。

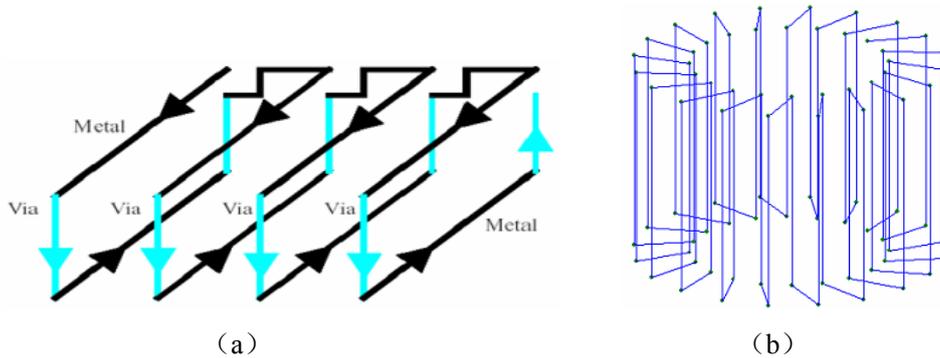


图2.2 模仿分立元件的互连线螺线管 (a) 和螺绕环 (b)

螺线管结构的耦合系数比较大，垂直螺线管结构的线圈半径可以远大于金属的宽度，这样正互感远大于负互感。随着金属互连线的层数的增多，近几年有些人研究垂直螺线管结构，如图 2.4 所示。

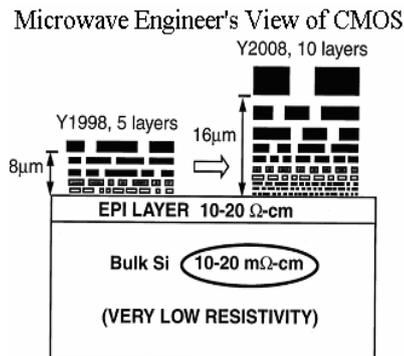


图 2.3 CMOS 工艺的互连线层数

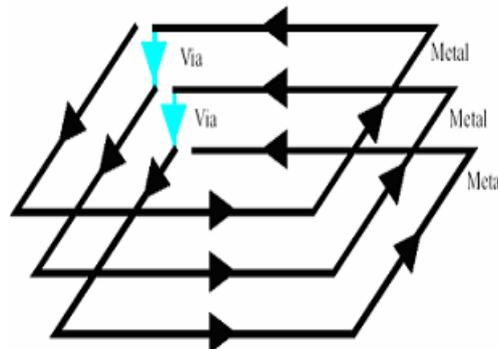


图 2.4 垂直螺线管

图 2.5 是平面螺旋电感，是目前使用最广泛的电感结构。金属线圈的半径逐渐缩小，在内圈通过底层金属连接出来。该结构使用的通孔比较少，而且可以将顶部几层金属并联，降低线圈的串联电阻。线圈的形状一般是四边形、八边形和圆形。由于四边形的结构和芯片布局布线的方块结构相兼容，而被芯片制造厂商

广泛采用。电感一般有两个端口，一个端口接地的电感称为单端电感，见图 2.5(a-d).

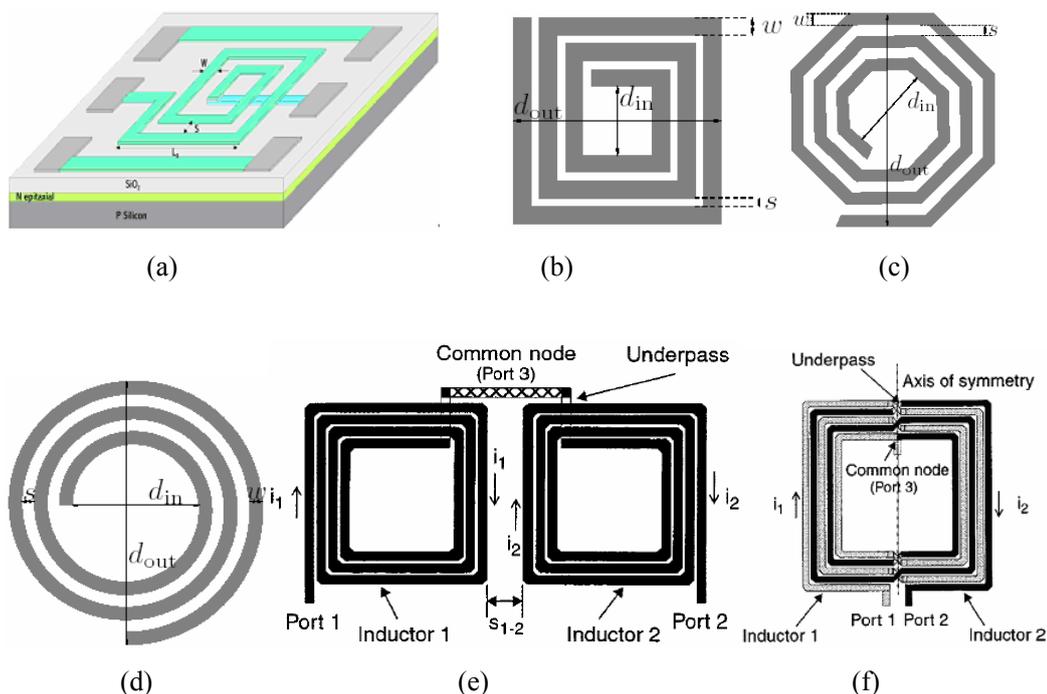


图 2.5 平面螺旋电感

差分电路具有高的电源电压抑制比，可以消除偶次项噪声等优点，在电路的设计当中被广泛采用。在差分电路中如果采用两个单端电感，见图 2.5(e)，相邻线圈的电流方向相反，造成两个电感的磁场方向相反。需要将两个单端电感的距离拉大，降低相互的不良耦合，无形中增大了电感的芯片面积。一种更好的电感设计方法见图 2.5(f)，是采用两个单端电感嵌套结构实现的差分电感。由于电感的两个信号端口的信号幅度相等、相位相反（差分），使得电流在合并的单端电感中的电流方向是一致的，相互增加了互感，降低了电感的芯片面积。

电感独立的几何结构参数包括：金属的线宽 w 、临近金属的间距 s 、线圈的圈数 n 、内直径 d_{in} 或者外直径 d_{out} ，还有该线圈所在的金属层位置。

2.2.2 寄生与损耗分析

图 2.6 是片上电感的寄生和损耗模型示意图。任何金属在通常条件下都是具有阻抗的。集成电路互连线是金属薄膜，用的最多的材料是铝，其次是铜和金，厚度一般从 $0.4 \mu\text{m}$ 到 $4 \mu\text{m}$ 不等。金属的直流电阻比常规的分立电感大，而且高频电磁现象—电流拥挤效应以及电感与衬底之间的变压器效应增大了电感的交流电阻，加剧了电感的欧姆损耗。

金属通电就会有电场，而电感的线圈平行于衬底，意味着电感的电场穿过衬

底。电感与衬底之间有一层绝缘层，一般芯片的衬底接地，这样电感与衬底之间就会形成电容，称为电感衬底耦合电容或者电感与衬底之间的电容，简称为 C_{m_s} 。这样电感的不同部位对应的衬底就会有不同的压差，也就产生不同的电容耦合衬底电流（图2.6中的 i_1 、 i_2 和 i_3 ），以欧姆损耗的方式将电能转换为热能消耗掉。电感线圈之间是绝缘体，线圈的电压不同，意味着相邻的线圈之间会形成电容，简称 C_{m_m} 。 C_{m_m} 会贮存电能，还会将电感一端的信号直接传递到另一端。

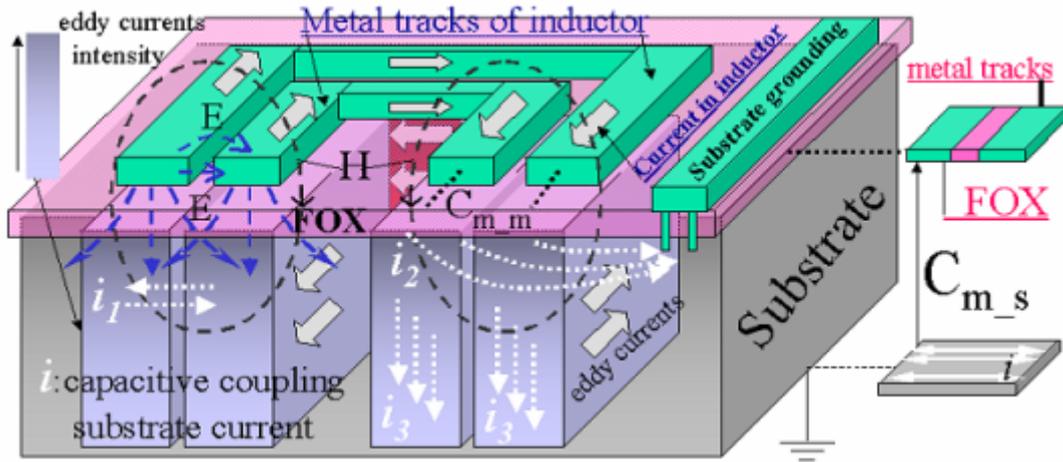


图2.6 片上电感的寄生和损耗模型示意图

电感线圈平行于衬底使得电感的磁场几乎垂直的穿过衬底。交变的磁场会在衬底感应出与电感方向相反的涡流。涡流产生的磁场与产生涡流的磁场方向相反，降低了电感的磁通量，进而降低了电感的磁能贮存。同时涡流的流动会将磁能转换成电能以焦耳热的形式挥发掉。

在片上电感的几何长度和工作波长相当的情况下，片上电感会象天线一样将自身的电磁场发射出去，这时频率非常高，达到毫米波。常规电路的工作波长远远小于电感的长度，所以电感的辐射可以忽略不计。

2.2.3 品质因数和自谐振频率

电感是一个元件，定义其性能好坏的基本参数是品质因数（Q）和自谐振频率（ f_{SR} ）。电感品质因数的基本定义是电感在一个周期内存储能量与损耗能量的比值：

$$Q_L(\omega) = 2\pi \frac{\text{Energy stored}}{\text{Energy lost in one cycle}} \quad (2.1)$$

广泛使用的单端电感 Q 定义为：

$$Q_L(\omega) = -\frac{\text{Im}(y_{11})}{\text{Re}(y_{11})} = 2\omega \cdot \frac{(E_m^{av} - E_e^{av})}{P_l^{av}} \quad (2.2)$$

其中, E_m^{av} , E_e^{av} , P_l^{av} 分别表示一个周期内电感的平均存储的磁能、电能和损耗。 y_{11} 是片上电感的1端口Y参数。

差分电感品质因数可以表示为^[2.11]:

$$Q_L(\omega) = -\frac{\text{Im}(y_{12})}{\text{Re}(y_{12})} \quad (2.3)$$

其中, y_{12} 是片上电感的1端口和2端口之间的Y参数。

无论是单端口还是双端口, 电感固有的和寄生的参量都折算到电感的输入阻抗 (Z_{in}) 当中, 只要求出 Z_{in} , 其品质因数表示为电感输入阻抗的虚部和实部之比^[2.12]:

$$Q_L(\omega) = -\frac{\text{Im}(Z_{in})}{\text{Re}(Z_{in})} \quad (2.4)$$

本文采用 (2.4) 式的电感品质因数计算方法。

采用理想电容和电感并联, 不同电容值下的频带宽度和中心波长的比值就是电感的品质因数^[2.13]。该方法一般用在电感和电容并联使用的时候, 比如LC VCO。

这些品质因数的定义都是将电感作为一个元件, 品质因数是评价元件性能的量度。

电感的自谐振频率定义为电感的品质因数为零时的频率。这时候电感的磁能等于电能, 频率高于 f_{SR} 后, 电感就变成电容了。所以电路设计工程师十分关心电感的 f_{SR} , 它代表电感的使用范围。

2.3 电感寄生电容模型

电感是磁能存贮元件, 寄生电容是电能存贮元件, 根据品质因数的定义, 寄生的电容在三方面影响电感的性能: 1) 电路电能转化成磁能和存贮在电容中的电能以及寄生电阻损耗的热能。相同的电路电能情况下, 寄生电容增大, 意味着磁能降低, 电感的品质因数降低; 2) 电感与衬底之间的电容还引发衬底的电能损耗; 3) 大的寄生电容降低电感的自谐振频率, 影响电感的使用范围。分析电感的寄生电容, 得到其与电感的结构和几何参数的关系, 进而能够根据具体的电路需求增大或降低电感的寄生电容, 优化电路的性能。

2.3.1 分布电容模型

C_{m_s} 电容的上极板是电感金属, 线圈之间是绝缘层, 而下极板是一个整体, 有压差必然导致电流, 进而造成衬底损耗, 所以 C_{m_s} 是低品质因数的电容。越小的 C_{m_s} 引起的衬底电能损耗就越小。

互连线金属越来越厚，可是为了增大电感线圈之间的耦合，同平面的线圈之间的距离多采用工艺允许的最小间距，见图 2.7。 C_{m_m} 正比于线圈之间的间距，随着工艺的提高，设计规则允许的金属线圈之间的最小间距越来越小，尤其是对于深亚微米以及纳米工艺而言，同平面电感线圈之间的寄生电容不容忽略。叠层的电感相邻层之间的电容比较大，更要考虑 C_{m_m} 。从电感的品质因数定义来看，大的 C_{m_m} 增大了电感贮存的电能，降低了品质因数。

由于电感线圈之间是绝缘层，而线圈的电阻相对较低， C_{m_m} 和 C_{m_s} 相比是高品质因数电容。

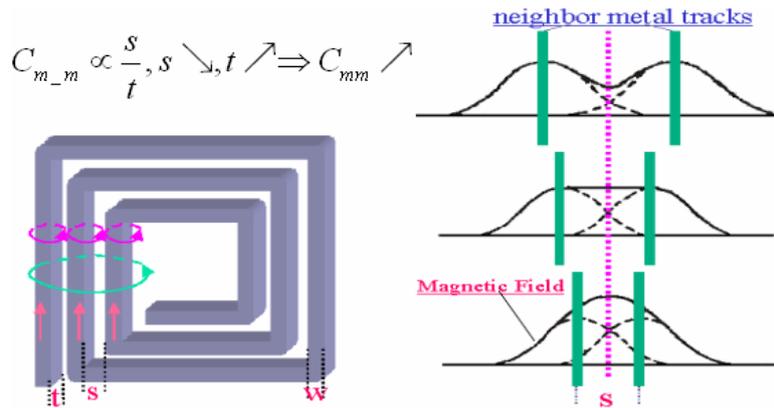


图 2.7 电感线圈之间的距离与电感磁场耦合

2.3.1.1 假设和定义

分布电容模型 (DCM) 可以定量地精确描述电感的寄生电容 C_{m_m} 和 C_{m_s} 。基本的假设来自于电感的电压分布^[2.14]。假设电感同一线圈具有相同的电压^[2.15-2.16]，在电感圈数较少时，必然引入误差。为了具有普遍性和准确性，这里提出如下假设^[2.17-2.19]：

- 1) 电感线圈金属具有相同的电阻率和电流；第 m 半圈内的电感宽度 $w(m)$ 相同；同一互连线层的金属厚度 $t(m)$ 相同；
- 2) 同圈金属与相邻线圈之间及其与衬底之间的单位平板寄生电容相同；
- 3) 电感线圈的电压分布与金属的长度成正比^[2.14]。这里忽略了电感电流拥挤效应的影响。

不再假设同一圈电感的电压不变^[2.16]，就可以将分布电容模型推广到任意形状电感，而不再只是单端的螺旋电感。

为了计算方便做了如下的定义：

半圈金属的长度分别定义为： $l(1), l(2), \dots, l(m), l(2n)$ 。其中， n 是电感总的圈数； m 代表电流方向。这样电感的总长度为 $l_{tot} (= l(1) + l(2), \dots + l(2n))$ 。

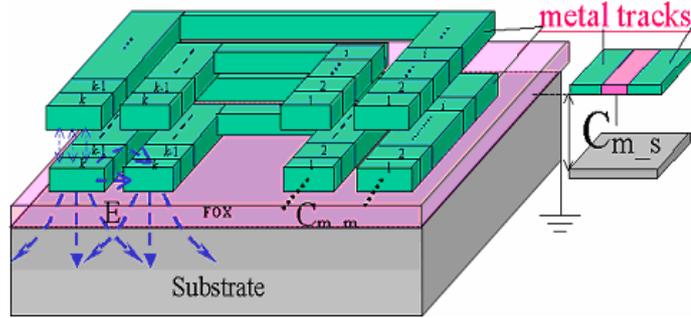
电感高电压端口的交流电压为 V_{beg} ，低电压端口的交流电压为 V_{end} ，这样电感两个端口的电压差 $V_S = V_{beg} - V_{end}$ 。

根据上述的假设和定义电感第 m 半圈的末端电压 $[V_{end}(m)]$ 为:

$$V_{end}(m) = V_{beg} - \frac{\sum_{j=1}^m l_j}{l_{tot}} (V_{beg} - V_{end}) \quad (2.5)$$

由于电感半圈之间是顺序连接的, 这样电感第 m 半圈的末端电压 $V_{end}(m)$ 等于电感第 $m-1$ 半圈的开始电压 $V_{beg}(m)$:

$$V_{beg}(m) = V_{end}(m-1), \quad V_{beg}(0) = V_{beg} \quad (2.6)$$



2.8 片上电感的寄生电容示意图

如图 2.8 所示, 将电感的第 m 半圈分成数值大的 k 个单元。根据假设 2), 其中的第 i 个单元的电压 V_i 为:

$$V_i(m) = V_{beg}(m) - \frac{i}{k} \cdot (\Delta V(m)) \quad (2.7)$$

其中,

$$\Delta V(m) = V_{beg}(m) - V_{end}(m) = V_{end}(m-1) - V_{end}(m) = \frac{l(m)}{l_{tot}} (V_{beg} - V_{end}) \quad (2.8)$$

这样根据 (2.5-2.8), 就能得到电感任意部分的电压。

将电感线圈的半圈分成 k 个单元, 根据 (2.5-2.8) 两个相邻半圈 x 和 y 相对应的第 i 个单元的电压 $\Delta V_i(x,y)$ 为:

$$\begin{aligned} \Delta V_i(x,y) &= \Delta V_i(x) - \Delta V_i(y) \\ &= \left(V_{beg}(x) - \frac{i}{k} \cdot (\Delta V(x)) \right) - \left(V_{beg}(y) - \frac{i}{k} \cdot (\Delta V(y)) \right) \\ &= \left(V_{end}(x-1) - \frac{i}{k} \cdot \left(\frac{l_x}{l_{tot}} (V_{beg} - V_{end}) \right) \right) - \left(V_{end}(y-1) - \frac{i}{k} \cdot \left(\frac{l_y}{l_{tot}} (V_{beg} - V_{end}) \right) \right) \\ &= \left(\frac{\sum_{j=x}^{y-1} l_j}{l_{tot}} + \frac{i}{k} \cdot \left(\frac{l_y - l_x}{l_{tot}} \right) \right) (V_{beg} - V_{end}) \end{aligned} \quad (2.9)$$

令 x 半圈电感与衬底相邻, 这样该半圈电感第 i 个单元的电压 $\Delta V_i(x, x_{substrate})$, 如果认为衬底是良好接地的, 这样有 $\Delta V_i(x, 0)$, 可以根据 (2.7) 得到该电压; 如果衬底不是良好接地的, 衬底接地部分与该半圈电感第 i 个单元对应的衬底部位的阻抗为 $\mathbf{Z}_{sub,j}$, $\mathbf{V}_{sub,j}$ 不再是零电位, 衬底寄生电容也相应的发生变化。

有了相应的假设和定义, 以及(2.5-2.9), 就可以进行下面的计算。

2.3.1.2 电感贮存电能和寄生电容

贮存在电感寄生电容中的电能分为两部分, 一部分贮存在电感相邻线圈之间的寄生电容中, 一部分贮存在电感与衬底之间的寄生电容中。无论电容是串联还是并联关系, 寄生电容贮存的能量是直接相加的关系。电感贮存的电能等于等效电容和相关压差平方的一半。而电压差和电感的长度相关, 进而计算出等效电容的大小。

为了使推导更具有普遍性, 这里没有将整个单层金属平均分成无穷多的相同单元^[1.10], 而是将电感底层线圈的第 m 半圈或第 m 整圈分成 k 个单元, 其中的第 i 个单元的电压为 $V_i(m)$, 而衬底为零电位, 这样贮存在 i 个金属单元和衬底之间电容中的电能为:

$$\Delta E_{c,ms}(i) = \frac{1}{2} \cdot C_i(m) \cdot (V_i(m) - 0)^2 = \frac{1}{2} \cdot \left(C_{ms}(m) \frac{w_m l_m}{k} \right) \cdot (V_i(m))^2$$

其中, $C_{ms}(m)$ 表示第 m 半圈和衬底之间的单位电容, 包含单位面积的平板电容和边缘电容; 贮存在第 m 半圈或第 m 整圈电感金属和零电位衬底之间的等效电容的电能表示为:

$$\begin{aligned} E_{c,m_s,m} &= \sum_{i=1}^k \Delta E_{c,m_s,i} = \sum_{i=1}^k \frac{1}{2} C_{ms}(m) (V_i - 0)^2 \\ &= \sum_{i=1}^k \left(\frac{1}{2} \left[C_{ms}(m) \frac{w_m l_m}{k} \right] \left[V_{beg}(m) - \frac{i}{k} \Delta V(m) \right]^2 \right) \\ &= \frac{1}{2} C_{m_s}^{plate}(m) \frac{1}{k} \sum_{i=1}^k \left(V_{beg}^2(m) - \left(2V_{beg}(m) \Delta V(m) \frac{1}{k} \right) i + \left(\frac{1}{k} \Delta V(m) \right)^2 i^2 \right) \\ &= \frac{1}{2} C_{m_s}^{plate}(m) \left[V_{beg}^2(m) - \left(V_{beg}(m) \Delta V(m) \frac{k+1}{k} \right) + \frac{(k+1)(2k+1)}{6k^2} (\Delta V(m))^2 \right] \\ &\stackrel{k \rightarrow \infty}{\square} \frac{1}{2} C_{m_s}^{plate}(m) \left[V_{beg}^2(m) - V_{beg}(m) \Delta V(m) + \frac{1}{3} (\Delta V(m))^2 \right] \\ &= \frac{1}{2} C_{m_s}^{plate}(m) \left[V_{end}^2(m-1) - V_{end}(m-1) \frac{l_m}{l_{tot}} (V_{beg} - V_{end}) + \frac{1}{3} \left(\frac{l_m}{l_{tot}} (V_{beg} - V_{end}) \right)^2 \right] \\ &= \frac{1}{2} B(m) C_{m_s}^{plate}(m) \end{aligned} \tag{2.10}$$

其中, $C_{m_s}^{plate}(m) (= C_{ms}(m)w_m l_m)$ 为第 m 半圈电感与衬底之间的平板电容,

$$B(m) = \left(V_{beg} - \frac{\sum_{j=1}^{m-1} l_j}{l_{tot}} (V_{beg} - V_{end}) \right) \cdot \left(V_{beg} - \frac{\sum_{j=1}^m l_j}{l_{tot}} (V_{beg} - V_{end}) \right) + \frac{1}{3} \left(\frac{l_m}{l_{tot}} (V_{beg} - V_{end}) \right)^2。$$

求出电感的第 m 半圈金属与衬底之间的等效电容的电能, 通过将 $E_{c,m_s}(m)$ 累加就可以得到平面的或者叠层的电感与衬底之间电容贮存的能量 E_{c,m_s} :

$$E_{c,m_s} = \sum_{m=1}^M E_{c,m_s}(m) \quad (2.11)$$

其中, M 表示与衬底直接相邻的半圈电感的数量。

将电感线圈的半圈分成无穷多的 k 个单元, 两个相邻半圈 x 和 y 相对应的第 i 个单元的电压为 $\Delta V_i(x,y)$, 根据 (2.9), 可以得到贮存在 i 个金属单元之间寄生电容中的电能:

$$\Delta E_{c,mm_i}(x,y) = \frac{1}{2} \cdot C_{mm}(x,y) \cdot (\Delta V_i(x,y))^2 = \frac{1}{2} \cdot C_{mm}^{plate}(x,y) \cdot \frac{1}{k} \cdot \left(\frac{\sum_{j=x}^{y-1} l_j}{l_{tot}} + \frac{i}{k} \cdot \left(\frac{l(y)-l(x)}{l_{tot}} \right) \right)^2 \cdot (V_{beg} - V_{end})^2$$

其中,

$$C_{mm}^{plate}(x,y) = C_{mm}(x,y) \cdot d_m \cdot \left(\frac{l_x + l_y}{2} \right)$$

两个相邻半圈 x 和 y 在相同的平面的时候, d_m 表示该平面的金属厚度 t_m ; 两个相邻半圈 x 和 y 在不同的平面叠层时, d_m 表示两个相邻半圈 x 和 y 的宽度 ($w_x = w_y$); $C_{mm}(x,y)$ 表示两个相邻半圈 x 和 y 之间的单位面积寄生电容。

两个相邻半圈 x 和 y 之间寄生电容储存的电能为:

$$\begin{aligned} E_{c,m_m}(x,y) &= \sum_{i=1}^k \Delta E_{c,mm_i} \\ &= \sum_{i=1}^k \left(\frac{1}{2} \cdot C_{mm}^{plate}(x,y) \cdot \frac{1}{k} \cdot \left(\frac{\sum_{j=x}^{y-1} l_j}{l_{tot}} + \frac{i}{k} \cdot \left(\frac{l_y - l_x}{l_{tot}} \right) \right)^2 \cdot (V_{beg} - V_{end})^2 \right) \\ &\stackrel{k \rightarrow \infty}{\square} \frac{1}{2} \cdot C_{mm}^{plate}(x,y) \cdot \left(\left(\frac{\sum_{j=x}^{y-1} l_j}{l_{tot}} \right)^2 + \frac{(l_y - l_x) \sum_{j=x}^{y-1} l_j}{l_{tot}^2} + \frac{1}{3} \cdot \left(\frac{l_y - l_x}{l_{tot}} \right)^2 \right) \cdot (V_{beg} - V_{end})^2 \end{aligned}$$

对上式求和就能得到所有的相邻线圈之间的寄生电容存贮电能之和 E_{c,m_m} :

$$\begin{aligned}
 E_{c,m_m} &= \frac{1}{2} \cdot C_{m_m} \cdot (V_{beg} - V_{end})^2 = \sum_{x=1, y=1}^{2n} \Delta E_{c,mm}(x, y) \\
 &= \sum_{x=1, y=1}^{2n} \left(\frac{1}{2} \cdot C_{mm}^{plate}(x, y) \cdot \left(\left(\frac{\sum_{j=x}^{y-1} l_j}{l_{tot}} \right)^2 + \frac{(l_y - l_x) \sum_{j=x}^{y-1} l_j}{l_{tot}^2} + \frac{1}{3} \cdot \left(\frac{l_y - l_x}{l_{tot}} \right)^2 \right) \cdot (V_{beg} - V_{end})^2 \right) \quad (2.12) \\
 &= \frac{1}{2} \cdot \left(\sum_{x=1, y=1}^{2n} \left(C_{mm}^{plate}(x, y) \cdot \left(\left(\frac{\sum_{j=x}^{y-1} l_j}{l_{tot}} \right)^2 + \frac{(l_y - l_x) \sum_{j=x}^{y-1} l_j}{l_{tot}^2} + \frac{1}{3} \cdot \left(\frac{l_y - l_x}{l_{tot}} \right)^2 \right) \right) \right) \cdot (V_{beg} - V_{end})^2
 \end{aligned}$$

其中, $C_{m_s}^{plate}(m) (= C_{ms}(m) w_m l_m)$ 为第 m 半圈电感与衬底之间的平板电容,

这样有,

$$C_{m_m} = \sum_{x=1, y=1}^{2n} \left(C_{mm}^{plate}(x, y) \cdot \left(\left(\frac{\sum_{j=x}^{y-1} l_j}{l_{tot}} \right)^2 + \frac{(l_y - l_x) \sum_{j=x}^{y-1} l_j}{l_{tot}^2} + \frac{1}{3} \cdot \left(\frac{l_y - l_x}{l_{tot}} \right)^2 \right) \right) \quad (2.13)$$

其中, $\sum_{x=1, y=1}^{2n}$ 的意思是将电感中所有的相邻半圈的等效寄生电容不重复地相加;

这样将具体电感结构的相关参数带入就可以得到平面的或者叠层的电感的相邻线圈之间寄生电容。

电感寄生电容与电感相邻导体之间的串并联结构和电压差相关, 求解电感的寄生电容就是求解相邻导体间的平板电容系数 k_c 。而为串并联影响因子 k_{sp} 和电压影响因子 k_v 的乘积。下面那就以平面螺旋电感和垂直螺线管电感为例求解上述参数。

2.3.2 平面螺旋电感的寄生电容定量计算

平面螺旋电感寄生电容存贮的电能分为两部分: 贮存在 C_{m_s} 中的电能 ($E_{C_{m_s}}^{spiral}$); 贮存在 C_{m_m} 的电能 ($E_{C_{m_m}}^{spiral}$), 电感的两个端口的压差为 V_s 。这样总的电感贮存电能表示为:

$$\begin{aligned}
 E_{C,total} &= \frac{1}{2} C_{eq} V_s^2 \\
 &= E_{C,m_s}^{spiral} + E_{C,m_m}^{spiral} \\
 &= \frac{1}{2} C_{m_m}^{spiral} V_s^2 + \frac{1}{2} C_{m_s}^{spiral} V_s^2 \\
 &= \frac{1}{2} \cdot (C_{m_m}^{spiral} + C_{m_s}^{spiral}) \cdot V_s^2
 \end{aligned} \tag{2.14}$$

因此，电感的等效电容 (C_{eq}^{spiral}) 表示为，

$$C_{eq}^{spiral} = C_{m_m}^{spiral} + C_{m_s}^{spiral} \tag{2.15}$$

图 2.9 是具有相同金属线宽、间距以及内外直径的单端和差分平面电感。为了差分电路的使用，设计了两个信号输入端口完全对称的电感，见图 2.9(a)。由于差分电感的输入信号方式与单端的不同，寄生电容的计算要格外注意。(差分电感定义为，在几何上两个电感宽口看进去完全对称，而且两个端口的驱动信号是差分信号)

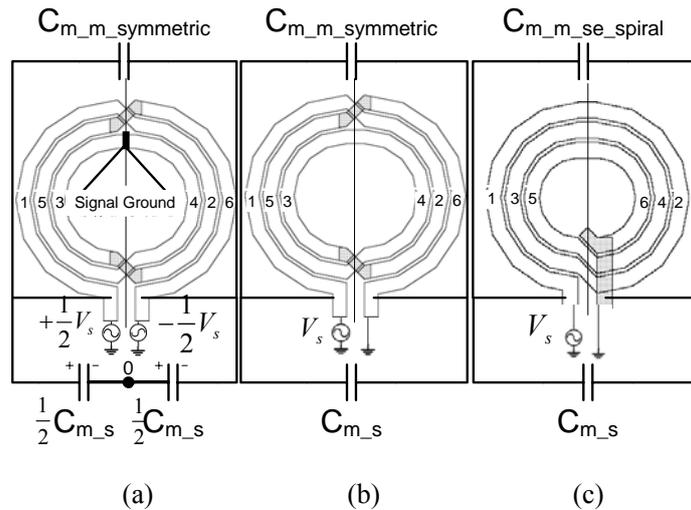
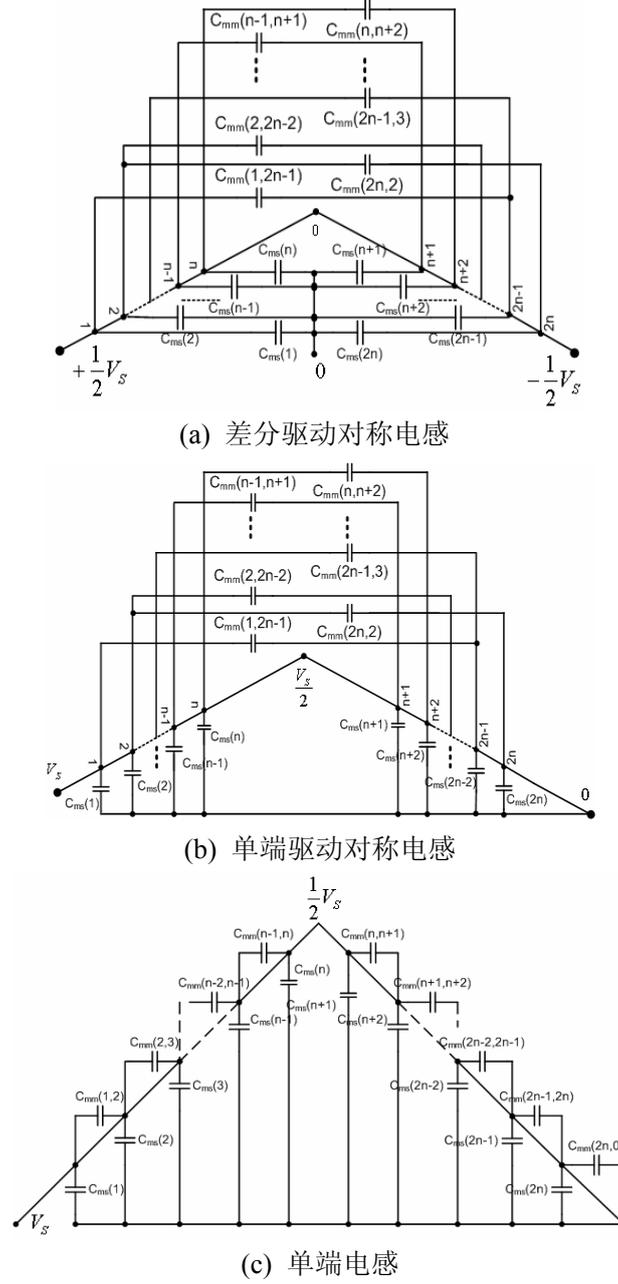


图 2.9 具有相同金属线宽、间距以及内外直径的平面电感：(a)差分驱动对称电感(DSPI); (b)单端驱动对称电感(SSPI); (c)单端电感(SEPI). (注释：123456 是电感中的电流方向，也可以说是交流电压由高到底的方向，也是人为定义的半圈电感的序列号；标注的电容为电感的寄生电容)

从图 2.9 (a)可见，对称的差分电感不再是顺序的螺旋结构，而是两个端口看进去的两个常规螺旋电感拼接而成，电感的几何形状完全对称，几何的对称确保了电学的对称，在差分驱动的时候，电感的对称中心信号电压为零。该中心接地（直流电压）与否这一点都可以理解为信号地。为了便于理解，图 2.10 画了 n 圈电感的电压剖面 and 分布电容。


 图 2.10 n 圈电感的电压剖面和分布电容

对于单端电感， $V_{\text{end}} = 0$ ， $V_S = V_{\text{beg}}$ ，带入 (3.6–3.7)，有

$$\begin{aligned}
 E_{c,m_s,se}^{\text{spiral}} &= \frac{1}{2} C_{m_s} (V_{\text{beg}} - V_{\text{end}})^2 = \sum_{m=1}^{2n} E_{c,m_s,se}^{\text{spiral}}(m) \\
 &= \frac{1}{2} \cdot \left(\sum_{m=1}^{2n} \left(\left(1 - \frac{\sum_{j=1}^{m-1} l_j}{l_{\text{tot}}} \right) \left(1 - \frac{\sum_{j=1}^m l_j}{l_{\text{tot}}} \right) + \frac{1}{3} \left(\frac{l_m}{l_{\text{tot}}} \right)^2 \right) \cdot C_{m_s}^{\text{plate}}(m) \right) \cdot V_S^2 \\
 &= \frac{1}{2} \cdot \left(\frac{1}{3} \cdot \sum_{m=1}^{2n} C_{m_s}^{\text{plate}}(m) \right) \cdot V_S^2
 \end{aligned}$$

所以，

$$C_{m_s,se}^{spiral} = \frac{1}{3} \cdot \sum_{m=1}^{2n} C_{m_s}^{plate}(m) = k_{c,se}^{spiral} \cdot C_{m_s}^{plate} \quad (2.16)$$

其中， $k_{c,se}^{spiral} \left(= \frac{1}{3} \right)$ 是平面螺旋电感的电容系数， $C_{m_s}^{plate} \left(= \sum_{m=1}^{2n} C_{m_s}^{plate}(m) \right)$ 是平面螺旋电感的平板电容之和。 $C_{m_s,se}^{spiral}$ 是差分电感与衬底之间的平板电容的三分之一。

对于差分的平面螺旋电感， $V_{beg} = V_S/2$ ， $V_{end} = -V_S/2$ ，带入 (2.10-2.11) 有：

$$\begin{aligned} E_{c,m_s,diff}^{spiral} &= \frac{1}{2} C_{m_s} (V_{beg} - V_{end})^2 = \sum_{m=1}^{2n} E_{c,m_s,diff}^{spiral}(m) \\ &= \frac{1}{2} \cdot \left(\left(\left(\frac{1}{2} - \frac{\sum_{j=1}^{m-1} l_j}{l_{tot}} \right)^2 - \left(\frac{1}{2} - \frac{\sum_{j=1}^{m-1} l_j}{l_{tot}} \right) \frac{l_m}{l_{tot}} + \frac{1}{3} \left(\frac{l_m}{l_{tot}} \right)^2 \right) \cdot \sum_{m=1}^{2n} C_{m_s}^{plate}(m) \right) \cdot V_S^2 \\ &= \frac{1}{2} \cdot \left(\frac{1}{12} \cdot \sum_{m=1}^{2n} C_{m_s}^{plate}(m) \right) \cdot V_S^2 \end{aligned}$$

所以，

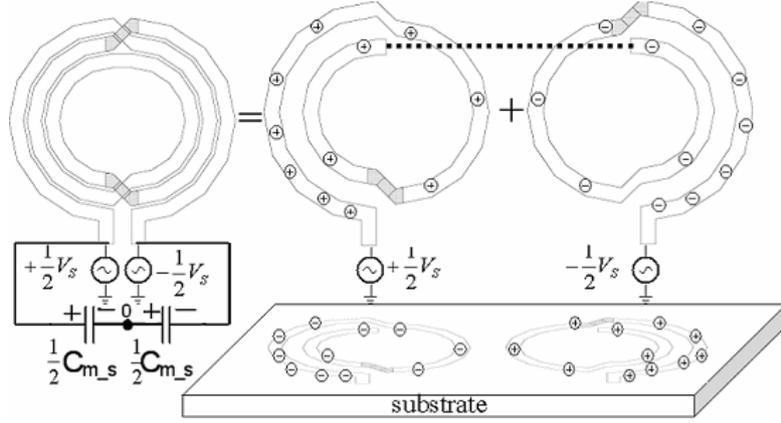
$$C_{m_s,diff}^{spiral} = \frac{1}{12} \cdot \sum_{m=1}^{2n} C_{m_s}^{plate}(m) = k_{c,diff}^{spiral} \cdot C_{m_s}^{plate} \quad (2.17)$$

其中， $k_{c,diff}^{spiral} = \frac{1}{12}$ 是平面螺旋电感的电容系数， $C_{m_s}^{plate} = \sum_{m=1}^{2n} C_{m_s}^{plate}(m)$ 是平面螺旋电感的平板电容之和。 $C_{m_s,diff}^{spiral}$ 是差分电感与衬底之间的平板电容的十二分之一。

根据 (2.16) 和 (2.17)，图 2.9 平面电感对衬底寄生电容的关系为：

$$C_{m_s,diff}^{spiral} = \frac{1}{4} C_{m_s,se}^{spiral} \quad (2.18)$$

上面是数学公式推导的结果，下面给予物理解释：差分驱动的对称平面电感可以看成是从两个交流信号输入端口看进去完全相等的两个平面螺旋电感，它们的长度分别为总长度的一半，对衬底寄生的电容相等，并且为整个电感的一半。但是由于两者的信号电压相位是相反的，它们分别在衬底的感应电荷极性也是相反的，而衬底是整体相连的，使得它们对衬底的寄生电容是串联的关系，见图 2.11，这意味着差分驱动的对称电感的对衬底等效寄生电容还要减半，就是公式 (2.18) 的结果^[2.10]。


 图 2.11 差分电感的 C_{m_s} 物理解析

从图 2.9 可见，对于平面螺旋电感，相邻的两个半圈 (x,y) 之间的 $y=x+2$ ，相邻线圈之间的长度差远远小于电感的总长度，这样(2.13)变为：

$$C_{m_{m,se}}^{spiral} \stackrel{\frac{l(x+2)-l(x)}{l_{tot}} \rightarrow 0}{=} \sum_{x=1}^{2n-2} \left(C_{mm}^{plate}(x, x+2) \cdot \left(\frac{l_x + l_{x+1}}{l_{tot}} \right)^2 \right) \quad (2.19)$$

对于差分水平电感而言， $y=2n-x$ (x 为奇数半圈) 和 $y=2n-x+2$ (x 在偶数半圈)，相邻线圈之间的长度差远远小于电感的总长度，这样根据(2.15)有，

$$C_{m_{m,diff}}^{spiral} \stackrel{\frac{l(y)-l(x)}{l_{tot}} \rightarrow 0}{\approx} \sum_{x=1}^{n-1} \left(C_{nm}^{plate}(x, 2n-x) \cdot \left(\frac{\sum_{j=x}^{2n-x-1} l_j}{l_{tot}} \right)^2 \right) + \sum_{x=2}^n \left(C_{nm}^{plate}(x, 2n-x+2) \cdot \left(\frac{\sum_{j=x}^{2n-x+1} l_j}{l_{tot}} \right)^2 \right) \quad (2.20)$$

根据 (2.15-2.17, 2.19-2.20) 就可以计算平面螺旋电感的寄生电容了：

$$C_{eq,se}^{spiral} = C_{m_{m,se}}^{spiral} + C_{m_{s,se}}^{spiral} = \frac{1}{3} \cdot \sum_{m=1}^{2n} C_{m_s}^{plate}(m) + \sum_{x=1}^{2n-2} \left(C_{mm}^{plate}(x, x+2) \cdot \left(\frac{l_x + l_{x+1}}{l_{tot}} \right)^2 \right) \quad (2.21)$$

$$\begin{aligned} C_{eq,diff}^{spiral} &= C_{m_{m,diff}}^{spiral} + C_{m_{s,diff}}^{spiral} \\ &= \frac{1}{12} \cdot \sum_{m=1}^{2n} C_{m_s}^{plate}(m) + \sum_{x=1}^{n-1} \left(C_{nm}^{plate}(x, 2n-x) \cdot \left(\frac{\sum_{j=x}^{2n-x-1} l_j}{l_{tot}} \right)^2 \right) + \sum_{x=2}^n \left(C_{nm}^{plate}(x, 2n-x+2) \cdot \left(\frac{\sum_{j=x}^{2n-x+1} l_j}{l_{tot}} \right)^2 \right) \end{aligned} \quad (2.22)$$

2.3.3 垂直螺旋管电感的寄生电容定量计算

串联的叠层电感耦合系数可以达到 90% 以上，这样有 $L_{stacked} \approx n^2 L_{singlelayer}$ ，其中 n 为层数，使得小面积实现大电感成可能。图 2.12 是 4 圈垂直螺旋管电感示意图。图 2.13 和图 2.14 分别是 n 圈垂直螺旋管电感电压剖面图和电感分布电容图。

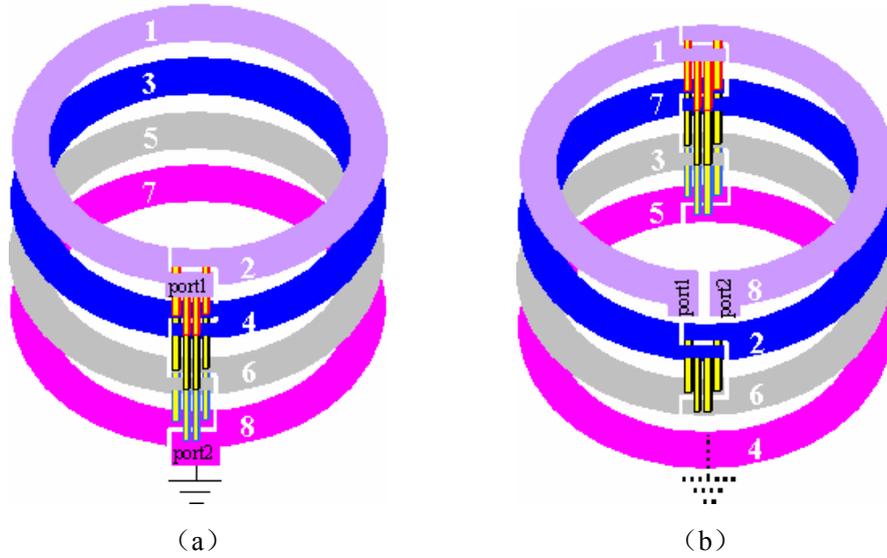


图 2.12 垂直螺线管电感示意图：(a) 单端电感；(b) 差分电感

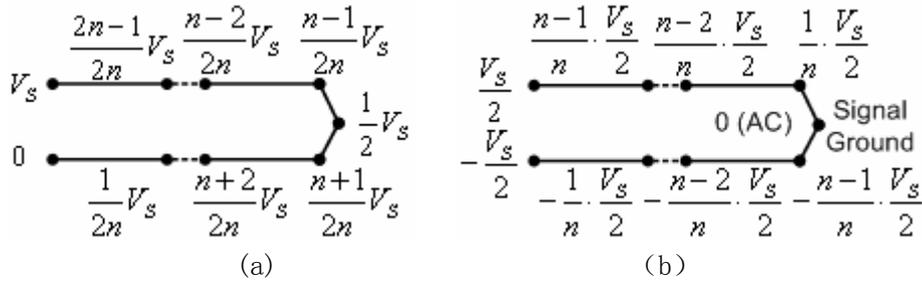


图 2.13 n 圈垂直螺线管电感电压剖面：(a) 单端；(b) 差分

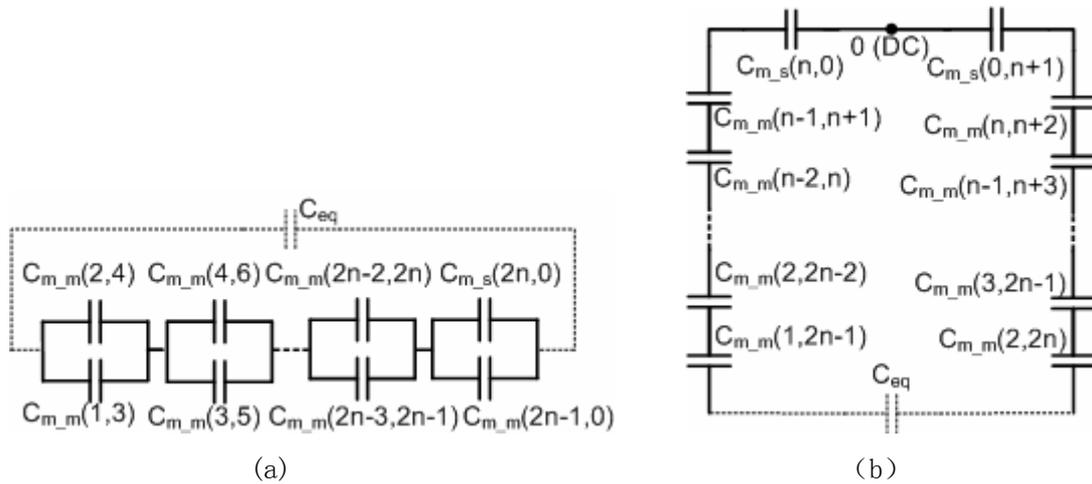


图 2.14 n 圈垂直螺线管电感分布电容：(a) 单端；(b) 差分

对于单端螺线管，相邻的 x 和 y 半圈中 $y=x+2$ ，这样 (2.13) 变为：

$$C_{m_m,se}^{solenoid} = \sum_{x=1}^{2n-2} \left(A_{mm}(x, x+2) \cdot \left(\frac{l_x + l_{x+1}}{l_{tot}} \right)^2 \right) = \frac{1}{n^2} \sum_{x=1}^{2n-2} C_{mm}^{plate}(x, x+2) = k_{c,m_m,se}^{solenoid} C_{m_m,se}^{plate} \quad (2.23)$$

其中, $C_{m_m_se}^{plate} \left(= \sum_{x=1}^{2n-2} C_{mm}^{plate}(x, x+2) \right)$ 为单端的螺线管电感的平板电容之和;

$k_{c,m_m_se}^{solenoid} \left(= \frac{1}{n^2} \right)$ 为平板电容系数, 其中 n 是电感的圈数。单端垂直螺线管的相邻线圈之间的寄生电容约等于各个层次平板电容之和除以层数的平方。

两个相邻圈之间的平板电容为 $\sum_{x=1}^{2n-2} A_{mm}(x, x+2) / (n-1)$, 而它们之间又是串联关系, 见图 2.14(a)。这样总的寄生电容就是单个相邻线圈寄生电容再除以 $(n-1)$ 。这样串并联影响因子为,

$$k_{sp,se}^{solenoid} = \frac{1}{(n-1)^2}$$

电压影响因子为

$$k_{v,se}^{solenoid} = \frac{1}{n^2} / \frac{1}{(n-1)^2} = \left(1 - \frac{1}{n} \right)^2$$

圈数越多, 相邻两个线圈之间的压差也就越小, 电荷数量 (由电流决定) 不变, 意味着等效的寄生电容越大, 也就是电压影响因子越大。

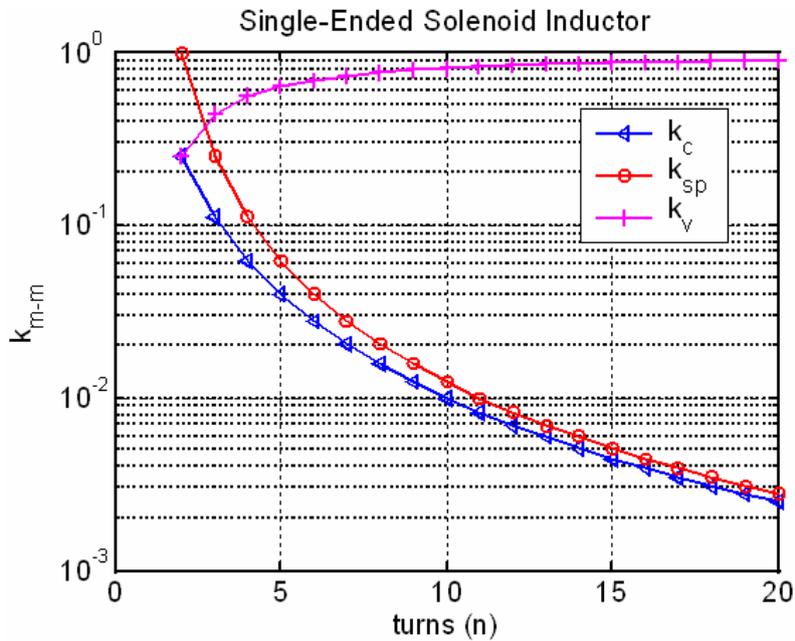


图 2.15 单端垂直螺旋电感的平板电容系数

图 2.15 是单端垂直螺旋电感的平板电容系数。可见, 如果想降低 $C_{m_m_se}^{solenoid}$ 可以采用尽量多的层次的结构, 同时还可以增大电感量。在保持电感量相同的前提

下, 就可以降低螺线管的半径, 又进一步降低了单端垂直螺线管电感的寄生电容和芯片的面积。

对于差分垂直螺线管而言, (2.13) 中的 $y=2n-x$ (x 为奇数半圈) 和 $y=2n-x+2$ (x 为偶数半圈), 这样有:

$$\begin{aligned}
 C_{m_m_diff}^{solenoid} &= \sum_{x=1}^{n-1} \left(A_{mm}(x, 2n-x) \cdot \left(\frac{\sum_{j=x}^{2n-x-1} l_j}{l_{tot}} \right)^2 \right) + \sum_{x=2}^n \left(A_{mm}(x, 2n-x+2) \cdot \left(\frac{\sum_{j=x}^{2n-x+1} l_j}{l_{tot}} \right)^2 \right) \\
 &= \frac{1}{4n^2} \sum_{x=1}^{n-1} \left(\left(\sum_{j=x}^{2n-x-1} 1 \right)^2 \right) \cdot \left(2 \sum_{x=1}^{n-1} A_{mm}(x, 2n-x) \right) \\
 &= \left(\frac{1}{n^2} \sum_{x=1}^{n-1} (n^2 - 2nx + x^2) \right) \cdot \left(2 \sum_{x=1}^{n-1} A_{mm}(x, 2n-x) \right) \quad (3.24) \\
 &= \left(\frac{2n^2 - 3n + 1}{6n} \right) \cdot \left(2 \sum_{x=1}^{n-1} A_{mm}(x, 2n-x) \right) \\
 &= k_{c,m_m,diff}^{solenoid} \cdot C_{m_m,diff}^{plate}
 \end{aligned}$$

其中, $\sum_{x=1}^{n-1} A_{mm}(x, 2n-x) = \sum_{x=2}^n A_{mm}(x, 2n-x+2)$, 是一半的差分垂直螺线管相邻线圈之间的平板电容之和。差分垂直螺线管相邻线圈之间的平板电容为

$C_{m_m_diff}^{solenoid} = 2 \sum_{x=1}^{n-1} (A_{mm}(x, 2n-x))$; 而 $k_{m_m_diff}^{solenoid} = (2n^2 - 3n + 1)/6n$ 为该平板电容的系数。

两个相邻半圈之间的平板电容为 $\sum_{x=1}^{2n-2} A_{mm}(x, x+2) / (2n-2)$, 而它们之间又是串联关系, 见图 2.13 (b)。这样总的寄生电容就是单个相邻线圈寄生电容再除以 $(2n-2)$ 。这样差分垂直螺线管相邻线圈之间的寄生电容串并联影响因子为:

$$k_{sp,diff}^{solenoid} = \frac{1}{4(n-1)^2}$$

其电压影响因子为:

$$k_{v,diff}^{solenoid} = k_{c,diff}^{solenoid} / k_{sp,diff}^{solenoid} = \frac{2(2n^4 - 7n^3 + 9n^2 - 5n + 1)}{3n}$$

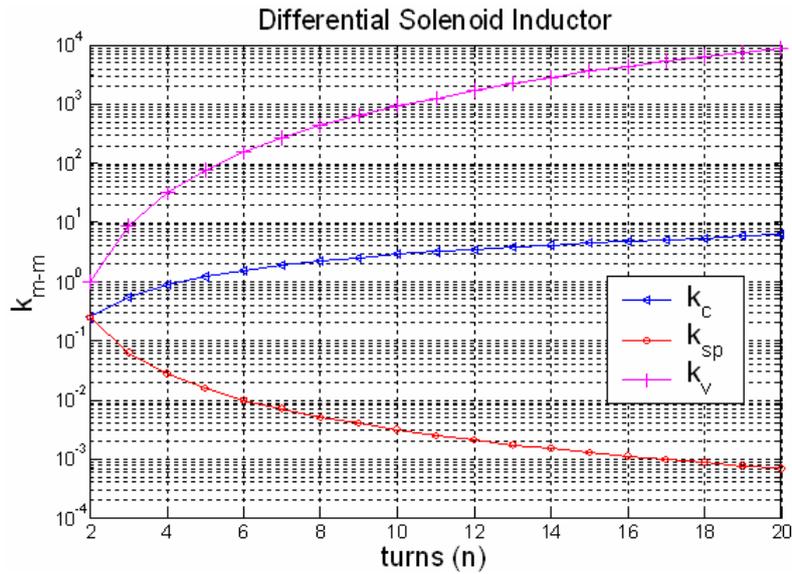


图 2.16 差分垂直螺旋电感的平板电容系数

图 2.16 是差分垂直螺旋电感的平板电容系数。从该图可见，尽管差分垂直螺旋线管的串并联影响因子是单端垂直螺旋线管的串并联影响因子的四分之一，但是其电压影响因子随着电感圈数的增多而增大，且远远大于单端垂直螺旋线管的电压影响因子，见图 2.17。因此多圈的差分垂直螺旋电感的相邻线圈之间的电容远大于几何参数相同的单端结构。

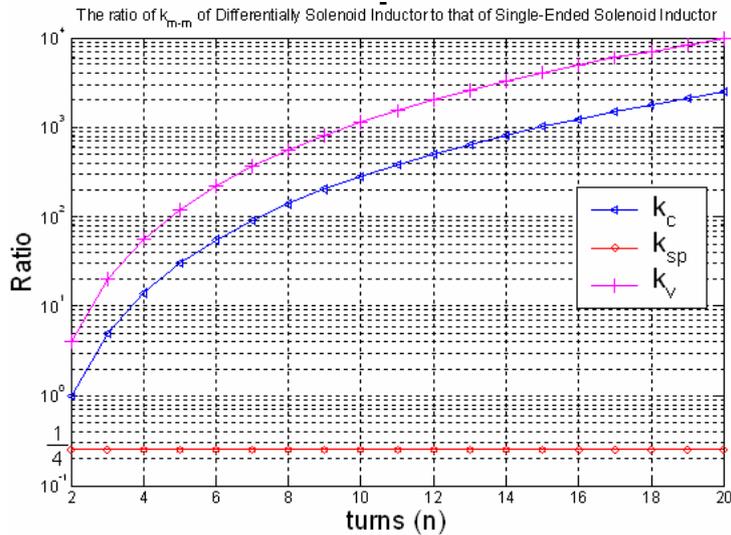


图 2.17 差分和单端结构垂直螺旋电感的相邻线圈平板电容系数比值

根据 (2.5)，(2.10) 和图 2.11 可以得到：

$$\begin{aligned}
 E_{c,m_s,se}^{solenoid} &= \frac{1}{2} \cdot C_{m_s_se}^{solenoid} \cdot (V_{beg}(2n-2) - V_{end}(2n))^2 = \sum_{m=2n-2}^{2n} \Delta E_{c,mm}(m, sub) + \sum_{m=2n-1}^{2n} \Delta E_{c,ms}(m, sub) \\
 &= \frac{1}{2} \cdot \left(\left(C_{ms}^{plate}(2n-1, sub) \cdot \left(\frac{1}{n} \frac{1}{2n} + \frac{1}{3} \left(\frac{1}{2n} \right)^2 \right) \cdot V_S^2 \right) + \left(C_{ms}^{plate}(2n, sub) \cdot \left(\frac{1}{3} \left(\frac{1}{2n} \right)^2 \right) \cdot V_S^2 \right) \right) \\
 &= \frac{1}{2} \cdot \left(\frac{7}{12n^2} \cdot (C_{ms}^{plate}(2n-1, sub)) + \left(\frac{1}{12n^2} \cdot C_{ms}^{plate}(2n, sub) \right) \right) \cdot V_S^2 \\
 &= \frac{1}{2} \cdot \left(\frac{1}{3} \cdot \sum_{x=2n-2}^{2n} C_{ms}^{plate}(x, sub) \right) \cdot \left(\frac{1}{n} V_S \right)^2
 \end{aligned}$$

因而，

$$C_{m_s_se}^{solenoid} = \frac{1}{3} C_{ms} w l_{\text{single-turn}} \quad (2.25)$$

$$\begin{aligned}
 E_{c,m_s,diff}^{solenoid} &= \frac{1}{2} C_{c,m_s,diff}^{solenoid} (V_{beg}(n) - V_{end}(n+1))^2 = \sum_{m=n}^{n+1} E_{c,m_s,diff}^{solenoid}(m) \\
 &= \frac{1}{2} \cdot \left(\left(\left(\left(\frac{1}{2} - \frac{\sum_{j=1}^{n-1} l_j}{l_{tot}} \right) \left(\frac{1}{2} - \frac{\sum_{j=1}^n l_j}{l_{tot}} \right) + \frac{1}{3} \left(\frac{l_n}{l_{tot}} \right)^2 \right) \cdot C_{m_s}^{plate}(n) \right) \cdot V_S^2 \right. \\
 &\quad \left. + \frac{1}{2} \cdot \left(\left(\left(\frac{1}{2} - \frac{\sum_{j=1}^n l_j}{l_{tot}} \right) \left(\frac{1}{2} - \frac{\sum_{j=1}^{n+1} l_j}{l_{tot}} \right) + \frac{1}{3} \left(\frac{l_{n+1}}{l_{tot}} \right)^2 \right) \cdot C_{m_s}^{plate}(n+1) \right) \cdot V_S^2 \right) \\
 &= \frac{1}{2} \cdot \left(\frac{1}{3} \cdot \sum_{m=n}^{n+1} C_{m_s}^{plate}(m) \right) \cdot \left(\frac{1}{2n} V_S \right)^2 \\
 &= \frac{1}{2} \cdot \left(\frac{1}{12} \cdot \sum_{m=n}^{n+1} C_{m_s}^{plate}(m) \right) \cdot \left(\frac{1}{n} \frac{V_S}{2} - \frac{1}{n} \frac{V_S}{2} \right)^2
 \end{aligned}$$

所以，

$$C_{m_s_diff}^{solenoid} = \frac{1}{12} C_{ms} w l_{\text{single-turn}} \quad (2.26)$$

其中， n 是电感的层数，也就是垂直螺线管的圈数。

由 (2.25) 和 (2.26) 可得，

$$C_{m_s_se}^{solenoid} = 4 C_{m_s_diff}^{solenoid} \quad (2.27)$$

单端的垂直螺线管贮存的电能为：

$$\begin{aligned}
 E_{c,se}^{solenoid} &= \frac{1}{2} \cdot C_{eq}^{solenoid} \cdot (V_{beg} - V_{end})^2 = E_{c,m_s,se}^{solenoid} + E_{c,m_s,diff}^{solenoid} \\
 &= \sum_{x=1}^{2n-2} \Delta E_{c,mm}(x, x+2) + \sum_{x=2n-1}^{2n} \Delta E_{c,ms}(x, sub) \\
 &= \frac{1}{2} \cdot \left(\frac{1}{n^2} \cdot \sum_{x=1}^{2n-2} (C_{mm}(x, x+2)) + \frac{1}{3n^2} \cdot \sum_{x=2n-1}^{2n} (C_{ms}(x, sub)) \right) \cdot V_s^2
 \end{aligned}$$

这样单端的垂直螺旋线管的寄生电容公式为：

$$C_{eq,se}^{solenoid} = \frac{1}{n^2} \cdot \sum_{x=1}^{2n-2} (C_{mm}(x, y)) + \frac{1}{3n^2} \cdot \sum_{x=2n-1}^{2n} (C_{ms}(x, y)) \quad (2.28)$$

差分的垂直螺旋线管贮存的电能为：

$$\begin{aligned}
 E_{c,diff}^{solenoid} &= \frac{1}{2} \cdot C_{eq,diff}^{solenoid} \cdot (V_{beg} - V_{end})^2 = E_{c,m_s,diff}^{solenoid} + E_{c,m_s,diff}^{solenoid} \\
 &= \sum_{x=1}^{n-1} \Delta E_{c,mm}(x, 2n-x) + \sum_{x=2}^n \Delta E_{c,mm}(x, 2n-x+2) + \sum_{x=2n-1}^{2n} \Delta E_{c,ms}(x, sub) \\
 &= \frac{1}{2} \cdot \left(\left((2n^2 - 3n + 1) / 6n \right) \cdot \left(2 \cdot \sum_{x=1}^{n-1} (C_{mm}(x, 2n-x)) \right) + \frac{1}{12n^2} \cdot \sum_{x=2n-1}^{2n} (C_{ms}(x, sub)) \right) \cdot V_s^2
 \end{aligned}$$

这样差分的垂直螺旋线管的寄生电容公式为：

$$C_{eq,diff}^{solenoid} = \left((2n^2 - 3n + 1) / 6n \right) \cdot \left(2 \cdot \sum_{x=1}^{n-1} (C_{mm}(x, 2n-x)) \right) + \frac{1}{12n^2} \cdot \sum_{x=2n-1}^{2n} (C_{ms}(x, sub)) \quad (2.29)$$

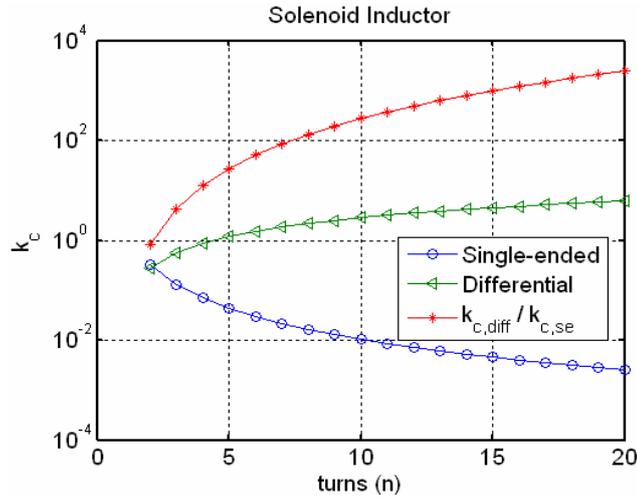


图 2.18 差分和单端结构垂直螺旋电感的平板电容系数比值
(假设各个金属层之间的平板电容相等且等于线圈与衬底电容之间的平板电容)

相同几何参数的单端垂直螺旋线管和差分垂直螺旋线管平板寄生电容相同，不同的是平板电容的系数。图 2.18 是差分和单端结构垂直螺旋电感的平板电容系数比值。从图 2.18 以及公式 (2.28) 和 (2.29)，可以得到下面的结论：

- 1) 在假设各个金属层之间的平板电容相等且等于线圈与衬底电容之间的平板电容条件下：尽管差分的螺旋线管和衬底之间的寄生电容小于

单端的螺线管和衬底之间的寄生电容，但是由于其相邻线圈之间的电压差比较大，导致差分螺线管的 C_{m_m} 大于单端螺线管，造成在两圈的单端和差分螺旋管的寄生电容基本相等。但是随着金属层数的增加，螺线管圈数的增多，差分垂直螺线管电感的寄生电容缓慢增大，而单端的垂直螺线管电感寄生电容迅速降低；

- 2) 差分垂直螺线管电感对衬底的寄生电容是相同电感几何参数的单端垂直螺线管对衬底电容的四分之一，而该电容才是引起衬底电容耦合损耗的原因。线圈之间的寄生电容是相对高品质因数电容，所以从损耗的角度讲，在两者的寄生电容相同时，差分结构电感具有高的品质因数。

2.3.4 平板电容计算

平板电容的计算方法如下：

- 1) 线圈之间的平板电容直接采用平板电容公式，距离采用金属的间距，这里忽略电流拥挤效应造成的电流再次分配使得有效的距离变化。
- 2) 衬底与电感线圈之间的平板电容的计算^[2.20]公式为：

$$C_{m_s}^{plate} = \frac{w \cdot l \cdot \epsilon_0 \cdot \epsilon_{eff}}{T_{eff}} \quad (2.30)$$

其中， w 和 l 是电感的宽度和长度； T_{eff} 是电感底层线圈与衬底之间的有效厚度。在衬底的厚度 T 远大于电感的宽度 w 的时候， T_{eff} 可以表示：

$$T_{eff} = w \cdot \left[\frac{w}{T} + 2.42 - 0.44 \frac{T}{w} + \left(1 - \frac{T}{w} \right)^6 \right]^{-1} \quad (2.31)$$

ϵ_{eff} 是电感底层线圈与衬底之间介质的有效介电常数，可以表示为：

$$\epsilon_{eff} = \frac{1 + \epsilon}{2} + \frac{\epsilon - 1}{2} \left(1 + \frac{10T}{w} \right)^{-1/2} \quad (2.32)$$

2.4 串联电阻分析

电感的串联电阻包括四部分：直流电阻 R_{dc} ，趋肤效应增加的电阻 R_{skin} ，邻近效应增加的电阻 R_{prox} 以及电感与衬底之间变压器效应增加的反射电阻 R_r 。其中 R_{skin} 和 R_{prox} 是电流拥挤效应引起的电阻，电感多圈时很难将它们分开，这里称前三个电阻为 R_{ind} 。而 R_r 的本质是将衬底当成电感的副线圈，从原线圈（电感）看进去的等效电阻，论文的下节将详细分析 R_r 。

2.4.1 直流电阻

电感的直流电阻 (R_{dc}) 指电感通过的恒定电压和直流电流的比值。这时候的阻抗只是电感线圈的直流电阻, 没有电抗成分和高频效应成分。 R_{dc} 是线圈的本质属性, 是最基本参量。电感的其它串联电阻都是与 R_{dc} 对比分析其大小变化和影响的权重。

电感的直流电阻可以使用如下公式计算得到:

$$R_{dc} = \frac{\rho_{20}(1 + \alpha(T - 20^\circ\text{C}))l}{tw} = R_{\square} \cdot \frac{l}{w} \quad (2.33)$$

其中, $\rho_{20}, \alpha, T, l, t, w$ 分别为电感在摄氏 20°C 时金属电阻率、金属电阻率温度系数、摄氏温度、长度、厚度和宽度。 $R_{\square} (= \rho_{20}(1 + \alpha(T - 20^\circ\text{C}))/t)$ 为某层金属互连线的方块电阻 (由于IC工艺同一层互连线的金属厚度基本不变, 往往定义单位长度和宽度的导体电阻为方块电阻)。

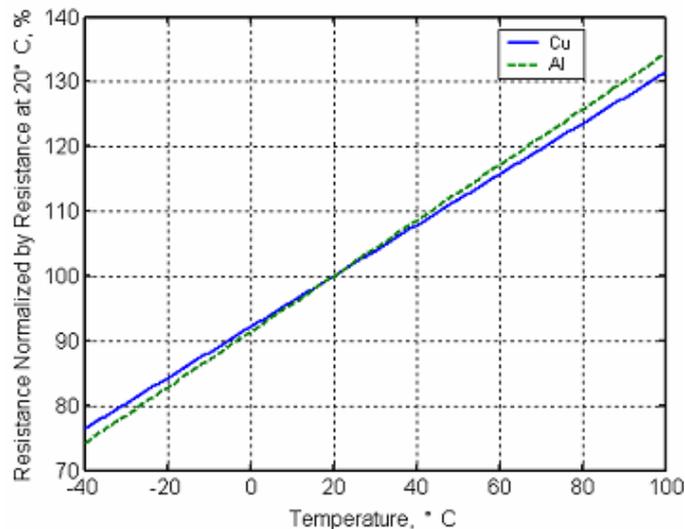


图2.19金属电阻率随着温度的变化

由于金属的电导率是温度的函数, 直流电阻随温度改变而变化。(这里忽略电感的几何尺寸随着温度变化对电感电阻的影响)。对于金属Cu和Al, 在不同环境温度下, 其电阻率分别为: $\rho_{Cu, 20} = 1.78 \mu\Omega \cdot \text{cm}$, $\rho_{Al, 20} = 2.86 \mu\Omega \cdot \text{cm}$ 。电阻率的温度系数分别为: $\alpha_{Cu} = 0.00393$, $\alpha_{Al} = 0.00429$ 。

一般的金属具有正的电阻率温度系数, 从公式 (2.33) 和图2.19可以得出这样的结论: 电感的串联直流电阻将随着温度的升高而增大。

2.4.2 趋肤效应电阻

在直流电路中, 均匀导线横截面上的电流是均匀的。当交变电流通过导体时, 由于导线周围存在电磁场, 导线本身就会产生涡流, 涡流的磁场会引起高频交变

电流趋向导线表面，使导线横截面上电流的分布不均匀，即表面层上的电流密度最大，随着进入导体深度的增大而减小。这种现象称为趋肤效应。趋肤效应使有效的横截面积减小了，从而使它的等效电阻增加了，这里称由于趋肤效应增大的电感线圈串联电阻为趋肤效应电阻 R_{skin} ，只包含 R_{skin} 和 R_{dc} 的电阻称之为 R^{skin} 。

2.4.2.1 趋肤效应

广义上说，趋肤效应是这样一种效应，它使得导体中的电流集中在最靠近产生电流的电场的那个导体表面上。下面根据感生涡流的相位关系，定性的解释趋肤效应^[2.21]：

设交流 I_0 以均匀密度沿圆柱形导体流动，选择其标定方向如图 2.20。 I_0 将在周围产生环形磁力线，按右手定则选定其绕行方向。磁场 B 也做简谐式变化，它在自己周围将产生电动势 ε 和涡流 I_1 。也按右手定则选择其标定方向如图 2.20。下面按照上述的标定方向考虑简谐量的相位关系。

- (1) 按毕奥-萨伐尔定律， B 与 I_0 同相位；
- (2) 按法拉第电磁感应定律， $\varepsilon \propto \frac{dB}{dt} = -j\omega B$ ，即 U 比 B 落后 $\frac{\pi}{2}$ ，亦即 U 比 I_0 落后 $\frac{\pi}{2}$ ；
- (3) 把涡流线看成细流管，这流管相当于一个具有一定电阻和自感系数的回路，故 I_1 比 U 相位落后小于 $\frac{\pi}{2}$ 的角度；
- (4) 综上所述，涡流 I_1 比 I_0 落后的相位在 $\frac{\pi}{2}$ 到 π 之间，亦即在一个周期内有一半以上的时间 I_1 和 I_0 的正负号相反；
- (5) I_1 和 I_0 取正值或负值，是相对于附图 2.20 中的标定方向而言的。从附图 2.20 可以看出，在导体轴线附近 I_1 比 I_0 的标定方向一致，故在大部分时间里 I_1 和 I_0 的实际方向相反；在导体表面附近 I_1 比 I_0 的标定方向相反，故在大部分时间里 I_1 和 I_0 的实际方向相同。所以在一个周期内平均看来，导体轴线附近的电流密度比原来的小了，表面附近比原来的大了。这就解释了趋肤效应的由来。

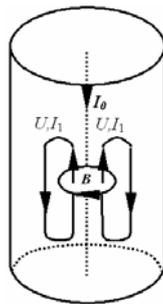


图 2.20 圆柱形导体电流和涡流关系示意图

为了定量描述趋肤效应的大小，引入趋肤深度的概念。令 d 代表从导体表面算起的深度，电流密度 j 为：

$$j = j_0 e^{-d/\delta}$$

其中， j_0 代表导体表面的电流密度； δ 是一个具有长度量纲的量，它代表电流密度 j 已减少到 j_0 的 $1/e$ 时的深度，叫做趋肤深度。

$$\delta = \sqrt{\frac{2}{\sigma\omega\mu\mu_0}} \quad (2.34)$$

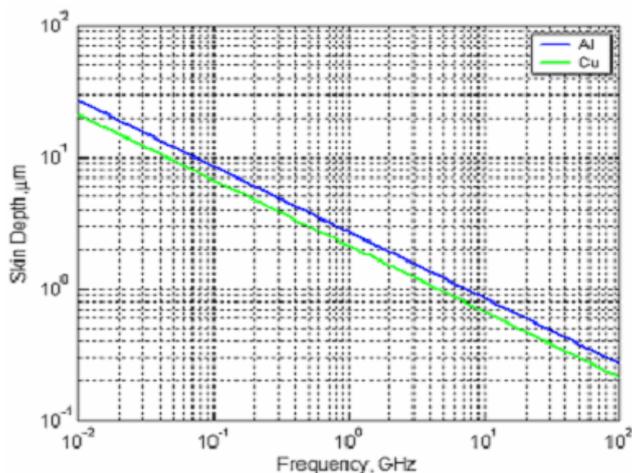


图 2.21 不同金属在不同频率下的趋肤深度

趋肤深度与频率 f 、电导率 σ 和磁导率 μ 的平方根成反比。定性地看，交流电的频率越高，感生的电动势越大；导体的电导率越大，产生的涡流也就越大。这都会使趋肤效应显著，即趋肤深度变小。一般认为铜和铝的磁导率相同，这样在相同的频率下的趋肤深度只与电导率相关，电导率越大，趋肤深度越小，意味着趋肤效应的影响也就越大，见图 2.21。金属互连线的厚度从零点几微米到几个微米，在射频的工作频段，金属的趋肤深度与电感的金属厚度相当。

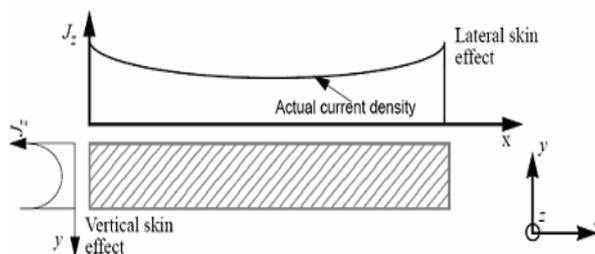


图 2.22 高频电流流过互联线形成的水平和垂直两个方向的电流不均匀分布

集成电路互连线的横截面是扁平的矩形，高频时的电流分布趋向导体的边缘，见图 2.22^[2.22]。

2.4.2.2 趋肤效应电阻

对长方形导体的趋肤效应问题的研究可以追溯到1916年^[2.23]，直到今天仍旧是集成电路研究人员的热门话题，主要集中在如何计算趋肤效应电阻^[2.24-2.33]以及优化互连线的厚度降低趋肤效用电阻^[2.31]。R. Faraji-Dana和 Y. Chow 在解析基础上拟合得到了可缩放的趋肤效应公式^[2.33]，被证明具有可靠的精度^[2.29, 2.32]。该公式中的导线宽度和厚度是可缩放的，比较适合片上电感的趋肤电阻分析，本文采用该模型进行片上电感的趋肤电阻计算。金属导体的趋肤阻抗表示为：

$$Z_{skin}(\omega) = \sqrt{(1/\sigma wt)^2 + (k \cdot Z_{hf}(\omega)/(w+t))^2} \quad (2.35)$$

其中， σ ， w ， t 分别为金属的电导率，宽度和厚度。 k 是拟合系数，其值为1.2。 Z_{hf} 是在频率高到一定程度，趋肤深度远小于金属厚度，金属内部没有载流子时的阻抗。此时的电阻与厚度无关，只与频率和电导率有关，这时的阻抗表示为：

$$Z_{hf}(\omega) = \sqrt{j\omega\mu/4\sigma} \quad (2.36)$$

长方形导体的电阻就是公式（2.35）的实部。该方程的虚部可以用来分析线圈高频时电感值的变化。

A) 金属的有效厚度和有效宽度

趋肤效应将电流向金属的边缘聚集，可以分将其分解为厚度趋肤效应和宽度趋肤效应考虑，假设电流在Z轴方向没有不均匀现象（集总参数）。

根据麦克斯维方程可以得到一个均匀的电导率为 σ 、厚度为 t 、无限宽长的薄膜导体的方块阻抗为^[2.32]：

$$Z_t(\omega) = \frac{\tau}{2\sigma} \coth(\tau t / 2) \quad (2.37)$$

其中， $\tau^2 = j\omega\mu\sigma$ 。

金属的直流方块电阻为：

$$R_{dc-t} = \frac{1}{\sigma t} \quad (2.38)$$

公式（2.37）的实部就是金属的方块交流电阻。定义金属的有效厚度为 t_{eff} ，这样有：

$$R_{skin_v}^{sheet} = \text{real}(Z_t(\omega)) = \frac{t}{t_{eff}} R_{dc-t}$$

进一步方程变换有：

$$t_{eff} = \frac{R_{dc} t}{\text{real}(Z_t(\omega))} = \frac{1}{\text{real}\left(\frac{\tau}{2\sigma^2} \coth(\tau t / 2)\right)} \quad (2.39)$$

这样金属垂直趋肤效应的电阻为：

$$R_{skin_v} = w \cdot R_{skin_v}^{sheet} = \frac{tw}{t_{eff}} R_{dc-t} \quad (2.40)$$

文献 [2.31] 中，假设金属只有垂直方向的趋肤效应，得到的交流电阻为：

$$R_{skin_v} = real \left(R_{dc} \cdot \left(\gamma \frac{t}{2} \right) \cdot coth \left(\gamma \frac{t}{2} \right) \right) \quad \gamma = \frac{1+i}{\delta} \quad (2.41)$$

相同的参数下 (2.40) 和 (2.41) 的计算结果完全相同，也侧面证明了上面的推导的正确性。

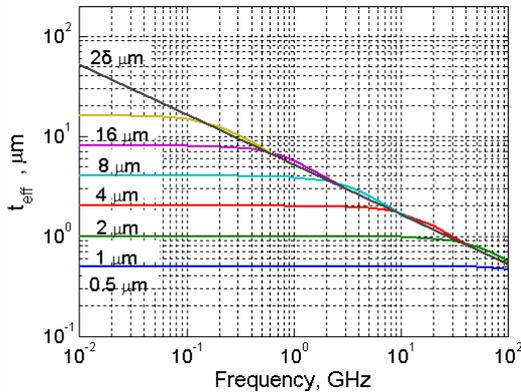


图 2.23 不同厚度金属铝的有效厚度随频率的变化关系

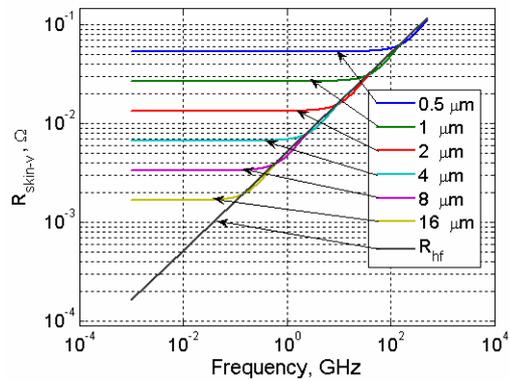


图 2.24 不同厚度铝互连线的垂直趋肤方块电阻 (m⁻²)

图2.23 是不同厚度金属铝的有效厚度随频率的变化关系。在频率高于一定程度后，金属的有效厚度与趋肤深度的两倍重合。就是说频率高于一定程度后，载流子集中在上下两层，金属的中间没有载流子。图2.24是不同厚度的铝互连线的垂直趋肤方块电阻（单位 Ω/m^2 ）。可见，频率高到一定程度后金属的垂直趋肤电阻就等于高频电阻 R_{hf} ，这时候的有效金属厚度等于两倍的趋肤深度。对于工艺优化金属互连线厚度，以及电路的设计人员大量通孔并联金属的层次增大金属的厚度，一个原则就是金属的总厚度 (t_{total}) 小于等于该工作频率 (ω) 的金属趋肤深度 (δ) 的两倍：

$$t_{total}(\omega) \leq 2\delta(\omega) \quad (2.42)$$

趋肤电阻可以使用有效的金属宽度 w_{eff} 和有效的金属厚度 t_{eff} 来表示：

$$R_{skin} = \frac{t \cdot w}{t_{eff} \cdot w_{eff}} R_{dc}$$

这样有效的金属的宽度就可以被推导出来：

$$w_{eff} = \frac{t \cdot w}{t_{eff} \cdot R_{skin}} R_{dc} \quad (2.43)$$

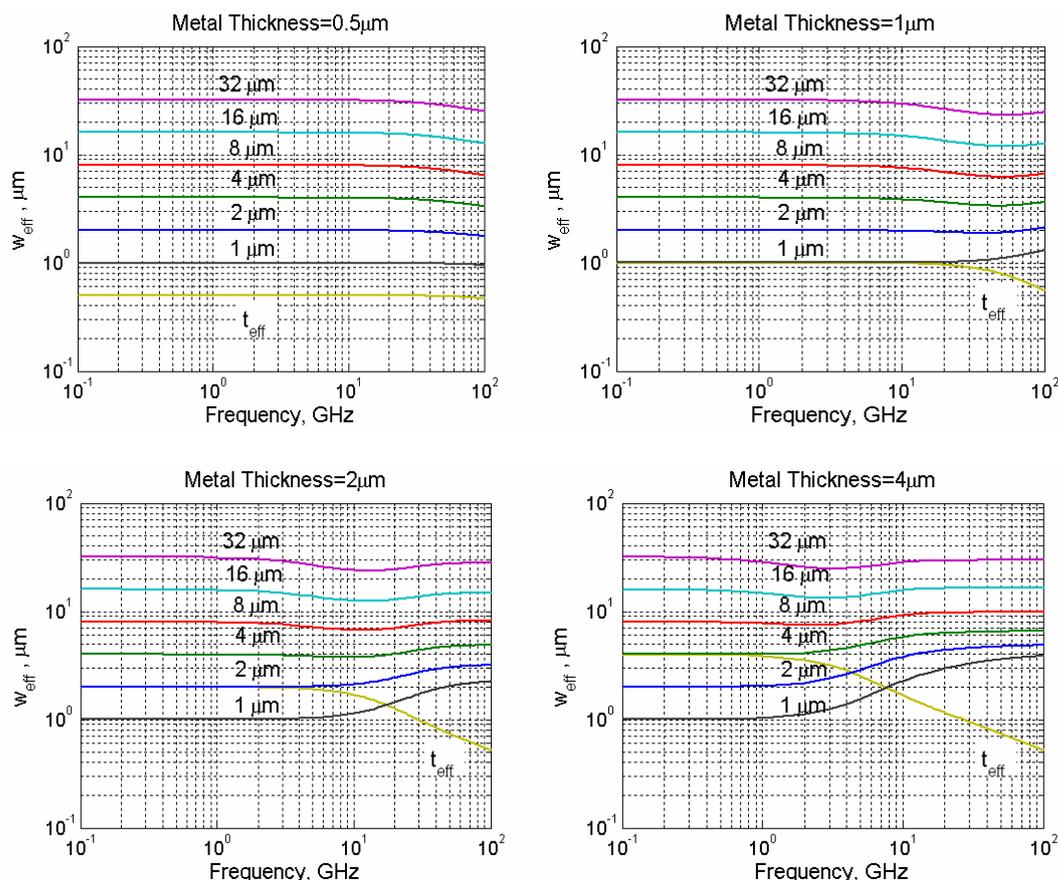


图2.25 不同厚度和宽度的铝互连线的有效宽度

图2.25是不同厚度和宽度的铝互连线的有效宽度。金属的有效宽度受金属厚度的调制，随着 w/t 下降， w_{eff} 降低的低谷频率降低，当 w/t 小于1的时候， w_{eff} 会增大。

B) 趋肤电阻系数

趋肤电阻系数等于趋肤电阻与直流电阻之比，表示为：

$$\begin{aligned}
 k_{\text{skin}} &= \frac{\text{real}(Z_{\text{skin}}(\omega))}{R_{\text{dc}}} \\
 &= \text{real}\left(\sqrt{1 + j\left(\left(k \cdot wt / (2(w+t))\right)^2 \omega \mu \sigma\right)}\right) \\
 &= \left(1 + \left(\left(k \cdot wt / (2(w+t))\right)^2 \omega \mu \sigma\right)^2\right)^{0.25} \cos\left(\frac{1}{2} \text{atan}\left(\left(k \cdot wt / (2(w+t))\right)^2 \omega \mu \sigma\right)\right)
 \end{aligned} \tag{2.44}$$

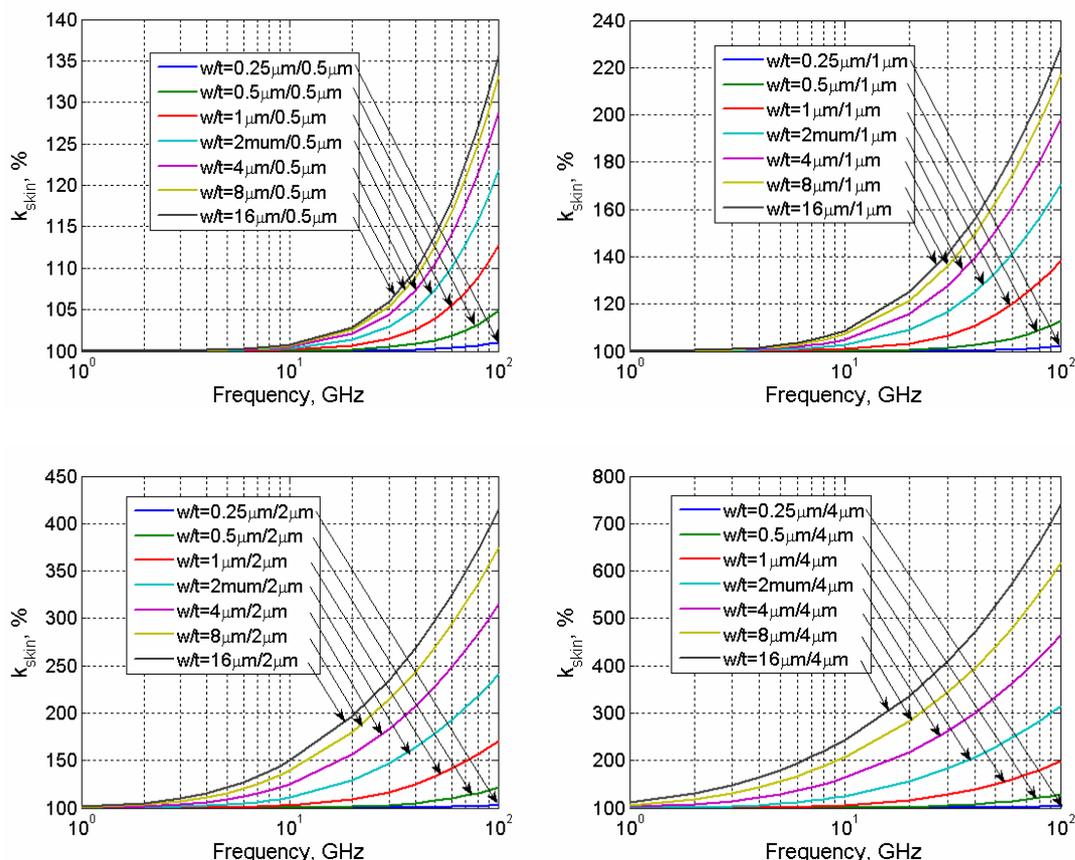


图2.26 不同的金属厚度和宽度的趋肤电阻系数

(2.44) 中的 w 和 t 可以互换。图2.26是不同的金属厚度和宽度的趋肤电阻系数。由(2.44)和图2.26可以得出这样的结论：

- 1) 金属的厚度 t 恒定， k_{skin} 随着金属的宽度 w 增大而增大；
- 2) 金属的宽度 w 恒定， k_{skin} 随着金属的厚度 t 的增加而增大。

总之： k_{skin} 随着金属的横截面积($w \times t$)的增大而增大。

2.4.3 邻近效应电阻

由于临近金属的电流流动，产生的交变磁场会通过该金属。根据楞次定律，该金属会产生涡流来抑制磁场的变化，该现象称为邻近效应。邻近效应在本质上也是由于涡流引起的，与趋肤效应不同的是，趋肤效应是由流过电流的金属自身电磁场引起的，而邻近效应是由临近的金属流过电流引起的，在无论有无电流流过的临近金属产生电磁场引起的涡流。涡流的产生改变了电感临近线圈的电流分布和电流密度，增大了电感的等效串联电阻，该部分电阻称为邻近效应电阻 R_{prox} 。

下面的分析集中在一次涡流的情况，就是原线圈电流产生的交变磁场激励的涡流，由于涡流相对于原线圈的电流较弱，不再考虑涡流再次激励的涡流，尽管该涡流与电感的原电流方向一致。

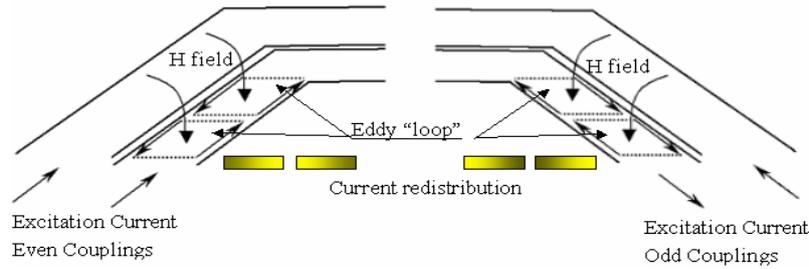


图2.27 两个临近金属的奇耦合与偶耦合的邻近效应原理图

A) 邻近效应

图2.27是两个临近金属的奇耦合与偶耦合的邻近效应原理图。当两个金属靠近的时候，有电流流动的金属产生的磁场通过临近的金属，在该金属上产生涡流。如果两个金属都有电流，电流方向相同称为偶耦合，电流方向相反称为奇耦合。在奇耦合的时候，在两个金属相邻的边缘的涡流方向和金属原电流方向相反，在非相邻金属边缘的涡流方向和金属原来的电流方向相同；而偶耦合的电流分布恰好与奇耦合相反。这样，在涡流与原金属电流相同方向的地方，时间平均来看，金属的电流增大，在涡流与原金属电流相反的方向的地方，时间平均来看，金属的电流降低。表现为整体的电感的有效截面积降低，电感的电阻增大。这就是邻近效应。

B) 电流拥挤效应电阻

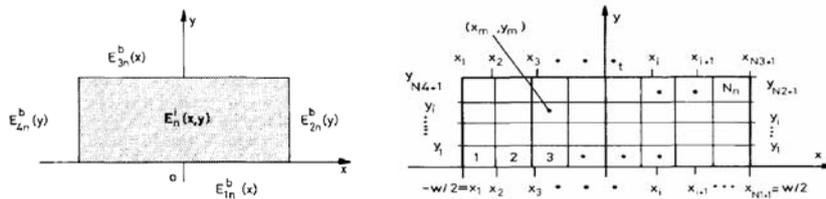


图2.28 电感线圈的边界和内部分割

将电感线圈沿着电流流动方向分成 n 等份，将横截面积分成等分 N_n^b 份 ($N_n^b = N_1 + N_2 + N_3 + N_4$; N_k ($k=1, 2, 3, 4$) 代表金属的每一面的分段数目)，见图 4.20。这样第 n 等份的包含电流拥挤效应的电阻为^[2.27]：

$$R_{ac}^n = \frac{\iint_{\text{nth strip}} |E_n^i(x, y)|^2 dx dy}{\sigma_n \left| \iint_{\text{nth strip}} E_n^i(x, y) dx dy \right|^2} \quad (2.45)$$

对 R_{ac}^n 求和就能得到整个电感的串联电阻。同样可以使用 (2.45) 公式求得接地衬底、接地环等对电感线圈的交流电阻的影响。邻近效应会随电感的工作频率的增大而加强。

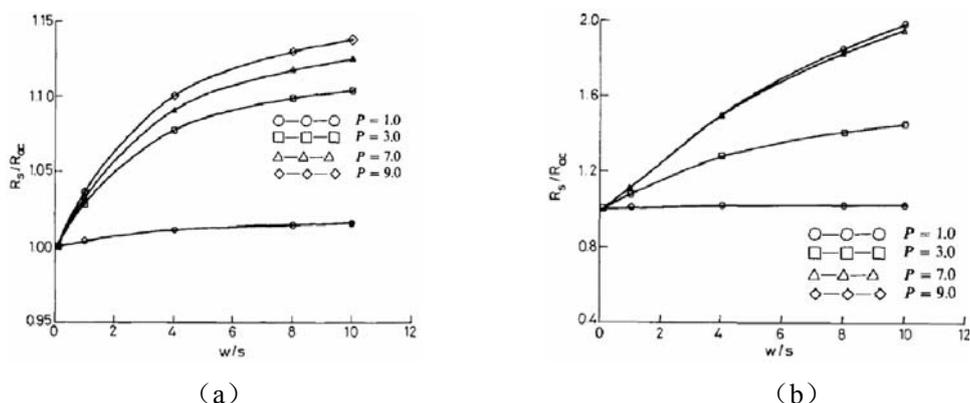


图2.29 不同P和w/s下的偶耦合(a)和奇耦合(b)下的两导体的电流拥挤效应电阻和单纯的趋肤

电阻之比 (其中, $w/t=5$, $P = \frac{\sqrt{w/t}}{\delta/t} \sqrt{\frac{2}{\pi}}$)

图2.29是 $w/t=5$ 时, 不同P和 w/s 下的偶耦合(a)和奇耦合(b)下的两导体的电流拥挤效应电阻和单纯的趋肤电阻之比。可以得出下列结论:

- 1) 相同的条件下, 奇偶耦合的邻近效应效果大于偶耦合的邻近效应效果;
- 2) 邻近效应随着 w/s 的增大而加强;
- 3) 邻近效应随着频率的增大而加强, 一定的频率后, 电流拥挤效应电阻和单纯的趋肤电阻之比趋于恒定;
- 4) 邻近效应的效果随着频率的增大加强。

C) 线圈电流的重分配

衬底涡流的电流方向与电感线圈的电流方向相反, 电感与衬底的涡流之间的耦合是奇耦合方式, 使得电感与衬底的电流分别向下和顶层聚集; 为了增大互感, 片上电感中相邻的两个线圈的电流被设计成相同的方向, 相邻线圈是偶耦合方式, 这样电流向相邻金属的非相邻边缘聚集。越是内圈, 外在的磁场强度越大, 使得内圈的电流被推向靠近中心的线圈边缘; 还有由于线圈是环路, 中心对称的线圈电流方向相反, 使得以电感的中心对称的线圈之间是奇耦合, 促使电流向线圈的内半径方向聚集, 尤其是在奇偶合渐强的内圈。叠层电感线圈之间是偶耦合, 因而金属中的电流会向上下分散。这就是电感线圈电流分布的趋势和原因。

2.5 衬底物理模型和损耗分析

标准CMOS的衬底是半导体, 因此在高频的时候, 衬底的损耗是电感损耗的主要原因。研究片上电感的衬底损耗机理和模型的文章很多^[2.35-2.37], 也有很多人研究降低电感衬底损耗的方法^[2.38-2.40]。本节将电感的衬底损耗分为两个部分: 磁能损耗和电能损耗。通过分析两个损耗的物理模型和解析公式, 得到不同的衬底参数、不同的电感几何结构以及不同电感电流电压条件下的衬底电能损耗和磁能

损耗的解析公式。通过分析衬底和电感线圈之间的变压器关系，得到电感的变压器电阻和电流。本节还分析了衬底的串扰问题，讨论了温度变化的衬底效应问题。

2.5.1 衬底的变压器效应

电感是磁能存贮元件，贮存的磁能一般远大于存储的电能（就是说一般的电感工作频率远低于电感的自谐振频率），衬底损耗以磁能损耗为主。

2.5.1.1 衬底磁能损耗物理模型

平面螺旋和垂直叠层结构电感与集成电路互连线结构相兼容，但是采用这些结构这样结构的电感磁场就会垂直地穿过衬底。根据楞次定律，交变的电感磁场会在衬底产生交变的涡流。涡流会将磁能转换来的电能以焦耳热的形式散发掉。涡流流动方向与电感中电流流动方向相反，使得涡流产生的磁场方向与电感产生的磁场方向相反，降低了电感值，也就降低了总体的电感磁能。

衬底可以看作是由一组直径从零递增的圆环(平面线圈)叠合而成的，如果用整体的衬底表示为变压器的副边线圈，就可以用变压器耦合讨论电感与衬底之间的耦合情况。电感线圈是主线圈，衬底是次线圈，等效电路图见图 2.30。图中 k 表示两者的耦合系数； L_{ind} 和 R_{ind} 分别表示线圈的电感和电阻； L_{sub} 和 R_{sub} 分别表示电感衬底的电感和电阻； i_{ind} 和 i_{eddy} 分别表示线圈中的电流和衬底的涡流。衬底和电感之间的变压器作用增大了电感的串联电阻，减小了电感值。

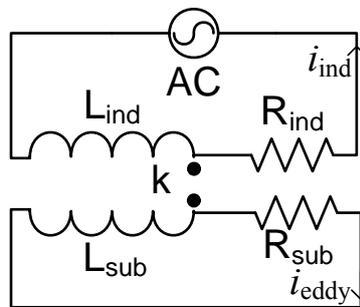


图 2.30 电感线圈与衬底之间的变压器作用

由于衬底的涡流与电感的寄生电容无关，电感的衬底涡流模型当中也就没有引入电容参量。影响衬底涡流产生的因素主要有：电导率(或电阻率)、磁导率、缺陷、衬底的尺寸以及电感线圈与衬底之间的距离等。

2.5.1.2 衬底磁能损耗数学解析

衬底损耗是频率、电感半径、电感电流、衬底电阻、电感的形状等参数的函数。

在电路中，与电源相连的一边称为原边，与负载相连的一边称为副边。原、副边的电阻、电感及互感如图 2.30 所示。按图中假定的电流、电压的正方向，在考虑互感电动势存在的情况下，可以分别写出原、副边的回路电压方程：

$$\dot{U}_{ind} = (R_{ind0} + j\omega L_{ind0})\dot{I}_{ind} + j\omega M \dot{I}_{eddy} \quad (2.46)$$

$$0 = (R_{sub} + j\omega L_{sub})\dot{I}_{eddy} + j\omega M \dot{I}_{ind} \quad (2.47)$$

式中， $j\omega M \dot{I}_{eddy}$ 、 $j\omega M \dot{I}_{ind}$ 分别为副边中的电流在原边中产生的互感电动势和原边中的电流在副边中产生的互感电动势。

由公式 (2.47) 可得电感的衬底涡流为：

$$\dot{I}_{eddy} = -\frac{j\omega M}{R_{sub} + j\omega L_{sub}} \dot{I}_{ind} \quad (2.48)$$

使用电感线圈的电流对衬底涡流归一化有：

$$\dot{I}_{eddy,nor} = \frac{\dot{I}_{eddy}}{\dot{I}_{ind}} = -\frac{j\omega M}{R_{sub} + j\omega L_{sub}} = -\frac{j\omega k \sqrt{L_{ind} L_{sub}}}{R_{sub} + j\omega L_{sub}} = -\frac{jk \sqrt{L_{ind} L_{sub}}}{R_{sub}/\omega + jL_{sub}} \quad (2.49)$$

其中，电感与衬底之间的互感 M 为：

$$M = k \sqrt{L_{ind} L_{sub}} \quad (2.50)$$

其中， k 为电感与衬底之间的耦合系数。

衬底涡流与电感线圈流动的电流之间的相位角表示为：

$$PAI_{sub,eddy} = \tan \left(\frac{\text{real} \left(\dot{I}_{eddy,nor} \right)}{\text{image} \left(\dot{I}_{eddy,nor} \right)} \right) \quad (2.51)$$

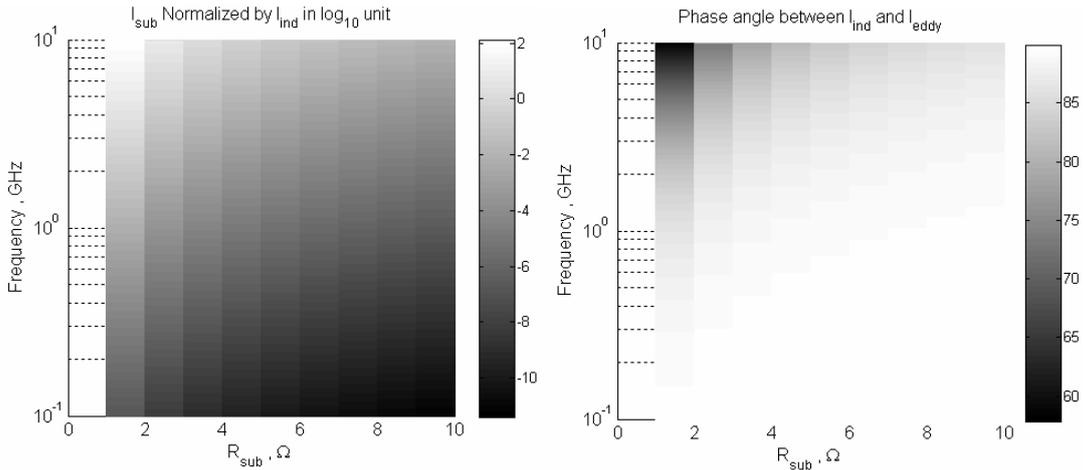


图 2.31 衬底涡流以及涡流与线圈电流之间的相位差

图 2.31 是假设电感线圈的阻抗、电感值和衬底电感值分别为 2Ω 、 10nH 和 0.01nH 的情况下计算的衬底涡流以及涡流和线圈电流之间的相位差。从公式 (2.48) - (2.51) 以及图 2.31 可得结论：

- 1) 频率恒定的时候，衬底涡流滞后电感电流的角度随着衬底电阻的增大而增大，其理论范围是从 0° 到 90° ；
- 2) 衬底电阻恒定的时候，衬底涡流的滞后随着电感工作频率的增大而降低，变化的理论范围是从 90° 到 0° ；
- 3) 衬底涡流与电感线圈中的电流、电感与衬底的互感、耦合系数成正比；
- 4) 衬底涡流随着衬底电阻的增大而降低；
- 5) 衬底涡流随着频率的升高而增大；
- 6) 衬底涡流随着线圈电感值和衬底电感值的增大而增大；
- 7) $R_{sub}/\omega \ll L_{sub}$ 的时候， $I_{eddy,nor} \approx -K\sqrt{L_{ind}/L_{sub}}$ ，频率项的作用不大，衬底涡流基本恒定，不随着衬底电阻的变化而变化。只有在 R_{sub}/ω 和 L_{sub} 相当，或者 $R_{sub}/\omega > L_{sub}$ 的时候，衬底涡流才随着频率的增加而增大。

在推导出衬底涡流后，可以继续推导涡流在电感线圈当中产生的涡流：

$$\dot{I}_{ind_eddy} = -\frac{j\omega M}{R_{ind} + j\omega L_{ind}} \dot{I}_{eddy} = \frac{(j\omega M)^2}{(R_{ind} + j\omega L_{ind}) \cdot (R_{sub} + j\omega L_{sub})} \dot{I}_{ind} \quad (2.52)$$

使用电感电流对衬底涡流在电感中产生的涡流进行归一化有：

$$\dot{I}_{ind_eddy} = \frac{(j\omega M)^2}{(R_{ind} + j\omega L_{ind}) \cdot (R_{sub} + j\omega L_{sub})} \dot{I}_{ind} \quad (2.53)$$

$$\begin{aligned} PAI_{sub,eddy} &= \operatorname{tg} \left(\frac{\omega(L_{sub}R_{ind} + L_{ind}R_{sub})}{\omega^2 L_{ind}L_{sub} - R_{sub}R_{ind}} \right) \\ &= \operatorname{tg} \left(\frac{(\omega L_{sub}/R_{sub} + \omega L_{ind}/R_{ind})}{(\omega L_{sub}/R_{sub}) \cdot (\omega L_{ind}/R_{ind}) - 1} \right) \\ &= \operatorname{tg} \left(\frac{Q_{sub} + Q_{ind}}{Q_{sub} \cdot Q_{ind} - 1} \right) \\ &\stackrel{Q_{ind} \ll Q_{sub}}{\approx} \operatorname{tg}(-Q_{ind}) \end{aligned} \quad (2.54)$$

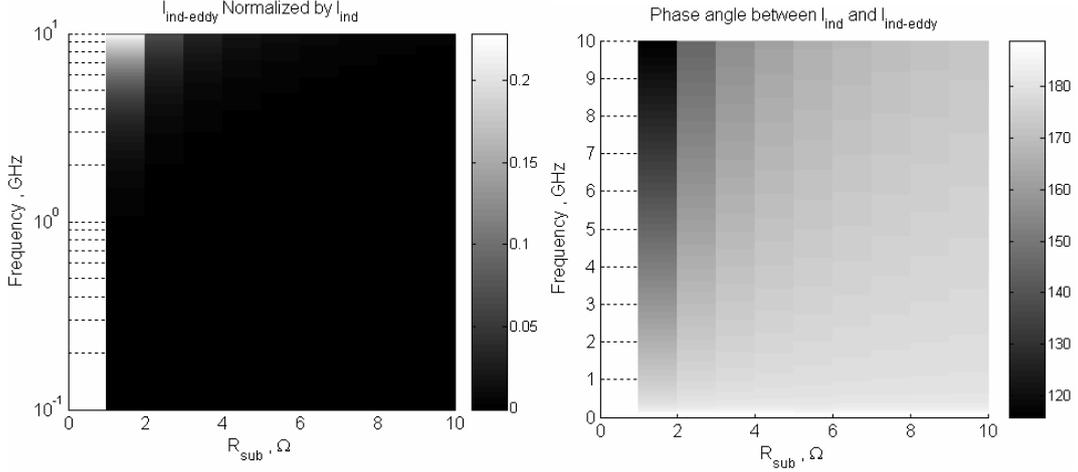


图 2.32 衬底涡流在电感线圈中产生的涡流以及该涡流和线圈电流相位差的相角

图 2.32 是假设电感线圈的阻抗、电感值和衬底电感值分别为 $2\ \Omega$ 、 10nH 和 0.01nH 的情况下计算的衬底涡流以及涡流和线圈电流相位差的相角。从公式 2.52-2.54 以及图 2.32 可得结论：

- 1) 一般情况下，衬底的涡流在电感线圈中产生的电流和电感原线圈的电流方向相同，相位相反；
- 2) 一般情况下，衬底的涡流在电感线圈中产生的电流和电感原线圈的电流相比可以忽略。

将 (2.48) 代入 (2.46) 式则得：

$$\begin{aligned}
 \dot{U}_{ind} &= (R_{ind0} + j\omega L_{ind0}) \dot{I}_{ind} + j\omega M \dot{I}_{eddy} \\
 &= (R_{ind0} + j\omega L_{ind0}) \dot{I}_{ind} + \frac{(\omega M)^2}{R_{sub} + j\omega L_{sub}} \dot{I}_{ind} \\
 &= (R_{ind0} + j\omega L_{ind0}) \dot{I}_{ind} + \left(\frac{R_{sub} (\omega M)^2}{R_{sub}^2 + (\omega L_{sub})^2} - j \frac{(\omega L_{sub}) \cdot (\omega M)^2}{R_{sub}^2 + (\omega L_{sub})^2} \right) \dot{I}_{ind} \\
 &= \left[\left(R_{ind0} + \frac{R_{sub} (\omega M)^2}{R_{sub}^2 + (\omega L_{sub})^2} \right) + j\omega \left(L_{ind0} + \frac{-L_{sub} \cdot (\omega M)^2}{R_{sub}^2 + (\omega L_{sub})^2} \right) \right] \dot{I}_{ind} \\
 &= [(R_{ind0} + R_r) + j\omega(L_{ind0} + L_r)] \dot{I}_{ind} \\
 &= Z_{ind,eff} \dot{I}_{ind}
 \end{aligned}$$

式中，

$$Z_{ind,eff} = (R_{ind0} + R_r) + j\omega(L_{ind0} + L_r) \quad (2.55)$$

$$R_r = \frac{(\omega M)^2}{R_{sub}^2 + (\omega L_{sub})^2} R_{sub} = \frac{k^2 (\omega L_{ind})}{1/Q_{sub} + Q_{sub}} \stackrel{Q_{sub} \gg 1}{\approx} \frac{k^2 \omega^2 L_{ind} L_{sub}}{R_{sub}} \quad (2.56)$$

$$L_r = \frac{-(\omega M)^2}{R_{sub}^2 + (\omega L_{sub})^2} L_{sub} = \frac{-k^2}{(R_{sub}/(\omega L_{sub}))^2 + 1} L_{ind} = \frac{-k^2}{(1/Q_{sub})^2 + 1} L_{ind} \quad (2.57)$$

R_r 和 L_r 分别为反射电阻和反射电抗, 设

$$Z_r = R_r + j\omega L_r \quad (2.58)$$

Z_r 称为反射阻抗。它说明在这种变压器耦合式互感电路中, 尽管原、副边之间没有直接的电学联系, 但由于互感的存在, 副边电路的闭合而得到的副边电流, 会通过互感影响原边电路中电阻和电感。

从公式 2.56-2.57 可以得到结论:

- 1) 衬底电阻越大, 电感线圈的反射电阻和反射电感就越小;
- 2) 电感线圈的反射电阻与电感的工作频率的平方成正比;
- 3) 电感的反射电感是负值, 其绝对值随着电感工作频率的增加而增大, 进而降低线圈的电感值;
- 4) 电感线圈的反射电阻和反射电感随着电感线圈电感与衬底电感值的增大而增大。

这样衬底的涡流造成的磁能损耗以及涡流流动将电能转换成热能挥发掉的电能损耗就可以分别折换到电感线圈的反射阻抗来计算, 分别由反射阻抗的虚部和实部来表征。衬底的涡流造成的磁能损耗 $E_{sub,eddy}^m$ 和电能损耗 $E_{sub,eddy}^e$ 就可以分别表示为:

$$E_{sub,eddy}^e = I_{ind}^2 R_r = \frac{k^2 \omega^2 L_{ind} L_{sub}}{R_{sub}} I_{ind}^2 \quad (2.59)$$

$$E_{sub,eddy}^m = \frac{1}{2} L_r I_{ind}^2 = -\frac{1}{2} \frac{k^2 L_{ind}}{(R_{sub}/(\omega L_{sub}))^2 + 1} I_{ind}^2 \quad (2.60)$$

从公式 (2.59) 和 (2.60) 可见,

- 1) 衬底涡流引起的磁能损耗和电能损耗都与电感电流的平方、电感值、电感与衬底之间的耦合系数的平方成正比, 随着衬底阻抗增大而降低;
- 2) 衬底涡流的电能损耗与电感的工作频率的平方成正比;
- 3) 衬底涡流的磁能损耗随着电感的工作频率的增加而增大;
- 4) 衬底涡流的电能损耗和磁能损耗随着衬底电感的增大而增大。

衬底的有效厚度等于衬底的趋肤深度:

$$\delta_{sub} = \sqrt{\frac{2}{\sigma_{sub} \omega \mu \mu_0}}$$

令衬底涡流的半径为电感线圈的内外半径的平均值, 假设涡流在衬底水平方向的分布是均匀的, 这样衬底的涡流电阻就等于:

$$R_{sub} = \frac{\pi}{2\sigma_{sub} \delta_{sub}} \quad (\text{圆形电感}) \quad \text{或者} \quad R_{sub} = \frac{2}{\sigma_{sub} \delta_{sub}} \quad (\text{方形电感}) \quad (2.61)$$

涡流衬底电阻是衬底的电导率和趋肤深度的函数, 与衬底的方块电阻成正比, 与频率的平方根成反比。

电感线圈与衬底之间的耦合系数为 k , 这样有:

$$\Phi = L_{ind} I_{ind} = k L_{sub} I_{eddy}$$

将 (2.48) 带入上式有,

$$\frac{L_{ind}}{L_{sub}} = \frac{k^2 \omega^2 \sqrt{L_{sub} L_{ind} L_{sub}}}{R_{sub}^2 + (\omega L_{sub})^2} \quad (2.62)$$

其中, 电感与衬底之间的耦合系数 k 根据附录二有:

$$k = \left(\frac{r_h^2}{r_h^2 + d^2} \right)^{\frac{3}{2}} \quad (2.63)$$

其中, r_h 是电感的内外半径的平均值, d 是电感线圈和有效衬底之间的有效厚度, 令其为电感与一半趋肤深度处的衬底之间的距离。

公式 (2.61) – (2.63) 联合公式 (2.56) – (2.57) 以及公式 (2.59) – (2.60) 就能求得电感的衬底涡流损耗以及衬底反射电阻和反射电感。

2.5.2 衬底电容耦合损耗

这里的衬底电容耦合损耗指电感在衬底感应出的电流 (称为电容耦合衬底电流) 引起的欧姆损耗, 不包括电感与衬底之间的电容存贮的非损耗电能。

2.5.2.1 衬底电容耦合损耗物理模型

电感线圈电荷在衬底的对应部分感应出极性相反的电荷。电感线圈不同部位之间存在交流电压差, 导致对应的衬底之间也存在交流电压差, 而衬底是半导体, 有压差必然有电流, 见图 2.6 中的 i_1 。一般的衬底都是接地电位的, 电感的四周接上开路的接地环, 用来吸收电感的电场, 防止电感和附近的其他电路发生串扰, 引入噪声。这样电感衬底感应的电压与接地环之间存在电压差, 进而在两者之间产生电流, 见图 2.6 的 i_2 ; 为了便于散热, 芯片一般是放到导体上面, 导体很大, 等效于电感放到良好的地平面上, 这使得电感和地之间存在压差, 因此产生电流,

见图 2.6 中的 i_3 。这些电流统称电容耦合衬底电流（capacitive coupling substrate currents, CCSC）。CCSC 产生欧姆损耗，通过热能的形式散发出去。

2.5.2.2 衬底电容耦合损耗数学解析

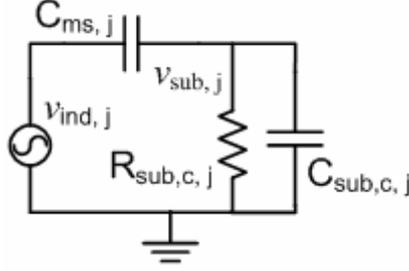


图 2.33 电感与衬底之间的电容耦合电路图

图 2.33 是电感与衬底之间的电容耦合电路图。将与衬底相邻的电感线圈分成均匀的 k 份，其中第 j 份的电压为 $v_{ind,j}$ ， $C_{ms,j}$ 表示该部分和衬底之间的单位面积电容，该电容在对应的衬底感应的电压为 $v_{sub,j}$ 。图 2.33 中的 $R_{sub,c,j}$ 和 $C_{sub,c,j}$ 分别表示线圈对应的衬底与地之间电阻和电容。

根据图 2.33，有：

$$\begin{aligned}
 v_{sub,j} &= \text{real} \left(\frac{R_{sub,c,j} / (1 + j\omega R_{sub,c,j} C_{sub,c,j})}{R_{sub,c,j} / (1 + j\omega R_{sub,c,j} C_{sub,c,j}) + 1/j\omega C_{ms,j}} v_j \right) \\
 &= - \frac{(\omega R_{sub,c,j})^2 C_{ms,j} (C_{ms,j} + C_{sub,c,j})}{1 + (\omega R_{sub,c,j} (C_{ms,j} + C_{sub,c,j}))^2} v_{ind,j} \\
 &\approx \frac{C_{ms,j} \square C_{sub,c,j}}{\text{or } \omega \square \frac{1}{R_{sub} C_{sub}}} - \frac{(\omega R_{sub,c,j} C_{ms,j})^2}{1 + (\omega C_{ms,j} R_{sub,c,j})^2} v_{ind,j}
 \end{aligned} \tag{2.64}$$

该段电感和衬底之间电容贮存的电能为：

$$E_{c,sub,j} = \frac{1}{2} C_{m_s,j} (v_{ind,j} - v_{sub,j})^2$$

这个能量有一半是贮存在衬底这个下极板当中的，这部分能量是不会回到电感当中的，而是以热能的形式消耗掉了。所以该段电感耦合的衬底损耗为：

$$E_{c,sub,j} = \frac{1}{4} C_{m_s,j} (v_{ind,j} - v_{sub,j})^2 \tag{2.65}$$

另一种衬底电容耦合损耗表达式为：

$$E_{c,sub,j} = \frac{v_{sub,j}^2}{R_{sub,c,j}} \tag{2.66}$$

这样就可以得到衬底电容耦合电压和衬底电阻的另一个关系式：

$$\frac{v_{sub,j}^2}{R_{sub,c,j}} = \frac{1}{4} C_{m_s} (v_{ind,j} - v_{sub,j})^2 \quad (2.67)$$

解(2.64)和(2.67)就能够得到该点的衬底电阻和衬底电容耦合电压以及衬底的电容耦合能量损耗。方程比较难解,采用数值计算的方法得到。将这些数值求和就得到衬底的电容耦合损耗电阻和电容耦合衬底电能损耗。

从公式(2.64) — (2.65)可以得到这样的结论:

- 1) 在电感的工作频率升高到使得 $(\omega C_{m_s} R_{sub,c,j})^2$ 远大于1的时候,衬底的电容耦合感应电压趋于该段电感的交流电压的符号相反值;
- 2) 电感的衬底电容耦合电压以及衬底的电容耦合电能损耗随着电感的信号电压、频率、氧化层电容、衬底电阻的增加而增大。

从概念上需要明确和注意以下一点:

电容耦合引起的衬底电压与电感交流电压成正比,与电感的电流没有直接关系,电感耦合引起的涡流与电感的电流成正比,与电感的电压没有直接关系,这是区别衬底电容耦合与电感耦合的一个重要标志。

2.5.3 衬底耦合

电感和附近其他元器件的衬底耦合是通过两种方式进行的:电感的衬底电容耦合电压与附近其他元件之间存在电压差,有压差就有电流流动;电感在衬底形成的涡流影响其他临近电路。

衬底的电场耦合可以通过接地环^[2.42]、衬底地屏蔽^[2.41]来降低。地屏蔽层对于磁场的屏蔽是有限的^[2.43]。电感的接地环的设计一定要设计成开路的结构,不能形成环路,防止在该环中形成涡流,从而降低电感的品质因数。

一般的磁场屏蔽采用两种方法:低频采用高磁导率的介质将需要屏蔽的元器件包围,使得电磁场在高磁导率的介质中传输,不再外泄或传播到内部;在高频,利用金属产生的涡流的磁场与电磁场源的方向相反而相互抵消的原理来获得。标准集成电路采用这种方法会大大降低电感值,而不能实施。

一般说来,不论是磁耦合还是电磁耦合,主干扰回路与被干扰回路之间的距离越大,涡流越小,干扰作用越小。所以在可能的条件下,把主干扰回路与被干扰回路之间的距离加大也能解决部分干扰问题。例如电磁场辐射源附近的近场电场强度和磁场强度与其距辐射源的距离平方成反比,加大间距可有效地解决两者之间的干扰问题。

2.5.4 衬底温度效应

Groves, R等人^[2.44]详细的分析了锗硅/BiCMOS工艺随着温度的变化情况:衬

底电阻和金属铝电阻都具有正的温度系数。因为金属铝的电阻和电感是串联关系，而衬底电阻和电感是并联关系，衬底电阻起着分流的作用。在高频的时候，衬底电阻的损耗与电感串联电阻相比起着主导作用。这样在低频，电感的品质因数随着温度的增加而降低，在高频，刚好相反。

2.6 小结

本章介绍了常见的片上电感的基本结构，进而引出了电感的寄生参量：寄生电阻、寄生电容以及衬底损耗。

首先从分布电容的角度推算了电感的寄生电容，指出电感的寄生电容是电感平板电容的线性函数。平板电容系数是串并联因子和电压因子的乘积。然后推导了单端和差分的平面螺旋电感以及垂直螺旋管电感的寄生电容公式，为降低寄生电容提出理论指导方向。与相同几何参数的单端电感相比，差分电感具有低的电感与衬底之间的寄生电容，进而差分电感具有高品质因数和自谐振频率。为降低电感寄生电容从理论上指出了方向。

从电磁场的角度出发，论述了电感串联电阻电流拥挤效应的物理原因，指出高频金属线圈中的电流不均匀分布是由金属自身的趋肤效应以及线圈之间、线圈与衬底之间的奇耦合或偶耦合邻近效应引起的。给出了趋肤效应电阻公式以及邻近效应电阻的计算方法，为降低电感电阻提供了理论依据。

衬底的损耗分为电场耦合损耗和磁场耦合损耗，本章的最后分别解释了其物理原因，进而建立了衬底损耗物理模型，得到了代表电感衬底电能损耗的衬底电阻以及代表磁能损耗的反射电阻和反射电感的计算方法，为降低衬底损耗指出了优化方向。

参考文献

- [2.1] F.W. Grover, *Inductance Calculations* [M]. Van Nostrand, New York, NY, 1962.
- [2.2] H.M. Greenhouse. Design of Planar Rectangular Microelectronic Inductors [J]. *IEEE Transactions on Parts, Hybrids, and Packaging*, 1974, 10(2):101-109.
- [2.3] S.S.Mohan *etal.*. Simple Accurate Expressions for Planar Spiral Inductances [J]. *IEEE Journal of Solid-State Circuits*, 1999, 34(10):1419-1424.
- [2.4] Snezana Jenei, Bart K. J. C. Nauwelaers, and Stefaan Decoutere. Physics-Based Closed-Form Inductance Expression for Compact Modeling of Integrated Spiral Inductors [J]. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 2002, 37(1):77-80.
- [2.5] B.-L. Ooi and D.-X. Xu. Modified inductance calculation with current redistribution in spiral inductors [J]. *IEE Proc.-Microw. Antennas Propag.*, 2003, 150(6):455-450.

- [2.6] Yong Zhan and Sachin S. Sapatnekar. Optimization of Integrated Spiral Inductors Using Sequential Quadratic Programming [C]. Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE'04) 2004, 1530-1591/04.
- [2.7] Groves, R.; Hareme, D.L.; Jadus, D.. Temperature dependence of Q and inductance in spiral inductors fabricated in a silicon-germanium/BiCMOS technology [J]. IEEE Journal of Solid-State Circuits, 1997, 32(9):1455-1459.
- [2.8] Alireza Zolfaghari, Andrew Chan, and Behzad Razavi. Stacked Inductors and Transformers in MOS Technology [J]. IEEE JOURNAL OF SOLID-STATE CIRCUITS, 2001, 36(4):620-628.
- [2.9] Chih-Chun Tang, Chia-Hsin Wu, Shen-Iuan Liu. Miniature 3-D Inductors in Standard CMOS Process [J] IEEE JOURNAL OF SOLID-STATE CIRCUITS, 2002, 37(4):471-480.
- [2.10] Kodali, S.; Allstot, D.J. . A symmetric miniature 3D inductor [C] Proceedings of the 2003 International Symposium on Circuits and Systems, 2003. ISCAS '03. 2003, 25-28(5): I-89 - I-92.
- [2.11] Ryan L. Bunch, David I. Sanderson, Sanjay Raman. Quality Factor and Inductance in Differential IC Implementations [J]. IEEE microwave magazine, 2002, 82-90.
- [2.12] Danesh, M.; Long, J.R. Differentially driven symmetric microstrip inductors [J]. IEEE Transactions on Microwave Theory and Techniques, 2002, 50(1): 332 – 341.
- [2.13] Maget, J., VARACTORS AND INDUCTORS FOR INTEGRATED RF CIRCUITS IN STANDARD MOS TECHNOLOGIES [D], Dept. of Electr. Eng., Univ. of Bundeswehr, Neubiberg, Germany, 2002.
- [2.14] Zolfaghari, A. Chan, and B. Razavi. Stacked Inductors and Transformers in CMOS Technology [J]. *IEEE J. Solid-State Circuits*, 2001, 36(4):620-628.
- [2.15] Chih-Chun Tang; Chia-Hsin Wu; Shen-Iuan Liu. Miniature 3-D inductors in standard CMOS process [J]. *IEEE J. Solid-State Circuits*, 2002, 37(4):471 – 480.
- [2.16] Chia-Hsin Wu, Chih-Chun Tang and Shen-Iuan Liu. Analysis of on-chip spiral inductors using the distributed capacitance model [J]. *IEEE J. Solid-State Circuits*, 2003, 38(6):1040-1044.
- [2.17] Hongyan Jian, Zhangwen Tang, Jie He, Hao Min. Analysis of Self-resonant Frequency for Differential-driven Symmetric and Single-ended Inductors [J]. 2004 International Conference on Solid-State and Integrated-Circuit Technology (ICSICT) Beijing, China, 2004, A3.13:194-197.
- [2.18] Hongyan Jian, Zhangwen Tang, Jie He, Hao Min. Analysis and Optimum Design of Differential Inductors Using the Distributed Capacitance Model [J]. Chinese Journal of

- Semiconductors, in press.
- [2.19]Zhangwen Tang, PhD dissertation, Fudan Univ., China (2004).
- [2.20]X. Huo, Kevin J. Chen, Howard Luong and Philip C.H. Chan. Accurate modeling of lossy silicon substrate for on-chip inductors and transformers design[C]. 2004 IEEE Radio Frequency Integrated Circuits Symposium, 2004, 627-630.
- [2.21] 赵凯华、陈熙谋的《电磁学》, 高等教育出版社, 1985.
- [2.22]Niranjan's dissertation. Integrated CMOS Transmit-Receive Switch Using On-Chip Spiral Inductors [D]. The department of electrical engineering of Stanford University, 2004.
- [2.23]COCKCROFT, J.D.. Skin effect in rectangular conductor at *high* frequency [C]. *Proc. Royal Soc.*, 1929,122:533-542.
- [2.24]HAEFNER, S.J.. Alternating current resistance of rectangular conductors [C]. *IRE*, 1937, U: 434-447.
- [2.25]WHEELER, H.A.. Formulas for the skin effect [C]. *Proc. IRE*, 1942, 30:412-424.
- [2.26]WALDOW, P., and WOLFF, I.. The skin effect at high frequency [J]. *IEEE Trans. MTT-33*, 1985, 1076-1082.
- [2.27]DJORDJEVIC, A.R., SARKAR, T.K., and RAO, S.M.. Analysis of finite conductivity cylindrical conductor excited by axially independent TM electromagnetic field [J]. *IEEE Trans.*, 1985.
- [2.28]CANGELLARIS, A.C..The importance of skin effect in microstrip lines at high frequencies [J]. *MWSYM* 88:197-198.
- [2.29]Stracca, G.B.. A simple evaluation of losses in thin microstrips [J]. *IEEE Transactions on Microwave Theory and Techniques*. 1997, 45(2):281 – 283.
- [2.30]Yue, C.P.; Wong, S.S. Physical modeling of spiral inductors on silicon [J]. *IEEE Transactions on Electron Devices*, 2000, 47(3):560–568.
- [2.31]Niranjan Talwalkar. Integrated CMOS Transmit-Receive Switch Using On-Chip Spiral Inductors [D]. A DISSERTATION FOR THE DEGREE OF DOCTOR OF PHILOSOPHY OF THE DEPARTMENT OF ELECTRICAL ENGINEERING OF STANFORD UNIVERSITY, 2004.
- [2.32]L. F. Tiemeijer, R. J. Havens, Y. Bouttement, and H. J. Pranger. The Impact of an Aluminum Top Layer on Inductors Integrated in an Advanced CMOS Copper Backend [J]. *IEEE ELECTRON DEVICE LETTERS*, 2004, 25(11):722-724.
- [2.33]R. Faraji-Dana and Y. Chow. Edge condition of the field and ac resistance of a rectangular strip conductor [C]. *Proc. Inst. Elect. Eng.*, 1990, 137:133–140.
- [2.34]Faraji-Dana, R.; Chow, Y.L.. AC resistance of two coupled strip conductors [C]. *IEE*

- Proceedings H Microwaves, Antennas and Propagation [see also IEE Proceedings-Microwaves, Antennas and Propagation], 1991, 138(1):37 – 45.
- [2.35]Niknejad, A.M.; Meyer, R.G. Analysis, design, and optimization of spiral inductors and transformers for Si RF Ics [J] . IEEE Journal of Solid-State Circuits, 1998, 33(10):1470 – 1481.
- [2.36]Burghartz, J.N.. Progress in RF inductors on silicon-understanding substrate losses [C] . International Electron Devices Meeting, 1998, 6-9.
- [2.37]Yue, C.P.; Wong, S.S. Physical modeling of spiral inductors on silicon [J] . IEEE Transactions on Electron Devices, 2000, 47(3):560 – 568.
- [2.38]Pin-Quan Chen; Yi-Jen Chan. Improved microwave performance on low-resistivity Si substrates by Si⁺ ion implantation [J] . IEEE Transactions on Microwave Theory and Techniques, 2000, 48(9):1582 – 1585.
- [2.39]Lakdawala, H.; Zhu, X.; Luo, H.; Santhanam, S.; Carley, L.R.; Fedder, G.K. Micromachined high-Q inductors in a 0.18- μ m copper interconnect low-k dielectric CMOS process [J] . IEEE Journal of Solid-State Circuits, 2002, 37(3):394 – 403.
- [2.40]Royet, A.S.; Cuchet, R.; Pellissier, D.; Ancy, P. On the investigation of spiral inductors processed on Si substrates with thick porous Si layers [C] . 33rd Conference on European Solid-State Device Research, 2003. ESSDERC '03. 16-18:111 – 114.
- [2.41]Yue, C.P.; Wong, S.S.. On-chip spiral inductors with patterned ground shields for Si-based RF Ics [C] . IEEE Journal of Solid-State Circuits, 1998, 33(5):743 – 752.
- [2.42]Pun, A.L.L.; Yeung, T.; Lau, J.; Clement, J.R.; Su, D.K.. Substrate noise coupling through planar spiral inductor [J] . IEEE Journal of Solid-State Circuits, 1998, 33(6):877 – 884.
- [2.43]Murata, K.; Hosaka, T.; Sugimoto, Y.. Effect of a ground shield of a silicon on-chip spiral inductor [C] . Asia-Pacific Microwave Conference, 2000, 3-6:177 – 180.
- [2.44]Groves, R.; Hareme, D.L.; Jadus, D.. Temperature dependence of Q and inductance in spiral inductors fabricated in a silicon-germanium/BiCMOS technology [J] . IEEE Journal of Solid-State Circuits, 1997, 32(9).

第三章 片上电感的优化设计

本章在研究电感的寄生参数的物理模型基础上，深入探索电感损耗的本质来源，进而根据具体的工艺情况以及实际电路出发，提出增大耦合系数、降低电感面积、减小寄生电容、抑制串联电阻以及降低衬底损耗等种种电感的优化设计方法。片上电感的 L 、 C 、 R 是相互关联的，优化电感的时候，这三个参数相互牵制。所以在具体的电路设计当中要根据电路需求来调整电感的寄生参数，而不能简单地将电感当成一个元件来使用，而要将电感的寄生参量当成电路的一部分来优化。

3.1 增大耦合系数的方法

电感通常是多圈的，通过线圈之间的耦合增大电感值，所以大的线圈间耦合系数，对高品质因数的电感至关重要。

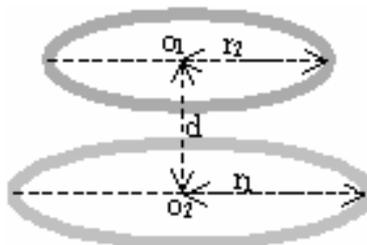


图 3.1 两个不同半径和间距的同轴线圈

无论是平面电感还是叠层电感，为了增大互感，电感线圈具有相同的几何中心，而且相互平行，如图3.1所示。设两个半径分别为 r_1 和 r_2 （圆环线宽中心到达圆环几何中心的长度），圆环的几何中心在同一轴线上，两个圆环平面的距离为 d ，且两个圆环平行，这样两个线圈的耦合系数 k 为：（推导见附录二）

$$k_{1,2} = \left(\frac{r_1 \times r_2}{r_1^2 + d^2} \right)^{\frac{3}{2}} \quad (3.1)$$

这个耦合系数表达式可以精确计算圆环之间的耦合，但是对于任何形状线圈的设计都具有指导意义。在正多边形的边长大于等于8的时候，正多边形就可以近似认为是圆形。

3.1.1 增大同平面线圈耦合系数的方法

两个电感线圈同平面时， $d=0$ ，两者的耦合系数为：

$$k_{1,2} = \left(\frac{r_2}{r_1} \right)^{\frac{3}{2}} \quad (3.2)$$

这样，耦合系数和两个同平面的同心圆半径之间的关系就显而易见了。对于

一个圈数为 N 的电感，圈数从外向内依次记为第 1 圈、第 2 圈...第 N 圈。第 i 圈宽度记为 w_i ；第 i 圈和第 $i+1$ 圈的间距记为 s_i ；线圈的宽度中心间距记为 $p_i = w_i + s_i$ 。外圈的半径（电感的几何中心到该线圈宽度中心的半径）是 r ，第 i 圈数的半径为：

$$r_i = r - \sum_{j=1}^{i-1} (w_j + s_j) - \left(\frac{w_i + s_i}{2} \right) \quad (3.3)$$

将 (3.3) 代入 (3.2)，得到任意两个线圈 m 和 n 之间的耦合系数有

$$k_{m,n} = \left(\frac{r_m}{r_n} \right)^{\frac{3}{2}} = \left(\frac{r - \sum_{j=1}^{m-1} (w_j + s_j) - \left(\frac{w_m + s_m}{2} \right)}{r - \sum_{j=1}^{n-1} (w_j + s_j) - \left(\frac{w_n + s_n}{2} \right)} \right)^{\frac{3}{2}} \quad (3.4)$$

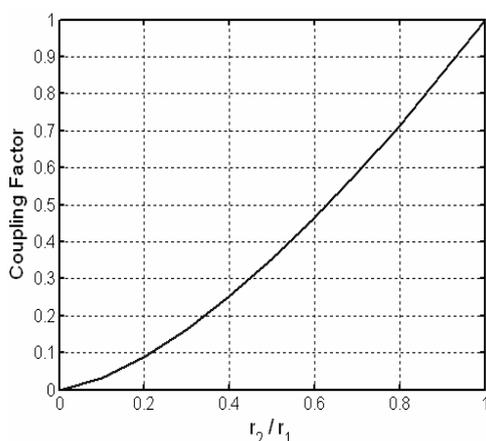


图 3.2 不同半径比的同平面同心圆的耦合系数

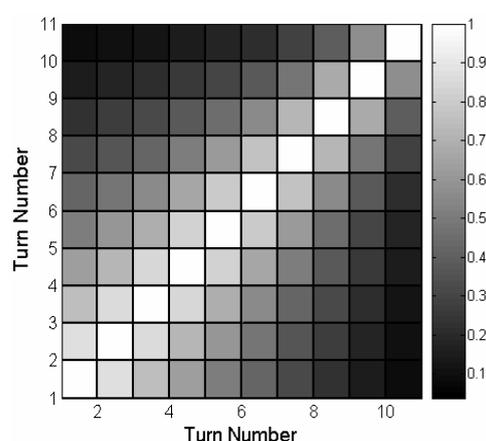


图 3.3 外圈半径 $200 \mu\text{m}$ ，线宽 $16 \mu\text{m}$ ，间距 $1 \mu\text{m}$ 的 11 圈平面电感线圈之间的耦合系数

表 3.1 外圈半径 $200 \mu\text{m}$ ，线宽 $16 \mu\text{m}$ ，间距 $1 \mu\text{m}$ 的 11 圈平面圆形线圈之间的耦合系数

turn	1	2	3	4	5	6	7	8	9	10	11
1	1	0.8698	0.7459	0.6284	0.5179	0.4147	0.3195	0.2329	0.1560	0.0901	0.0376
2	0.8698	1	0.8575	0.7225	0.5954	0.4768	0.3673	0.2678	0.1794	0.1036	0.0432
3	0.7459	0.8575	1	0.8425	0.6944	0.5560	0.4284	0.3123	0.2092	0.1209	0.0504
4	0.6284	0.7225	0.8425	1	0.8241	0.6599	0.5084	0.3707	0.2483	0.1434	0.0599
5	0.5179	0.5954	0.6944	0.8241	1	0.8008	0.6169	0.4498	0.3013	0.1741	0.0726
6	0.4147	0.4768	0.5560	0.6599	0.8008	1	0.7704	0.5617	0.3762	0.2174	0.0907
7	0.3195	0.3673	0.4284	0.5084	0.6169	0.7704	1	0.7291	0.4883	0.2821	0.1177
8	0.2329	0.2678	0.3123	0.3707	0.4498	0.5617	0.7291	1	0.6698	0.3870	0.1615
9	0.1560	0.1794	0.2092	0.2483	0.3013	0.3762	0.4883	0.6698	1	0.5778	0.2411
10	0.0901	0.1036	0.1209	0.1434	0.1741	0.2174	0.2821	0.3870	0.5778	1	0.4173
$r(i)$	200	191.5	174.5	157.5	140.5	123.5	106.5	89.5	73.5	55.5	38.5

根据 (3.4) 就可以计算不同的几何参数的平面电感不同圈之间的耦合系数。图 3.2 为不同半径比的同平面同心圆的耦合系数。图 3.3 为外圈半径 $200\ \mu\text{m}$ ，线宽 $16\ \mu\text{m}$ ，间距 $1\ \mu\text{m}$ 的 11 圈平面圆形线圈之间的耦合系数。表 3.1 列举了图 3.3 的具体数值。

结合公式 (3.1-3.4) 以及表 3.1 和图 3.3 分析得到下列结论：

- 1) 大间距线圈之间的耦合系数低；
- 2) 大的线圈宽度降低线圈之间的耦合系数；
- 3) 在相同线圈宽度下，半径大的相邻线圈之间的耦合系数大于半径小的相邻线圈的耦合系数；
- 4) 中空结构电感具有更大的品质因数。

在同平面的两个线圈之间的耦合系数随着它们的间距增大而降低，这是平面螺旋电感的一个致命弱点。为了降低电感的面积，往往设计多圈电感，使得整个电感面积都是线圈。这样的设计使得内外圈之间的耦合系数很低，也就是串联电感值和串联电阻值的比很大。在电感圈数较多的时候，**采用中空的结构**，使得外圈的电感半径和内圈的电感半径比值不大，增大耦合系数，这样串联电感值和串联电阻值的比值大，电感的品质因数也就高。当然，采用中空的电感设计还有邻近效应的缘故，后面的章节将详细讨论。

在设计电感的时候，设定电感内圈和外圈之间的最小耦合系数 k_{\min} ，而后就可以根据线宽、间距来计算内圈和外圈的耦合系数，在得到设计的电感值下，满足 $k_i > k_{\min}$ 的 i 就是优化的圈数。

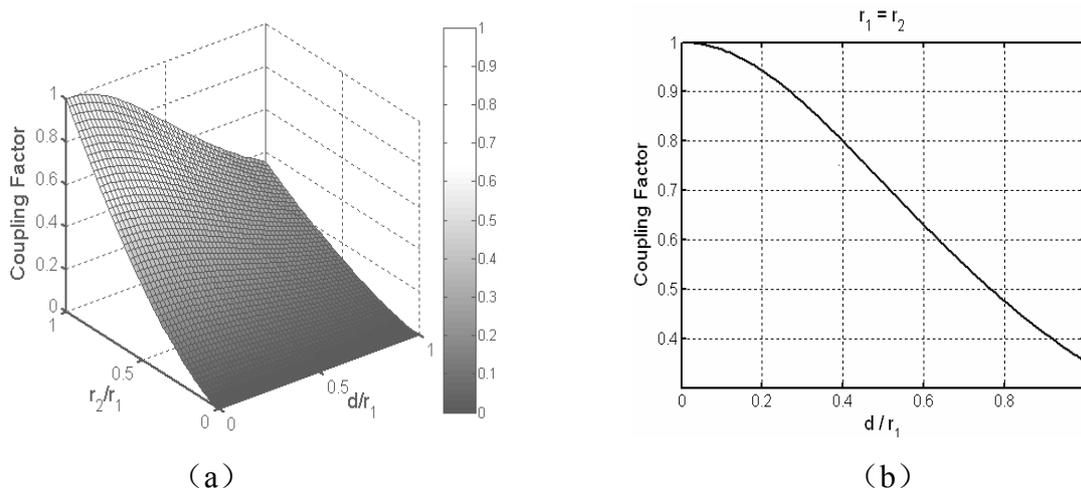


图 3.4 不同平面的同轴圆环耦合系数

3.1.2 增大垂直串联耦合系数的方法

图 3.4 是两个半径相等的同轴圆环之间的耦合系数随着其间距的变化图。一

一般而言垂直叠层电感线圈之间的间距远远小于电感的半径，所以从图 3.4 和公式 (3.1) 可以得出下面的结论：

- 1) 半径相同的叠层串联电感的耦合系数大，接近于1，垂直螺线管电感具有小面积大电感值的优势；
- 2) 半径相同的叠层串联电感，两个线圈的耦合系数与线圈的半径大小以及线宽无关，与相对位置有关；
- 3) 不同层且半径不同的同轴线圈的耦合系数近似等于这两个线圈在同平面时的耦合系数。

3.1.3 垂直螺线管电感优化设计

随着数字电路的工艺迅猛发展，晶体管的特征尺寸不断缩小，互连线的层数不断增多，使得垂直螺线管结构再度受到关注。叠层电感通过提高电感线圈之间的耦合系数，进而增大电感与金属线圈串联电阻比值的方法提高电感的性能。半径相同的叠层线圈之间的耦合系数大约在 0.9 左右，在每圈电感值相同的情况下，电感值近似等于叠层电感的层数 (n) 的平方，而在忽略邻近效应的情况下，电感的串联电阻近似等于每一层电感线圈串联电阻之和，与 n 成正比，也就是说电感值是 n^2 倍增加，而其电阻值 n 倍增加，进而电感性能得以提高。在设计电感时，还要考虑垂直螺线管电感的寄生电容影响。

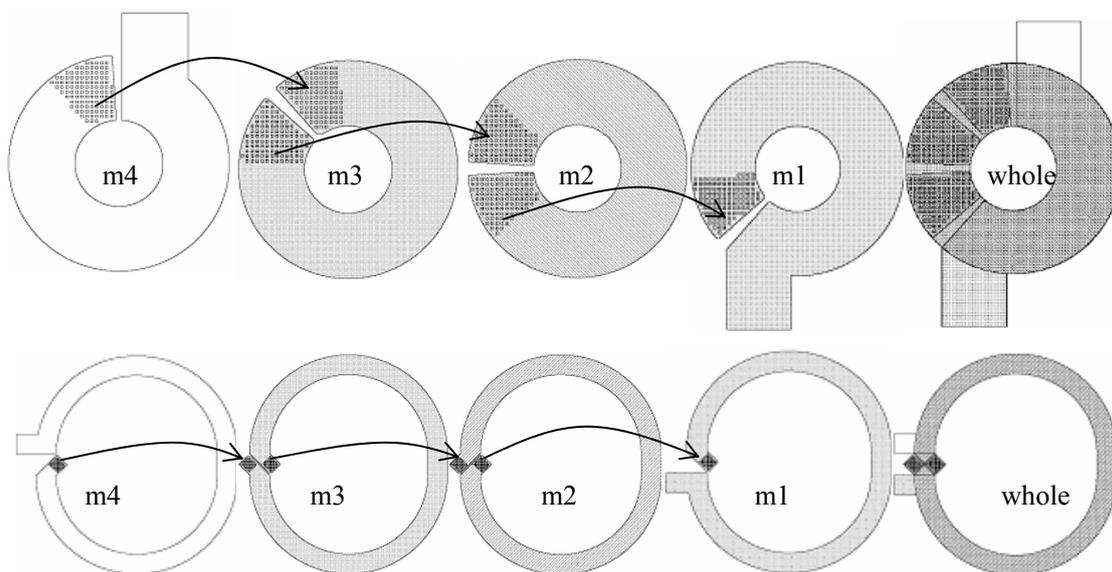


图 3.5 两种垂直串联的连接方式

图 3.5 给出了两种垂直的串联连接方式。图 3.5 上面的连接方法是通过在线圈内错开连接处的方式完成的。在线圈的半径不是远远大于金属的线宽的时候，上面的连接方式电感不再是完整的 4 圈。电感圈数减小，降低了电感的有效值；

图 3.5 下面的连接方法是通过将连接处内外弯曲，而后分别连接同一其他金属层。该连接方式不能保证线圈的形状，比如圆形变成了椭圆，连接的部分金属出现拐弯，增大了串联电阻。而且这样的垂直连接方式，不能保证电感的两个端口看进去的阻抗相等，就是说难以实现良好的差分电感。基于上述的连接方式的分析，提出 Z 字开槽连接方式。图 3.6 为每一层都是单圈的垂直单端螺线管和垂直差分螺线管。

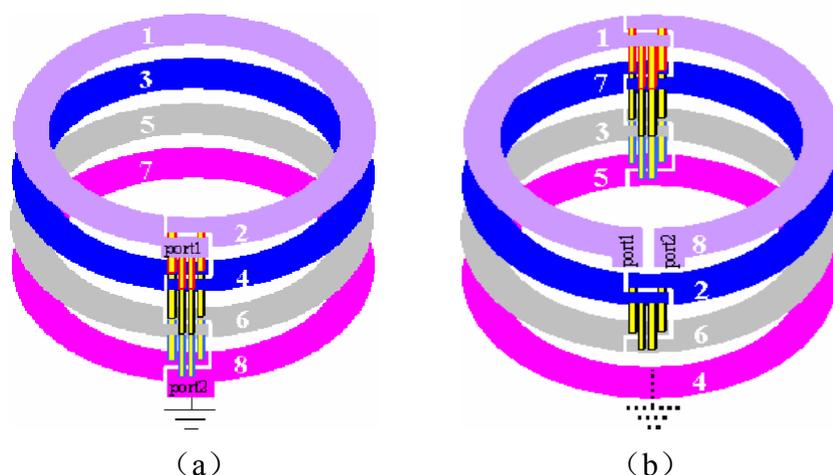


图 3.6 垂直螺线管片上电感示意图；(a) 单端电感；(b) 差分电感

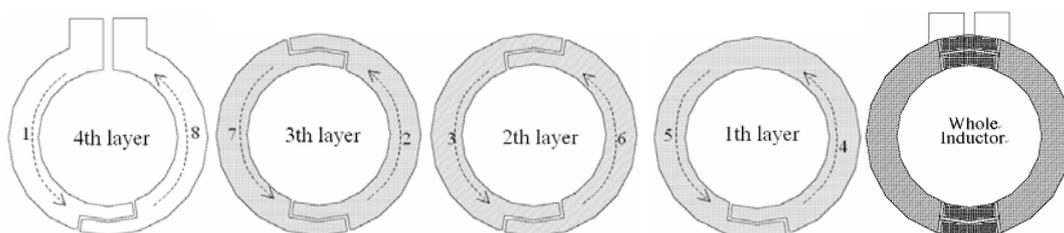


图 3.7 4 层金属线圈差分垂直螺线管片连接示意图^[3.1]

上下两层的连接处采用 Z 字形开槽，槽的宽度满足设计规则要求。Z 字的两横垂直于线圈的边缘；Z 字的斜杠平行于线圈的边缘，位于线圈宽度的中心位置。上下两互连层的 Z 字横杠部分的开槽方向相反，确保不同电感线圈电流方向的一致性。Z 字部分通过通孔与上下两层连接。图 3.7 是 4 层金属线圈差分垂直螺线管的连接示意图。第一层金属的下部 Z 字型部分与第二层金属的下部 Z 字型部分通过通孔连接，第二层金属的上部 Z 字型部分与第三层金属的上部 Z 字型部分通过通孔连接，第三层金属的下部 Z 字型部分与第四层金属的下部 Z 字型部分通过通孔连接，依此类推，这样电流的方向或反方向就是图中数字从小到大的方向。这样的连接方法在几何上保证了单圈垂直螺线管电感的两个端口对称性，进而保证了电感的差分性能，为差分性能要求苛刻的电路提供了理想的电感设计方案。

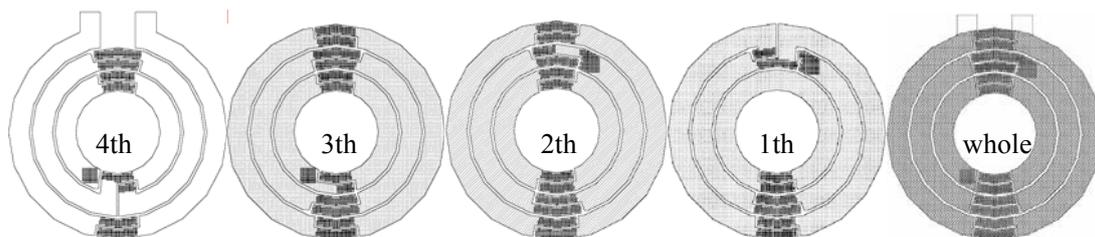


图 3.8 4层3圈差分垂直螺线管片连接示意图

如果是多圈的叠层，在其底层向内扩展到下一圈的中心线位置，而后再以同样的方法向上延伸，再向内扩展到下一圈的中心线位置后，再以同样方法向下延伸，依此类推。图 3.8 给出了 4 层 3 圈差分垂直螺线管片连接示意图。黑的部分为通孔。常用的其他连接方法是金属外延后上下两层连接，再回到原线圈的位置，使得线圈的形状发生变化（如图 3.5 下部的连接方式），而且串联电阻增大。该方法保证了电感的圆形或多边形不变，使得上下两层的耦合系数不降低，也基本不而外增加串联电阻（只是一个 Z 字开槽）。

互连线底层金属一般用作局部的临近晶体管连接，中层互连线多用于中等距离的晶体管连接，顶层互连线是全局连接通路。这样为了降低长距离连接的串联电阻，越是顶层金属的厚度越大。所以可以采用金属并联之后再串联的方式，比如 m_1 并联 m_2 ，再与并联的 m_3 和 m_4 串联，降低电感串连电阻，同时增大线圈之间的耦合系数，进而改善电感的性能。

3.2 寄生电容降低方法

电感的寄生电容将电能储存起来，降低了电感电能转换为磁能的能力，而电感与衬底之间的寄生电容又引起了电感衬底的电能损耗，进而降低电感的性能。低的寄生电容，意味着电感的品质因数和自谐振频率高。本节将从结构上和工艺上提出降低电感寄生电容的方法。

3.2.1 结构上降低线圈与衬底之间寄生电容的方法

下面提出采用不改变工艺降低 C_{m_s} 的一系列方法，可以根据具体的应用以及工艺来进行选择。

1) 差分结构

从公式 (2.18) 和 (2.27) 可以看出在几何参数相同情况下，差分结构的 C_{m_s} 是单圈结构的四分之一。所以在差分电路中尽量选取差分结构电感，而不采用两个单端结构电感。

2) 最小压差法

因为 C_{m_s} 与最底层电感线圈和接地衬底之间的电压差成正比，所以设计电感时，尽量将最底层金属线圈设计成电感当中绝对值最小的交流电压的部分。比如垂直螺线管结构最底层的电压最低，金属的层数越多，电感对衬底寄生电容越小。

3) pn 结衬底隔离降低 C_{m_s}

采用 pn 结衬底隔离可以降低电感与衬底之间的寄生电容^[3.2-3.4]，采用叠层的 pn 结衬底隔离降低电感的 C_{m_s} 在作者之前还没有见到报道^[3.5-3.6]。

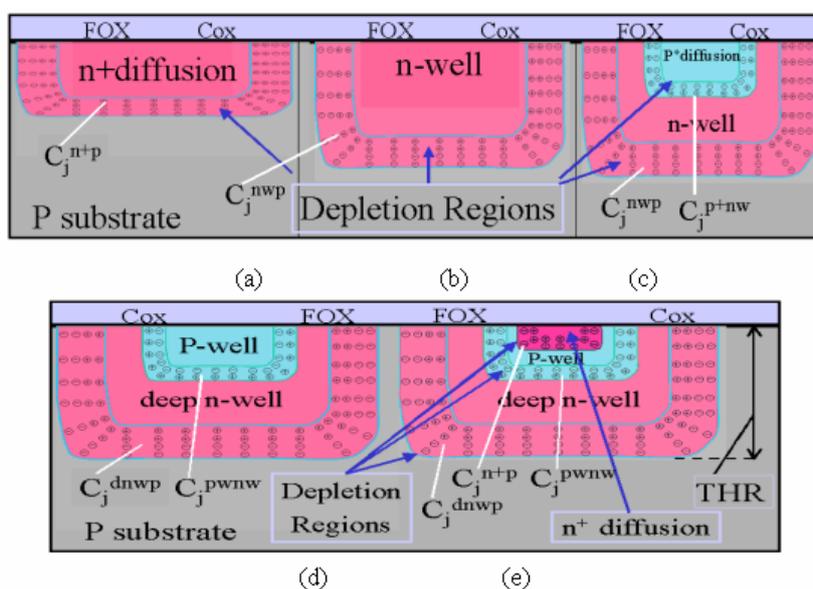


图 3.9 pn 结衬底隔离结构

多数 CMOS 衬底的类型是 p 型半导体，在 n^+ 扩散层 或 n 阱 与 p 衬底之间的界面形成单 pn 结，分别是 n^+p 和 $nw-p$ ，结构剖面图分别见图 3.9 (a), (b)。对于单阱工艺，通过在 n 阱上扩散 p^+ 形成双 pn 结(p^+nw-p)，见图 3.9 (c)；对于深阱工艺，可以在深阱上面形成相反类型的阱实现双 pn 结，比如在深 n -阱上面形成 p -阱(pnw)，见图 3.9 (d)；在 (d) 的 p 阱上面扩散 n^+ 就形成 3 个 pn 结叠层的结构($n^+pnw-dnw$)，见图 3.9 (e)。

由于阱和扩散层的电阻小于衬底电阻，为了防止涡流的形成，pn 结还需要设计成类似金属地屏蔽的放射形状。这样电感与衬底之间的耦合电容就是氧化层电容、pn 结电容与电感衬底电容的串联，就可以降低电感与衬底之间的等效电容 C_{m_s} 。增大 pn 结的反偏电压还可以进一步降低电感的 C_{m_s} 。

4) 最大距离法

C_{m_s} 与最底层电感线圈和接地衬底之间的距离成反比, 所以电感设计的时候, 尽量使用顶层金属。

为了屏蔽衬底的电场, 减小衬底电能损耗, 往往采用放射形状的地屏蔽层。这种方法降低了电感与接地导体的距离, 增大了 C_{m_s} 。地屏蔽层的电阻越小, 等效的 C_{m_s} 的品质因数就越高。不同地屏蔽层的 C_{m_s} 的品质因数的大小顺序是:

$$Q_{metal}^{C_{m_s}} > Q_{poly}^{C_{m_s}} > Q_{n^+}^{C_{m_s}} > Q_{n-well}^{C_{m_s}} > Q_{deep-n-well}^{C_{m_s}} \quad (3.5)$$

由于接地屏蔽层的电场屏蔽效果与其电阻成反比, 这样不同接地屏蔽层的电场屏蔽效果的顺序和地屏蔽层的 C_{m_s} 的品质因数大小顺序是相同的。但是由于 C_{m_s} 与接地屏蔽层和底层电感线圈之间的距离成正比, 这样, 不同地屏蔽层 C_{m_s} 的大小顺序是:

$$C_{m_s}^{metal} > C_{m_s}^{poly} > C_{m_s}^{n^+} > C_{m_s}^{n-well} > C_{m_s}^{deep-n-well} \quad (3.6)$$

下面进一步给出地屏蔽层的选择原则:

- (1) 地屏蔽层引入的寄生电容可以并入电路当中, 当构成电路的一部分的时候, 比如并联的 LC VCO , 尽量选择具有高品质因数 C_{m_s} 的屏蔽层;
- (2) 在寄生电容要求非常小的情况下, 尽量采用底层的地屏蔽层降低寄生电容;

结合 pn 结降低衬底电容的地屏蔽方式有:

- (A) 在深阱双 pn 结或三 pn 结地屏蔽结构中, 分别见图 3.9(d) 和(e), 深 n -阱接地;
- (B) 在单阱双 pn 结中, 见图 3.9(c), n -阱直接接地;

采用 pn 结电感衬底隔离能够在深入降低 C_{m_s} 的同时降低衬底涡流、屏蔽电感电场到达衬底的作用。

3.2.2 结构上降低线圈与衬底之间寄生电容的方法^[3,7]

由于电感相邻线圈之间的寄生电容与相邻线圈之间的距离 (S) 成反比, 可以采取增大相邻线圈之间的距离来降低其寄生电容。但是 S 增大会降低线圈之间的耦合系数, 这里需要折中处理。对于线圈间距相等的差分电感, 相邻线圈之间的压差是不一样的。因为电感相邻线圈之间的寄生电容与它们的电压差成正比, 与相邻线圈之间的距离成反比, 所以可以采取在不变间距的情况下降低相邻线圈之间的电压或者增大相邻线圈之间的距离来降低寄生电容:

- (1) 电感的设计是利用工艺厂提供的金属互连线来进行, 互连线的层数由工

艺决定，一般多于 4 层。为了降低电感对衬底之间的寄生电容，电感设计通常采用顶层金属或者顶部的几层金属并联的形式。通过电感线圈下面的互连线，将具有大的电压差的相邻线圈分开，使具有电压差小的线圈相邻，各个线圈的电流方向仍旧保持相同，线圈的间距依旧相等，见 3.10 (a)。因此，这样的调整可以降低等效的相邻线圈之间的寄生电容。

(2) 常规的电感线圈采用等间距的设计结构，由于差分对称电感外圈到内圈相邻线圈的电压差逐渐降低，可通过调整不同半径的相邻线圈之间的距离，大半径的相邻线圈间距大，小半径的相邻线圈间距小，调整后的间距使得外圈和内圈的相邻线圈单位面积寄生电容基本相等，从而使得整体的电感相邻线圈之间的寄生电容降低，实例见 3.10 (b)。

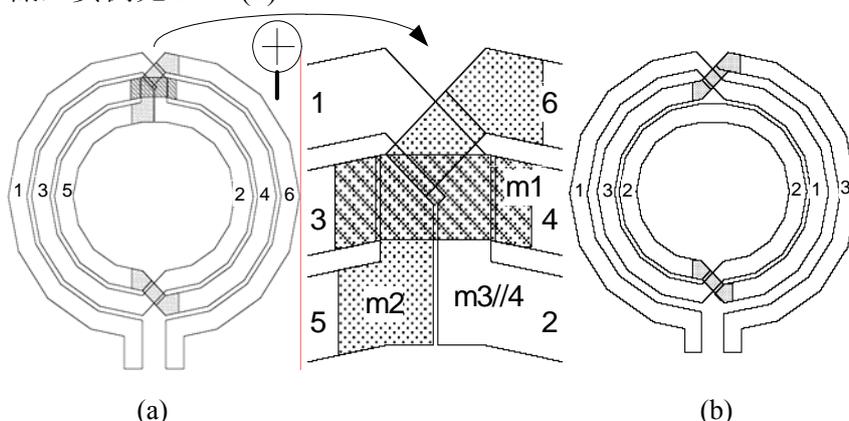


图 3.10 两个优化结构的差分驱动对称电感(注释:123456 是电流方向,也是交流信号的电压剖面;其中 m_i , m 代表金属, i 代表金属层序列号)

临近线圈的距离可以这样确定：假设半圈的电压是不变的，根据具体的半圈线圈的长度 (l_i , 其中 i 代表半圈的数字) 和整体电感的长度 (l_{tot}) 的比值，就可以得到该半圈的电压值，半圈的电压值和临近线圈距离成反比，根据电压降的顺序就可以计算出相邻线圈之间的大致距离。

单端垂直螺线管的圈数越多，则 C_{m-m} 越小^[3.8-3.10]。在差分的叠层结构可以通过调整电压顺序^[3.10]，使得压差较小的线圈上下相邻来降低 C_{m-m} 。

垂直螺线管电感线圈之间的耦合系数大于平面螺旋电感，这样保证在同样寄生电容的情况下，底层电感的面积很小，进一步降低垂直螺线管寄生电容。

3.2.3 改进工艺降低电感寄生电容

设计人员可以选择已有的工艺和对工艺提出要求，采用改进工艺，提高电感的性能：

- 1) 金属互连线的层数多，顶层距离衬底越远，可以直接降低电感对衬底的寄生电容；

- 2) 采用高介电常数的介质, 降低金属互连线以及互连线与衬底之间的寄生电容^[3.11];
- 3) 降低阱和扩散层的杂质浓度, 进而提高 pn 结衬底隔离降低等效的电感与衬底之间寄生电容的效果。

3.3 降低串联电阻的方法

下面将分别从工艺的角度和集成电路优化设计的角度, 论述降低电感的直流电阻和交流电阻的方法。

3.3.1 降低直流电阻方法

3.3.1.1 结构上降低直流电阻

从公式 (2.33) 很容易看出直流电阻 (R_{dc}) 和金属的电导率 σ 、金属厚度 t 、宽度 w 和长度 l 四个参量有关, 而电导率是电感的设计人员不能改变的工艺参量, 在结构上可以从其他的三个参量着手降低 R_{dc} :

1) 并联不同层金属互连线

使用通孔将不同层数的互连线连接起来, 增大了电感线圈的厚度 t , 进而降低了电感的串联直流电阻 R_{dc} , 提高了电感的品质因数。

2) 增大线圈线宽

从直流电阻公式 (2.33) 可见, 简单地增大电感线圈的宽度, 很容易就降低了电感的 R_{dc} 。但是宽度的增加会降低电感的自感和互感, 还增大电感的寄生电容, 进而增大电感的衬底电能损耗, 降低自谐振频率。由于邻近效应在高频的时候, 电流向线圈的边缘拥挤, 使得实际的电感线宽不再是设计的线宽, 而且, 使得临近的线圈的有效电流间距加大而降低耦合系数。邻近效应使得线圈电流再分布, 导致实际的电阻降低不再是与金属的线宽成反比。所以增大线圈线宽降低电感的直流电阻的方法要仔细地综合考虑。

3) 加强耦合系数

电感连线之间的耦合系数增大意味着相等的电感值下, 电感的周长 l 小, 进而降低电感的 R_{dc} 。比如采用叠层串联电感, 不同线圈之间的耦合系数大于平面螺旋电感的线圈之间的耦合系数, 意味着相同的电感值下, 具有更小的 R_{dc} 。

4) 增大有效面积和周长比

电感值和电感的有效面积成正比:

$$L = \Phi/I = BS/I \quad (3.7)$$

其中, Φ , B , S , I 分别为电感线圈的磁通量、磁场强度、有效面积和电流。所以如果能够保证有效面积恒定, 降低电感的长度 l , 意味着保持电感值不变, 降低电感的 R_{dc} , 从而提高电感的品质因数。我们知道圆是正多边形的极限, 多边

形中，圆的面积和周长的比值是最大的。下面我们就计算一下多边形外切圆面积与周长比归一化得到的不同边数正多边形的面积与周长比。

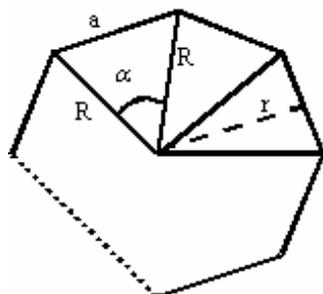


图 3.11 n 边正多边形及其几何参数

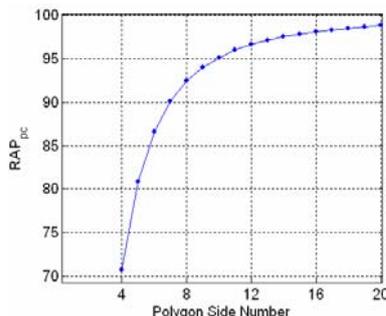


图 3.12 使用正多边形外切圆的面积与周长比归一化正多边形的面积与周长比

正多边形的相关参数定义如图 3.11 所示：边数为 n ；每一个边对应的中心角为 α ；边长为 a ，周长为 P ，面积为 A ；外切圆半径为 R ；内切圆半径为 r 。

正多边形的面积与周长比为：

$$\frac{A_p}{P_p} = \frac{1}{2} R \cos\left(\frac{\pi}{n}\right) \quad (3.8)$$

正多边形外切圆的面积与周长比为：

$$\frac{A_c}{P_c} = \frac{R}{2} \quad (3.9)$$

从公式 (3.8—3.9) 可见：面积与周长比随着半径的增大而增大，大半径电感的电感值与其电阻值（长度）之比大，进而其品质因数高。

使用正多边形外切圆的面积与周长比归一化正多边形的面积与周长比：

$$RAP_{pc} = \cos(\pi/n) \quad (3.10)$$

从公式 (3.10) 和图3.12可见，正多边形的面积与周长比随着边数的增多而增大，当多边形的边数大于12的时候，正多边形的面积周长比已经十分接近正多边形外切圆的面积与周长比，再增大多边形边数来降低金属串联电阻的效果也就不明显。

3.3.1.2 工艺上降低直流电阻

从直流电阻公式 (2.33) 很容易看出直流电阻 R_{dc} 与工艺相关的参量有金属电导率和金属的厚度，工艺上可以从这两个参量着手降低 R_{dc} ：

1) 采用大电导率金属

现在IC工艺的互连线采用最多的是两种金属：铜和铝。显然，相同的几何参

数的情况下，采用小的电阻率的金属会降低电感的 R_{dc} 。

2) 嵌入式通孔

电感的设计中采用通孔是很难避免的。铝互连线的通孔一般采用电阻较大金属钨。工艺到达 $0.13\mu\text{m}$ 的铜互连以后，通常采用嵌入式通孔结构，就是通孔材料与互连线相同，这样就会降低 R_{dc} 。

3) 增加金属厚度

从直流电阻公式 (2.33) 显然可见，增大电感线圈的厚度，就能降低 R_{dc} 。

3.3.2 电流拥挤效应抑制

电流拥挤效应包括趋肤效应和邻近效应，下面分别论述降低两个效应的方法。

3.3.2.1 趋肤效应抑制

从上一章的分析可见，无论是厚度方向的趋肤效应还是宽度方向的趋肤效应，横截面 ($A=wt$) 小，则趋肤效应的影响降低。A小意味着互连线的直流电阻大，为了降低 R_{dc} 可以采用大量横截面积小的互连线并联，同时又能降低趋肤效应的影响，如图3.13所示。

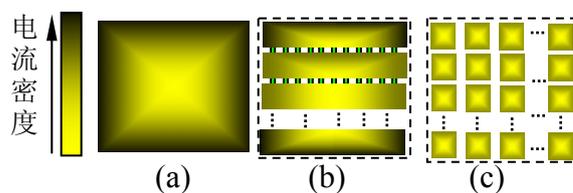


图3.13不同的电流路径的金属趋肤效应示意图

(a) 单根金属；(b) 不同层的金属大量通孔并联；(c) 窄线宽的薄金属并联

使用 $32\mu\text{m}$ 宽金属直流方块电阻(R_{dc})归一化不同宽度金属铝并联到 $32\mu\text{m}$ 宽度的金属方块电阻(R_{skin})，归一化的电阻随频率变化关系见图 3.14。使用 $32\mu\text{m}$ 宽金属垂直趋肤效应电阻(R_{skin-v})归一化不同宽度金属铝并联到 $32\mu\text{m}$ 宽度后的金属方块电阻，归一化的电阻随频率变化关系见图 3.15。显然，相同的金属宽度下，越窄越薄的金属并联，导线的趋肤电阻越小。

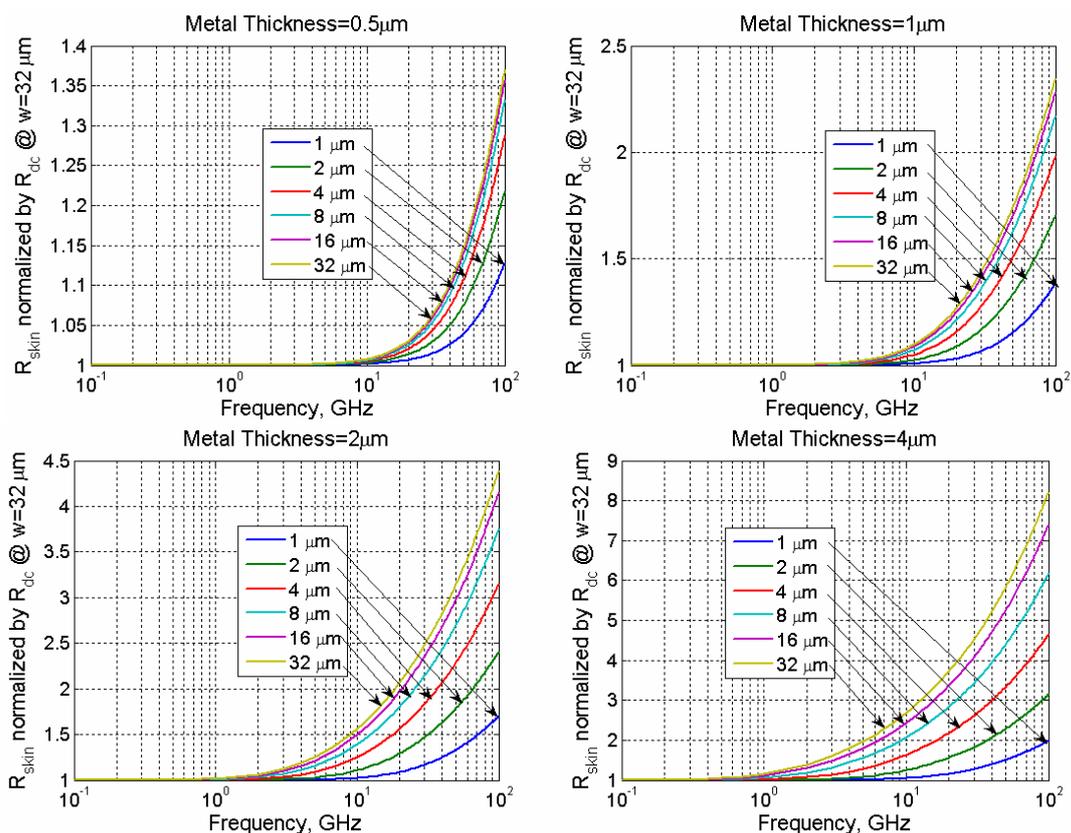


图 3.14 归一化的并联后宽度为 $32\mu\text{m}$ 金属铝方块电阻随频率的变化（图中 $1\mu\text{m}$ 的含义是 32 个 $1\mu\text{m}$ 宽度并联到 $32\mu\text{m}$ ， $2\mu\text{m}$ 的含义是 16 个 $2\mu\text{m}$ 宽度的金属并联到 $32\mu\text{m}$ ，依此类推）

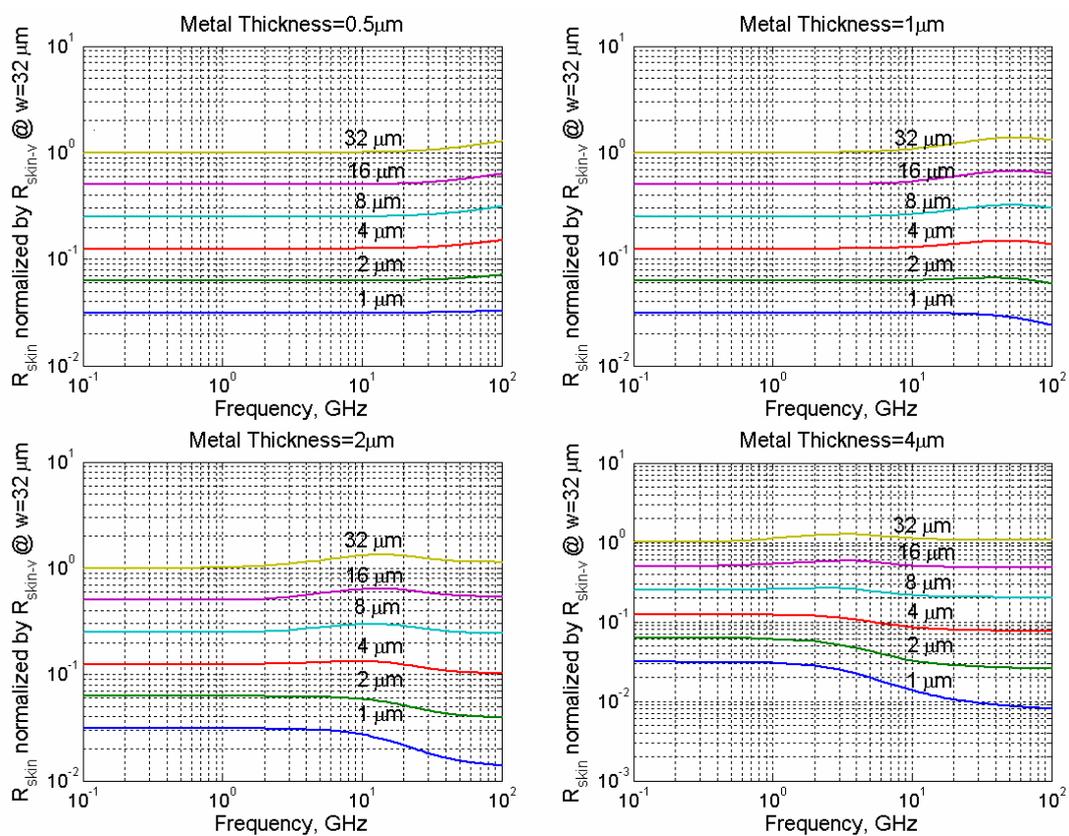


图 3.15 归一化的并联后宽度为 $32\mu\text{m}$ 金属铝方块电阻随频率的变化（图例含义同图 3.14）

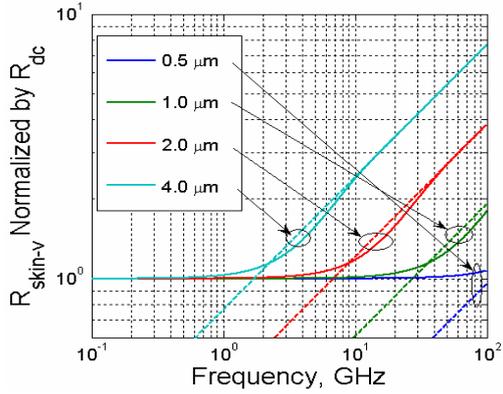


图 3.16 4 μm 厚度金属直流方块电阻归一化的不同厚度金属铝并联到 4 μm 的垂直趋肤效应金属方块电阻（实线）和 高频电阻（虚线）随频率的变化；（图中 0.5 μm 的含义是 8 个 0.5 μm 厚度的金属并联到 4 μm ，依此类推，）

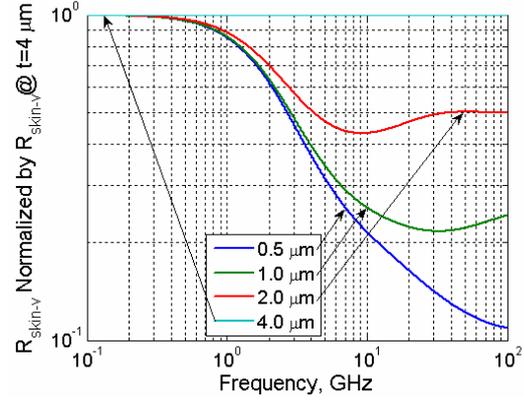


图 3.17 4 μm 厚度金属的方块电阻归一化的不同厚度金属并联为 4 μm 的垂直趋肤效应金属方块电阻随频率的变化（图例含义同图 3.16）

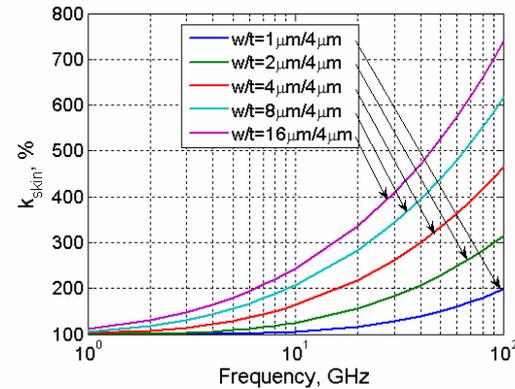
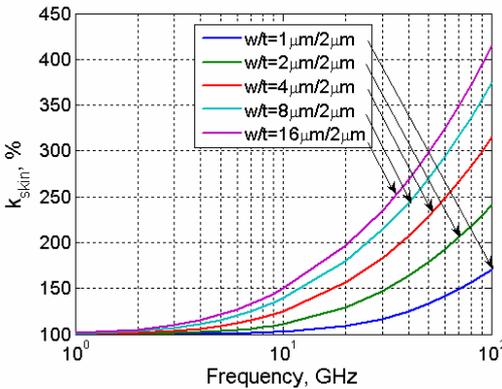
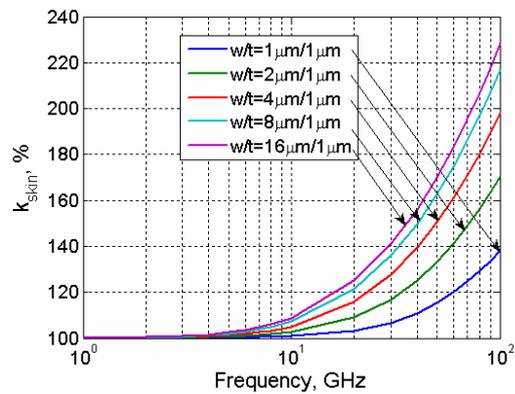
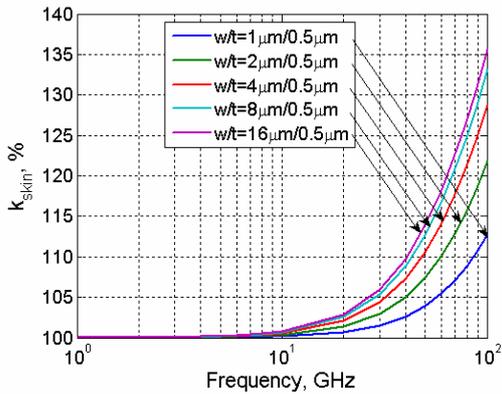


图3.18不同厚度金属并联为4 μm 厚，不同宽度并联为16 μm 宽后的趋肤电阻系数（图中 $w/t=1\mu\text{m}/0.5\mu\text{m}$ 的含义是 16 个 1 μm 宽度的金属线条并联到 16 μm 宽度，8 个 0.5 μm 宽度的金属线条并联到 4 μm 厚度，依此类推）

从图3.16可见，越是薄的金属，其垂直趋肤电阻等于高频电阻 R_{HF} 的频率越高，其抵御垂直趋肤效应的能力就越强。因此，将薄的金属在电流流入流出金属

的地方通过通孔并联,在其他地方不打通孔,也就是该处说没有电流的垂直通路,这样就能有效的抵御垂直趋肤效应,见图3.17。采用垂直趋肤效应小的薄金属并联得到的电阻同样垂直趋肤效应的影响小,而大大降低金属的交流电阻。就是说,不是简单的增加金属的厚度,而是将金属的单层厚度降低,而后将各个单层并联,让电流在各个层次按其阻抗的反比分配就能降低垂直趋肤效应。图3.16中的曲线出现拐点以及图3.17中的曲线出现最小值后趋于平缓的现象是因为在该频率处金属的有效厚度趋于两倍的趋肤深度。

图 3.18 是不同厚度金属并联为 $4\mu\text{m}$ 厚,不同宽度并联为 $16\mu\text{m}$ 总宽后的趋肤电阻系数。显然,越是薄且窄的金属并联,得到的趋肤电阻系数越小。

从上面的分析可以得到下面的结论:总的金属宽度和厚度不变的前提下,将金属分为并联的小横截面积的电流路径越多,趋肤电阻越小。

3.3.2.2 邻近效应抑制

采用电感的布局布线技巧可以降低邻近效应电阻。

A) 拉大线圈间距和采用中空结构

邻近效应涡流的大小与外加磁场强度成正比,这意味着外加的磁场强度越大,该处金属的有效电阻越大。所以下面计算了磁场在电感中的分布情况。

距离激励线圈(主线圈)平面的距离为 Z 、投影半径为 r_1 、方位角为 α 的坐标点P(见图3.19)沿着激励线圈垂面方向的磁场强度为:

$$dH_{\perp} = \frac{i r_p d\bar{\alpha} \sin(\theta)}{4\pi r^2} \cos(\beta) \quad (3.11)$$

将(3.11)式沿着金属的周长进行积分就能得到任意点的激励线圈垂面方向的磁场强度。圆环中心的磁场强度为:

$$H_c = \frac{I}{2} r_p^{2/3} \quad (3.12)$$

其他点的磁场强度使用该点磁场强度归一化,进而分析整个电感的磁场分布。

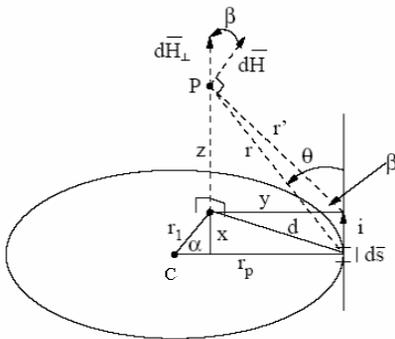


图3.19 激励线圈磁场计算的坐标示意图

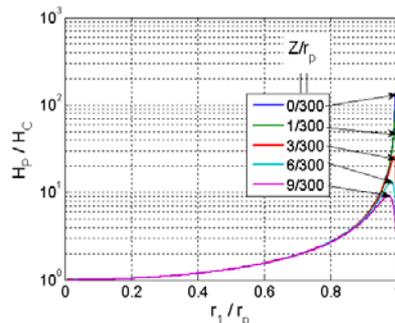


图3.20 线圈的磁场分布

图3.20是使用线圈中心的磁感应强度归一化不同半径位置的磁场应强度矢量。随着半径的下降和Z的增大，磁场强度下降的很快。也就意味着金属导体间距小，邻近效应强。拉大线圈的间距会降低邻近效应，但是也相应的降低了线圈之间的耦合系数，需要折中处理。

在平面螺旋电感中，内圈的磁场强度是外圈磁场强度的叠加，使得越是内圈外在磁场越强，邻近效应也就越大，为此建议采用中空的电感结构^[3.12]，避免相对大的内圈电路拥挤效应。

B) 不等宽度

平面螺旋电感相邻线圈之间的耦合属于偶耦合，电流的分布被推向相邻线圈的非相邻边，但是由于内圈的外在的磁场强度越大，内圈的电流被推向靠近中心的线圈边缘。越是内圈电流的拥挤越是严重，使得内圈的外半径边缘没有电流流动，这样两个相邻线圈之间的有效电流距离被拉大，将线圈中没有电流的部分裁掉，降低了相邻线圈之间的有效距离，增大了电流的耦合系数，进而增加了电感的品质因数。图3.21是不等线宽的电感芯片照片^[3.13]。

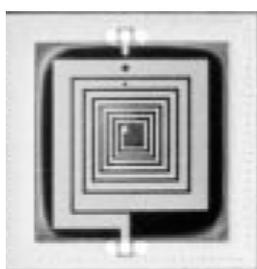


图3.21 不等线宽的电感优化^[3.13]

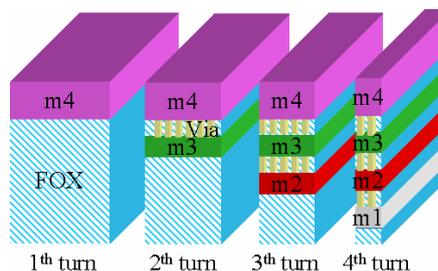


图3.22 不等宽度的优化并联电感剖面图

不等间距法实际上并没有直接降低电感的串联电阻，内圈的电阻还是比较大。为此，从电感与衬底之间耦合电容的折中角度考虑，可以采用内圈金属并联层数多，外圈金属并联层数少的方法，来降低内圈电阻大的问题。图3.22是四层金属互连线的4圈电感线圈剖面图。

C) 多电流路径

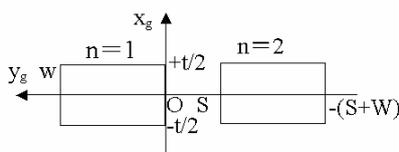


图3.23 两个相同的金属线段的位置坐标

图3.23是两个相同的金属线段的位置坐标。根据 (2.45) 可以得到两者横截

面的电场分布（也就是电流分布），见图3.24和图3.25。

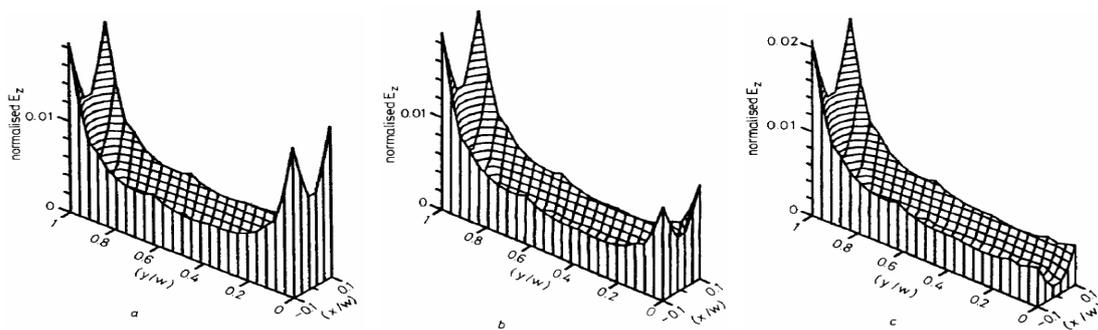


图3.24 一个偶耦合的导体横截面归一化的电场分布 $(|E_z/E_Z^{ext}|)$ [3.14] ,

$$w/t=5, P = \frac{\sqrt{w/t}}{\delta/t} \sqrt{\frac{2}{\pi}} = 9 \quad , a)w/s=0.1, b)w/s=1.0, c)w/s=10$$

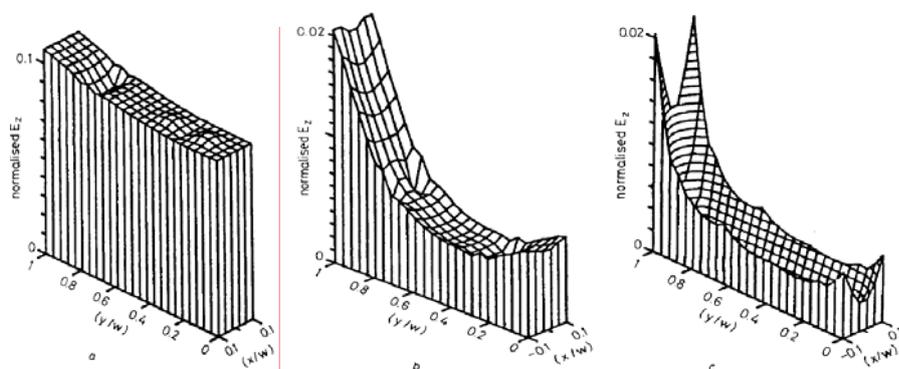


图3.25 一个偶耦合的导体横截面归一化的电场分布 $(|E_z/E_Z^{ext}|)$ 随着P增加的变化[3.14] ,

$$w/t=5, w/s=4 \quad , a)P=1, b)P=3, c)P=9 \quad (P = \frac{\sqrt{w/t}}{\delta/t} \sqrt{\frac{2}{\pi}})$$

图3.24和图3.25可以得到下面的结论：

- 1) 两个相邻的偶耦合的导体的w/s越小，邻近效应越小；
- 2) 在两个导体的距离足够接近，金属的宽度远大于间距的时候，金属的交流电阻等于两个金属宽度导体的趋肤电阻的两倍；
- 3) 随着频率的增大，邻近效应增大。

金属之间的最小距离是受工艺的设计规则限制的，为了增大耦合系数，通常采用最小间距。因此，要通过降低w来降低w/s抑制邻近效应。但是这样会增大金属的直流电阻，可以将多根窄金属并联来降低金属的直流电阻，同时抑制了邻近效应[3.15 - 3.16]。

D) 垂直叠层和水平螺旋电感的电流拥挤效应比较

垂直叠层电感的相邻线圈在垂直方向是相邻的，将金属旋转90°，把金属的厚度看成金属的宽度，金属的宽度看成金属的厚度，见图3.26 (a)。这样金属

的宽度和间距的比值就小，从上面的讨论可得，它与相同金属宽度和间距的平面螺旋结构相比（如图3.26（b）所示），邻近效应弱。这就是垂直螺旋电感寄生电阻低的一个重要原因，也说明了叠层串/并联的好处。

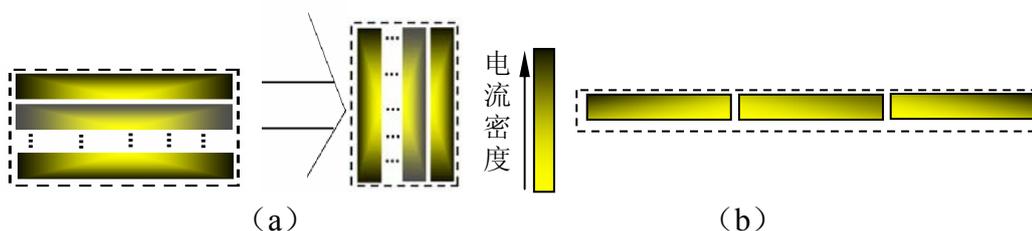


图3.26 相同宽度的垂直叠层（a）和水平螺旋电感（b）的电流拥挤效应比较

3.3.2.3 多电流路径抑制电流拥挤效应的版图优化设计方法

采用多电流路径来抑制电流拥挤效应，在分立元件中早有使用，称其为LITZ金属线，见图3.27。LITZ金属线通过将一个横截面积大的金属，分成横截面积相等，长度相等，进而阻抗相等的多个金属并联的形式来降低电流拥挤效应。同理，利用集成电路互连线的形式设计平面的或立体的LITZ金属线同样可以降低金属的串联高频电阻。

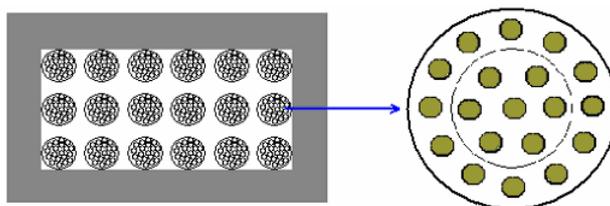


图3.27 片外的LITZ的线圈缠绕降低线圈的电流拥挤效应

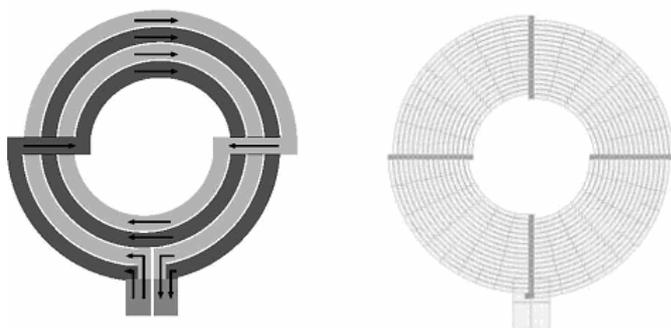


图3.28是通过多层金属互连线内外圈相互缠绕的方法实现多电流路径的布线方法^[3,16]；左图是基本原理，右图是每圈电感有4条电流路径的4圈电感（0.18 μm 6层铝金属CMOS工艺）

通过多层金属互连线内外圈相互缠绕的方法实现电阻基本一致的多电流路径，进而抑制水平方向的电流拥挤^[3,16]，如图3.28所示。该方法其实是一种平面的LITZ形式，抑制了金属宽度方向的趋肤效应和邻近效应，最大的品质因数提

高了40%。但是该文没有抑制垂直方向的趋肤效应，还有电感的两个端口不是几何对称结构，很难精确地保证其差分性能。**LITZ金属线结构**，利用小横截面积的电流路径并联来有效抑制电流拥挤效应的前提是每个电流路径的阻抗相等，进而保证电流按照电流路径阻抗的反比均匀分配。针对上面的分析，可采用同一圈金属的多路径的线宽不同的解决方法，靠近内半径的金属线条窄些，外圈的金属线条宽些，保证同一线圈的内外半径的串联电阻的一致。这样做比均匀的分配线圈的宽度好些，但还是不能保证每一电流路径的电感值和寄生电容相等，进而金属宽度方向的电流拥挤效应抑制效果下降。在金属的厚度方向，将电感只在电流出入的地方并联，由于上下层金属厚度和物理周边环境的不同使得垂直电流多路径抑制垂直电流拥挤效应的效果下降。

需要借鉴片外功率线圈的缠绕方式，根据集成电路互连线的特性重新考虑电感线圈的缠绕方式。集成电路的互连线是多层的金属，层与层之间可以通过通孔连接。金属的厚度由工艺厂决定，金属的宽度可以在很大的范围内自由的设计。下面讲解两种通过让每一个电流路径中的电流流过电感所有横截面金属层的方法，来实现每个电流路径的阻抗一致，进而电流分配均匀的设计方法：

1) 紧密螺旋缠绕

图3.29是分立元件的平面LITZ结构^[3.17]，可以用来借鉴设计集成电路的互连线的LITZ结构。该方法就是将一个线圈分成多股的金属丝，金属丝的宽度和间距相等，在一个扁平的长方体上通过通孔缠绕的方法保证每一股金属丝的阻抗相等。两层金属丝缠绕成一个电感线圈，再进行整体的缠绕，就如其他的单股金属丝缠绕片上电感的结构一样，或是叠层或是螺旋。这样在一圈当中沿着轴向（图3.30的Z方向）的实际圈数就是2。上下两层的金属的电压差比较小，寄生电容小。可以上下层分别并联其他金属层次，更加可以作为整体多层进行并联或串联，以及套筒式缠绕等方式实现三维的电流多路径结构。所以该结构可以实现单端和差分电感的多路径设计。

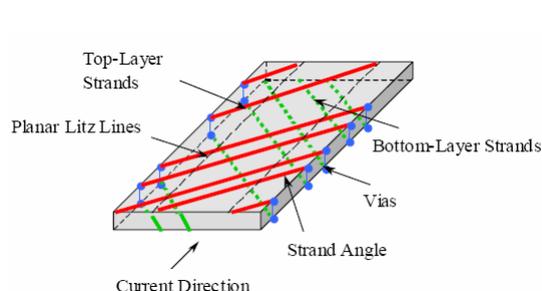


图3.29 分立元件的平面LITZ结构

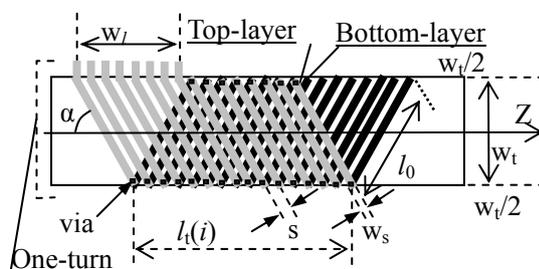


图3.30 螺旋缠绕的平面LITZ结构俯视图

图3.30是8股金属线螺旋缠绕的平面LITZ结构的俯视图。平面螺旋LITZ结构

的金属线的几何参数定义为：

- m: 同一平面金属线包含股的数目；
- N: 电感金属线圈的数目；
- n: 金属线在平面绝缘层上缠绕的圈数；
- t_l : 第 l 层金属和第 $l+1$ 层金属的间距；
- α : 金属线和整体的金属线圈轴线的夹角；
- w_s : 单股金属线的宽度；
- l_s : 每股金属线的长度；
- s: 相邻两个同向的单股金属之间的间距；
- w_l : 被分成多股的缠绕金属线宽度；
- w_l : 单圈电感的宽度；
- l_0 : 某层金属线段中心线的长度；
- $l_t(i)$: 第 i 圈电感或者电感的第 i 部分长度。

通过上面的定义以及图3.30的实例就可以得到各个参量之间的关系：

$$w_l = m(w_s + s) - s \quad (3.13a)$$

$$w_t = l_0 \tan(\alpha) \quad (3.13b)$$

$$l_t(i) = n w_l \quad (3.13c)$$

$$l_s(i) = 2n(l_0 + t_l) \quad (3.13d)$$

从图3.30可见，上下两层相连的金属中电流方向的夹角是 $\pi - 2\alpha$ 。这个夹角越大越好，使得上下两层之间的电流方向一致性加强，也就是加强了上下两层的正互感。该种结构的金属线条的股的数目可以根据具体的情况来确定，比较灵活。

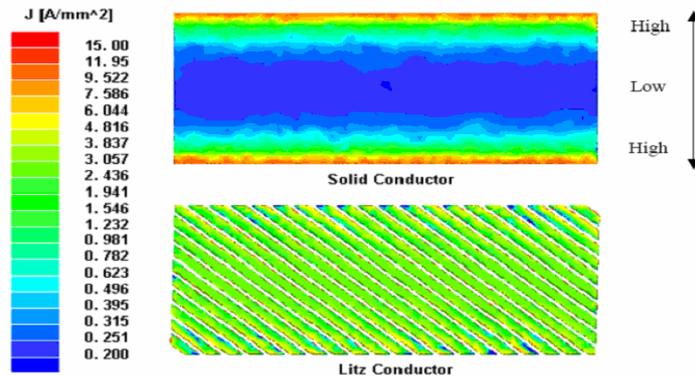


图3.31 螺旋缠绕的平面LITZ结构的高频电流分布^[3.17]

图3.31是上下两层20股线PCB板螺旋缠绕的平面LITZ结构在1MHz的高频电流分布^[3.17]。可见该种结构对电路的高频电流的再分布的抑制是大有好处的。

2) 间隔缠绕

在紧密螺旋缠绕结构基础上还可以进一步推广，采用金属线间隔缠绕的方

式。这样在同一个缠绕绝缘层就可以实现多电感线圈。图3.32就是一个两线圈间隔缠绕，每个线圈具有4股金属线。这样的缠绕上下两层的相连的金属中电流方向的夹角是 $(\pi - 2\alpha) / N_d$ 。其中， N_d 表示同一绝缘层间隔缠绕的金属线圈数。该结构的两个端口是几何对称的，进而保证其差分性能。

前面的图示只是一个电感线段的一部分而已，要实现多边形和圆形，才能增大线圈的正互感。这里提出一种电感金属线段的设计方法：相邻金属线段的中心间距不变，靠近外圈的金属宽度增大，金属线是梯形的非等宽线段。以圆电感为例，见图3.33，因为同层的相邻金属线段的中心线相互平行、间距相等，所以金属线段的在线圈的内外半径圆环上的宽度 W_1 和 W_0 与该线段对应的线圈内半径 R_1 以及相邻线段之间的间距 s 的关系为：

$$\frac{W_0 + s}{W_1 + s} = \frac{R_1 + W_1}{R_1} \quad (3.14)$$

该电感线圈的金属线在绝缘层上缠绕的数目 n 和宽度以及半径的关系为：

$$n = \frac{2\pi R_1}{W_1 + s} \quad (3.15)$$

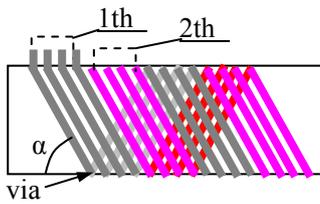


图 3.32 两线圈间隔缠绕示意图

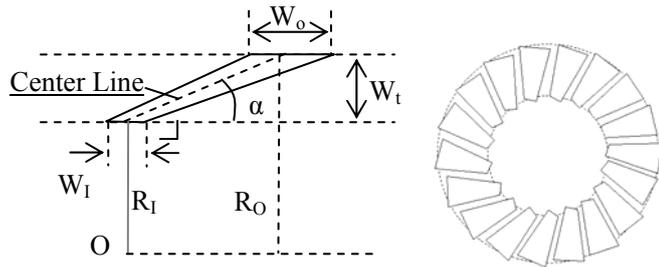


图 3.33 螺旋缠绕的金属线几何参数示意图

3.4 衬底的损耗抑制

一般的射频 CMOS 工艺，在几个 GHz 以内电感的主要损耗是其串连电阻，在更高的频率电感的主要损耗是其衬底损耗。

3.4.1 衬底涡流损耗的抑制方法

可以从公式 (2.59) 和 (2.60) 入手来降低衬底的涡流损耗，方法有：

从电路的设计角度考虑：

- 1) 降低电感的交变电流的强度；
- 2) 降低线圈的电感值；
- 3) 降低电感的使用频率；

从工艺的角度考虑：

4) 增大衬底的电阻；

从设计的角度考虑：

5) 降低电感的有效半径；

6) 增大电感与衬底之间的距离。

一般而言电感芯片是隔着衬底放在大的金属底板上的，这样电感的品质因数就与衬底的厚度有关：电感和芯片的金属底板之间会形成变压器，增大电感的电阻，降低线圈的电感值。而线圈和芯片底板的耦合系数随着两者的距离增大而降低，所以采用厚衬底电感品质因数会高^[3.18]。在实际使用时，最好将包含电感的芯片的底板打一个洞，采用底层的 PCB 金属来屏蔽电感。

在既定工艺的情况下，还可以通过工艺的灵活应用增大衬底的等效阻抗，降低电感的衬底涡流损耗，比如电感下面形成 pn 结，来抑制衬底的高频电流^[3.19-5.22]。

置于电感下面的 pn 结可以降低电感衬底耦合电容，但是由于阱和 p⁺或 n⁺注入的导电粒子浓度都远高于衬底的导电粒子浓度，而 pn 结不可能完全耗尽所有的导电粒子。这意味着在电感的下面铺设完整的 pn 结，会增大衬底的涡流，因此 pn 结的设计是要局部分开的，例如类似金属或多晶硅地屏蔽的结构，见图 3.34。

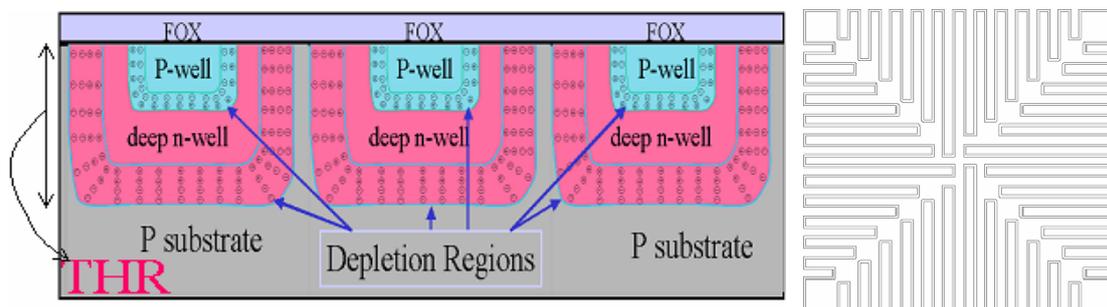


图 3.34 双pn结衬底隔离的横截面和俯视图

图 3.34是双pn结衬底隔离的横截面和俯视图。这样在垂直方向形成了pn结的同时，在水平方向也会形成pn结。pn结的耗尽层是高阻区，这意味着衬底的损耗电阻区域和电感之间的距离被拉大为衬底到最底层阱的深度，不再是薄的pn结厚度。由电流拥挤效应可知衬底的高频电流聚集在衬底的表面，高阻的pn结可以阻挡高频电流的流动，进而降低衬底损耗。

3.4.2 降低衬底电容耦合损耗的方法

从电感的结构角度出发，降低衬底的电能损耗方法包括：衬底地屏蔽、降低电感与衬底之间的耦合电容、pn结衬底隔离阻挡电容耦合电流等。从电感的工艺角度出发，降低衬底的电能损耗方法包括：增大金属的层数和绝缘层的厚度、降低绝缘层的介电常数、增大衬底的电阻等。降低电感与衬底之间的耦合电容的方

法在第二章已经讨论过了，这里不再赘述。pn结衬底隔离可以降低电感与衬底的耦合电容的同时，可以阻挡高频电流，降低衬底损耗。衬底的电能损耗随着电感的交流电压和频率增加而增大，所以在电路选择的时候，尽量设计和选择低信号电压和低频的工作方式。

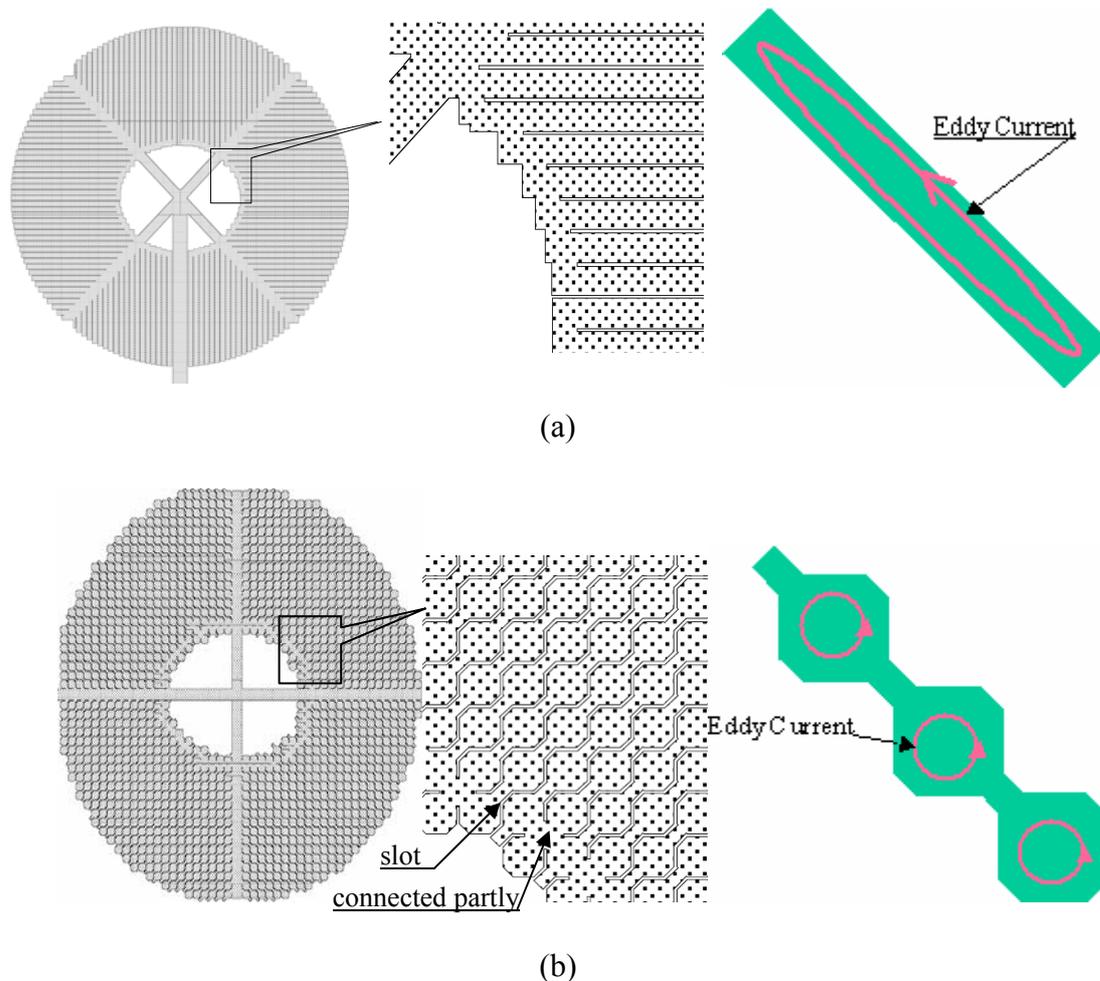


图3.35两种地屏蔽的画法

采用最底层的金属、多晶硅、 n^+ 扩散以及n阱等接地层平铺在电感的底部，这样电感的电力线就会终止在屏蔽层上表面，不会进一步进入衬底^[3.23-3.25]。前面提到的衬底的电能损耗也就不再有了。由于屏蔽层的电阻比衬底的电阻低，整体的屏蔽层会形成较大的涡流，屏蔽层的涡流会降低电感值、增大电感串连电阻，所以将屏蔽层设计成整体相连，而局部隔离，分开的缝隙垂直于电感的电流方向，使得电感的交变磁场不会在屏蔽层产生大的涡流。但是小的涡流还是不可避免的。涡流的电磁场方向是与电感的电磁场方向相反，必然会降低电感值。接地屏蔽层的目的是屏蔽电场不是磁场屏蔽。屏蔽层在一定程度上会屏蔽磁场，降低电感的性能。图3.35是两种地屏蔽的结构图。涡流的半径越小，它们之间的互感就

小，进而涡流磁场的强度就小，对电感的磁场影响也就越小。图3.35 (b) 的设计是为了进一步降低屏蔽层的涡流，这里称该结构为乒乓板地屏蔽结构。与图3.35 (a) 的线条结构地屏蔽相比，它将涡流的面积进一步缩小，进而降低屏蔽层涡流的影响。屏蔽层的内外经边缘大于电感顶层金属到衬底距离的3倍左右就可以了，大于这个距离的电场也就可以忽略了。屏蔽层中空是为了减小地屏蔽层对电感磁场的屏蔽。

从概念上需要明确和注意以下几点：

- 1) 屏蔽层的厚度对于电屏蔽的效果没有影响；
- 2) 屏蔽层要接“信号地”。至于“信号地”是不是与其他各种“地”相接取决于其他因素，对于电场屏蔽效果没有影响；
- 3) 再短的导线都有阻抗，电阻越小，感应的电压也就越小，损耗也就越小，电场屏蔽的效果也就越好；
- 4) 地环路是引入涡流的重要途径之一，所以每接一次“地”，都要分析会不会由于新增加的接地点而形成地环路；
- 5) 使用金属 1 的地屏蔽，引入的 C_{m_s} 是高 Q 电容，可以当作电路的一部分使用。比如将其并入 LC VCO 中的 C，但是这样可能降低一些振荡器的调谐范围。

从工艺的角度降低衬底电能损耗的方法有：

- 1) 采用低介电常数氧化层可以降低电感与衬底之间的耦合电容^[5.15-5.16]进而降低衬底的电能损耗；
- 2) 尽量加大金属和衬底之间的距离，降低电感与衬底之间的电容耦合；
- 3) 调整阱的浓度以及 p^+ 或 n^+ 的注入浓度，形成小寄生电容的 pn 结，用来衬底隔离；
- 4) 深阱隔离；
- 5) 深槽隔离。

3.4.3 衬底耦合的降低

电感和附近其他元器件的衬底耦合是通过两种方式进行的：电感衬底电容耦合电压和附近其他元件之间的电压差造成的电场耦合；电感在衬底形成的涡流影响其他临近电路。

衬底的电场耦合可以通过接地环^[3.26]、衬底地屏蔽^[3.23]来降低。地屏蔽层对于磁场的屏蔽是有限的^[3.25]。电感的接地环一定要设计成开路结构，防止该环中形成涡流降低电感的品质因数。事实上相对窄的豁口接地环仍能显示感性，其涡流磁场方向仍旧和电感的磁场方向相反，进而降低电感值、增大电感串联电阻，

因此要尽量将地屏蔽环设计成分立的结构，具有多个豁口，进一步降低其感性，抑制其负面作用。

一般说来，不论是磁耦合还是电磁耦合，主干扰回路与被干扰回路之间的距离越大，涡流越小，干扰作用越小。所以在可能的条件下，把主干扰回路与被干扰回路之间的距离加大也能部分解决干扰问题。从图 3.36 可见，在电感外圈的磁感应强度随着与电感距离的拉大迅速下降。可以得到下面的结论：

- 1) 一般而言在电感外边缘以外，约电感的十分之一半径处的磁场强度就可以忽略了；
- 2) 同时也说明一个问题，大半径的电感，需要将其他元器件和电感之间的距离拉得更大，才能降低电感磁场串扰。

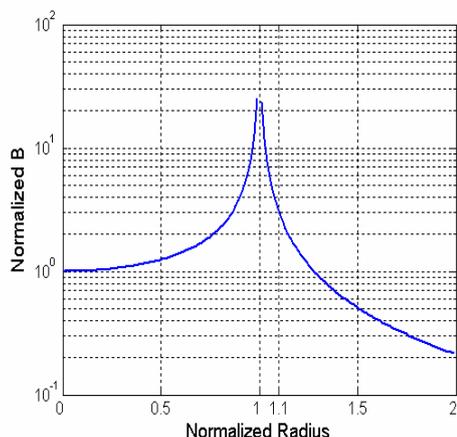


图 3.36 电感中心磁感应强度归一化电感不同部位的磁感应强度

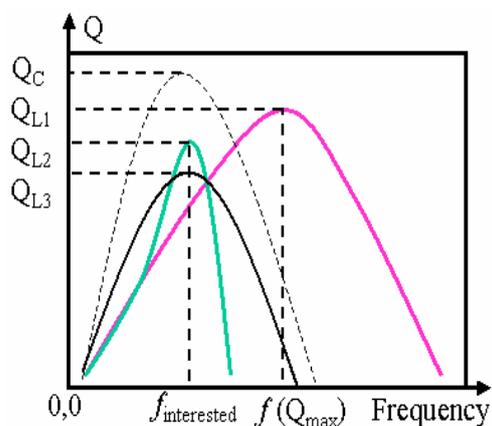


图 3.37 三个层次的品质因数

3.5 电感应用电路优化设计方法

片上电感的寄生参量不能消除，因此电感的设计要与电路的设计同时进行，实现电路性能最优。

3.5.1 高性能片上电感的标准

评价片上电感的设计可以分三个层次，见图3.37：

第一个层次：现在的芯片代加工厂基本都提供电感，通常采用顶部两层金属并联设计电感。电感的内半径相等、间距相等、圈数不同实现不同的电感值。这样的电感是通用的设计，就是希望满足所有的电感电路的，不是针对某个电路优化设计的。芯片代加工厂提供准确的模型，将电感单纯的当成集成电路标准元件提供给电路的设计者使用；

第二个层次：使用各种提高电感性能的方法，在电路的工作频率下，优化设计电感，使其具有最大的品质因数，还是将电感当成元件来优化；

第三个层次: 将电感的固有参量和寄生参量作为电感电路的一个相互关联的子电路, 进行电路级系统优化, 实现电路最佳性能。这时电感的品质因数可能更低或更高, 以电路性能最佳为标准。这时, 电感的设计满足两个目的:

1) 使用电感的电路性能最佳, 即不是电路的品质因数也不是电感的品质因数最高。

2) 电感占据最小的面积。

实际的设计当中往往要在两者之间做折中处理。

3.5.2 压控电感自调谐振荡器^[3,6]

实际的 LC VCO 的设计当中, 采用压控电容的方法改变振荡器的谐振频率。电路的工作频率就是 LC 的谐振频率。能否设计电感工作在自谐振频率上, 进而实现振荡器。第二章讲述了 pn 结衬底隔离, 由于 pn 结的结电容与电感和衬底之间的氧化层电容串联, 而降低电感与衬底之间的寄生电容 C_{m_s} 。这时候 C_{m_s} 就接受 pn 结偏置电压的调制, 也就是说可以通过调制电感下面的 pn 结电压来实现压控电容的作用。下面就分析这种方法的可行性。

A) 反偏pn结改变电感自谐振频率的前提条件分析

电感下面铺pn结改变电感的寄生电容, 进而改变自谐振频率的有效性是有前提条件的。假设阱的非耗尽层宽度可以忽略不计, 电感与衬底之间的单位面积等效电容近似地表示为:

$$C_{ms} = \left(C_{ox}^{-1} + (C_j^{eff})^{-1} + C_{sub}^{-1} \right)^{-1} \quad (3.16)$$

其中,

$$C_j^{eff} = \left(C_j^{-1}(1) + \dots + C_j^{-1}(i) \right)^{-1} \quad (3.17)$$

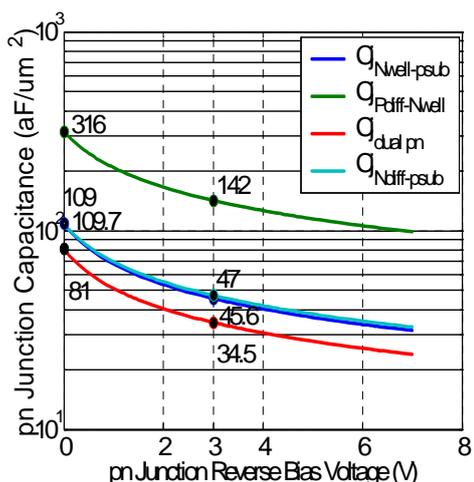
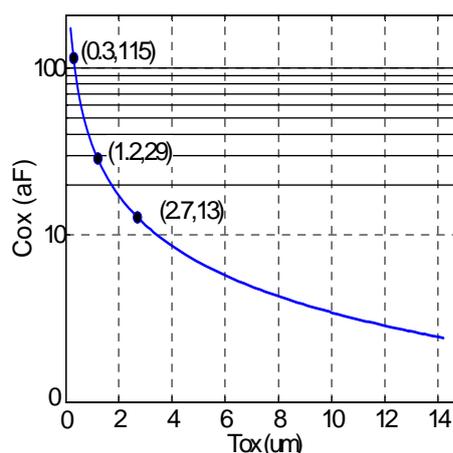
其中, $C_j(i)$, C_{ox} 、 C_j^{eff} 和 C_{sub} 分别代表单位面积的结电容、电感与衬底之间的氧化层电容、等效的 i 个 pn 结串联后的单位面积电容以及衬底的单位面积电容。

对于突变结, 单位面积结电容(C_{ex})和耗尽层的宽度(W_{ex})可以表示为:

$$C_j = \sqrt{\frac{q\epsilon_{si}N_A N_D}{2\phi_{bi}(N_A + N_D)}} \cdot \sqrt{\frac{1}{\phi_{bi} + V_R}} \quad (3.18)$$

$$W_{di} = \sqrt{\frac{2\epsilon_{si}(N_A + N_D)}{qN_A N_D}} \cdot \sqrt{V_R + \phi_{bi}} \quad (3.19)$$

其中, N_A , N_D (atoms/cm³) 分别是 p-型和 n-型杂质的参杂浓度; ϵ_{si} 是半导体的介电常数; ϕ_{bi} 是 pn 结的内建电势; V_R 表示 pn 结上的偏置电压。


 图 3.38 C_j^{eff} 随着 V_R 的变化

 图 3.39 C_{ox} 随着 Tox 的变

假设 CMOS 工艺的 p-衬底、n-阱和 p-扩散的掺杂浓度分别为典型值： $N_{Asub}=10^{15} \text{ cm}^{-3}$ ， $N_{Dn-well}=10^{16} \text{ cm}^{-3}$ 和 $N_{A-diff}=10^{17} \text{ cm}^{-3}$ 。图 3.38 为通过(3.18)计算得到的单位面积的 C_j 随着反向偏置电压的变化图。可见 pn 结的数量越多，反偏电压越大， C_j^{eff} 越小， C_{m-s} 也就越小。

电感与衬底之间的氧化层电容(C_{ox})可以通过下式计算得到：

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{Tox} \quad (3.20)$$

其中， $\epsilon_0, \epsilon_{ox}$ 分别表示真空介电常数($8.85418 \times 10^{-14} \text{ F/cm}$)和二氧化硅的相对介电常数(3.9)。 Tox 代表电感与衬底之间的氧化层厚度。图3.39是二氧化硅为氧化层的 C_{ox} 随着 Tox 的变化图。随着 Tox 的增大 C_{ox} 迅速降低，在 Tox 大于几个微米后， C_{ox} 就远远小于 C_j^{eff} 。

C 等于参数 a 并联参数 b 。如果 b 远远大于 a ， C 趋向于小的参数 a 。大参数 b 的变化对 C 的影响不大， C 相对稳定。根据这个简单的理论，我们发现在 Tox 大于几个微米后， C_{m-s} 趋向于 C_{ox} 而且基本上不随着 C_j^{eff} 的变化而变化。因此可以得到 pn 结衬底隔离明显降低电感 C_{m-s} 的前提条件： C_j^{eff} 和 C_{ox} 以及 C_{sub} 具有相同的量级。

为了使反偏的 pn 结可以改变电感的自己振荡频率，增大电感自调谐振荡器的调节范围，就是要使 pn 结电容与电感和衬底之间的氧化层电容以及衬底的寄生电容相当，可以通过下列方法实现：

- 1) 增大 pn 结反偏电压。最大 pn 结偏置电压是工艺电源电压，设计人员不能轻易调节，但是可以选择电源电压大的工艺来增大电感自调谐振荡器的调节范围；

- 2) 电感与衬底之间的电压差是与电感与衬底之间的电容成正比的，将电压大的线圈调到与衬底相邻；
- 3) 采用轻掺杂浓度的 pn 结，降低 pn 结的电容；
- 4) 采用最低层的金属设计电感。这时候电感的金属层可以全部或者部分并联使用，增大电感的 C_{ox} ；
- 5) 采用垂直叠层 pn 结来降低 pn 结电容；
- 6) 采用数字工艺增大衬底的寄生电容。

B) 电感自调谐振荡器的品质因数分析

在电感谐振时，峰值的磁能等于峰值的电能。振荡器的品质因数等于电感或电容的品质因数，而这时候电感和电容的品质因数相等。这样振荡器的品质因数可以表示为：

$$Q_{\text{tank}} = 2\pi \frac{\text{峰值磁能}}{\text{一个周期内的能量损耗}} \quad (3.21)$$

显然，该方式当中没有 (2.2) 当中的峰值电能因子，意味着电感在谐振时的振荡器品质因数高于该电感的品质因数，即：

$$Q_{\text{tank}} > Q_L \quad (3.22)$$

为了降低 f_{SR} 到振荡器频率必须采用底层的金属设计电感，可以通过并联顶层金属到底层金属来实现。这样电感串联电阻就会大大降低，尤其是针对具有很多层互连线的工艺而言，振荡器的品质因数会有很大的提高。还有为了降低 f_{SR} 到振荡器频率往往需要大的电感值，而在低频率，线圈电感的增量大于其串联电阻的增量，意味着自调谐振荡器的电感品质因数高于常规方法设计的电感品质因数：

$$Q_{L, \text{VCISO}} > Q_{L, \text{normal}} \quad (3.23)$$

传统的 LC VCO 都采用电感和一个压控电容谐振的方法实现^[3.27-3.29]。LC VCO 的品质因数 Q_{tank} 为电感品质因数 Q_L 和电容品质因数 Q_C 的并联值。

$$Q_{\text{tank}} = \frac{Q_C Q_L}{Q_C + Q_L} \quad (3.24)$$

两个数相差比较大时，两个数并联的结果趋于小数值的并联因子。电容的品质因数远大于电感的品质因数，意味着电感和电容并联后的品质因数略小于电感的品质因数：

$$Q_{\text{tank}} < Q_L \quad (3.25)$$

从 (3.23) — (3.25) 可见，电感自调谐振荡器的品质因数会高于常规的 LC 振荡器的品质因数。这意味着电感自调谐振荡器的相位噪声低于常规电感设计的 LC 振荡器。

3.5.3 pn结衬底隔离中心频率偏差校正

在一般的LC振荡器或LC滤波器的设计当中，由于种种寄生参量以及电感值的不准确会造成电路的中心频率的偏移。采用pn结衬底隔离的偏置电压可以调节电感的自身寄生电容的大小，进而调节整个LC振荡器或LC滤波器的中心频率到设计值。

3.5.4 金属地屏蔽

金属的电阻低，具有最好的地屏蔽效果。但是由于底层金属距离电感线圈的距离近，造成 C_{m_s} 比较大。电感和屏蔽层都是金属，使得该电容的品质因数比较大。图 3.40 是电感地屏蔽 LC 并联谐振电路原理简图。

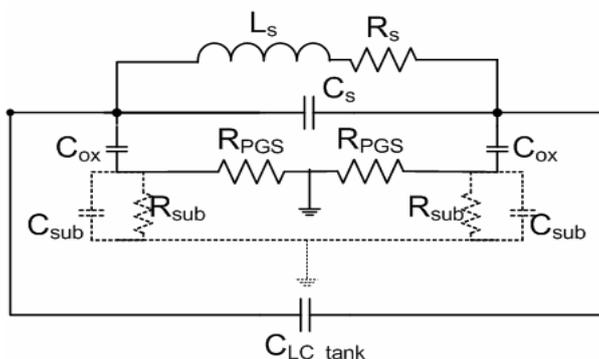


图 3.40 电感地屏蔽 LC 并联谐振电路原理简图

一般的 LC 振荡器中的 LC 是并联谐振的，这时候电感的寄生电容和 LC 振荡器中的电容并联，高 Q 的金属地屏蔽 C_{m_s} 可以合并到 LC VCO 的电容中。这时候的品质因数采用(3.22)式。在满足 LC 振荡器工作频率范围的条件下，电感中的 C_{m_m} 和 C_{m_s} 都可以尽可能的大，可以采用下面的方法实现：（1）大的金属线宽；（2）多层互连线并联；（3）最小的线圈间距；（4）叠层电感等。这些优点使得这样设计的 LC VCO 的品质因数比其使用常规的方法设计的电感而获得的性能好。

3.6 小结

片上电感的品质因数和电感的几何结构以及工艺相关。在了解了电感寄生参量的产生根源及其物理属性之后，可以通过电感版图的优化设计以及工艺的调整来提高电感的品质因数。本章分别从电感、电阻、电容以及衬底损耗四个方面讲述了提高电感性能的方法。

通过对平面螺旋电感耦合系数的分析，得出中空平面螺旋电感的优化方法；垂直串联线圈比平面螺旋电感具有更大的耦合系数，进而相同电感值下，垂直串联结构具有更小的芯片面积，更低的产品成本。提出了‘Z’字开槽的垂直线圈连接方法，使得线圈的形状不会因为垂直连接而变形，也不会缩小有效的线圈长

度,进而增大耦合系数,提高电感品质因数,而且可以实现两个端口几何对称的差分电感。

提出多pn结衬底隔离,降低电感与衬底之间寄生电容的方法。提出降低差分电感线圈之间寄生电容的两种设计方法:1)降低临近线圈之间的电压差和2)拉大电压差大的线圈间距。单端垂直螺线管的寄生电容远小于相同电感值的平面螺旋电感寄生电容,进而具有高频段的品质因数,同时拓展了大电感值线圈的使用范围。提出通过不同金属层之间的串并联结合实现高品质因数的叠层串连电感等电感优化方法。

片上电感的串联电阻会随着电感的电流拥挤效应而增大,但是小横截面积电感的趋肤效应弱,小金属宽度和间距比的电感邻近效应低,进而提出采用相同阻抗的小横截面积金属并联,实现相等电流的多电流路径,降低电流拥挤效应的方法。实现每个电流路径都具有相同的电流,需要每个电流路径具有相同的阻抗。借鉴分立元件的LITZ结构,根据多层金属互连线提出了平面的和3D的LITZ互连线结构设计方法。

在标准工艺的基础上分析了抑制衬底损耗的方法,包括衬底地屏蔽和pn结衬底隔离等。电感的衬底耦合也是增大电感面积的原因,通过理论计算得到其他元件和电感的距离与电感的半径相关,大半径的电感需要更远的隔离距离。而且大半径电感在衬底的电磁场穿透深度大、损耗大。因此小直径的电感具有成本和性能优势。

在掌握电感寄生参量的物理和电学性质并理解影响电感应用电路性能参数的基础上,提出合理利用片上电感的寄生参量优化电路设计得思路,比如将金属地屏蔽结构引入的高品质因数寄生电容合并入 LC CVO 中的并联电容等电路优化设计方法。指出 pn 结衬底隔离明显降低电感与衬底电容的条件,提出优化的电感自调谐振荡器,理论上证明了该结构比常规 LC VCO 具有性能优势。

电感的优化设计不能简单地将电感当成一个元件,电感是一个 LCR 参数相互关联的子电路,作为一个整体放到应用电路中,根据电路的性能优化,提出了可行的电感优化方向。

参考文献

- [3.1] 菅洪彦, 王俊宇, 唐长文, 闵昊. 小面积高性能三维结构差分电感 [P]. 申请号: 200510023534.7, 申请日: 2005 年 1 月 25 日。
- [3.2] J. Maget, R. Kraus, M. Tiebout. Voltage-controlled substrate structure for integrated inductors in standard digital CMOS technologies [C]. *ESSDERC2002, Session D15: new device concepts*, 2002.

- [3.3] LIU Chang, CHEN Xue-liang and YAN Jin-long. Substrate *pn* junction isolation for RF integrated inductors on silicon. *CHINESE JOURNAL OF SEMICONDUCTORS*, 2001,22(12):1486-1489.
- [3.4] Chang Chiaming Alex, Tseng Sung-pi, Yi Jun Chuang, Shiue-Shr Jiang, and J. Andrew Yeh. Characterization of Spiral Inductors With Patterned Floating Structures [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2004, 52(5):1375-1381
- [3.5] Hongyan Jian, Zhangwen Tang, Jie He, Jinglan He, Min Hao. Standard CMOS Technology On-chip Inductors with *pn* Junctions Substrate Isolation [C]. 2004 International Conference on Solid-State and Integrated-Circuit Technology (ICSICT) Beijing, China, 2004, A3.13: 194-197.
- [3.6] 菅洪彦, 唐长文, 何捷, 闵昊. PN 结衬底隔离片上电感的优化设计方法[P].申请号: 200410067600,申请日:2004 年 10 月 28 日。
- [3.7] 菅洪彦, 王俊宇, 唐长文, 何捷, 闵昊. 用标准集成电路工艺设计低寄生电容差分驱动对称电感的方法 [P].申请号为: 200410067598,申请日:2004 年 10 月 28 日。
- [3.8] 菅洪彦, 王俊宇, 唐长文, 闵昊. 小面积高性能三维结构差分电感 [P].申请号: 200510023534.7,申请日:2005 年 1 月 25 日。
- [3.9] Hau-Yiu Tsui; Lau, J. Experimental results and die area efficient self-shielded on-chip vertical solenoid inductors for multi-GHz CMOS RFIC [C]. *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, 2003 , 8-10: 243 – 246.
- [3.10] Wei-Zen Chen; Wen-Hui Chen. Symmetric 3D passive components for RF ICs application [C]. *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*,2003, 8-10: 599 – 602.
- [3.11] Ohmi, T.; Sugawa, S.; Kotani, K.; Hirayama, M.; Morimoto, A.. New paradigm of silicon technology [C]. *Proceedings of the IEEE*, 2001, 89(3): 394 – 412.
- [3.12] Jan Craninckx, and Michiel S. J. Steyaert. A 1.8-GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors [J]. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 1997, 32(5): 736-744.
- [3.13] José M. López-Villegas , Josep Samitier, Charles Cané, Pere Losantos, and Joan Bausells. Improvement of the Quality Factor of RF Integrated Inductors by Layout Optimization [J]. *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, 2000, 48(1): 76-83.
- [3.14] Faraji-Dana, R.; Chow, Y.L.. AC resistance of two coupled strip conductors [C]. *IEE Proceedings H Microwaves, Antennas and Propagation* [see also *IEE Proceedings-Microwaves, Antennas and Propagation*], 1991, 138(1):37 – 45.
- [3.15] 菅洪彦, 唐长文, 何捷, 闵昊. 多电流路径抑制电流拥挤效应的片上电感设计方法 [P].

申请号: 200410067599.7,申请日:2004 年 10 月 28 日。

- [3.16] L.F. Tiemeijer *et al.*. Record Q Spiral Inductors in Standard CMOS [C]. *International Electron Devices Meeting Technical Digest*, 2001, 949-951.
- [3.17] Wang, S.; deRooij, M.A.; Odendaal, W.G.; vanWyk, J.D.; Boroyevich, D.. Reduction of High-Frequency Conduction Losses Using a Planar Litz Structure [J]. *IEEE Transactions on Power Electronics*, 2005,vol:20(2):261 – 267.
- [3.18] Yong-Zhong Xiong. Investigation of silicon substrate thickness effects on inductor[C]. 5th International Conference on ASIC, 2003. Proceedings. 2003, 2(21-24):1120 – 1123.
- [3.19] LIU Chang, CHEN Xue-liang and YAN Jin-long. Substrate *pn* junction isolation for RF integrated inductors on silicon [J] . *CHINESE JOURNAL OF SEMICONDUCTORS*, 2001,22(12):1486.
- [3.20] J. Maget, R. Kraus, M. Tiebout. Voltage-controlled substrate structure for integrated inductors in standard digital CMOS technologies[C]. *ESSDERC2002, Session D15: new device concepts*, 2002.
- [3.21] Jian Hongyan, Tang Jue, Tang Zhangwen, He Jie, Min Hao. Patterned Dual *pn* Junctions Restraining Substrate Loss of On-Chip Inductor [J] . *CHINESE JOURNAL OF SEMICONDUCTORS* , in press.
- [3.22] Hongyan Jian, Zhangwen Tang, Jie He, Jinglan He, Hao Min. Standard CMOS Technology On-Chip Inductors with *pn* Junctions Substrate Isolation [C] . ASP-DAC 2005, Jan. 18-25, 2005, Shanghai China, Special Session: University Design Contest, DC-3, D-5.
- [3.23] Yue, C.P.; Wong, S.S.. On-chip spiral inductors with patterned ground shields for Si-based RF Ics [C] . *IEEE Journal of Solid-State Circuits*, 1998, 33(5):743 – 752.
- [3.24] Murata, K.; Hosaka, T.; Sugimoto, Y.. Effect of a ground shield of a silicon on-chip spiral inductor [C] . *Asia-Pacific Microwave Conference*, 2000, 3-6:177 – 180.
- [3.25] Seong-Mo Yim; Tong Chen; O, K.K.. The effects of a ground shield on the characteristics and performance of spiral inductors [J] . *IEEE Journal of Solid-State Circuits*, 2002, 37(2):237 – 244.
- [3.26] Pun, A.L.L.; Yeung, T.; Lau, J.; Clement, J.R.; Su, D.K.. Substrate noise coupling through planar spiral inductor [J] . *IEEE Journal of Solid-State Circuits*, 1998, 33(6):877 – 884.
- [3.27] Maget, J.; Tiebout, M.; Kraus, R. MOS varactors with n- and p-type gates and their influence on an LC-VCO in digital CMOS [J]. *IEEE Journal of Solid-State Circuits*, 2003, 38(7):1139 – 1147.
- [3.28] Hyunwon Moon; Sungweon Kang; Youn Tae Kim; Kwyro Lee. A fully differential

- LC-VCO using a new varactor control structure[J]. IEEE Microwave and Wireless Components Letters, 2004, 14(9):410 – 412.
- [3.29] Yao-Huang Kao; Meng-Ting Hsu. Theoretical analysis of low phase noise design of CMOS VCO [J]. IEEE Microwave and Wireless Components Letters, 2005, 15(1)::33 – 35.

第四章 测试与分析

为了验证电感的优化方法,采用 $0.35\ \mu\text{m}$ 4层铝互连线的射频和模拟CMOS工艺进行了多次电感流片。因为电感的测试属于在片测试,所以本章首先讲解电感在片测试的寄生参量的消除方法。芯片的在片测试数据验证了部分前面章节提出的理论分析和电感优化方法,根据测试结果对电感的部分优化理论提出了修正和深入分析。

4.1 在片测试和去嵌入

无论是芯片加工厂,还是射频、微波电路的设计单位都需要测试电感,提炼电感模型或提供电感在片测试的去嵌入S参数数据给电路仿真工具使用。

由于电感量值一般是nH量级,只能使用探针台进行在片测试。为了得到电感的真实参量,为电感在片测试而设计的焊盘以及信号线等寄生参量都需要从测试数据中剥离(pick off),通常称作去嵌入^[4.1-4.2](de-embedding)。电感测试需要可测性设计。测试探针和焊盘之间的接触电阻是另一个测试引入的寄生参量。如果在每一次测量中保持该值不变,在去嵌入过程该寄生参量就可以被消除。对于小于1nH的电感,简单的通过开路去嵌入,只能消除焊盘和信号线的寄生电容,而焊盘和电感之间的信号线寄生的串连电阻和串连电感没有去嵌入。如果信号线比较长,测试数据几乎是不可用的。因此还需要短路或通路去嵌入结构将焊盘和电感之间的信号线寄生参量剔除。

由于电感外径不同,对应的信号线长度也就不同。如果针对每一个不同外径的电感设计不同的去嵌入结构,会占用太大的芯片面积。因此提出可缩放的信号线去嵌入结构,采用同一个去嵌入结构就可以剥离不同长度信号线的电感寄生参量。节省了芯片面积,同时实现精确的电感在片测试寄生参量的剥离。Tero Kaija和Eero O. Ristolainen^[4.3]提出CMOS工艺可缩放的开路短路地屏蔽在片测试结构。在趋肤效应和邻近效应的作用下,金属互连线的串连电阻是频率的函数,随着频率升高而增大。他们假设信号线的串连电阻与频率无关,这对小电感值和小串连电阻的电感引入的测试误差是不容忽略的。还有Tero Kaija和Eero O. Ristolainen通过相对复杂的Wheeler方程^[4.4]计算信号线的电感寄生参数,信号线引入的寄生电容通过计算平板电容和边缘电容而得到^[4.5]。这些公式计算相对复杂,而且必然会引入一定的误差。另外,对于电感测试中的长信号线,尤其是在高频测试当中,开路短路去嵌入结构很难提供信号路径和地之间的低阻连接。相对比而言,开路通路去嵌入结构更加适合电感的在片测试寄生参量的剥离^[4.2]。

4.1.1 地屏蔽的开路通路去嵌入结构

电感测试焊盘的布局，首先要根据探针的型号和探针之间的间距来确定，比如GS、GSG、GSGSG，(G: Ground地; S: Signal信号)。GSG结构属于平面波导，是最常用的结构。本文的设计就是针对GSG探针结构完成的。图4.1(a)的测试焊盘布局使得电感圈数不是一个整数。图4.1(b)测试焊盘布局的电感的圈数是整数。在焊盘和电感距离相等时，相对(a)结构，(b)结构对电感的影响相对较小。因为焊盘是一个比较大的金属，电感的电磁场穿过后，会形成涡流，对电感产生负面影响。(b)结构只有一个GSG焊盘距离电感近，焊盘的涡流影响相对较弱。由于焊盘对电感的影响是不能通过去嵌入的结构剔除的，所以本文选择(b)结构焊盘布局方式。

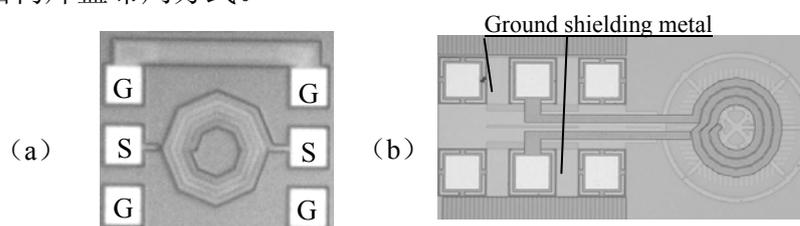


图 4.1. 最常见的两种电感测试焊盘布局的芯片照片

A. 电感在片测量的寄生参量

无论采用图4.1(a)还是图4.1(b)电感进行在片测试时引入的寄生参量都包括三部分：焊盘寄生参量和信号线寄生参量以及测试探针与焊盘之间的接触电阻。其中，前两部分通过去嵌入结构的测试以及后处理来完成寄生参量的去嵌入。对于接触电阻的去嵌入，只有通过合理的焊盘设计以及多次小心地测试，消除错误，降低测试误差来完成。

图4.2为两端口待测器件DUT (Device Under Test)的等效电路和片上寄生参量。图4.2(a)为常规的两端口待测器件的等效电路；图4.2(b)为地屏蔽焊盘和信号线的两端口待测器件的等效电路。其中， R_S 和 L_S 分别为待测元件和焊盘之间信号线的串连电阻和串连电感； C_S 为焊盘之间、金属连线之间的寄生电容； C_{ox} 为焊盘以及金属连线和衬底之间的氧化层电容之和； R_{sub} 和 C_{sub} 分别为衬底电阻和衬底电容； R_C 为探针和焊盘之间的接触电阻。这些为了测试而引入的寄生参量，需要从电感的测试数据中去嵌入(剥离)，得到真实的电感 S 参数。

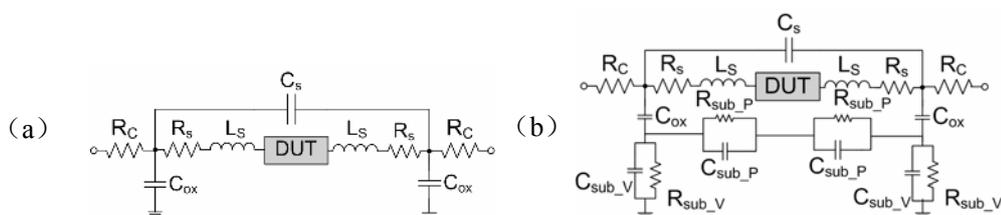


图 4.2 两端口待测元件的寄生参量模型(a) 常规的结构；(b)地屏蔽结构

电感通过衬底将电磁场耦合到焊盘，而非地屏蔽测试测试去嵌入结构不能将这部分干扰剔除。由于测试电感的焊盘不怕大电容，最好采用最低层金属接地，防止电感的电场从衬底耦合而对测试焊盘串扰，因此增加了去嵌入的精度^[4,6]。

B. 开路通路信号线等效电路

电感测试一般属于两端口网络测试，可以采用开路和通路的方法去嵌入，分别去除由于测试引入的寄生电容、寄生电感和寄生电阻，测试结构见图 4.3(a)。为了节省面积共用了一些地焊盘。

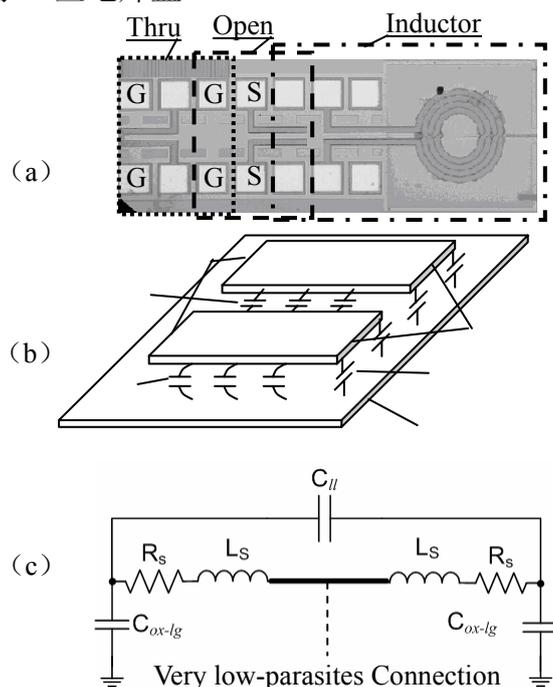


图 4.3 开路通路去嵌入结构；(a) 待测电感和去嵌入结构的芯片照片；(b) 开路信号线寄生电容；(c) 通路信号线寄生参量

图 4.3 (b) 为开路信号线寄生电容，图 4.3 (c) 通路信号线寄生参量。其中 C_{II} ， C_{lg} ， C_{lgf} 分别为信号线之间的寄生电容、信号线与地屏蔽金属之间的平板电容和边缘电容。 C_{ox-lg} 包括 C_{lg} 和 C_{lgf} 。 R_s 和 L_s 分别为电感和焊盘之间连线的寄生电阻和电感。通路是短路的电感测试端口通过连接线连接，连接线长度远远小于整个信号线的长度，它的寄生可以忽略不计。信号线的宽度相同，意味着等宽度的不同长度信号线的寄生参数是长度的函数。

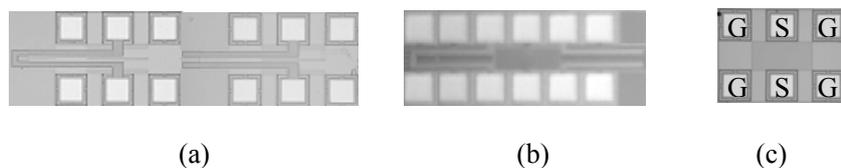


图 4.4 0.35 μm CMOS 工艺电感去嵌入版图照片

C. 三个去嵌入结构

使用 $0.35\ \mu\text{m}$ 二层多晶硅四层金属互连线 CMOS 工艺流片三个不同长度的信号线去嵌入结构, 其中信号线的长度分别为 $380\ \mu\text{m}$ (见图 4.4a)、 $250\ \mu\text{m}$ (见图 4.4b) 和 $200\ \mu\text{m}$ (见图 4.3(a))。

为了测试焊盘的寄生电容, 单独做了 GSG 焊盘, 见图 4.4(c)。可以通过下面的步骤得到测试信号线的寄生参数:

1) 转换测量得到的开路、通路测试结构和 GSG 焊盘 S 参数到 Y 参数, 分别为 Y_{Open} , Y_{Thru} , Y_{Pad} ;

2) 去除焊盘的寄生电容:

$$Y_{\text{SL_Open}} = Y_{\text{Open}} - Y_{\text{Pad}} \quad (4.1)$$

$$Y_{\text{SL_Thru}} = Y_{\text{Thru}} - Y_{\text{Pad}} \quad (4.2)$$

得到信号线的寄生电容:

$$C_{\text{SL}} = \frac{\text{image}(Y_{\text{SL_Open}}^{11})}{\omega} \quad (4.3)$$

3) 将 $Y_{\text{SL_Thru}}$ 转换成 Z 参数 $Z_{\text{SL_Thru}}$, 进而通过下式得到信号线的寄生电阻和寄生电感:

$$R_{\text{SL}} = \text{real}(Z_{\text{SL_Thru}}^{11}) \quad (4.4)$$

$$L_{\text{SL}} = \frac{\text{image}(Z_{\text{SL_Thru}}^{11})}{\omega} \quad (4.5)$$

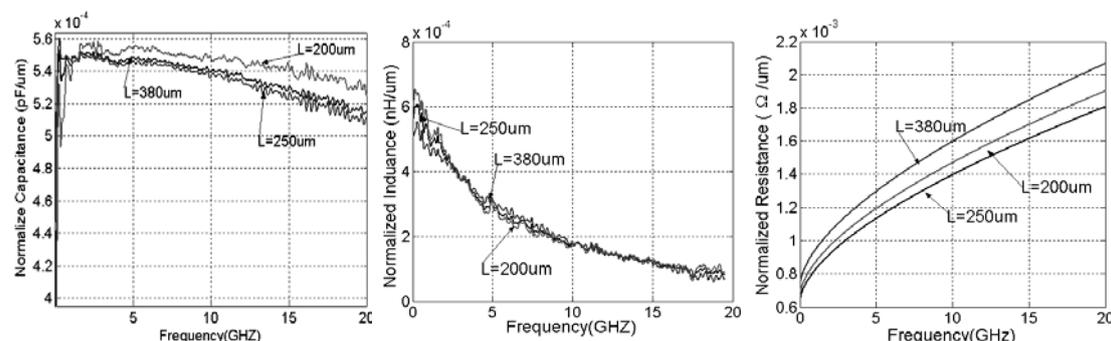


图 4.5 使用长度归一化后的不同长度信号线的寄生参量

从图 4.5 可见, 在相同频率下的信号线的寄生参数与信号线的长度成正比。其中电阻的误差相对较大, 主要是测试探针和测试焊盘之间的接触电阻不同造成的。

4.1.2 可缩放的信号线寄生去嵌入方法^[4,7]

定义测试电感的金属连线长度为 L_{dut} ; 去嵌入的金属连线长度为 L_{de} , 两者的

比值为 η ($=L_{de}/L_{dut}$)。由于地屏蔽的去嵌入构成了微带结构, 串连的参量: 电感、电阻和电容都不再是恒定值, 而是频率的函数, 寄生参量在各个频点都需要按比例 (η) 缩放。

可缩放的电感开路和通路去嵌入结构参数计算过程如下:

1) 转换测试开路、通路测试结构和 GSG 焊盘的测量 S 参数到 Y 参数, 分别为 Y_{Open_meas} , Y_{Thru_meas} , Y_{Pad_meas} ;

2) 信号线寄生电容的缩放:

$$Y_{SL_Open_cal} = \eta (Y_{Open_meas} - Y_{Pad_meas}) \quad (4.6)$$

$$Y_{SL_Thru_cal}^0 = \eta (Y_{Thru_meas} - Y_{Pad_meas}) \quad (4.7)$$

3) 计算得到的带有焊盘寄生参数的开路结构 Y 参数 Y_{PSL_Open} :

$$Y_{PSL_Open} = Y_{SL_Open_cal} + Y_{Pad_meas} \quad (4.8)$$

4) 将通路的 Y 参数转换成 Z 参数:

$$Y_{SL_Thru_cal}^0 \rightarrow Z_{SL_Thru_cal}^0$$

5) 信号线寄生电阻和电感的缩放:

$$Z_{11,SL_Thru_cal} = \eta \cdot Z_{11,SL_Thru_cal}^0$$

$$Z_{12,SL_Thru_cal} = Z_{12,SL_Thru_cal}^0$$

$$Z_{21,SL_Thru_cal} = Z_{21,SL_Thru_cal}^0$$

$$Z_{22,SL_Thru_cal} = \eta \cdot Z_{22,SL_Thru_cal}^0$$

6) 将 Z 参数转换成 Y 参数:

$$Z_{SL_Thru_cal} \rightarrow Y_{SL_Thru_cal}$$

7) 计算得到的带有焊盘寄生参数的缩放后通路结构 Y 参数 $Y_{PSL_Thru_cal}$:

$$Y_{PSL_Thru_cal} = Y_{SL_Thru_cal} + Y_{Pad_meas} \quad (4.9)$$

8) 将 Y 参数转换成 S 参数:

$$Y_{PSL_Thru_cal} \rightarrow S_{PSL_Thru_cal} \quad (4.10)$$

$$Y_{PSL_Open_cal} \rightarrow S_{PSL_Open_cal}$$

求得缩放后的开路通路的 S 参数, 再按照正常的开路通路去嵌入结构剔除测试焊盘和信号线的寄生参数, 得到电感的 S 参数, 具体的方法见附录三^[4.2]。

图 4.6 为同一个电感地屏蔽缩放去嵌入的 S 参数幅度和相角。电感为对称电感, 它的 $S_{11}=S_{22}$, $S_{12}=S_{21}$ 。由图 4.6 可知, 在信号频率 20GHz 之前, 三种长度信号线的去嵌入结果吻合的很好, 说明上述缩放去嵌入方法是可行的。

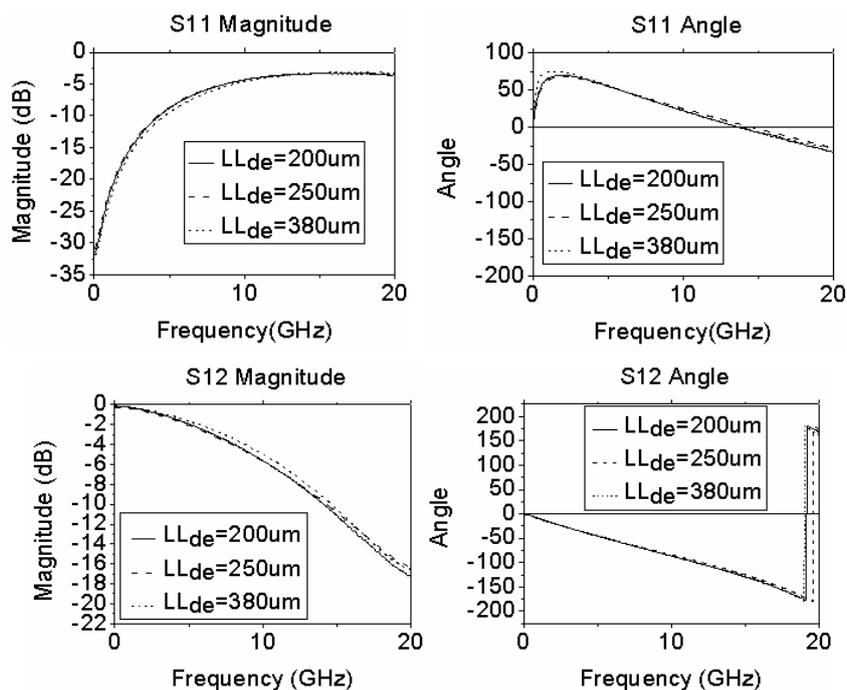


图 4.6 同一个电感地屏蔽缩放去嵌入的 S 参数

4.2 测试分析

电感的性能与工艺息息相关。电感性能的好坏，不能简单的根据Q值的高低来评价。相同几何参数的电感，不同工艺下得到的结果是不一样的。评价电感的结构优化，需要设计一个常规的电感来做比较。

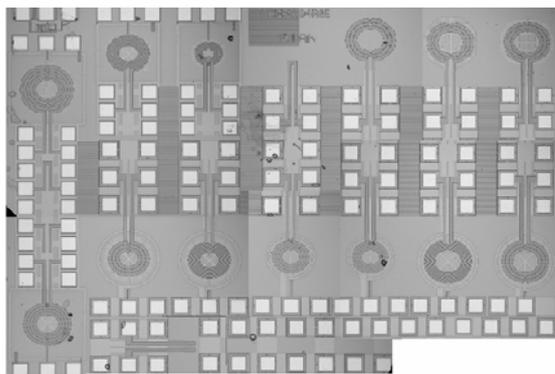


图4.7 0.35 μm两多晶硅四铝的射频工艺电感芯片版图照片



图4.8 0.35 μm两多晶硅四铝的模拟工艺电感芯片版图照片

4.2.1 流片测试

本文分别采用0.35 μm两多晶硅四铝的射频和模拟CMOS工艺制作了电感。图4.7是射频CMOS工艺的电感版图，图4.8是模拟CMOS工艺的电感版图。图中的焊盘上的白斑是探针压过的痕迹。通过安捷伦公司的矢量网络分析仪以及

Cascade Microtech 公司的配有GSG探针的探针台测试了电感的S参数。通过金属线和焊盘的去嵌入，消除由于测量引起的电感的寄生参数^[4.2]。图4.9是带有探针的多电流路径电感芯片照片。

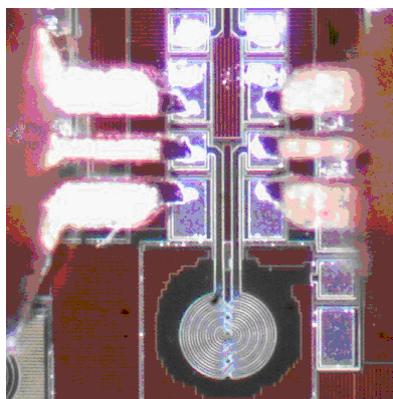


图4.9是具有探针的芯片照片

4.2.2 平面螺旋和螺线管电感

表 4.1 是平面螺旋和垂直螺线管电感对比。图 4.10 和图 4.11 是芯片的面积和电感值的关系图。图 4.12 和图 4.13 分别是差分平面螺旋电感和差分螺线管电感的品质因数。

表 4.1 电感的几何参数以及电感值和芯片面积的比值

属性 电感	单端/ 差分	平面/螺 线管	内 径 μm	外 径 μm	圈数层次串并	线宽 μm	间距 μm	面积 μm^2	电感 nH	电感/ 面积
L12	差分	平面	93	118.05	2@h (m3//m4)	12	1.05	13936	1.00	7.2e-5
L5	差分	平面	93	131.1	3@h (m3//m4)	12	1.05	17187	1.34	7.8e-5
L11	差分	平面	93	144.15	4@h (m3//m4)	12	1.05	20779	2.50	1.2e-4
L4	差分	平面	93	157.2	5@h (m3//m4)	12	1.05	24712	3.91	1.6e-4
L16	差分	平面	93	170.25	6@h (m3//m4)	12	1.05	28985	5.97	2.1e-4
L9	差分	螺线管	48	60	4@v(m1-m2- m3-m4)	12	—	3600	1.00	2.8e-4
L6	差分	螺线管	68	80	4@v(m1-m2- m3-m4)	12	—	6400	1.41	2.2e-4
L2	差分	螺线管	88	100	4@v(m1-m2- m3-m4)	12	—	10000	2.00	2.0e-4
L18	差分	螺线管	108	120	4@v(m1-m2- m3-m4)	12	—	14400	2.78	1.9e-4
L32	差分	螺线管	68	80	2@v(m1//m2- m3//m4)	12	—	6400	1.00	1.6e-4
L33	差分	螺线管	68	80	2@v(m2-m4)	12	—	6400	1.00	1.6e-4
L7	差分	螺线管	69	86	4@v(m1-m2- m3-m4)	17	—	7396	1.26	1.7e-4
L15	差分	螺线管	115	127	3@h×4@v(m1-m2-m3- m4)	12	1.5	16129	9.90	6.1e-4

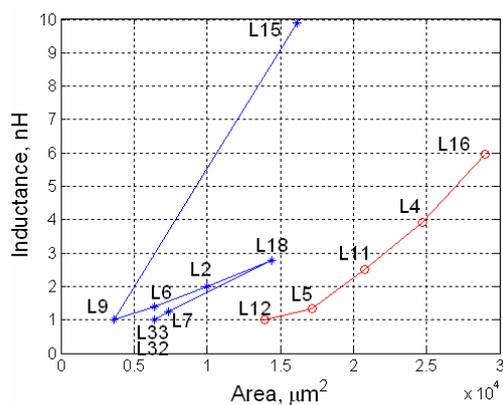


图 4.10 芯片的面积和电感值

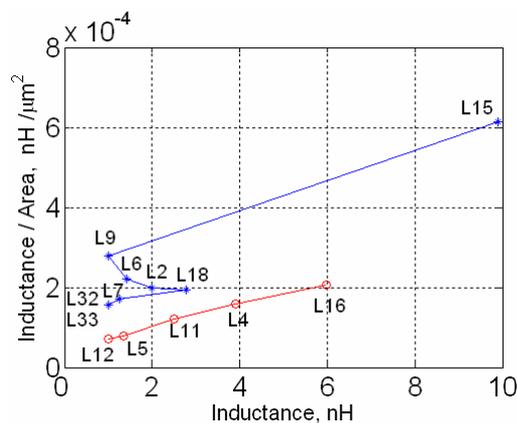


图 4.11 电感值和芯片的面积之比

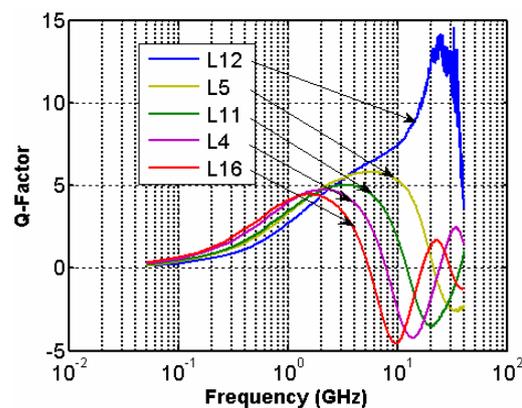


图 4.12 差分平面电感的品质因数

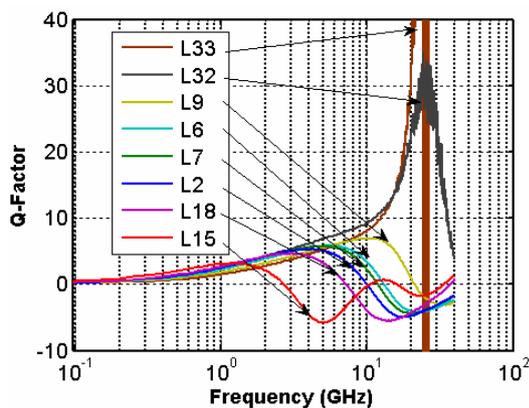


图 4.13 差分螺旋管电感的品质因数

注释: 在整个 40GHz 范围内对测试探针进行校正会降低校准的精度, 致使图 4.12-图 4.14 中的品质因数大于 10 以后, 出现出现较大的纹波。纹波的中心线就是排除校准问题的测试结果, 所以这里的纹波不影响定性的理论分析。

从表 4.1 以及图 4.10—图 4.13 可以得出下列结论:

- 1) 平面螺旋电感的电感值和面积比随着电感值的增大(圈数的增多)而增大;
- 2) 相同线宽不同半径的垂直螺旋电感的电感值和面积比, 随着电感值的增大(半径的加大)而降低。因此, 垂直连接的电感也要设计同一金属层具有多圈结构, 如 L15;
- 3) 与平面螺旋结构相比, 每一金属层单圈的垂直螺旋结构具有非常大的面积优势。例如, 在 1nH 的时候, 每一金属层单圈的垂直螺旋电感(L9)的面积近似等于相同电感值的平面螺旋电感(L12)面积的四分之一; 同层多圈的垂直螺旋电感具有最大的面积优势。例如 L5 和 L15 的面积相近, 但是 L15 的电感值将近是 L5 的 8 倍;
- 4) 线圈的电感值和电阻值都随着线圈导线的长度的增大而增大。在低频,

电感值增大的速率大于电阻值增大的速率，使得数值大的电感值的品质因数高[第三章的公式(3.8—3.9)得到大半径电感的电感值与其电阻值(与长度成正比)之比大，从而外圈的电感值和其电阻值之比大，导致在电流拥挤效应不明显的低频，圈数多的平面螺旋电感品质因数高]；数值小的电感寄生电容小，进而其具有高的自谐振频率和高频品质因数。

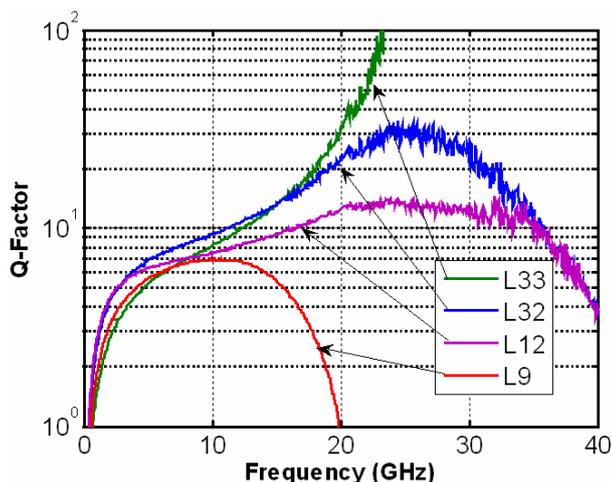


图 4.14 4 个 1nH 电感的品质因数

图 4.14 是 4 个 1nH 电感的品质因数的对比，测试数据分析如下：

- 1) 由于 L33 是金属 2 串连金属 4，根据分布电容理论，对于四层金属的电感而言，这样的布线具有最小的寄生电容，因此 L33 的自谐振频率最高，高频的品质因数最大；
- 2) L33 的每一圈金属都是单层，而且层的间距大于 L9，间距大意味着相邻线圈的耦合系数低，使得 L33 在低频的品质因数最小；
- 3) L9 是金属 1 串连到金属 4 的差分结构，根据第二章的垂直螺旋管寄生电容推导，可知该种结构的相邻线圈之间的电压差大，寄生电容大。L9 的每一个线圈都是单层金属，串连电阻大。因而，L9 具有最小的最大品质因数和最低的自谐振频率；
- 4) L12 和 L32 的每一个线圈都是两层金属并联。由于顶层的金属略厚于其他金属层，使得在低频 Q_{L12} 略大于 Q_{L32} ；
- 5) 垂直叠层电感比平面螺旋电感具有大的耦合系数，使得 L32 对衬底面积约是 L12 对衬底面积的二分之一。将 L32 和 L12 的几何参数分别代入 (2.29) 和 (2.22) 得到，L32 的寄生电容比 L12 的寄生电容小，因而在高频 L32 的品质因数大于 L12， $Q_{\max}^{L32} \approx 2.1Q_{\max}^{L12}$ ；
- 6) L33 与 L32 的电感值相等，而且都是两圈电感，但是由于 L33 是由金属 2 串连金属 3 构成的，每一层都是单层金属，造成其串连电阻大、寄生电容小；而 L32 是金属 1 并联金属 2 后再，金属 3 并联金属 4 后再，而后连个并联金属层再串连，所以其串连电阻小、寄生电容大。因此，L33 具有最大的高频品质因数，L32 的低频与高频品质因数都比较好。

总之，采用串并联结合的方式可以实现小面积高性能的电感；采用相邻线圈间距大的垂直螺旋管结构寄生电容小，使其在高频具有良好的品质因数。

4.2.3 差分 and 单端电感

令两电感的等效电感值为 L_{eq1} 和 L_{eq2} ，根据 DCM 方法计算得到的等效寄生电容分别为 C_{eq1} 和 C_{eq2} ，这样两个电感的自谐振频率之比为：

$$Ratio_{f_{SR}} = \frac{f_{SR}^{L1}}{f_{SR}^{L2}} = \sqrt{\frac{L_{eq2} \times C_{eq2}}{L_{eq1} \times C_{eq1}}} \quad (4.11)$$

对于图 2.9 (a) 和图 2.9 (b) 中相同的对称电感在差分 and 单端驱动下的电感值基本不变，电感的 C_{m_m} 相同，电感的自谐振频率的比值取决于差分驱动对称电感的 $C_{m_m}/C_{m_s_diff}$ 比值的大小：

$$Ratio_{f_{SR}} = \frac{f_{SR_diff}}{f_{SR_se}} = \sqrt{\frac{4 + C_{m_m}/C_{m_s_diff}}{1 + C_{m_m}/C_{m_s_diff}}} \quad (4.12)$$

在 C_{m_m} 很小，相对于 $C_{m_s_diff}$ 可以忽略的时候，(4.12) 式等于 2；在 $C_{m_s_diff}$ 很小，相对于 C_{m_m} 可以忽略的时候，(4.12) 式等于 $\sqrt{\frac{4C_{m_s_diff} + C_{m_m}}{C_{m_s_diff} + C_{m_m}}} \approx \sqrt{\frac{C_{m_m}}{C_{m_m}}} = 1$ 。就是说对称电感在差分 and 单端使用的时候的自谐振频率比值范围是：

$$1 < \frac{f_{SR_diff_symm}}{f_{SR_se_symm}} < 2 \quad (4.13)$$

图 4.15 是对称电感在差分驱动 and 单端驱动时候的自谐振频率的比值 $Ratio_{f_{SR}}$

随着 $Ratio_C (=C_{m_s_diff}/C_{m_m})$ 的变化关系。 $Ratio_{f_{SR}}$ 随着 $Ratio_C$ 的增大而降低。

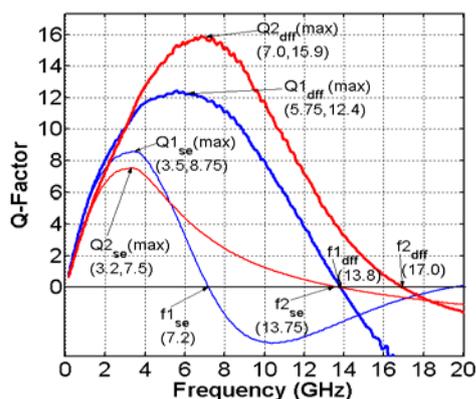
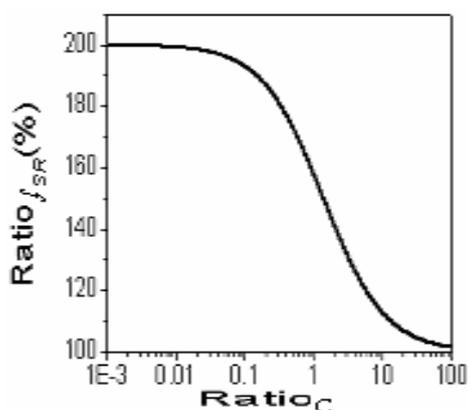


图 4.15 对称电感在差分驱动 and 单端驱动时候的自谐振频率的比值 $Ratio_{f_{SR}}$ 随着 $Ratio_C (=C_{m_s_diff}/C_{m_m})$ 的变化关系

图 4.16 相同的电感在金属 1 地屏蔽 (L1) 和浮 n-well 衬底隔离结构 (L2) 时候的 Q 和 f_{SR}

对称电感在确保差分应用的电学对称的同时降低了电感的面积，进而降低了成本。差分驱动的对称电感的 C_{m_s} 为该电感单端驱动时候的 C_{m_s} 的四分之一，

电感的 C_{m_s} 越小意味着电感的衬底电容耦合的损耗越小，电感的 Q 值也就相对较高。

对于采用顶部两层金属互连线的电感而言，衬底隔离层距离电感相对较远，不同的衬底隔离层引起的涡流对电感值的影响不大，而电感的临近线圈之间的电容 C_{m_m} 是相等的，这样不同的衬底隔离层电感的自谐振频率比就由电感与衬底之间的寄生电容 C_{m_s} 决定。

$$Ratio_{f_{SR}} = \frac{f_{SR}^{L1}}{f_{SR}^{L2}} = \sqrt{\frac{C_{m_s}^{L1} + C_{m_m}}{C_{m_s}^{L2} + C_{m_m}}} \quad (4.14)$$

图 4.16 中的电感 L1 和电感 L2 的金属线圈完全相同，L1 是采用最低层互连线金属地屏蔽，而电感 L2 采用 n 阱衬底隔离。使用最底层金属互连线地屏蔽时，可以认为电感发出的电力线终止在地屏蔽金属层，意味着衬底的电容耦合损耗为零。但是该结构的地层和电感之间的距离被拉近，增大了 C_{m_s} 。而放射状的 n 阱线条，和 p 型衬底之间形成 pn 结，一方面 pn 结的耗尽层可以理解为高阻，可以阻挡一定的电容耦合衬底电流和涡流，降低了电感的衬底损耗；另一方面 pn 结电容和场氧电容是串连的关系，进一步降低了 C_{m_s} 。所以有 $\frac{f_{SR}^{L2_se}}{f_{SR}^{L1_se}} \approx 191\%$ 。公

式 (4.13) 和 (4.14) 式就可以解释图 4.16 中的 $\frac{f_{SR}^{L1_diff}}{f_{SR}^{L1_se}} \approx 192\%$ ， $\frac{f_{SR}^{L2_diff}}{f_{SR}^{L1_diff}} \approx 123\%$ ，

$\frac{f_{SR}^{L2_diff}}{f_{SR}^{L2_se}} \approx 124\%$ 。这是首次理论上解释了差分电感比相同电感单端应用的自谐振频率高，而且可以定量地给出两者之比和电感的两部分寄生量容 C_{m_s} 和 C_{m_m} 的比值相关，从寄生电容的角度解释了差分电感高 Q 和 f_{SR} 的原因^[4.8]。

表 4.2 DCM 的 f_{SR} 预测误差

f_{SR}	L1se	L2se	L3se	L4se	L5se	L6se
Error(%)	6.4	8.2	5.6	7.3	6.7	7.2
f_{SR}	L1diff	L2diff	L3diff	L4diff	L5diff	L6diff
Error(%)	8.3	9.2	6.4	9.5	7.8	8.9

表 4.2 为电感自谐振频率的误差。电感的自谐振频率(f_{SR})和自谐振频率比 ($Ratio_{f_{SR}}$) 的预测误差都小于 10%。在衬底良好接地以及电流拥挤效应不大的时

候，分布电容模型的预测精度是足够电感设计和研究使用的，至少给出了电感优化电感寄生电容的方向。

但是在电感值较小且电流拥挤效应明显、电感的接地环距离电感比较远的时候，电感的分布电容模需要修正：

- 1) 线圈某部分的寄生电容是与该对应线圈部分的电压成正比的，而上述寄生电容计算的假设是寄生电容与电感的长度成正比的。这是在长度和电阻成正比的假设前提下才满足的，实际的电感由于邻近效应使得电阻的分配不再简单地与线圈的长度成正比，相同的线圈长度，内圈电阻比外圈电阻大。意味着内圈电感的寄生电容比计算的大。计算电容的时候需乘以一个电阻修正因子；
- 2) 电感与衬底之间的寄生电容是在衬底是零电位的基础上推导出来的。实际上衬底是有电阻的，电感线段对应的衬底感应电压是随着该部分的电感电压、衬底电阻、电感的工作频率变化的，见第五章。在低频的时候，可以认为衬底是零电位，在足够高的频率，该电位是对应的电感线段的相反值。意味着电感的对衬底电容计算需要乘以一个与频率相关的修正因子；
- 3) 由于邻近效应，使得电感外圈中的有效电流向外径方向拥挤，电感内圈的电流向内径方向拥挤，使得相邻线圈中电流的实际距离被拉大，降低了电感相邻线圈的寄生电容；邻近效应使得电流的有效面积不再是线圈的面积，而是电流所占的有效面积，进而叠层相邻线圈之间的寄生电容以及电感与衬底之间的寄生电容会随着邻近效应的增大而降低。

综上所述，原因 1) 使得电感的寄生电容的计算值小于实际值，原因 2) 和 3) 使得电感寄生电容的计算值比实际值大，这样在相对低的频率，前面章节的分布电容计算公式还具有一定的准确度。如果片上电感寄生电容的计算考虑了线圈的高频效应，其精度会大大增加。

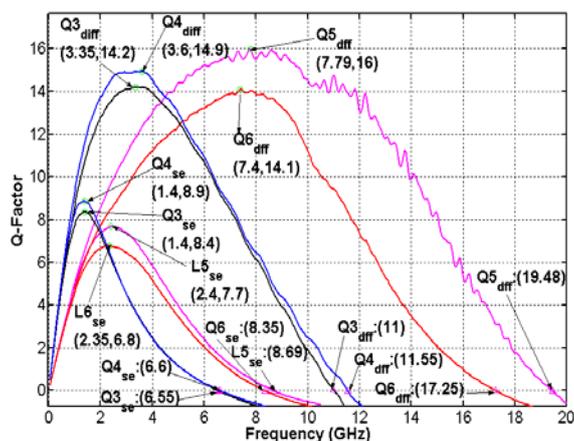


图 4.17 两个低 $C_{m,m}$ 电感和与传统差分电感的 Q 和 f_{SR} 对比。

4.2.4 结构上降低差分电感临近线圈寄生电容的方法^[4.9-4.10]

图4.17是图3.10中设计的两个低 $C_{m,m}$ 的电感和与传统差分电感低Q和 f_{SR} 对比。 L_3 是图3.10(b)结构， L_5 是图3.10(a)结构； L_4 和 L_6 是作为比对的传统差分电感[见图2.9(a)]，分别与 L_3 和 L_5 有相同的宽度、圈数和金属层数，所以 L_3 和 L_4 、 L_5 和 L_6 的电感值基本相同。其中 L_3 和 L_4 采用的是1, 2, 3, 4层金属的并联；而 L_5 和 L_6 采用的是3, 4层金属的并联。低寄生电容电感结构的最大品质因数所对应的频率和 f_{SR} 都比对应的传统结构大，其最大的品质因数也大于对应的传统电感。可见两种降低差分电感 $C_{m,m}$ 的方法都是有效的。

4.2.5 电感串联电阻降低方法

本节对上一章讨论的不改变工艺降低电感直流电阻以及交流电阻的方法进行验证和分析。

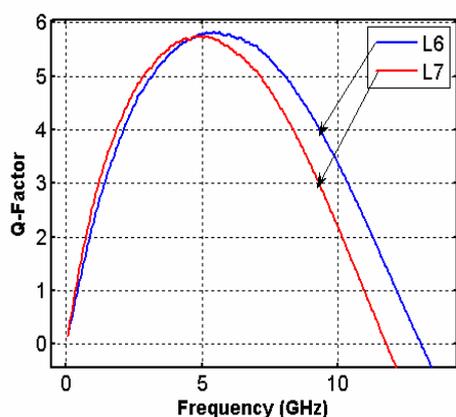


图 4.18 不同金属线宽的电感的品质因数

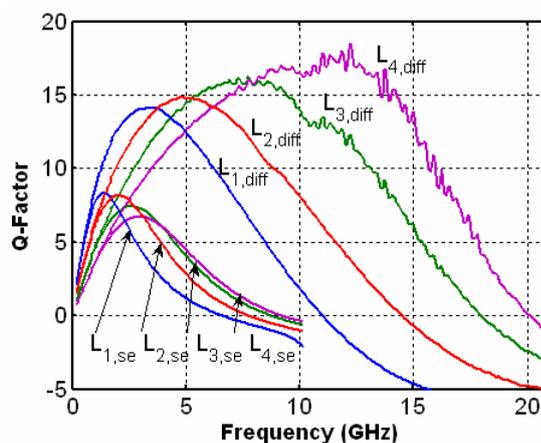


图 4.19 并联不同金属层数的电感线圈品质因数（下标 se 和 diff 含义分别为单端和差分）

4.2.5.1 结构上降低直流电阻

图 4.18 是不同金属线宽电感的品质因数。 L_6 和 L_7 的内径基本相同，圈数相同， L_7 的金属线宽大于 L_6 的金属线宽。这样电流在 L_7 同线圈中流动相对于 L_6 分散，而且相邻线圈的等效间距大，耦合系数低，进而电感值小，见表 4.1。但是由于金属线宽大，直流电阻小，使得 L_7 的低频品质因数好于 L_6 。因为大金属线宽增大了 $C_{m,s}$ ，而且随着频率的增大，邻近效应增大，使得金属的有效宽度降低，宽金属其邻近效应明显，所以在高频有 $Q_{L6} > Q_{L7}$ 。

图 4.19 是并联不同金属层数的相同几何参数电感的品质因数。其中， L_1 — L_4 的并联金属层数分别为 $m_4//m_3//m_2//m_1$ 、 $m_4//m_3//m_2$ 、 $m_4//m_3$ 、 m_4 。显然并联的金属的层数越多，电感的串联电阻越低，导致电感的品质因数提高。但是由于并联多层金属使得电感的底层金属与衬底之间的距离降低，增大了电感与衬底

之间的电容，增加了电感的衬底电能损耗和贮存的电能，使得电感的高频品质因数及自谐振频率下降。并联不同金属层得到的品质因数不同，单端和差分品质因数不同，正好说明芯片代工厂提供的电感不是最优的，需要电路设计人员根据自己的需要来设计电感。

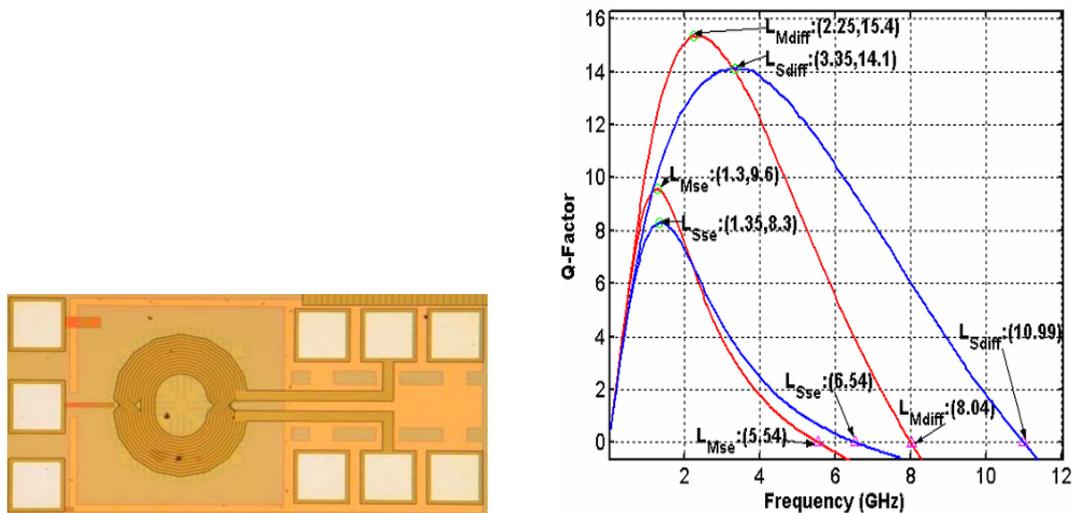


图 4.20 4 电流路径 3 圈差分电感芯片照片 图 4.21 多电流路径和单电流路径电感品质因数

4.2.5.2 多电流路径电感

采用了 $0.35\mu\text{m}$ 2p4m射频工艺对电感进行了流片，将一个电感线圈分成4股，4层金属并联，版图见4.20。图4.21是多电流路径电感和单电流路径电感（两者的单圈金属线宽相同）品质因数的比较。图中下标M和S分别代表多电流路径和单电流路径；diff和se分别表示差分 and 单端。

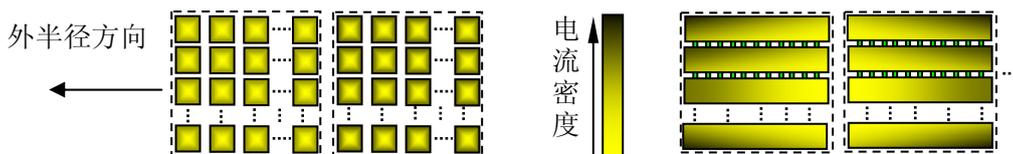


图 4.22 偶耦合不同电流路径的电流分布

图4.22为偶耦合不同电流路径的电流分布。由于电流拥挤效应使得线圈内的电流更加集中，而加大线圈的自感；但是由于邻近效应使得电感电流在外圈电流趋向该圈的外边缘，内圈电流趋向内边缘，拉大了相邻线圈的有效电流间距，使得不同线圈之间的耦合系数降低、互感减小，整体而言多电流路径的电感大于单电流路径电感。还有因为邻近效应使得有效的金属线宽变窄，降低了电感与衬底之间的耦合电容（该电容与电流的有效面积成正比）以及邻近效应拉大了相邻线圈的有效距离，进而降低了电感线圈之间的寄生电容（该电容与临近线圈的有效间距成反比），所以多电流路径电感的自谐振频率和最大品质因数所在的频率都

比单电流路径的电感低，见图4.21。多电流路径抑制电流拥挤效应的效果是明显的，尤其是在低频，在多电流路径的最大品质因数高出该频率的单电流路径电感品质因数15%。但是有意思的是，多电流路径的方法是用来抑制高频电流拥挤的，但是在更高频的时候，这种结构的品质因数却低于单电流路径。

表 4.3 电流拥挤效应抑制的电感版图参数说明（版图见图 4.8）

参数 电感	单端/差分	垂直电 流路 径	水平电 流路 径	单路 径金 属线 宽, μm	不同 路径 间距, μm	临圈 间距, μm
L20	差分	1	5	3	0.65	0.65
L19	差分	4	5	3	0.65	0.65
L25	差分	4	4	3.9	0.65	0.825
L24	差分	4	3	5.4	0.675	0.9
L27	差分	4	1	17	-	1.05
L26	差分	1	1	17	-	1.05

A) 金属宽度方向多电流路径

图4.20中电感的单电流路径金属线宽等于多电流路径金属线宽之和。表4.3中的电感的整体的单圈金属线宽相同，这样电流路径越多，电感的直流电阻越大。图4.23为金属厚度方向不同电流路径的电感性能对比。显然，尽管多电流路径电感的直流电阻大，其最大品质因数仍明显高于单电流路径电感，其最大品质因数高出该频率处的单电流路径电感的品质因数近40%，这说明多电流路径对高频电阻的抑制作用是明显的。越是内圈电感的电流拥挤效应越强，这次为了验证多电流路径对电流拥挤效应的抑制效果，特意设计了非中空电感，见图4.9。所以本次实验中多电流路径抑制电流拥挤的效果比图4.20的中空电感结构明显。

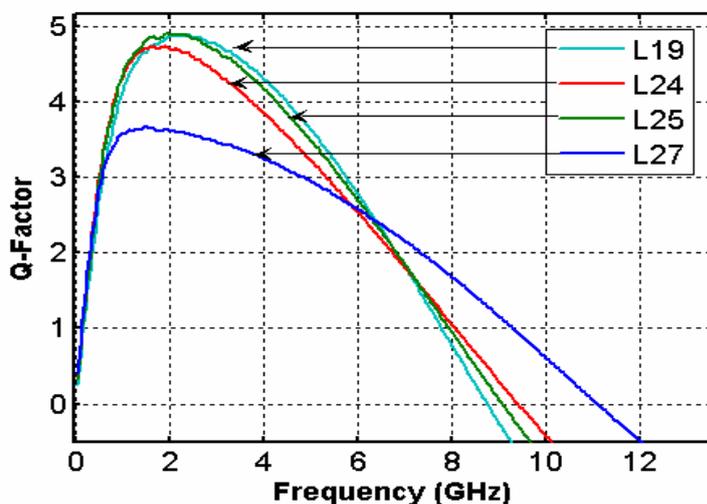


图4.23 金属宽度方向不同电流路径的电感品质因数

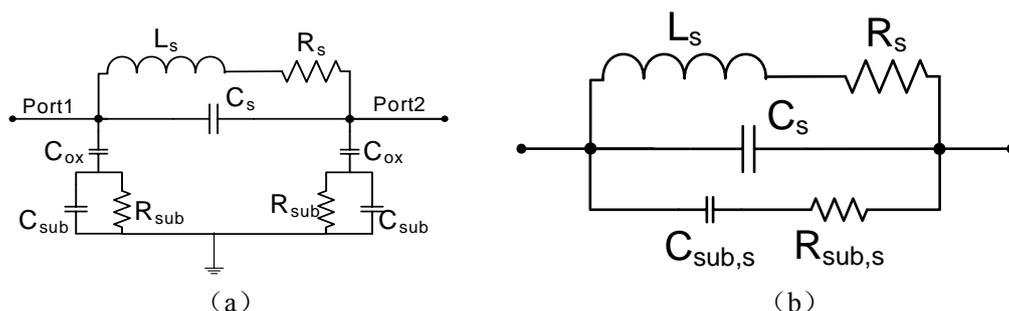


图4.24 传统的电感等效电路模型

图4.24是传统的电感等效电路模型。(a)是 π 模型；(b)是 π 模型的变形。其中， L_s 和 R_s 分别为电感的串连电感和串连电阻； C_{ox} 、 C_s 分别为电感与衬底之间的氧化层电容以及电感线圈之间的寄生电容； R_{sub} 和 C_{sub} 分别为衬底电阻和衬底电容； $R_{sub,s}$ 和 $C_{sub,s}$ 分别为等效的电感衬底电阻和衬底电容。

图4.25是金属宽度方向多电流路径电感的串连电阻和串连电感随频率的变化图。在单圈金属线宽相同时，水平方向的电流路径越多，电感的直流电阻越大。所以低频时少电流路径的电感的串连电阻小；随着频率的增大，电流拥挤效应使得电流路径少的电感串连电阻增大的速率大于电流路径多的电感，使得多电流路径电感的电阻相对较小，见图4.25 (a)。电流拥挤效应加大了有效的电感线圈电流的间距，因此电流的路径越少，相邻电感线圈之间有效电流的间距就越大，使得相邻线圈之间的耦合系数降低，电感值下降，寄生电容减小。这种效应随着频率的增大而加强，见图4.25 (b)。所以在到达自谐振频率之前，水平电流路径越多电感值越大，还有其寄生电容大，使其自谐振频率低，见图4.23。

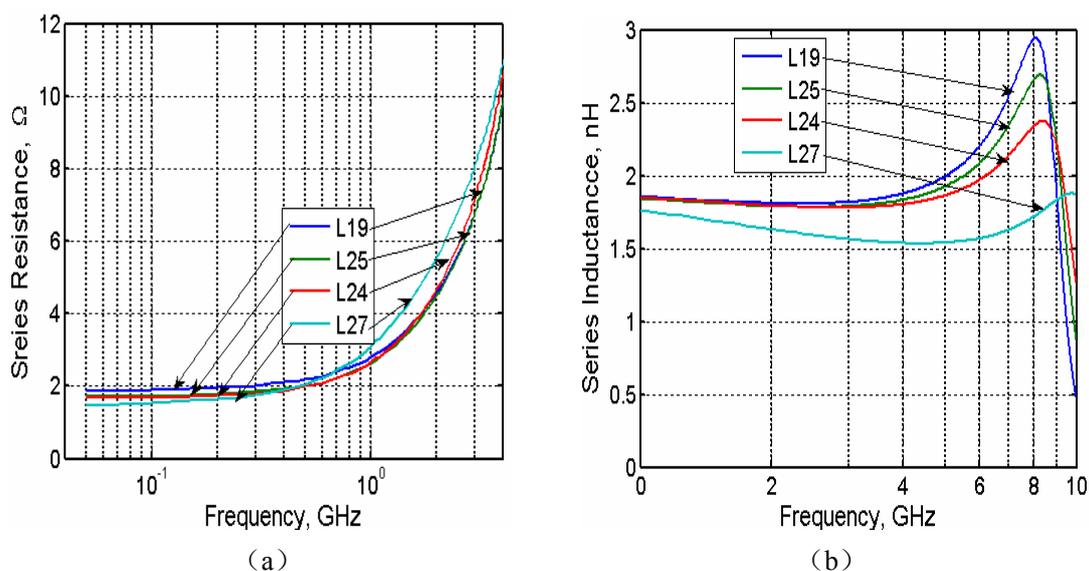


图4.25 金属宽度方向多电流路径电感的串连电阻(a)和串连电感(b)

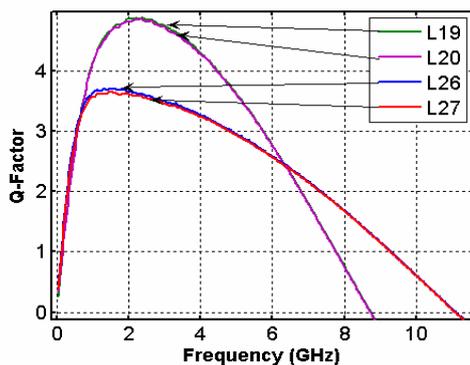


图4.26 金属厚度方向多电流路径的差分电感品质因数

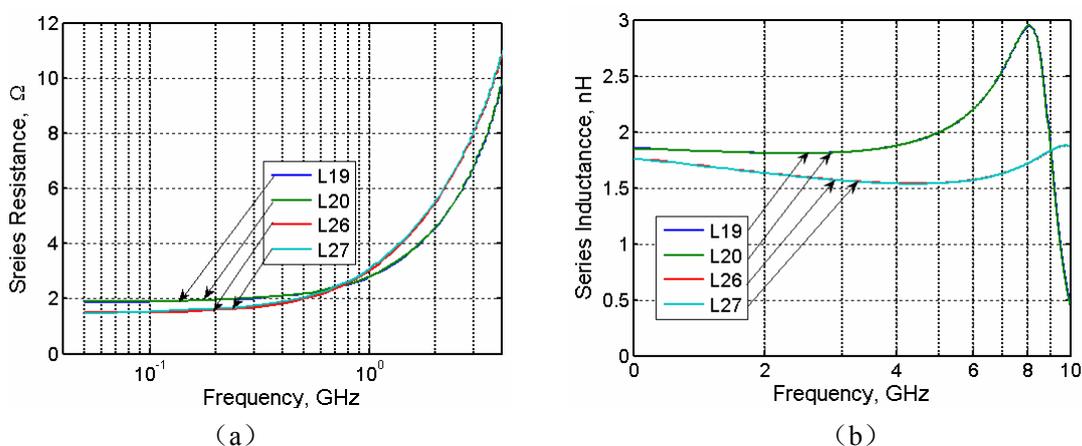


图4.27 金属厚度方向多电流路径电感的串连电阻(a)和串连电感(b)

B) 金属厚度方向多电流路径

图4.26是金属厚度方向多电流路径的差分电感品质因数。其中L19和L20在宽度方向是5电流路径，L26和L27在宽度方向是单电流路径。由于宽度方向的多电流路径抑制了该方向的电流拥挤效应，进而该方向的多电流路径电感的品质因数高。L20和L26的不同金属层之间打上了大量的通孔，而L19和L27的只有在电流流入流出的地方的不同金属层之间打上通孔，其中在差分电感的圈与圈之间切换位置的不同金属层之间也打上了通孔。图4.27是垂直多电流路径差分线圈的串连电阻和串连电感。显然，在金属宽度方向路径相同的情况下，差分结构电感的垂直方向的邻近效应没有得到有效的抑制。

在金属厚度方向，不同金属层的物理环境不同，不能保证电流按照金属的横截面积大小流入各个电流路径，会降低垂直方向多电流路径的效果；还有差分电感需要不同层次之间的交叉来实现其对称性。在交叉处，几层互连线使用通孔连接，在电感线圈中间的涡流具有垂直方向通路，这样垂直方向电流拥挤效应的条件被破坏，使得垂直方向的多电流路径没有效果，见图4.26和图4.27。由于垂直方向电流拥挤没有得到抑制，还有金属厚度方向的电流耦合系数非常大，使得垂

直方向的电流拥挤引起的耦合系数变化很小，所以电感值几乎不随着垂直电流路径的多少发生变化，见图4.27 (b)。

图2.27中的并联金属之间布满通孔和局部通孔连接的金属电感值和电阻值基本相等。该结果对于电感不同金属层并联的通孔设计具有指导意义：在全部的电感并联金属层之间布满通孔是没有太大意义的，只要通孔的数量多到其串连电阻相对于金属互连线的电阻可以忽略的时候就足够了。

如果是单端电感，只在电流流入流出的部分使用大量通孔并联不同的金属层。这意味着电流在没有通孔的上下两金属层之间没有垂直的连接，使得趋肤效应的涡流在该处的垂直方向没有通路，从而降低厚度方向的趋肤效应。就能够得到垂直多电流路径对垂直方向的电流拥挤效应的抑制效果。

一般电感的衬底接地，顶层金属和底层金属之间的物理环境不一样。顶层的金属厚，以及底层的金属与衬底涡流是奇耦合，使得底层的电感线圈电阻比顶层的大，通常的设计不能实现电流垂直方向的均匀分配，垂直方向多电流路径对电流拥挤效应的抑制就会降低。即使电流路径的宽度相同，在相同线圈中，半径大的电流路径比半径小的电流路径的电感值和电阻值都大，使得电流不是均匀地流入不同电流路径，从而使金属宽度方向的多电流路径抑制电流拥挤效应的效果下降。采用图3.30或图3.32的缠绕方式可以实现不同电流路径的等阻抗，也就能够有效抑制宽度和厚度两个方向的电流拥挤，进而实现更好性能的电感。但是这样的结构需要较大多数的通孔，如果采用通孔材料和金属互连线材料一致的工艺，就会大大降低通孔增大的串连电阻，进而实现更好的电流拥挤效应的抑制效果。

4.2.6 降低衬底效应方法的验证

在电感工作频率高到一定程度后，电感在衬底上感应的电压的绝对值将等于电感线圈的电压，衬底的电场损耗增大，还有衬底的涡流也随着频率的增大而增大，因而，衬底损耗是高频电感的主要损耗。

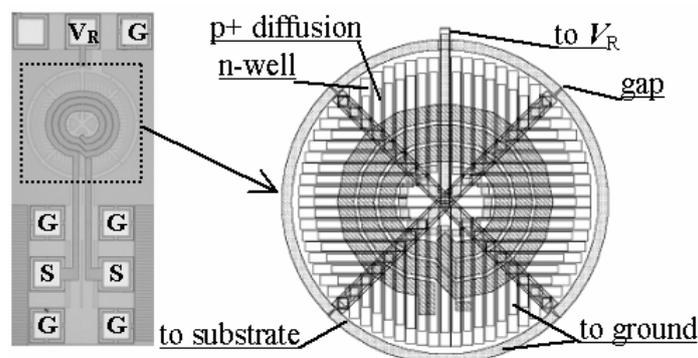


图 4.29 双pn结衬底隔离的芯片照片（左）和版图（右）^[4.11]

4.2.6.1 pn结抑制衬底高频电流

图 4.29 是双 pn 结衬底隔离的芯片照片和版图。其中 p^+ 扩散层接地，n 阱接偏置电压 V_R ，这样电感的电场就终止在接地的 p^+ 扩散层，被屏蔽掉，不会进入衬底。衬底的损耗只剩下涡流损耗，反偏的 n 阱用来验证 pn 结降低衬底涡流。工艺电源电压是 3.3V，n 阱线条之间的间隔是工艺允许的最小距离 $1.1 \mu m$ 。

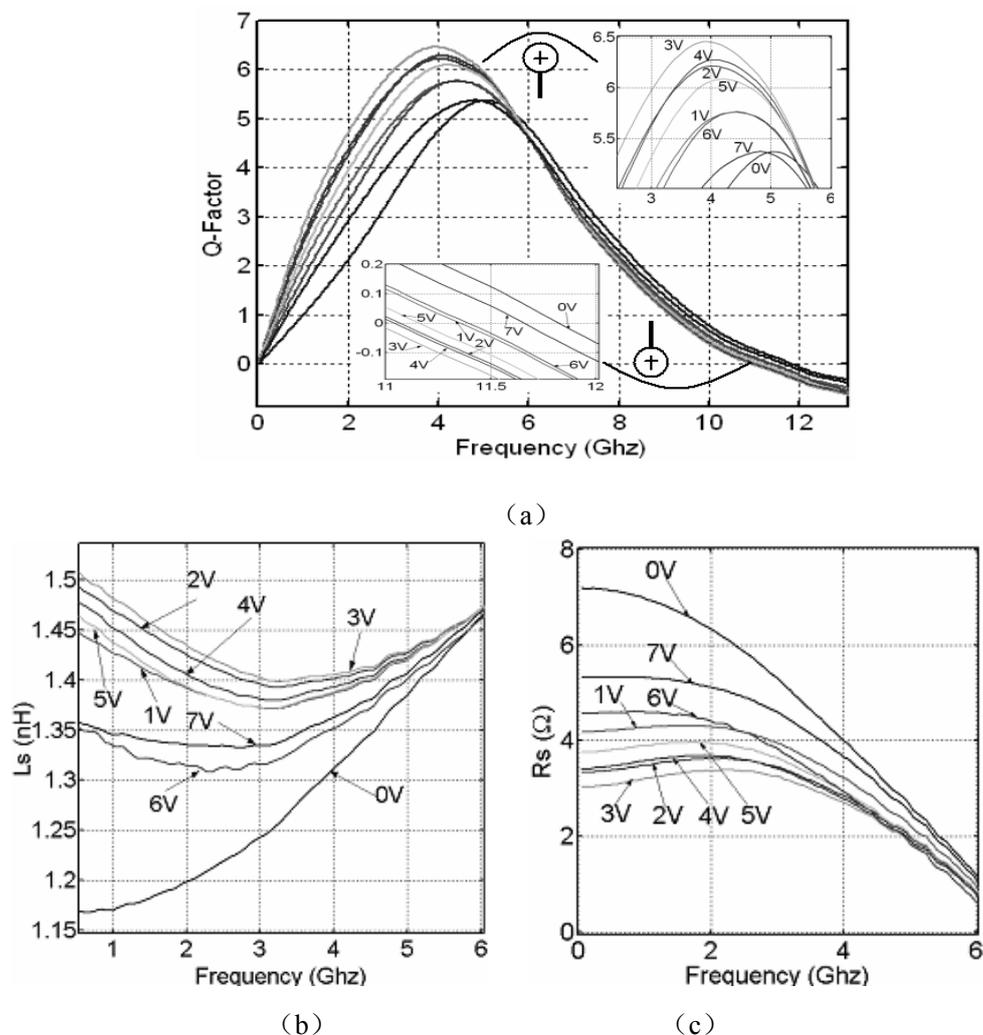


图 4.30 在不同的偏置电压下的电感的品质因数 (a)、串连电感 (b) 和串连电阻 (c)

图 4.30 是在不同的偏置电压下的电感的品质因数、串连电感和串连电阻。从图 4.30 (a) 可见，n 阱的反偏电压从 0V 到 3V 的时候，电感的品质因数增大 19%。其原因是 pn 结的耗尽层随着反偏电压的增大而增大，衬底的等效高阻区加厚，从而衬底的涡流被降低。电感与衬底涡流之间的变压器效应降低线圈电感值、增大线圈电阻的效应被减小。反偏电压从 4V 开始，电感的品质因数下降。原因是在电压大于 3.3V 的工艺电源电压时，两个相邻的 n-well 线条的 pn 结开始接触，在反偏电压 7V 时，水平 pn 结完全串通，电感的品质因数下降 19%。这

时候的等效高阻衬底的厚度只是 pn 结的厚度，不再是最低层 n 阱的深度。于是衬底的涡流增大，由于衬底和电感之间的变压器效应，电感的串连电阻增大、串连电感降低，见图 4.30(b)，(c)。电容耦合电流和衬底涡流随着频率的增加而增大，大部分电流聚集在衬底的顶部。所以电感的品质因数随着 pn 结反偏电压变化而变化的现象可以安全的推广为：pn 结衬底隔离可以降低电感衬底的高频电流（衬底涡流和电容耦合电流），提高电感的品质因数。

4.2.6.2 各种地屏蔽对比

图4.31为验证各种地屏蔽的效果而再次采用0.35 μm 2p4m CMOS工艺流片的电感版图。表4.4对比了不同地屏蔽的相同电感线圈的品质因数和自谐振频率。

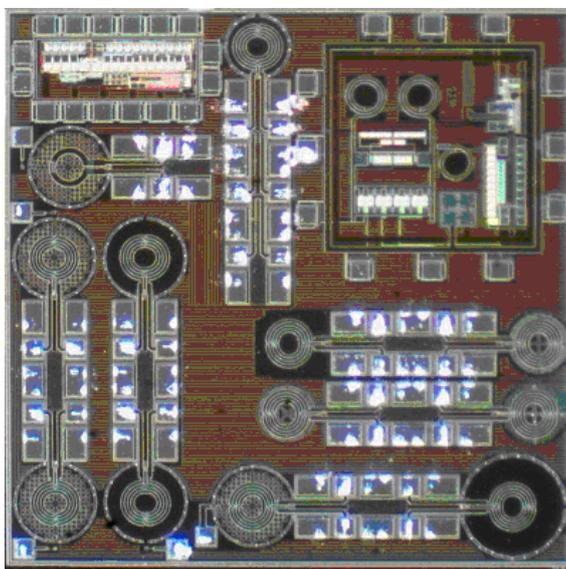


图4.31 相同几何参数的电感线圈不同地屏蔽的芯片照片

表4.4 相同几何参数的电感线圈不同地屏蔽的对比

	并联的金属层	屏蔽层*	保护环距离	Q_{\max}	$f_{Q_{\max}}(\text{GHz})$	$f_{\text{self}}(\text{GHz})$
L4	m3//m4	m1 _G -pb	无	8.6	4.85	10.70
L5	m3//m4	m1 _G -slot	无	8.2	4.80	10.75
L6	m3//m4	poly2 _G -pb	无	9.2	5.55	11.40
L7	m3//m4	n _G -pb	无	10.2	5.55	11.6
L2	m1//m2//m3//m4	无	60 μm	9.0	3.00	8.65
L8	m1//m2//m3//m4	n _R -pb	60 μm	9.1	3.00	8.55
L11	m1//m2//m3//m4	p _R n _R -pb	60 μm	9.3	3.55	8.30

*注释：p代表p+扩散层；n代表n阱；R代表该层和地之间接10k电阻；G代表低阻接地。pp表示屏蔽结构是乒乓球板形式；slot表示该屏蔽是放射状线条。

图4.32是两种金属地屏蔽电感的品质因数和电感值。乒乓板地屏蔽结构产生的涡流磁场小于线条结构的地屏蔽产生的涡流磁场，使得乒乓板地屏蔽结构的涡流磁场降低的电感值也就相对小，从而乒乓板地屏蔽结构电感（L4）的电感值比线条结构地屏蔽电感（L5）的电感值略大。所以在电感对衬底寄生电容相同的情况下，L4的最大品质因数大于L5的最大品质因数，而L4的自谐振频率略小于L5的自谐振频率。

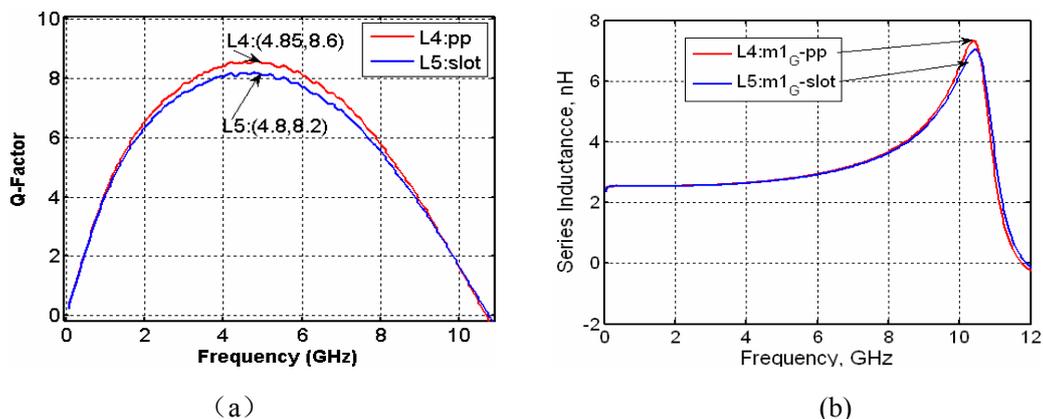


图4.32是两种金属地屏蔽电感的品质因数 (a) 和电感值 (b)

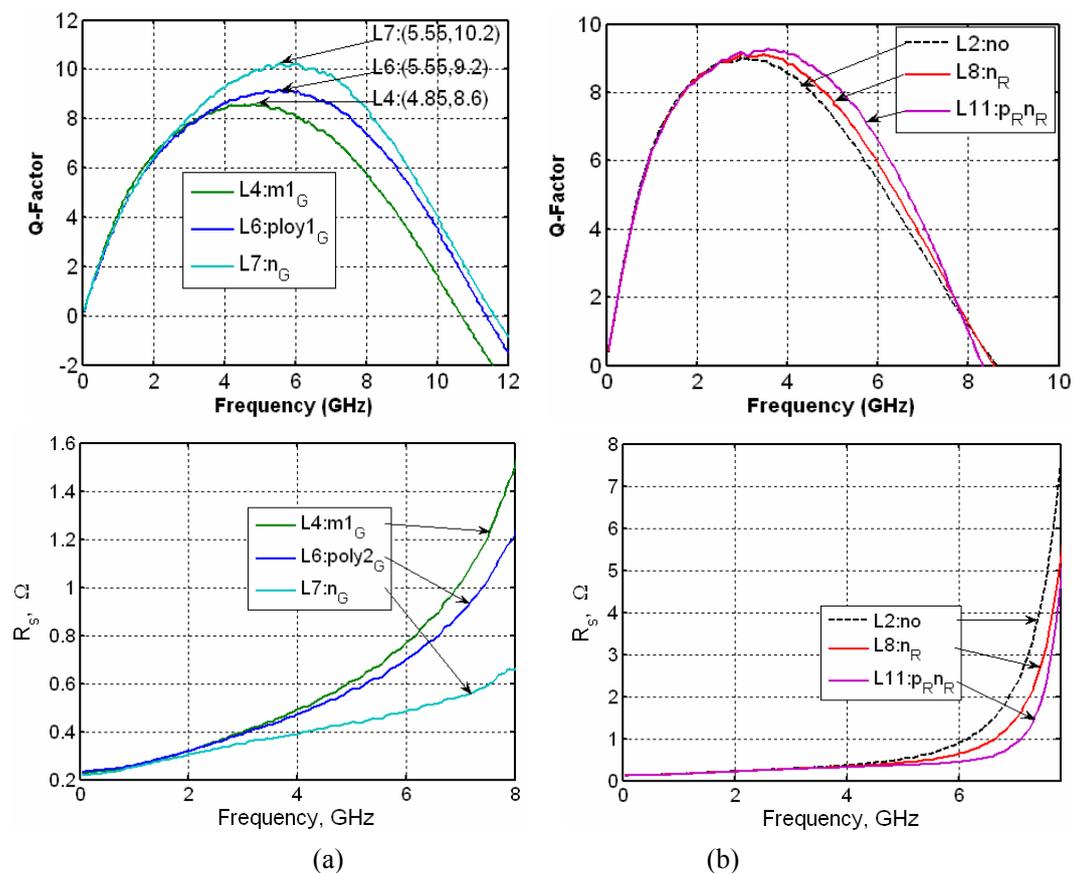


图4.33 地屏蔽衬底屏蔽电感的品质因数和电感的串联电阻

图4.34 pn结衬底隔离电感的品质因数和电感的串联电阻

电感的自谐振频率高意味着线圈的电感值和电容值乘积小。电感存贮的磁能多、电能少、损耗低，电感的品质因数也就高。

图 4.33 是地屏蔽衬底屏蔽电感的品质因数和其等效模型的参量。图中的电感线圈完全相同，由金属 4 和金属 3 并联而成。电感金属与衬底或者屏蔽层的间距越大，两者的耦合系数越小，进而电感在衬底或者屏蔽层产生的涡流也就越小，两者之间的变压器效应也就小。根据前面章节的理论推导可知：电感和衬底之间的变压器效应会降低线圈的电感值 L_s 、增大电感的串连电阻 R_s 。因此，随着频率的增大，L4、L6 和 L7 的串联电阻 R_s 大小顺序是 $R_{s4} > R_{s6} > R_{s7}$ 。电感和衬底之间的距离越大，两者之间的寄生电容越小，所以它们的最大品质因数和自谐振频率的电感顺序是 L7、L6 和 L4。

图 4.34 是 pn 结衬底隔离电感的品质因数和其等效模型的参量。图中的电感线圈完全相同，由金属 4 至金属 1 并联而成。L2 没有衬底隔离层，而 L8 和 L11 的衬底隔离层分别是 n 阱单 pn 结 (**nw-p**) 和在 n 阱上扩散 p^+ 形成的双 pn 结 (p^+ -**nw-p**)。pn 结 **nw-p** 的耗尽层是高阻区，可以阻挡衬底的表层涡流；双 pn 结 p^+ -**nw-p** 的 **nw-p** 同样阻挡了衬底的表层涡流，而其 p^+ 深入耗尽了其 n 阱的导电粒子，进一步降低了 n 阱产生的涡流。衬底涡流的降低减小了衬底与电感之间的变压器效应，因此，电感 L2、L8 和 L11 的 R_s 在高频的大小顺序是 $R_{s2} > R_{s8} > R_{s11}$ ，而在高频他们电感值与这个顺序相反。由于射频工艺的衬底电容比较低，远小于 pn 结的结电容，因此 pn 对电感与衬底之间的等效寄生电容基本没有影响。还有由于 L2 的下面是无源区氧化层厚度略大于 L8 和 L11 下面的有源区氧化层厚度，因此电感 L2、L8 和 L11 的最大品质因数依次增大，而自谐振频率依次降低。

因此如上所述，与单 pn 结相比，多 pn 结更有利于抑制衬底的高频效应，提高电感的品质因数。地屏蔽层引起的电感寄生电容增大而增加的电感存贮电能以及其引起的磁场损耗之和小于其降低的衬底电场损耗的时候地屏蔽才会提高电感的性能。

4.2.6.3 不同测试功率下的衬底损耗

图 4.35 是电感的品质因数随着测试探针输入功率的变化图。可见电感的品质因数随着测试探针输入功率的增加而降低。在 LC VCO 以及 PA 当中，片上电感通过相对大的电流和高的电压，其电感的品质因数会低于小输入功率测试得的品质因数。

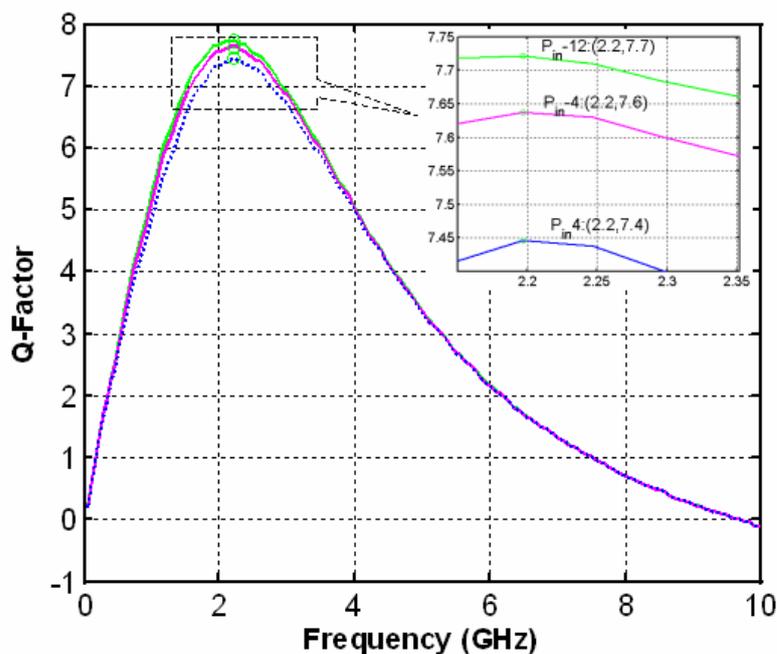


图4.35 电感的品质因数随着测试探针输入功率的变化

4.3 小结

本章提出了开路通路地屏蔽可缩放去嵌入方法，使用一个去嵌入结构就可以消除不同信号线长度的寄生参量。针对第二章和第三章的分析，对某些不改变工艺的电感优化方法，通过具体实验给予了验证。在电感值和面积方面实验证明了：叠层电感的耦合系数大，具有较大的面积优势；可以通过金属互联线串并联结合的形式能够提高电感的品质因数；在低频，平面螺旋电感圈数增多而增加的电感值大于其串连电阻的增加，使得大电感的品质因数高。在电感的寄生电容方面，给出了差分电感和单端电感的品质因数以及自谐振频率的对比，实验验证了差分电感具有高品质因数的寄生电容解释；从电流拥挤效应等高频效应出发，指出了分布电容模型的改进方向；验证了降低差分电感相邻线圈之间寄生电容的方法。在降低电感的串联电阻方面，实验证明了多电流路径的电感抑制电流拥挤效应的效果，对其品质因数和自谐振频率的变化给出合理的解释；指出金属厚度对线圈电感值的调制作用。在衬底损耗的降低方面，通过对测试数据的分析，得到地屏蔽层会引起电感寄生电容增大，进而增加电感的存贮电能；地屏蔽层的涡流磁场引起电感的磁能降低。这两者之和小于地屏蔽层降低的衬底电场损耗时，电感地屏蔽才能提高电感的性能；电感的品质因数随着 pn 结反偏电压变化而变化的现象确认了 pn 结衬底隔离可以降低电感衬底的高频电流；实验验证了电感的品质因数会随着电感的工作电流和电压的增大而降低。与单 pn 结相比，多 pn 结更有利于抑制衬底的高频效应，提高电感的品质因数。改变 pn 结衬底隔离的偏置电压，进而改变电感的自谐振频率等理论还需要进一步的实验验证。

参考文献

- [4.1] Tiemeijer, L.F. and Havens, R.J.. A calibrated lumped-element de-embedding technique for on-wafer RF characterization of high-quality inductors and high-speed transistors [J]. IEEE Transactions on Electron Devices, 2003, 50(3): 822-829.
- [4.2] Maget, J., VARACTORS AND INDUCTORS FOR INTEGRATED RF CIRCUITS IN STANDARD MOS TECHNOLOGIES [D], Dept. of Electr. Eng., Univ. of Bundeswehr, Neubiberg, Germany, 2002.
- [4.3] Kaija, T. and Ristolainen, E.O.. An experimental study of scalability in shield-based on-wafer CMOS test fixtures[J]. IEEE Transactions on Microwave Theory and Techniques, 2004,52 (3): 945-953.
- [4.4] Wheeler H. A.. Transmission-line properties of a strip on a dielectric sheet on a plane [J] . *IEEE Trans. Microwave Theory Tech.*, 1977, 25(8) 631-747.
- [4.5] Kaija, T. and Ristolainen, E.. Scalable ground-shielded open fixture applied to de-embedding techniques [C]. International Conference on Microelectronic Test Structures, 2003. 2003(3):85-90.
- [4.6] Kolding, T.E., Jensen, O.K. and Larsen, T.. Ground-shielded measuring technique for accurate on-wafer characterization of RF CMOS devices [C] . Proceedings of the 2000 International Conference on Microelectronic Test Structures, 2000. ICMTS 2000, 13-16:246-251.
- [4.7] 菅洪彦 唐珏 唐长文 何捷 闵昊. 可缩放的开路通路地屏蔽电感在片测试结构去嵌入方法 [J]. 半导体学报已录用待发表。
- [4.8] Hongyan Jian, Zhangwen Tang, Jie He, Hao Min. Analysis of Self-resonant Frequency for Differential-driven Symmetric and Single-ended Inductors [J]. 2004 International Conference on Solid-State and Integrated-Circuit Technology (ICSICT) Beijing, China, 2004, A3.13:194-197.
- [4.9] Hongyan Jian, Zhangwen Tang, Jie He, Hao Min. Analysis and Optimum Design of Differential Inductors Using the Distributed Capacitance Model [J]. Chinese Journal of Semiconductors, in press.
- [4.10] 菅洪彦, 王俊宇, 唐长文, 何捷, 闵昊. 用标准集成电路工艺设计低寄生电容差分驱动对称电感的方法 [P]. 申请号为: 200410067598, 申请日: 2004年10月28日。
- [4.11] Hongyan Jian, Zhangwen Tang, Jie He, Jinglan He, Hao Min. Standard CMOS Technology On-Chip Inductors with pn Junctions Substrate Isolation [C]. ASP-DAC 2005, Jan. 18-25, 2005, Shanghai China, Special Session: University Design Contest, 2005, DC-3, D-5.

第五章 总结

5.1 总结

消费类无线电子产品的迅猛发展,促进了射频收发器的研究,而电感在射频前端系统中具有重要作用,使得电感的单片集成具有重要的经济和学术意义。论文为了解决片上电感品质因数低、占据芯片面积大的两个重要缺点,以电磁学理论为依据,分析了线圈的结构与磁场耦合关系、寄生的串联电阻、分布电容以及衬底损耗等物理特性,进而根据标准工艺提出了增大电感品质因数的方法;同时指出从工艺角度增大电感品质因数的方向。

在线圈的结构与磁场耦合关系方面的主要工作有:详细分析了片上电感的结构与耦合系数的关系,得出了电感半径与电感金属线宽比越大,相邻线圈的耦合系数越大的结论,进而解释了多圈螺旋电感在低频具有大的品质因数的原因:电感的增加大于电阻的增加。针对片上电感广泛采用面积大的平面螺旋电感芯片,不能随着工艺按比例缩小的矛盾,在垂直叠层电感的耦合系数大于平面螺旋电感的耦合系数的理论指导下,提出了采用多层互连线“Z”型开槽的垂直串连的方法,进而设计了具有面积优势的叠层电感。采用相邻金属层并联,再与其他并联的金属层串连的方法缓解了该种结构的电感串连电阻大的矛盾。与相同量值的平面螺旋电感相比,串并联结构的电感具有更大的品质因数和自谐振频率。

本文在分布电容计算方面的主要工作有:在改进的电感分布电容模型基础上,将分布电容模型推广到差分电感,并分别推导出了单端和差分的平面螺旋电感以及垂直螺线管的寄生电容公式。得到差分电感与衬底之间的寄生电容是对应的单端电感与衬底之间寄生电容的四分之一,进而首次从寄生电容的角度解释了差分电感具有比相同几何参数的单端电感品质因数和自谐振频率高的原因;提出了在高频分布电容模型精度不高的原因:电流拥挤效应和衬底变压器效应,进而指出了其修正方向;分布电容模型的提出对降低电感的寄生电容的结构设计提出了理论指导方向,并且在此原理的指导下分别设计验证了两种降低差分电感临近线圈寄生电容的方法。

本文在线圈串连电阻方面的主要工作有:从电磁场的角度解释了金属的趋肤效应和邻近效应,得到了电感线圈中电流重新分配的原因。通过理论推导出金属横截面积越小,趋肤效应越小;金属宽度与间距比越小,电感的邻近效应越小的结论。进而将单根电感金属线圈分成小横截面积的并联结构来抑制电流拥挤效应。试验数据显示,与常规的电感设计相比,多电流路径的方法最大可以将电感品质因数提高40%。该结构具有显著效果的前提条件是电流按照金属的横截面积反比分配到各个电流路径,也就是说并联的金属线条要有相同的阻抗。借鉴分立

元件的LITZ金属线，根据集成电路互连线的结构，提出了两种集成电路LITZ结构电感设计方法，可以用来抑制金属在厚度和宽度两个方向的电流拥挤效应；该论文首次发现并从邻近效应出发解释了相同结构的线圈，并联不同的金属层得到的电感值随着频率的变化：在低频由于厚金属分散了线圈的电流，进而其直流电感低，随着频率的增加邻近效应逐渐发挥作用，增大了相邻线圈的等效距离、降低了耦合系数，进而降低了线圈的电感值。多层金属将电流向金属厚度方向分散，进而降低了这种邻近效应效果，也就是说并联不同互连线层数的相同几何参数的线圈，随着频率的增大线圈并联的金属层数越多，其电感值越大。

本文在电感的损耗方面的主要工作有：建立了衬底的电场和磁场损耗物理模型。在单pn结衬底隔离的基础上，提出多pn结衬底隔离。电感的品质因数随着pn结衬底隔离偏置电压的变化而升降，验证了pn结衬底隔离可以降低电感的衬底损耗。指出pn结降低电感与衬底之间等效电容的前提条件，进而提出电感自调谐振荡器，理论上证明了该结构比传统的LC VCO具有更高的品质因数。通过对测试数据的分析，得到地屏蔽层会引起电感寄生电容增大，进而增加电感的存贮电能；地屏蔽层的涡流磁场会引起电感的磁能降低。这两者之和小于地屏蔽层降低的衬底电场损耗时，电感地屏蔽才能提高电感的性能。与单pn结相比，多pn结更有利于抑制衬底的高频效应，提高电感的品质因数。从理论和实验上证明了乒乓板地屏蔽结构能够更好的降低屏蔽层的涡流的作用，进而具有更好的地屏蔽效果。实验验证了电感的品质因数会随着电感的工作电流和电压的增大而降低，从一个侧面验证了本文建立的衬底物理模型。

在电感的测试方面，实验证明了在相同的频率下，宽度相同的信号线的寄生参量是其长度的线性函数。进而提出了可缩放的地屏蔽电感开路通路的去嵌入方法。解决了不同半径电感的信号线长度不同，采用相同的去嵌入结构增大芯片的面积，不同的去嵌入结构增大测试误差的矛盾。

本文还指出电感是一个LCR相互制约的电路结构，电感电路的优化要将电感当成电感应用电路的子电路，进而进行系统优化分析。

5.2 展望

尽管本文提出并验证了许多新的电感优化方法，但是不可能覆盖片上电感研究的所有方面，下面简单列举一些还值得深入研究的问题：

- 1)建立宽带的电感模型；本文提到的衬底损耗物理模型还需要分析验证；
- 2)分布电容公式的高频效应修正；
- 3)在金属宽度方向和厚度方向降低电流拥挤的两种电感设计方法的验证；
- 4)pn结衬底隔离基础上的电感自激振荡器；

5) 半有源电感;

6) 电感的优化算法和软件;

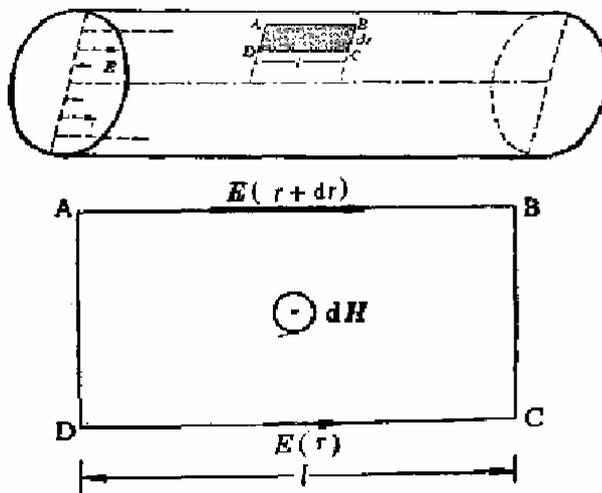
等等。随着铜互连,更多层互连线,低介电常熟绝缘材料材料的使用,绝缘或半绝缘衬底的推广,高磁导率材料的使用等,电感的品质因数会大大提高。片上电感的品质因数低和占据芯片面积大的问题不是单靠几个博士能够解决的,需要电路的设计人员、电磁学的研究人员、材料研究人员、工艺厂商、EDA 软件设计人员等一起努力来解决。

附录一 趋肤深度公式推导*

我们现在考虑可变电流在导体截面上的分布问题。这一问题，无论从理论观点或从技术观点都是很重要的。与恒定电流不同，即使在均匀的直线导体中，可变电流在导体的横截面也不是均匀分布的，而是集中在导体的表面层。这一现象称为趋肤效应，结果使导体的有效电阻和自感发生改变。

交变电流通过导体时，导体中将发生傅科电流。这种傅科电流是由交变电流自己在导体中所产生的交变磁场引起，因而影响到电流在导体截面上的均匀分布。我们就来分析这个颇为复杂的情况。

设有交变电流沿轴流过匀质圆柱导体，在导体中各点，电流密度 \mathbf{j} 平行于圆柱轴。由 $\mathbf{j} = \sigma \mathbf{E}$ ，可见电场强度 \mathbf{E} 也平行于圆柱轴。但在导体横截面各点上， \mathbf{E} 的大小是不相等的。我们先来证明这一点。



通过交流电流地圆柱导体的电磁场示意图

在通过圆柱轴的纵截面上，考虑小矩形 $l dr$ 。通过这个小矩形的磁通为

$$d\Phi = \mu l dr H \quad (1)$$

式中， $H = \frac{1}{2\pi r} \int_0^r j \cdot 2\pi \cdot r dr$ 。由于 \mathbf{j} 和 \mathbf{H} 是交变的，沿这个小矩形的边线就有感应电动势

$$E = -\mu \cdot l \cdot dr \frac{\partial H}{\partial t} \quad (2)$$

这里，假定 μ 不随时间变化，从而有感应电流沿着小矩形边线 ABCD 流动。令 $\mathbf{E}(r)$ 代表与轴相距 r 的电场强度，它沿 BC 和 AD 并不产生电动势；感应电动势只能归之于在 AB 和 CD 边上电场强度的不同。事实上，我们有

$$U = -l[E(r+dr) - E(r)] = -\frac{\partial E}{\partial r} l dr \quad (3)$$

如上图所示, 电流 \mathbf{j} 从 D 到 C, 并在 t 时增加, 则通过 ABCD 的磁通也在增大。根据楞次定律, 感应电动势将使感应电流沿 ABCD 方向流动, 这就是说, 电场 $\mathbf{E}(r+dr)$ 比 $\mathbf{E}(r)$ 大。所以电场强度, 从而电流密度, 在导体横截面上, 从中心到边缘随 r 而增大的。

从上式, 我们有

$$\frac{\partial E}{\partial r} = \mu \frac{\partial H}{\partial t} \quad (4)$$

为了完全决定 $\mathbf{E}(r+t)$, 把 $H = \frac{1}{r} \int_0^r \mathbf{j} \cdot r dr$ 和 $\mathbf{j} = \sigma \mathbf{E}$ 代入上式中, 得

$$\frac{\partial E}{\partial r} = \frac{\mu}{r} \int_0^r \frac{\partial \mathbf{j}}{\partial t} r dr = \frac{\mu \sigma}{r} \int_0^r \frac{\partial E}{\partial t} r dr \quad (5)$$

即

$$r \frac{\partial E}{\partial r} = \mu \sigma \int_0^r \frac{\partial E}{\partial t} r dr \quad (6)$$

将上式两端对 r 求偏微商, 就有

$$\frac{\partial}{\partial r} \left(r \frac{\partial E}{\partial r} \right) = \mu \sigma r \frac{\partial E}{\partial t} \quad (7)$$

我们只来研究强度为时间正弦函数的交变电场, 并引用复数 \tilde{E} , 则

$\frac{\partial \tilde{E}}{\partial t} = i\omega \tilde{E}$ 。于是, 上式成为

$$\frac{\partial^2 \tilde{E}}{\partial r^2} + \frac{1}{r} \frac{\partial \tilde{E}}{\partial r} - i\omega \mu \sigma \tilde{E} \quad (8)$$

它可以决定 \tilde{E} 随 r 而变的情形。与 \tilde{E} 成正比的电流密度 \tilde{j} 也满足这个微分方程。由于上式左边第三项 \tilde{E} 的系数是虚数, 可见 \tilde{E} 和 \tilde{j} 对于 r 的依赖将是复数关系的, 即 \tilde{E} 和 \tilde{j} 的相位将随 r 而变。

在趋肤效应极为显著, 电流所集中的表面层厚度比起导线半径小得多的情形下, 微分方程中的 $\frac{1}{r} \frac{\partial \tilde{E}}{\partial r}$ 这一项可以忽略不计, 而该式可近似为

$$\frac{\partial^2 \tilde{E}}{\partial r^2} = i\omega \mu \sigma \tilde{E} \quad (9)$$

令

$$\beta = \sqrt{\frac{\omega\mu\sigma}{2}} \quad (10)$$

可知上式的解为

$$\tilde{E} = E_0 e^{-\beta(r_0-r)} e^{-i\beta(r_0-r)} e^{i\omega t} \quad (11)$$

其中 r_0 为圆柱导体的半径。取其实数部分，最后得

$$E = E_0 e^{-\beta(r_0-r)} \cos[\omega t - \beta(r_0 - r)] \quad (12)$$

和

$$j = \sigma E_0 e^{-\beta(r_0-r)} \cos[\omega t - \beta(r_0 - r)] \quad (13)$$

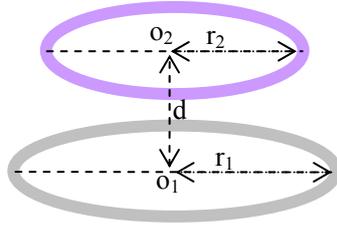
可见，在逐步深入到导体内部时，电场 E 和电流密度 j 的相位随着 r 线性地改变，而它们的幅值 $e^{-\beta(r_0-r)}$ 和 $\sigma E_0 e^{-\beta(r_0-r)}$ 按指数律减小。大部分电流可以认为集中在厚度为

$$\delta = \frac{1}{\beta} = \sqrt{\frac{2}{\omega\mu\sigma}} = \sqrt{\frac{2}{\omega\mu_r\mu_0\sigma}} \quad (14)$$

的表面层内，因为在这一深度处，电流密度已经只是导体表面处的 e 分之一，即为表面电流密度的 0.368 倍，通常称 δ 为导体的趋肤深度；它与电路的时间常数类似，可以看作是导体的“空间常数”。

*参考严济慈，《电磁学》

附录二 两个平行线圈的耦合系数



两个平行圆环的几何关系

设两个半径分别为 r_1 和 r_2 (圆环线宽中心到达圆环几何中心的长度) 的圆环几何中心在同一直线上, 中心间距为 d , 两个圆环平行, 它们的面积和通过的电流分别为 S_1 、 S_2 和 I_1 、 I_2 。这样距离圆环 1 中心距离 d 的位置的磁场强度为:

$$B(d) = \frac{\mu_0 I_1}{2\pi} \frac{r_2^2}{(\sqrt{d^2 + r_1^2})^3} \quad (1)$$

根据洛伦兹法则有,

$$V_2(I_2 = 0) = S_{tag} \frac{dB}{dt} \quad (2)$$

由变压器方程有,

$$\begin{cases} V_1 = j\omega L_1 I_1 + j\omega M I_2 \\ V_2 = j\omega L_2 I_2 + j\omega M I_1 \end{cases} \quad (3)$$

其中, 互感 M 为

$$M = k\sqrt{L_1 L_2} \quad (4)$$

解 (1) - (4) 方程可以得到:

$$k_{1,2} = \left(\frac{r_1 \times r_2}{r_1^2 + d^2} \right)^{\frac{3}{2}} \quad (5)$$

这个耦合系数只对圆环有效, 但是对于任何形状线圈的设计都具有指导意义。该方程可以用来分析衬底涡流的垂直分布以及衬底涡流或屏蔽层涡流对电感线圈的影响。

附录三 两种去嵌入方法

表 1 电感的两种去嵌入过程

	开路和通路去嵌入过程	开路和短路去嵌入过程
第一步	转换测量的 S 参数到 Y 参数： $S_{meas,DUT} \rightarrow Y_{meas,DUT}$; $S_{meas,Thru} \rightarrow Y_{meas,Thru}$ $S_{meas,open} \rightarrow Y_{meas,open}$;	转换测量的 S 参数到 Y 参数： $S_{meas,DUT} \rightarrow Y_{meas,DUT}$; $S_{meas,Thort} \rightarrow Y_{meas,Thort}$ $S_{meas,open} \rightarrow Y_{meas,open}$;
第二步	电感和通路的寄生电容去嵌入： $Y_{DUT,Open} = Y_{meas,DUT} - Y_{meas,open}$ $Y_{Thru,Open} = Y_{meas,Thru} - Y_{meas,open}$	电感和通路的寄生电容去嵌入： $Y_{DUT,Open} = Y_{meas,DUT} - Y_{meas,open}$ $Y_{Thort,Open} = Y_{meas,Thort} - Y_{meas,open}$
第三步	转换 Y 参数到 Z 参数： $Y_{DUT,Open} \rightarrow Z_{DUT,Open}$; $Y_{Shru,Open} \rightarrow Z_{Shru,Open}$	转换 Y 参数到 Z 参数： $Y_{DUT,Open} \rightarrow Z_{DUT,Open}$; $Y_{Short,Open} \rightarrow Z_{Short,Open}$
第四步	寄生电阻电感的去嵌入*： $Z_{11,DUT} = Z_{11,DUT_Open} - \frac{1}{2} \cdot Z_{11,Thru_Open}$ $Z_{12,DUT} = Z_{12,DUT_Open}$; $Z_{21,DUT} = Z_{21,DUT_Open}$ $Z_{22,DUT} = Z_{22,DUT_Open} - \frac{1}{2} \cdot Z_{22,Thru_Open}$	寄生电阻电感的去嵌入： $Z_{DUT} = Z_{DUT_Open} - Z_{Short_Open}$
第五步	转换 Z 参数到 S 参数： $Z_{DUT} \rightarrow S_{DUT}$	转换 Z 参数到 S 参数： $Z_{DUT} \rightarrow S_{DUT}$

*通路去嵌入中 $Z_{Thru-Open}$ 是两个信号线总的 Z 参数，并且两个信号路径是完全对称的，所以在表 1 的第四步中要除以 2，得到各自信号路径的 Z 参数。

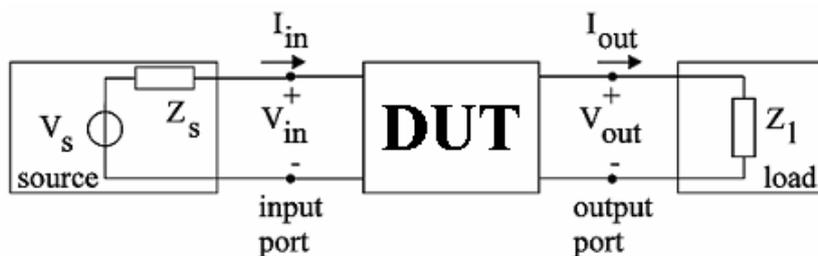
其中，参数的转换公式为：

$$\begin{aligned}
 Y_{11} &= \frac{(1-S_{11})(1+S_{22})-S_{12}S_{21}}{Z_0(1+S_{11})(1+S_{22})-S_{12}S_{21}} & S_{11} &= \frac{(Z_{11}-Z_0)(Z_{22}-Z_0)-Z_{12}Z_{21}}{(Z_{11}+Z_0)(Z_{22}+Z_0)-Z_{12}Z_{21}} \\
 Y_{12} &= \frac{-2S_{12}}{Z_0(1+S_{11})(1+S_{22})-S_{12}S_{21}} & S_{12} &= \frac{2Z_{12}Z_0}{(Z_{11}+Z_0)(Z_{22}+Z_0)-Z_{12}Z_{21}} \\
 Y_{21} &= \frac{-2S_{21}}{Z_0(1+S_{11})(1+S_{22})-S_{12}S_{21}} & S_{21} &= \frac{2Z_{21}Z_0}{(Z_{11}+Z_0)(Z_{22}+Z_0)-Z_{12}Z_{21}} \\
 Y_{22} &= \frac{(1+S_{11})(1-S_{22})-S_{12}S_{21}}{Z_0(1+S_{11})(1+S_{22})-S_{12}S_{21}} & S_{22} &= \frac{(Z_{11}+Z_0)(Z_{22}-Z_0)-Z_{12}Z_{21}}{(Z_{11}+Z_0)(Z_{22}+Z_0)-Z_{12}Z_{21}} \\
 Z &= (Y)^{-1}
 \end{aligned}$$

附录四 双端口网络

网络分析采用的是网络模型这种“黑盒子”的分析方法，它对于射频和微波电路的分析是十分重要的。使用网络模型可以大量减少无源和有源器件的数目，避开电路的复杂性和非线性效应，简化网络的输入输出特性关系，还有最重要的一点是不必了解系统内部结构就可以通过实验验证网络输入输出的参数。

一般用于定义一些矩阵参量——连接输入和输出的电压和电流组合的矩阵，有阻抗 Z 矩阵、导纳 Y 矩阵、 h 参量矩阵（混合矩阵）、 $ABCD$ 参量矩阵（极连矩阵）、散射参量。微波电路通常可以采用简单的网络级连方式来表达，整个网络的 $ABCD$ 参量等于各个网络的 $ABCD$ 参量矩阵的乘积，因此简单的两端口网络的 $ABCD$ 参量就非常重要。



一个线性的两端口网络与源和负载的连接

在两端口网络中 $ABCD$ 参数与输入输出电压、电流的关系：

$$\begin{Bmatrix} v_{in} \\ i_{in} \end{Bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{Bmatrix} v_{out} \\ i_{out} \end{Bmatrix}$$

$$A = \frac{V_{in}}{V_{out}} \quad \text{for } I_{out}=0$$

$$B = \frac{V_{in}}{I_{out}} \quad \text{for } V_{out}=0$$

$$C = \frac{I_{in}}{V_{out}} \quad \text{for } I_{out}=0$$

$$D = \frac{I_{in}}{I_{out}} \quad \text{for } V_{out}=0$$

通过简单推导可以得到：

$$Z_{IN} = \frac{Z_L A + B}{Z_L C + D} \quad Z_{OUT} = \frac{Z_S D + B}{Z_S C + A} \quad A_{VF} = \frac{Z_L}{Z_L A + B} \quad A_{VR} = \frac{AD - BC}{D + \frac{B}{Z_S}}$$

这样通过 ABCD 参数就可以分析两端口网络的阻抗匹配以及增益和稳定性等系统参数。

在实际射频系统的特性下不能再采用终端开路、短路的测量方法；但是利用 S 参量，就可以在避开不现实的终端条件以及避免造成待测器件损坏的前提下，用两端口网络分析方法确定几乎所有散射器件的特征。

简单的说，S 参量表达的是功率波，它使我们可以用功率波和反射波的方式定义网络的输入、输出关系。定义归一化入射功率 a_n 和归一化反射功率 b_n 如下：

$$a_n = \frac{1}{2\sqrt{Z_0}}(V_n + Z_0 I_n)$$

$$b_n = \frac{1}{2\sqrt{Z_0}}(V_n - Z_0 I_n)$$

下标 n 为端口编号 1、2。阻抗 Z_0 是连线在网络输入、输出端口的传输线特性阻抗。

$$\begin{Bmatrix} b_1 \\ b_2 \end{Bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{Bmatrix} a_1 \\ a_2 \end{Bmatrix}$$

$$S_{11} = \frac{b_1}{a_1} \quad \text{for } a_2=0$$

$$S_{21} = \frac{b_2}{a_1} \quad \text{for } a_2=0$$

$$S_{22} = \frac{b_2}{a_2} \quad \text{for } a_1=0$$

$$S_{12} = \frac{b_1}{a_2} \quad \text{for } a_1=0$$

S_{11} 是待测元件输出端接匹配负载时的 1 端口的电压反射系数； S_{22} 是待测元件 1 端口接匹配负载时的 2 端口电压反射系数； S_{21} 是待测元件 2 端口接匹配负载时的正向传输系数； S_{12} 是待测元件 1 端口接匹配负载时的反向传输系数。对于无源的对称网络 $S_{21}=S_{12}$ ， $S_{11}=S_{22}$ 。一般可以用微波网络分析仪测量待测元件 S 参数。从实测数据中可知，S 参数随频率变化而变化。

致 谢

三年来，我的导师闵昊教授从学术到生活给予了我很大帮助。从他的身上学到了很多书本之外的知识和做人的道理。在这里表示我最诚挚的感谢！同时，感谢洪志良教授、任俊彦教授、杨莲兴教授以及孙承绶教授在学术上给予的帮助。感谢周锋、李文宏、张皓、顾韵及张国全老师给予的种种关心和帮助。

实验室就像一个大家庭，同学间和睦相处，生活上相互关心，学术上相互促进。这里对给予我很大帮助的唐长文、何捷、李强、韩益锋等同学表示感谢。

杭州电子科技大学的孙玲玲教授、胡江老师、文进才和陈展飞同学以及南京55所的李拂晓研究员，在电感测试方面提供了无私的帮助，这里给予真诚的感谢！

向我学习过程中，给予我帮助的人致以真诚的谢意！