

新型高速 CSD 编码滤波器及 VLSI 的实现

唐长文, 吴俊军, 闵昊

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 通过对 BOOTH 型乘法器、高速加法器结构和 CSD 编码滤波器结构的深入研究, 开发出一种新型高速 CSD 编码滤波器结构。采用此结构实现了正交幅度调制器中的一个高速反 SINC 滤波器, 并在 ALCATEL 0.35 μm CMOS 工艺实现。芯片规模 7500 门, 面积 1.00mm \times 0.42mm。

关键词: 有限冲击响应滤波器; CSD 码; BOOTH 乘法器; 加法树

中图分类号: TN431.1; TN713 **文献标识码:** A **文章编号:** 1003-353X(2001)11-0022-04

A high-speed CSD coefficient filter structure and VLSI implementation

TANG Chang-wen, WU Jun-jun, MIN Hao

(ASIC & System State Key Lab, Fudan University, Shanghai 200433, China)

Abstract: A new high-speed CSD coefficient filter structure, which is explored through studying BOOTH multiplier, high-speed adder and CSD coefficient filter structures is presented. The completed anti-SINC filter core with this structure occupies 1.00mm \times 0.42 mm of silicon area, and consists of 7500 gates in ALCATEL 0.35 μm CMOS technology.

Keywords: finite impulse response filter; canonic signed-digit (CSD) code; BOOTH multiplier; adder array tree

1 引言

FIR 滤波器在视频和通信电路中的应用越来越广泛, 对其速度和面积的要求也越来越高。传统的 FIR 滤波器结构(图 1)已不能满足高速系统的要求, 其主要原因是由于受到乘法器和加法器电路的限制。

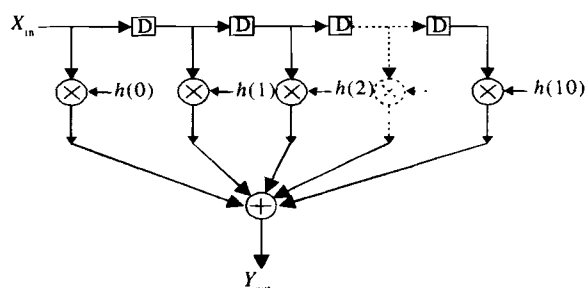


图 1 直接型 FIR 滤波器结构

图 1 中的滤波器的最大延时为 $T_m + MT_A$; T_m 为一个乘法器的延迟; T_A 为一个加法器的延迟; M 为滤波器的阶数。明显可以看出最大延时随着滤波器的阶数的增加将迅速增加。

FIR 滤波器的公式为:

$$Y(n) = \sum_{k=0}^{N-1} h(k)x(n-k)$$

本文提出了一种新型的高速 CSD 编码滤波器结构。我们在通过对 BOOTH 型乘法器、高速加法器和 CSD 编码滤波器结构的深入研究过程中, 探索出一种新型的乘加单元, 采用该乘加单元可以实现任何阶数高速 FIR 滤波器, 它的最大延时几乎不随滤波器的阶数的增加而增加。我们采用该滤波器结构实现了正交幅度调制器中的一个高速反 SINC 滤波器, 并与采用传统结构设计的

该滤波器进行了性能比较。

2 BOOTH 乘法器结构

乘法器是数字信号处理电路中最常用的单元, 10年前就已经研究得非常成熟^[2,3]。乘法器结构(图2)是采用了改进型BOOTH算法和Wallace加法树的并行结构^[4]。它主要包括下面三个模块: Booth编码、部分积加法器阵列及进位加法器。这种结构通过采用改进型BOOTH算法, 部分积的数目减少一半, 由于乘法器是 N 位, 因此将有 $[N/2]$ 个部分积。部分积加法器阵列将这 $[N/2]$ 个部分积相加生成 $2N$ 位的进位项和 $2N$ 位的和项。最后, 进位加法器将 $2N$ 位的进位项和 $2N$ 位的和项相加产生乘积。

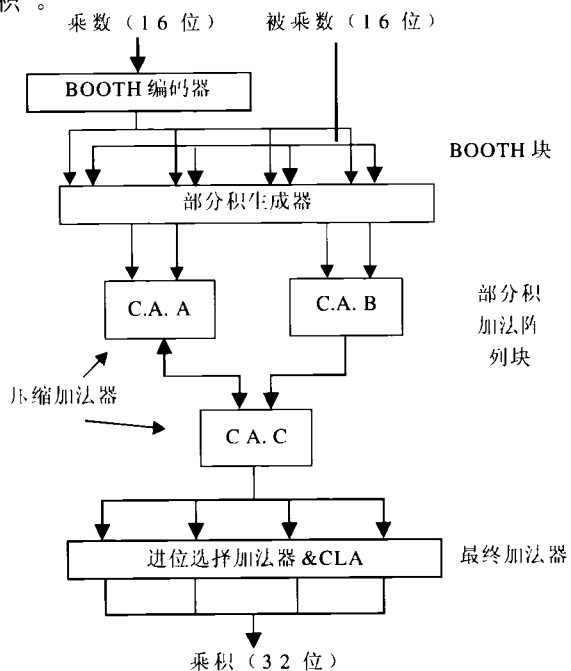


图2 BOOTH 乘法器结构

3 CSD 编码乘法器

图1的滤波器中的乘法器如果都采用图2的BOOTH乘法器结构, 随着滤波器的阶数的增加, 电路的规模势必迅速增加。

考虑到大多数情况下, 滤波器的系数是一个固定的值, 所以滤波器中所有的乘法都是固定系数乘法。实现固定系数乘法的一种常用方法是用移位、相加/减来代替并行乘法。我们知道任何滤波器系数都可以表示成CSD码^[5], 这样加/减法的次数将达

到最少。比如 $h(7)=0.01953125=1/2^{-6} + 1/2^{-8}$, 它可以表示为一个CSD码(0.00001010), 乘以 $h(7)$ 就可以表示为分别右移6位和8位后相加。而移位操作只是硬件连线结构, 基本上没有延时。CSD编码的乘法器如图3所示, 它与BOOTH编码乘法器的唯一区别在于CSD编码进一步减少了乘数中的“1”的个数, 因此其硬件资源比BOOTH乘法器更省。

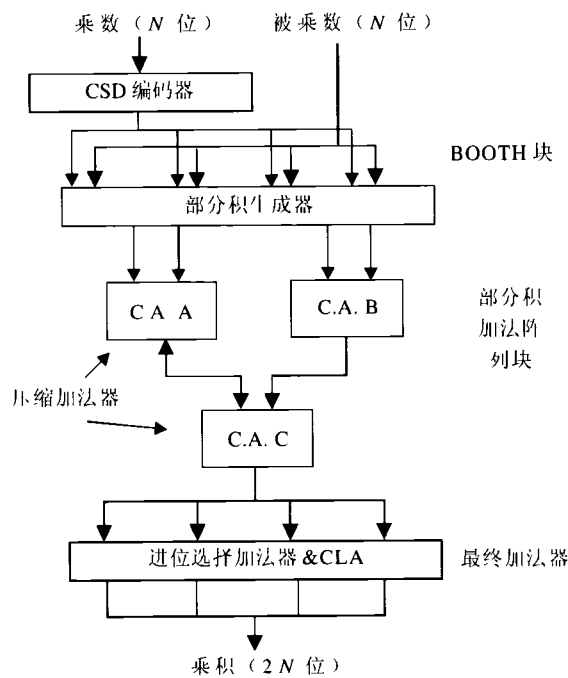


图3 CSD 编码乘法器结构

4 新型的乘加单元

4.1 乘法器和加法器

图1中加法器的输入端为 M 个乘法器的乘积, 而每一个乘法器的乘积是由一个 $2N$ 位的加法器产生的。这样的结构必然导致滤波器的延时是 T_d+T_r , 随着阶数的增加而显著增加。

我们变化一下乘法器结构, 将所有乘法器中的相同的 $2N$ 位最终加法器移置到滤波器的最后, 并且将所有乘法器中的部分积阵列重新排列, 得到了一种新型的乘加单元。

4.2 乘加单元

上述CSD编码乘加单元结构图如图4所示。其中乘加单元中虚线部分为一个没有 $2N$ 位最终加法器的CSD编码乘法器结构, 它的输出是两组部

分积(已经运算过的部分积)。虚线外的部分是将各个CSD编码乘法器生成的部分积相加的加法器阵列。整个乘加单元的延时可以等效为一个位数大一点的CSD编码乘法器的延时。我们知道,

CSD编码乘法器的延时的增加是与CSD码中“1”的个数成正比的,此值比 T_M+MT_A 小很多,并且不随阶数 M 的变化,也即这种CSD编码乘加单元的延时不随阶数的增加而增加。

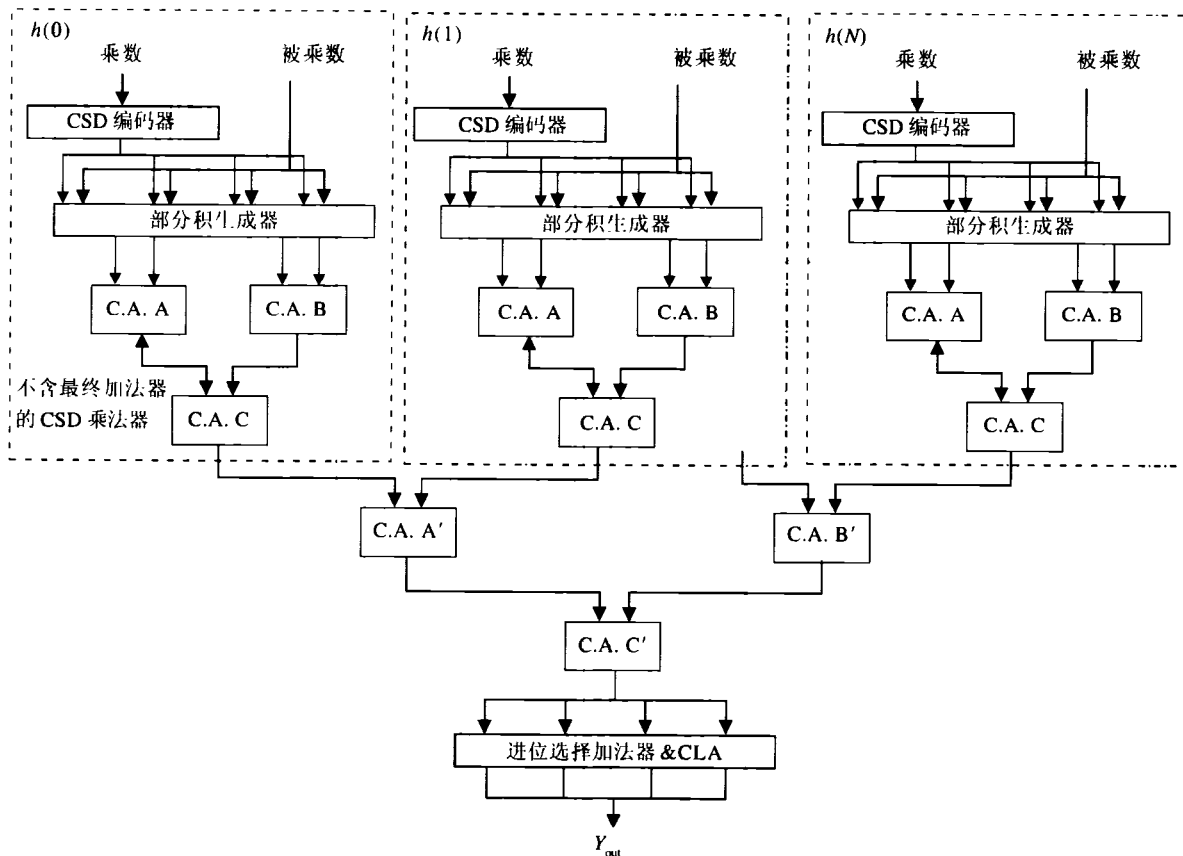


图4 CSD编码乘加单元

4.3 Wallace 加法树

CSD编码乘加单元的加法树包括两部分:乘法器加法树和乘法器间加法树。乘加器的加法树的层数为 $\log_2(N/2)+\log_2(2M)$ (图5)。

图5中虚线部分为乘法器内部的Wallace加法树,虚线外为乘法器间的Wallace加法树。加法器单元与BOOTH乘法器内相同,为4:2压缩加法器(图6)。

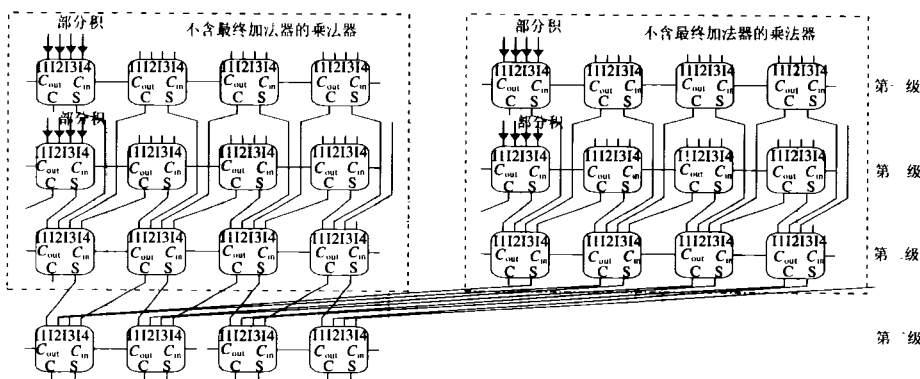


图5 CSD乘加单元中的Wallace加法树

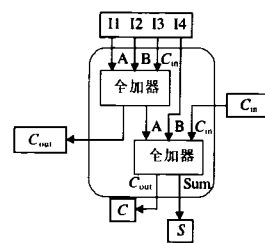


图6 4:2压缩加法器

5 新型滤波器结构及VLSI的实现

我们采用上述的乘加单元来代替图1中的 N 个乘法器和 M 个加法器,构成一个新型的高速FIR滤波器,其结构如图7所示。

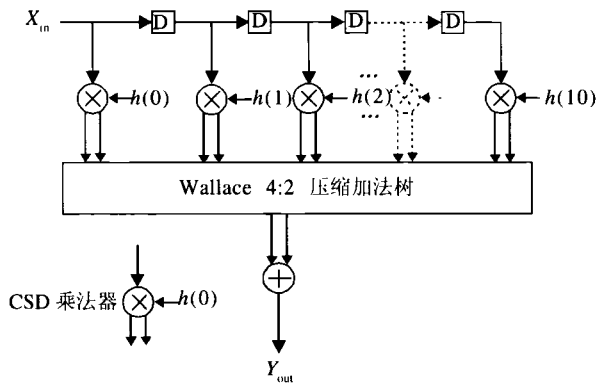


图7 新型的高速CSD滤波器结构图

在设计正交幅度调制器中,我们运用该FIR滤波器结构设计了一个高速反SINC滤波器。滤波器的阶数为11阶,滤波器系数如表1。

表1 14阶色度滤波器系数

$h(0), h(10)$	$-1/512$
$h(1), h(9)$	$1/512$
$h(2), h(8)$	$-1/16$
$h(3), h(7)$	$1/64 + 1/256$
$h(4), h(6)$	$-1/16 - 1/256$
$h(5)$	$1 - 1/4$

为了说明该结构的优势,我们同时也用如图1所示的传统结构设计了这样一个滤波器,然后将它们进行性能比较,如表2。

该结构的反SINC滤波器在ALCATEL0.35 μm

表2 性能比较

参数	本文结构	传统结构
延时	T_m (与阶数无关)	$T_m + MT_d$ (与阶数成正比)
速度/MHz	125	4
面积	4713.6	6359.7
数据误差	小	大

CMOS工艺上实现,芯片规模7500门,面积1.00mm \times 0.42mm。

6 结论

通过对BOOTH乘法器、高速加法器和CSD编码滤波器结构的深入研究,探索出一种新型的乘加单元,得出了采用该乘加单元的一种新型高速滤波器结构。该结构的滤波器比传统的滤波器结构在速度、面积和数据误差方面都有显著的优势。最后采用该滤波器结构我们设计了正交幅度调制器中的一个反SINC滤波器,并与采用传统结构设计的滤波器作了性能比较。

参考文献

- 1 周耀华等. 数字信号处理. 上海: 复旦大学出版社, 1996, 65
- 2 Nagamatsu M *et al.* A 15ns 32 \times 32-bit CMOS multiplier with an improved parallel structure. IEEE J Solid-State Circuit, 1990; 25(2)
- 3 Mori J *et al.* A 10ns 54 \times 54-b parallel structured full array multiplier with 0.5 μm COMS technology. IEEE J Solid-State Circuit, 1991; 26(4)
- 4 Samueli H. An improved search algorithm for the design of multiplierless FIR filters with powers-of-two coefficients. IEEE Trans Circuits Syst, 1989; 36(7): 1044~1047

(收稿日期: 20010529)

Xilinx和21家领先IP供应商共同推出通用FPGA许可计划

Xilinx和21家业界领先的软IP核心供应商近日宣布推出SignOnce IP许可协议计划,这是业界首次推出的旨在突破FPGA IP核心许可过程中所存在的瓶颈效应的许可协议计划。今天还同时宣布成立通用许可联盟,目前的联盟成员主要包括Xilinx和AllianceCORE™第三方IP供应计划合作

伙伴。这一联盟和SignOnce IP许可协议为客户提供了一组通用的许可协议条款,可以加快客户使用来自多个核心供应商的450多个核心的过程。这一许可协议将FPGA设计人员从可能超过6个月长的主要涉及法律条款的许可协议协商过程中解放出来。