

# 具有量化噪声抑制的小数分频器<sup>\*</sup>

黄兆磊 卢磊 唐长文<sup>\*\*</sup>

(复旦大学专用集成电路重点实验室, 上海, 201203)

2010-12-02 收稿, 2011-02-16 收改稿

**摘要:** 介绍了一款用于分数分频频率综合器的具有量化噪声抑制功能的小数分频器。使用 4/4.5 双模预分频器, 将分频步长降为 0.5, 使带外相位噪声性能提高 6 dB。 $\Sigma\Delta$  调制器和分频器的配合使用一种非常简单的编程方式。采用同步电路消除异步分频器的抖动。采用该分频器的频率综合器在 SMIC 0.18  $\mu\text{m}$  RF 工艺下实现, 芯片面积为 1.47 mm  $\times$  1 mm。测试结果表明, 该频率综合器可以输出 1.2 ~ 2.1 GHz 范围的信号。测试的带内相位噪声小于 -97 dBc/Hz, 在 1 MHz 频偏处的带外相位噪声小于 -124 dBc/Hz。在 1.8 V 的电源电压下, 消耗的电流为 16 mA。

**关键词:** 分频器; 分数分频频率综合器; 量化噪声抑制

中图分类号: TN432; TN772 文献标识码: A 文章编号: 1000-3819(2011)02-0190-06

## A Fractional Frequency Divider with Quantization Noise Suppression

HUANG Zhaolei LU Lei TANG Zhangwen

(State Key Laboratory of ASIC & System, Fudan University, Shanghai, 201203, CHN)

**Abstract:** This paper presents a fractional frequency divider with quantization noise suppression used in a fractional-N frequency synthesizer. By using a 4/4.5 dual-modulus prescaler, the step size of the divider is reduced to 0.5 and thus the out-of-band phase noise performance is improved by 6 dB. A simple programming method is introduced which is important for the cooperation of the divider and the  $\Sigma\Delta$  modulator. A synchronizer is adopted to eliminate the jitter accumulation of asynchronous dividers. A frequency synthesizer using the frequency divider presented here is implemented in SMIC 0.18  $\mu\text{m}$  RF process and the die size is 1.47 mm  $\times$  1 mm. Measurement results show that the tuning range of the frequency synthesizer is from 1.2 GHz to 2.1 GHz. The measured in-band phase noise is less than -97 dBc/Hz@10 kHz, the out-of-band phase noise at 1 MHz frequency offset is less than -124 dBc/Hz. The frequency synthesizer consumes 16 mA from a 1.8 V voltage supply.

**Key words:** divider; fractional-N frequency synthesizer; quantization noise suppression

**EEACC:** 2570; 1230

\* 基金项目: 国家自然科学基金资助项目(60876019); 国家科技重大专项资助项目(2009ZX01031-002-003-02); 上海市青年启明星计划资助项目(09QA1400300); 国家科技人员服务企业行动项目(2009GJC00046); 专用集成电路与系统国家重点实验室自主课题项目(09MS007)

引 言

采用一次变频接收机架构的数字电视调谐器, 需要一个宽带频率综合器来产生本振信号。为了在 814 MHz 的宽频率范围内均满足数字电视调谐器对相位噪声的苛刻要求, 必须采用分数型频率综合器。因为分数型频率综合器可以在提供窄信道间隔的同时采用大的环路带宽, 可以同时实现低相位噪声、低参考输入杂散和快速的锁定时间<sup>[1]</sup>。

分数型频率综合器主要基于由  $\Sigma\Delta$  调制器和整数型分频器组成的分数型分频器。 $\Sigma\Delta$  调制器产生伪随机的二进制整数序列来动态地改变整数分频器的分频比, 使它的平均值为小数。实际的分频比总是偏离所要求的小数分频比, 因而存在量化误差。 $\Sigma\Delta$  调制器中的量化误差会引起高通的量化噪声并降低频率综合器的相位噪声性能。为抑制量化噪声, 可以使用更高阶的环路滤波器, 或者减小环路带宽。实际应用中滤波器的阶数一般不会超过 3, 因为阶数越高相位裕度越低, 可能引起环路不稳定, 限制了第一种方法的应用。第二种方法违背了利用小数分频提高环路带宽的初衷。

如果将锁相环中分频器的分频步长降为 0.5, 便可以减少  $\Sigma\Delta$  调制器贡献的量化噪声, 使带外的相位噪声降低 6 dB<sup>[2]</sup>。文中使用 4/4.5 预分频器实现 0.5 分频步长。另外, 用一种非常简单的编程方式实现调制器和分频器的配合, 并采用同步电路来消除异步分频器的累积抖动。

文中的组织如下: 第一部分介绍量化噪声抑制技术的原理; 第二部分介绍分频器结构和原理; 第三部分是各模块的具体实现; 第四部分给出了测试结果; 最后是结论。

1 量化噪声抑制技术原理

图 1 是小数分频锁相环的频域模型, 为了清晰, 图中噪声源只画出了参考时钟噪声  $\theta_{ref}(t)$  和  $\Sigma\Delta$  调制器量化噪声  $e_q[z]$ 。图中  $H_{ntf}[z]$  是  $\Sigma\Delta$  调制器的噪声传输函数。假设  $e_q[z]$  的  $s$  域表示为  $\theta_{dsm}(s)$ , 则由这个模型可以推出, 量化噪声到相位噪声的传输函数为:

$$\frac{\theta_{out}(s)}{\theta_{dsm}(s)} = \left\{ H_{ntf}[z] \frac{2T\epsilon^{-1}}{1-z^{-1}} \right\}_{z=e^{sT}} \frac{1}{N+\alpha} \frac{\theta_{out}(s)}{\theta_{ref}(s)} \quad (1)$$

式中利用了  $z$  域到  $s$  域转换公式  $z = e^{sT}$ ,  $T$  为采样周期。可以证明, 调制器输入量化噪声  $e_q[z]$  是白噪

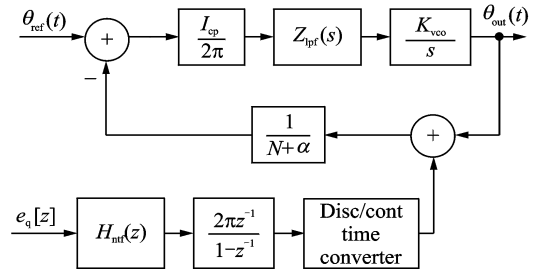


图 1 小数锁相环量化噪声线性模型<sup>[3]</sup>

Fig. 1 The fractional-N PLL linearized quantization noise model

声<sup>[3]</sup>, 量化阶梯为分频器的步长, 设为  $\Delta$ , 则量化噪声的均方值为  $\Delta^2/12$ 。噪声能量均匀分布在采样带宽内,  $\Sigma\Delta$  调制器的采样频率近似为  $f_{ref}$ , 所以量化噪声的功率谱密度  $S_r(f) = \Delta^2/(12f_{ref})$ 。量化噪声引起的输出相位噪声可由 (2) 式表示为:

$$s_{\theta_{out}}(f) \Big|_{\Delta} = \left| \frac{\theta_{out}(j2\pi f)}{\theta_{ism}(j2\pi f)} \right|^2 S_r(f) = 10 \log \frac{\pi^2 \Delta^2}{12 f_{ref} (N + \alpha)^2} \left| \frac{1}{\sin \frac{\pi f}{f_{ref}}} H_{ntf} \left[ e^{j \frac{2\pi f}{f_{ref}}} \right] \frac{\theta_{out}(j2\pi f)}{\theta_{ref}(j2\pi f)} \right|^2 \quad (2)$$

由于  $H_{ntf}[z]$  是高通的, 所以量化噪声对相位噪声的影响主要体现在高频, 主要影响带外的相位噪声性能。由 (2) 式可以看到,  $\Delta$  每降低一半, 带外相位噪声减少 6 dB。

2 系统架构

图 2 是文中采用的分频器结构。它由  $M/M+0.5$  双模前置预分频器、可编程计数器和吞计数器、同步电路以及  $\Sigma\Delta$  调制器组成。与传统的实现方法相比, 它用  $M/M+0.5$  预分频器取代  $M/M+1$  预分频器, 以实现 0.5 分频步长。

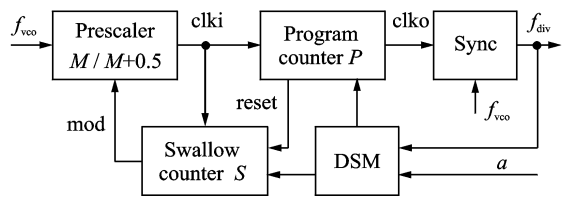


图 2 分频器结构

Fig. 2 Divider architecture

它的工作原理是: 当分频器置位时, 预分频器首先工作在  $M+0.5$  分频模式, 程序计数器和吞计数器同时开始计数, 当计数到  $S$  个脉冲后, 吞计数器停止计数, 发出改变分频模式的控制信号 mod, 使预分

频器工作在  $M$  分频模式, 程序计数器继续计数, 计满  $P$  个脉冲后, 发出置位信号, 开始新一轮的计数。因此, 分频器的分频比是:

$$N = \frac{(M + 0.5) \cdot S \cdot T_{vco} + M \cdot (P - S) \cdot T_{vco}}{T_{vco}} = M \cdot P + 0.5S \quad (3)$$

由 (3) 式可见, 如果  $S$  以 1 为步长变化, 则分频器的步长为 0.5, 与传统实现相比量化阶梯降低了一半, 由第二部分的分析可知带外相位噪声性能将会提高 6 dB。

$\Sigma\Delta$  调制器和分频器的配合需要复杂的编程, 采用 0.5 分频步长后, 编程方式需要作相应的调整。采用一种比较简单的编程方式,  $P$  和  $S$  的值可以从动态分频比的二进制代码直接得到。

由于采用了  $M/M + 0.5$  预分频器, 分频器本身可以实现精度为 0.5 的小数分频, 要实现小于 0.5 的分频精度需要  $\Sigma\Delta$  调制器, 因此将分频比小于 0.5 的小数部分作为  $\Sigma\Delta$  调制器的输入。假设分频比  $N \cdot a$  的二进制编码具有  $n$  位整数  $p$  位分数, 表示为  $b_{n-1}b_{n-2} \dots b_0.b_{-1} \dots b_{-p}$ , 则  $\Sigma\Delta$  调制器的输入为  $2 \cdot (a \cdot b_{-1}) = .b_{-2} \dots b_{-p}$ , 将输出序列  $y[n]$  加到  $2(N \cdot b_{-1})$  上求得动态分频比为  $N \cdot b_{-1} + 0.5 y[n]$ , 因此分频步长为 0.5。  $y[n]$  的平均值为  $.b_{-2} \dots b_{-p}$ , 所以  $N \cdot b_{-1} + 0.5 y[n]$  的平均值为  $N \cdot b_{-1} b_{-2} \dots b_{-p} = N \cdot a_0$

$$\begin{aligned} \text{令 } N \cdot b_{-1} + 0.5 y[n] &= MP + 0.5S, \text{ 即} \\ d_{n-1}2^{n-1} + \dots + d_k2^k + d_{k-1}2^{k-1} + \dots + d_0 + d_{-1}2^{-1} &= 2^k(d_{n-1}2^{n-k-1} + \dots + d_k) + 0.5(d_{k-1}2^k + \dots + d_02 + d_{-1}) = M \cdot P + 0.5S \end{aligned} \quad (4)$$

其中,  $d_{n-1}d_{n-2} \dots d_0.d_{-1}$  是  $N \cdot b_{-1} + 0.5y[n]$  的二进制编码。可以看到, 如果选取  $M = 2^k$ , 则  $P$  和  $S$  的值可以从动态分频比  $N \cdot b_{-1} + 0.5y[n]$  的二进制编码直接得到, 即:

$$\begin{cases} P = d_{n-1}2^{n-1-k} + d_{n-2}2^{n-2-k} + \dots + d_k \\ S = d_{k-1}2^k + \dots + d_02 + d_{-1} \end{cases} \quad (5)$$

这种对  $P$  和  $S$  编程的方式, 除了所有编程方式都会用到的加法外, 没有其它额外的运算, 实现相当灵活, 唯一的要求是  $M = 2^k$ 。这种思想由文献 [4] 提出, 文中针对 0.5 分频步长作了详细的推导。

### 3 模块设计

#### 3.1 4/4.5 预分频器

根据第二部分提出的  $M = 2^k$  的要求, 文中使用

4/4.5 双模预分频器<sup>[5]</sup>, 其结构如图 3 所示。其中  $mod$  是模式控制信号, 当  $mod$  信号为高时, 预分频器工作在 4.5 分频模式; 当  $mod$  信号为低时, 预分频器工作在 4 分频模式。

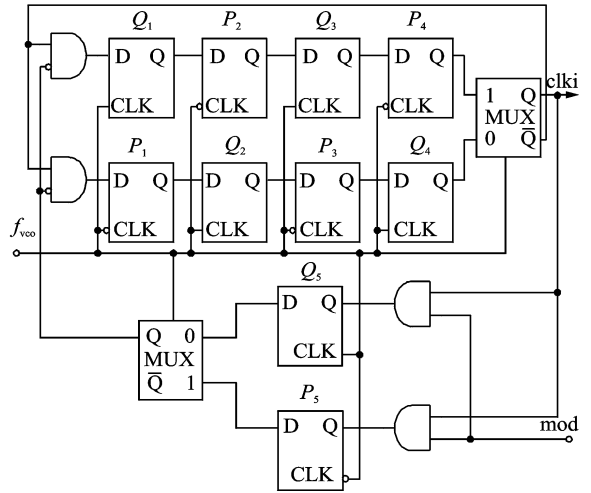


图 3 4/4.5 预分频器电路  
Fig. 3 4/4.5 prescaler schematic

该电路由锁存器 (latch)、多路选择器 (mux) 和其它逻辑电路组成, 它具有双沿触发特性, 对这类电路的分析采用文献 [6] 的方法。锁存器具有保持和透明两种状态, 处于透明状态的锁存器是被驱动的, mux 总是选择保持状态提供给输出。根据保持状态的不同, 锁存器分为两类, 时钟为高电平时处于保持状态的, 称为  $P$  类锁存器, 它的保持状态称为  $P$  类状态; 反之, 时钟为低电平时处于保持状态的, 称为  $Q$  类锁存器, 它的保持状态称为  $Q$  类状态。因为不同锁存器的输出,  $P$  类状态和  $Q$  类状态的编码可以相同。在图 3 中, 当时钟为高电平时,  $P_1P_2P_3P_4P_5$  决定系统的状态, 当时钟为低电平时,  $Q_1Q_2Q_3Q_4Q_5$  决定系统的状态。

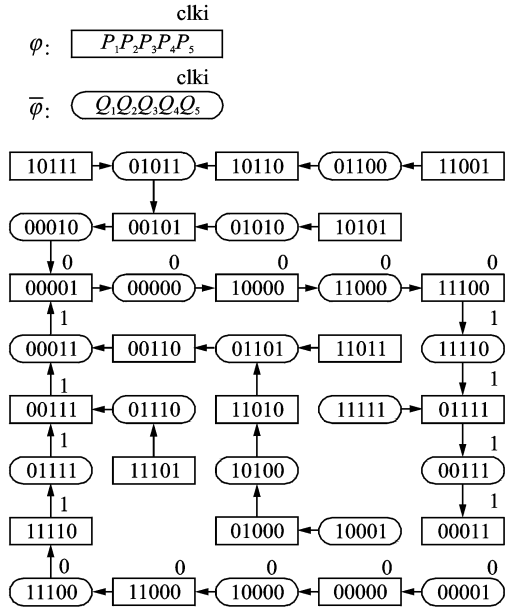
锁存器的激励方程如 (6) 式所示:

$$\begin{aligned} \varphi & \quad \bar{\varphi} \\ Q_1^+ &= \bar{P}_4\bar{P}_5 & P_1^+ &= \bar{Q}_4\bar{Q}_5 \\ Q_2^+ &= P_1 & P_2^+ &= Q_1 \\ Q_3^+ &= P_2 & P_3^+ &= Q_2 \\ Q_4^+ &= P_3 & P_4^+ &= Q_3 \\ Q_5^+ &= P_4 \cdot mod & P_5^+ &= Q_4 \cdot mod \\ clki &= P_4 & clki &= Q_4 \end{aligned} \quad (6)$$

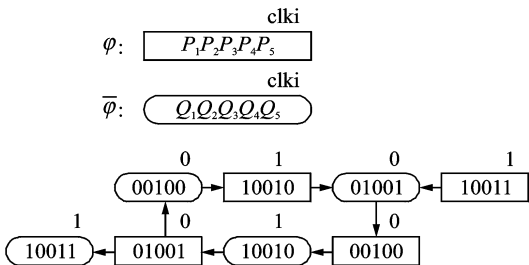
其中  $\varphi$  表示时钟为高电平,  $\bar{\varphi}$  表示时钟为低电平。根据激励方程, 得到 4 分频和 4.5 分频模式下的状态转换图如图 4(a) - (d) 所示。

图中,  $P$  类状态用直角方框表示,  $Q$  类状态用圆角方框表示, 输出标在状态的上方。有些冗余状态没

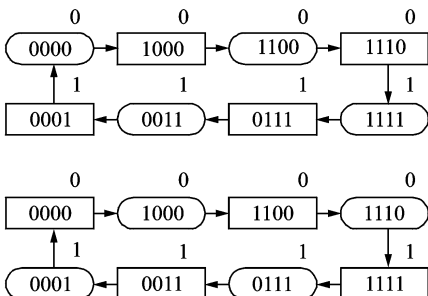
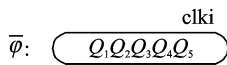
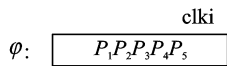
有标出, 对代码相同的  $P$  类和  $Q$  类冗余状态, 只标出了一种, 但也代表了全部的情况。因为从激励方程可以看到,  $P$  类到  $Q$  类和  $Q$  类到  $P$  类的状态转换是完全一致的, 它们总是对偶出现, 只要给出其中一种转换, 就可以推得另外一种。无论是 4 分频还是 4.5 分频, 都存在不正常的循环, 通过观察图 4 可以发现, 在正常的循环中,  $P_1P_2P_3P_4$  (或  $Q_1Q_2Q_3Q_4$ ) 中 0 和 1 的分布都是连续的, 不存在 010 或 101 这样的序列, 而在不正常的循环中, 均存在这样的序列, 因此, 一



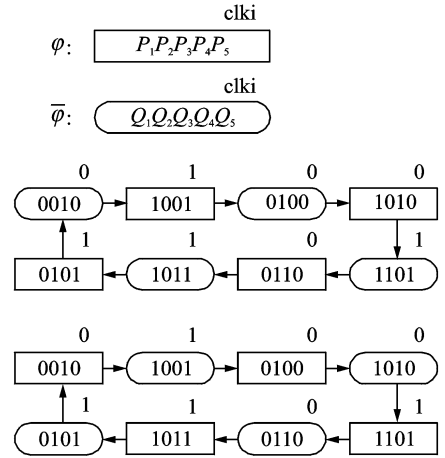
(a)



(b)



(e)



(d)

图 4 (a) 4.5 分频正常工作的状态转换图; (b) 4.5 分频不正常工作的状态转换图; (c) 4 分频正常工作的状态转换图; (d) 4 分频不正常工作的状态转换图

图 4 (a) Normal states diagram in divide-by-4.5 mode; (b) Abnormal states diagram in divide-by-4.5 mode; (c) Normal states diagram in divide-by-4 mode; (d) Abnormal states diagram in divide-by-4 mode

旦分频器进入正常的循环, 就会一直正常工作, 不会进入不正常的循环。而  $mod=1$  时,  $P_1P_2=11$  (或  $Q_1Q_2=11$ ) 一定在正常的循环中, 只要设置初始状态  $mod=1, P_1P_2=11, Q_1Q_2=11$ , 就可以保证 4/4.5 分频器正常工作。

### 3.2 同步电路

异步电路的抖动可以逐级累加, 如果在异步电路之后再接一级由高频信号同步的电路, 则可将抖动大幅降低, 因为只有同步电路的抖动会影响输出<sup>[7]</sup>。由图 2 可以看到, 分频器是异步电路, 因此可以利用同步电路来降低相位噪声。图 5 是同步电路的结构, 为了配合 4/4.5 分频器的双沿触发特性, 它同样设计成双沿驱动。通过同步电路后, 低频的分频器输出信号被高频的 VCO 输出信号所同步, 图 5 右图给出了它的输入输出波形。

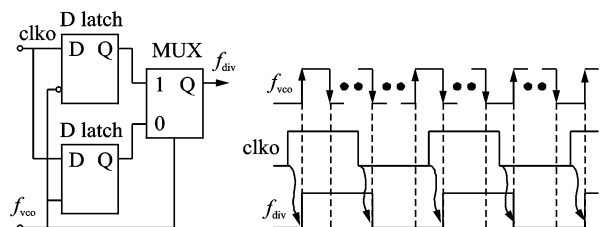


图 5 同步电路及其输出波形

Fig. 5 Synchronizer schematic and timing diagram

### 3.3 CML 锁存器

预分频器和同步电路都工作在最高频率, 必须使用高速的锁存器。文中采用的锁存器基于 CML (Current mode logic) 电路, 如图6 所示。为了获得更高的速度, 采用无尾电流源的结构。预分频器中的一些与非门等组合逻辑, 被嵌入到锁存器中, 以进一步提高工作频率, 如图6 左图所示。当输入时钟的摆幅为零而只加直流偏置时, CML 锁存器组成的分频器具有自激特性, 存在自激频率  $f_{so}$ 。在设计时, 最好使分频器的最高输出工作频率小于  $f_{so}$ 。

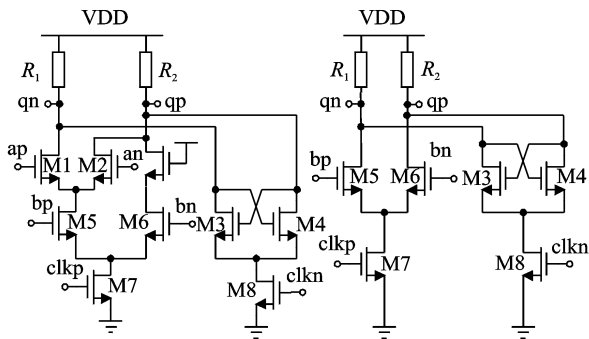


图6 Latch 电路  
Fig. 6 Latch schematic

### 3.4 $\Sigma\Delta$ 调制器

采用三阶单环前馈型  $\Sigma\Delta$  调制器<sup>[8]</sup>, 其  $z$  域模形如图7 所示。

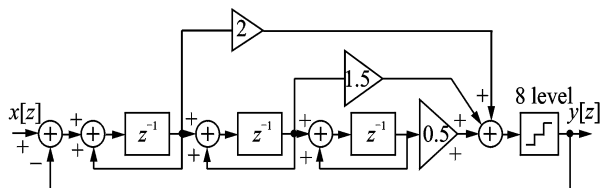


图7 三阶 delta-sigma 调制器  
Fig. 7 3-order delta-sigma modulator

该调制器的输出整数在  $[-1, 2]$  之间变化, 数据分布较窄, 可以避免因频繁的开启、关闭电荷泵而引起的衬底噪声注入。

### 3.5 频综架构

设计的分频器应用于一个宽带的分数分频频率综合器中, 图8 是整个频综的系统框图。除文中设计的分频器之外, 该频率综合器还包括鉴频鉴相器、全差分电荷泵和环路滤波器、电感电容压控振荡器 (LC VCO) 以及自动频率控制电路 (AFC)。其中, VCO 由开关电容阵列分成 256 个连续的子带, 以同时得到宽输出频率范围和低 VCO 增益  $K_{vco}$ 。AFC 电

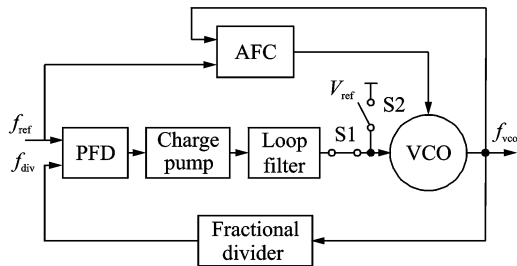


图8 系统架构

Fig. 8 System architecture

路负责寻找所需的子带<sup>[5,9]</sup>。当开关 S2 闭合时, S1 断开, VCO 控制电压连接到固定参考电压  $V_{ref}$  上, AFC 电路工作, 寻找所需的子带, 相当于粗调谐。AFC 电路工作结束后, S2 断开 S1 闭合, VCO 控制电压连接到环路滤波器的输出上, 闭环回路开始工作, 相当于细调谐。频率综合器的所有模块均集成在同一块芯片上。

### 4 测试结果

设计的分频器同频综中其它模块一起在 SMIC 0.18  $\mu\text{m}$  RF 工艺下流片, 芯片照片如图9 所示, 包含 pad 和 ESD 在内总面积为  $1.47 \text{ mm} \times 1 \text{ mm}$ 。电源电压为 1.8 V, 消耗电流为 16 mA。输入参考时钟频率为 25 MHz 时, 测试的输出频率范围是 1.2 ~ 2.1 GHz。测得的 10 kHz 频偏处的带内相位噪声均小于  $-97 \text{ dBc/Hz}$ , 1 MHz 频偏处的带外相位噪声均小于  $-124 \text{ dBc/Hz}$ 。当输出 1.516 GHz 信号时, 测试的相位噪声曲线如图 10 所示。

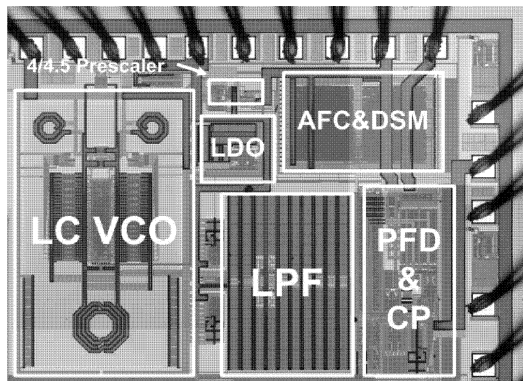


图9 芯片照片

Fig. 9 Microphotograph of the chip

图 11 是输出 1.5 GHz 信号时, 测试的输出功率谱密度曲线, 可以看到在 25 MHz 处的参考杂散为  $-58 \text{ dBc}$ 。

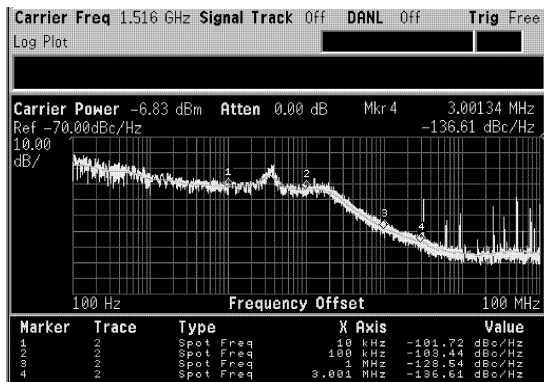


图 10 1.516 GHz 信号的相位噪声测试结果  
Fig. 10 Measured phase noise at 1.516 GHz

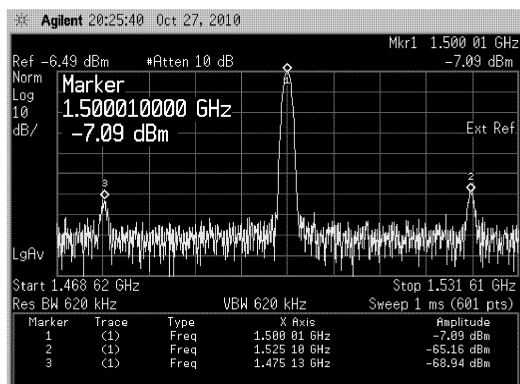


图 11 1.5 GHz 信号的功率谱密度测试  
Fig. 11 Measured power spectrum density at 1.5 GHz

## 参 考 文 献

- [1] 刘深渊, 杨清渊. 锁相环路[M]. 台湾: 沧海书局, 2006: 154-158.
- [2] Yang Yuche, Yu Shih-An, Tang Tao, et al. A quantization noise suppression technique for  $\Delta\Sigma$  fractional-N frequency synthesizers [J]. IEEE J Solid-state Circuits, 2006, 41(11): 2500-2511.
- [3] Galton I. Delta-Sigma fractional-N phase locked loops [C]. B. Razavi. Phase-Locking in High Performance Systems: From Devices to Architectures, Piscataway, New York: Wiley IEEE Press, 2003: 23-33.
- [4] 卢磊, 闵昊, 唐长文. 一种应用于分数分频频率合成器的脉冲计数器[P]. 申请号: 200910050627.7.
- [5] Lu Lei, Gong Zhichao, Liao Youchun, et al. A 975-to-1960 MHz fast-locking fractional-N synthesizer with adaptive bandwidth control and 4/4.5 prescaler for digital TV tuners[C]. ISSCC Dig Tech Papers, 2009: 396-398.
- [6] John Rogers, Calvin Plett, Foster Dai. Integrated Circuit Design for High-Speed Frequency Synthesis[M]. Artech House, 2006: 153-155.
- [7] Levantino S, Romanò L, Pellerano S, et al. Phase noise in digital frequency dividers [J]. IEEE J Solid-state Circuits, 2004, 39(5): 775-784.
- [8] Rhee W, Song B S, Ali A. A 1.1-GHz CMOS fractional-N frequency synthesizer with a 3<sup>rd</sup>-order  $\Delta\Sigma$  modulator[J]. IEEE J Solid-state Circuits, 2000, 35(10): 1453-1460.
- [9] Lu Lei, Chen Jinghong, Yuan Lu, et al. An 18-mW 1.175-2-GHz frequency synthesizer with constant bandwidth for DVB-T tuners[J]. Trans on Microwave and Techniques, 2009, 57(4): 928-937.



黄兆磊(Huang Zhaolei) 男, 山东人, 1982年生, 2005年6月年毕业于厦门大学物理系, 现为复旦大学ASIC国家重点实验室硕士研究生, 主要从事射频和模拟集成电路方面的研究。

## 5 结 论

利用线性模型分析推导了小数频率综合器中量化噪声对相位噪声的作用, 提出了量化噪声抑制技术, 应用这种技术实现了一款应用于小数频率综合器中的小数分频器。应用一种非常简单的编程方式实现了 $\Sigma\Delta$ 调制器和分频器的配合。分频器采用同步技术来消除异步特性引起的累积噪声。包含该分频器的整个频综在SMIC 0.18  $\mu\text{m}$  RF工艺下流片。测得的10 kHz频偏处的带内相位噪声均小于-97 dBc/Hz, 1 MHz频偏处的带外相位噪声均小于-124 dBc/Hz。在1.8 V的电源电压下, 消耗的电流为16 mA。