

一种 100 MHz 采样频率 CMOS 采样/保持电路

谭 珺, 唐长文, 闵 昊

(复旦大学 专用集成电路与系统国家重点实验室, 上海 200433)

摘 要: 设计了一种高速采样保持电路。该电路采用套筒级联增益自举运算放大器,可在达到高增益高带宽的同时最大程度地减小功耗;优化了采样开关,获得了良好的线性度,减少了输出误差;电路的采样频率达到 100 MHz。采用 Charter 半导体公司的 0.35 μm 标准 CMOS 工艺库,对整体电路和分块电路进行了性能分析和仿真。

关键词: A/D 转换器; 采样/保持电路; 增益自举运算放大器

中图分类号: TN432

文献标识码: A

文章编号: 1004-3365(2006)01-0090-04

A CMOS High-Speed Sample-and-Hold Amplifier

TAN Jun, TANG Zhang-wen, MIN Hao

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, P. R. China)

Abstract: The fundamental theory of the sample and hold circuit is analyzed. A fully differential CMOS sample-and-hold amplifier (SHA) is designed using a gain-booster circuit, for which a sampling rate of 100 MHz has been achieved. The circuit is simulated and analyzed, together with its blocks, based on Charter's 0.35 μm standard CMOS process.

Key words: Analog-to-digital converter; Sample and hold circuit; Gain-booster amplifier

EEACC: 1265H

1 引 言

纵观当今集成电路的发展方向,数字电路的发展可谓是日新月异。但是不可否认,模拟电路在这个模拟的世界中仍然占有一席之地。相对而言,模拟和数字接口电路的设计在很长时间内没有得到足够的重视和发展,加之模拟设计软件也不够成熟,模拟接口电路的发展落后于数字电路的发展。因此,在一些包括模数接口的电子系统中,接口电路的性能(如速度、精度)成为限制整个系统性能的瓶颈。

作为模拟电路和数字电路的接口模块,A/D 转换器中的保持电路是整个电路的核心模块。在流水线结构的 A/D 转换电路中,采样保持电路通常是功耗最大的模块。此外,采样保持电路的性能决定了整个 A/D 转换器的性能。随着技术的发展,高速度高精度已成为设计流水线 A/D 转换器的目标,因此,一个高速高精度的采样保持电路就显得尤为重

要。

在 MOS 电路中,最简单的采样保持电路只需要一个 MOS 开关和保持电容就可以实现。但是,由于 MOS 开关固有的电荷注入与时钟馈通效应,使得这一简单的采样/保持电路很难满足实际的应用要求。现在通常采用的底极板采样技术,几乎完全抑制了在采样时刻由开关的电荷注入和时钟馈通引入的非线性误差。

本文介绍的采样保持电路采用全差分结构。这种结构可以很好地消除直流偏置和偶次谐波失真,抑制来自衬底的共模噪声;使用栅压自举的开关,使采样开关栅压随输入信号的变化而等量变化,不受输入信号幅度的影响;使用套筒式增益自举运算放大器,协调运算放大器有限的增益和所需建立时间的问题。与文献[1]中的采样保持电路相比,本文的电路结构简单、速度快、精度高、功耗少。该电路在 3.3 V 电源电压下实现了 100 MHz 采样频率,采样精度可以达到 10 位以上,适用于流水线 A/D 转换器的前端采样部分;同时,也可以应用于其他高速模

拟电路系统中。

2 采样电容的选择

采样保持电路的信噪比(SNR)是衡量动态特性的一个重要指标,由最大输入信号的均方值除以等效输入噪声的均方值得到,其对数表示式为

$$SNR = 10 \lg \left(\frac{\frac{V_{FS}^2}{2}}{\frac{\Delta^2}{12} + \sigma_T^2} \right) = 10 \lg \left(\frac{\frac{V_{FS}^2}{2}}{\frac{(2V_{FS}/2^N)^2}{12} + \sigma_T^2} \right) \quad (1)$$

式中,分母中的第一项代表量化噪声,第二项代表热噪声。开关电容越大,热噪声越小,SNR 越大。但当开关电容大到一定程度,对信噪比的改善将十分有限;另一方面,却会使功耗增大,速度变慢。因此,对电容值的选取应该从速度、SNR 和功耗三方面折中考虑。

热噪声包括开关和运算放大器的热噪声之和,可以采用参数 λ 来等效,参数 λ 的值根据所选择的电路进行噪声分析得到。对于 SNR 的值,当参数 $\lambda = 10$,量化范围 $V_{FS} = 2 \text{ V}$ 时,对于 10 位的 A/D 转换器可得到的最大信噪比,使用 Matlab 程序对(1)式进行分析,当电容大于 0.5 pF 时,SNR 超过 61.95,比理想的值小 0.1 dB,满足设计的需要。所以,在选择电容取值时,最关心的不是热噪声的限制,而是电容匹配性的要求。

3 采样开关的设计和优化

因为流水线结构很大一部分电路是采用开关结构实现的,所以,高性能的开关对整个电路来说是极其重要的。开关影响采样电路的主要因素是导通电阻、电荷注入和时钟馈通等。

对于一个简单的 NMOS 开关,当开关导通,且工作在线性区时,可以将 MOS 管视作一个阻值为 R_{on} 的电阻,其大小为

$$R_{on} = \frac{1}{u_n C_{ox} \frac{W}{L} [V_g - V_{in} - V_{th} - r_n (\sqrt{|2\Phi_f + V_{in}|} - \sqrt{|2\Phi_f|})]} \quad (2)$$

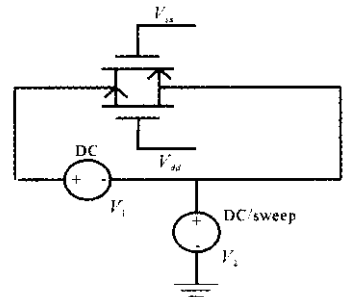
若忽略体衬偏效应的影响,则有

$$R_{on} = \frac{1}{u_n C_{ox} \frac{W}{L} (V_g - V_{in} - V_{th})} \quad (3)$$

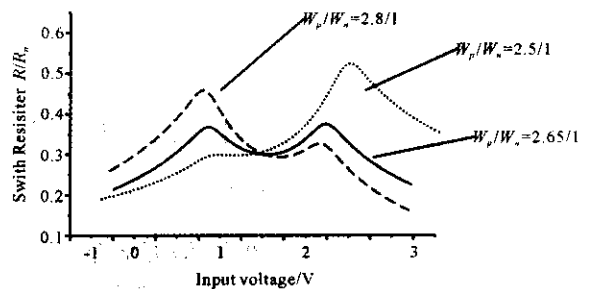
可见, R_{on} 是一个与输入信号 V_{in} 相关的非线性

电阻,这将在输出信号中引入谐波失真,极大地影响采样电路的动态特性。减小开关导通电阻最简单的方法是采用 PMOS 和 NMOS 并联的 CMOS 互补型开关。对于 CMOS 开关,P 管和 N 管的比例影响着导通电阻的线性度,因此,要求对 PMOS 和 NMOS 的宽度匹配进行优化。

图 1(a)是对 CMOS 开关导通电阻的测试电路,其中, V_1 是共模电压, V_2 是输入电压。通过对 V_2 进行扫描,可以得到不同输入电压对应的导通电阻。图 1(b)是在不同宽度比时,导通电阻和输入电压之间的关系曲线。从图中可见,当宽度比为 2.65/1 时,CMOS 开关的导通电阻呈现对称的马鞍型,这时,输入电压在 0 到 3 V 之间变化,导通电阻的变化最小,故其线性度最好。



(a) 测试电路



(b) 输入电压和优化结果的关系

图 1 对 CMOS 开关宽度匹配的优化

对于采样开关 SW1、SW2, CMOS 开关在传输信号的同时,由于栅源电压会受输入信号的变化而变化,所以,仍然会有信号的损失。因此,输入采样开关 SW1、SW2 采用栅压自举电压控制的电路^[2]。

自举电路在开关导通时提高 MOS 开关一个恒定的栅源电压 (V_{gs}),其大小为电源电压或更高,且不受输入信号变化的影响。图 2 是输入信号变化时,采样开关栅压变化的仿真波形。从仿真结果可以看出,采样开关栅压随输入信号变化而等量改变,所以,采样开关导通时,栅源电压基本保持不变,不受输入信号幅度的影响,线性度很高。

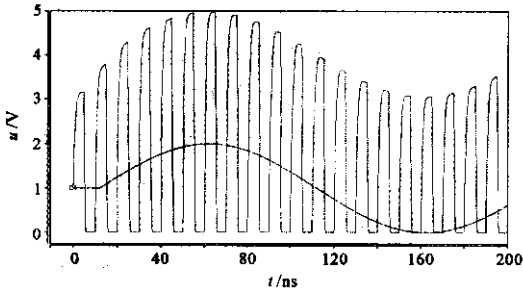


图2 自举电路中采样开关的栅源电压

4 套筒式增益增强运算放大器的设计

采样保持电路中的核心部件是运算放大器,其性能直接决定了采样保持电路是否可以实现功能。运算放大器的整体电路如图3所示。

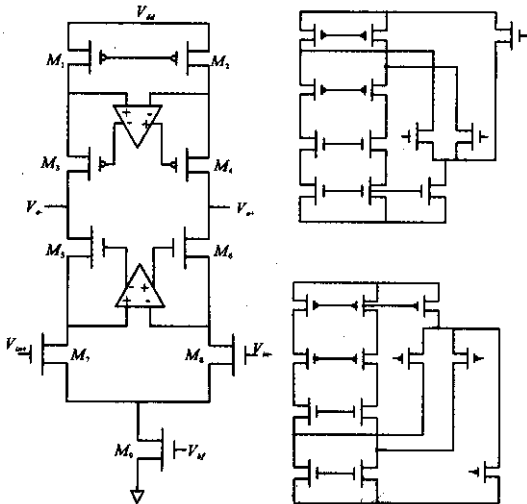


图3 全差分套筒式增益自举运算放大器

根据采样保持电路的设计要求,需要满足 100 MHz 的采样速度,应用于 10 位 A/D 转换器中,需要一个高带宽、高增益的运算放大器,带宽要求大于 850 MHz,增益要求大于 80 dB。根据不同结构运算放大器的性能比较和折中考虑,使用增益自举的技术,采用全差分增益自举运算放大器结构,能够得到高带宽、高增益的运算放大器^[3]。

增益自举技术是增加输出的阻抗而不增加更多的共源共栅器件,以此来增加整个运算放大器的增益。整体结构采用套筒级联式运算放大器,作为单级运放,次主极点靠后,使得频率特性好,具有很宽的带宽^[5];此外,由于这种结构只有两条电流支路,因此,在各种放大器中功耗最低。

增益自举运算放大器中的辅助放大器采用标准的折叠-套筒结构。选择这样的结构是考虑到对速

度和输入输出电压的指标要求。对于自举运放,并不需要很高的增益,但是希望得到较大的动态范围。在设计的过程中,要考虑自举运放和整体运放直接带宽的相互关系^[4]。

设计高速高增益的运算放大器,建立时间是一个重要指标。在增益自举型运算放大器中,自举运放会引入零点和极点问题,从而使自举运放的带宽对建立时间产生重要影响。对于自举运放,如果其第一极点的频率为 ω_1 ,如图4所示,一级套筒运算放大器一级极点频率为 ω_2 ,那么,在一级套筒运算放大器中加入自举运放后,整个运放的增益会提高,但第一极点会有所偏移。为了得到较短的建立时间,使运放能够稳定地工作,要求自举运放的单位增益频率 ω_3 满足 $\omega_2 < \omega_3 < \omega_5$ 的条件(其中, ω_5 是整个运放的第二极点)。为了满足设计要求,在半个时间周期(5 ns)之内完全建立,需要对自举运放进行电容补偿,使其带宽满足上述要求,从而消除由自举运放引入的零点和极点问题。

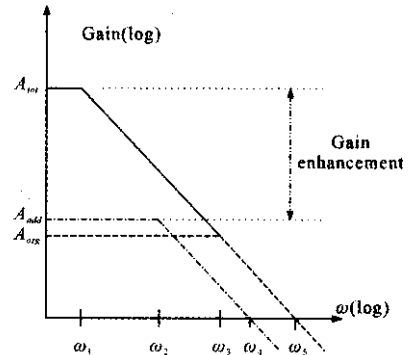


图4 增益增强运算放大器的零点/极点分析

5 采样保持电路

根据时钟,可以将该电路工作分为采样和保持两个阶段。使用两相非交叠时钟,分别实现采样和保持功能。采样保持电路是图5中的结构。除了时钟 Clk1,还设有时钟 Clk1' 和 Clk01。按照顺序, Clk1', Clk01 和 Clk1 依次闭合,然后再相继断开。

采样阶段,时钟 Clk1 有效,运放的两个输入端被短路,采样得到的电压以电荷的形式存储在采样电容 C_s 上。输入采样开关 SW1、SW2 是栅压自举电压控制的 NMOS 采样开关。运放在采样时处于开环状态,所以,运放的两个输出端需要被直接短路,并且被同时接到 V_{cm0} 共模输出电压。否则,在采样过程中,运放的两个输入端虽然被短路到共模输入电平,但由于开关具有一定的电阻,所以,正负输

入端会具有一定的电压差,在运放开环的情况下,该电压差被放大,使得运放的差分输出电压很大,以至于运放进入线性区(Triode Region)。在运放开始保持阶段时,如果必须先从线性区出来的话,就会使得总的收敛时间大大加长。

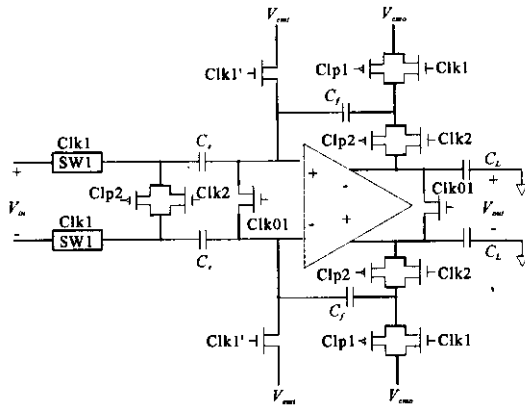


图 5 采样/保持电路图

相对于文献[1]中的采样保持电路,该电路结构能更有效地抑制时钟馈通和电荷注入效应引起的共模干扰。

6 性能仿真

使用 Hspice 软件,采用 Charter 公司的 0.35 μm 标准 CMOS 工艺库,对采样/保持电路进行仿真(3.3 V 电源电压)。表 1 是不同工艺条件下运算放大器的开环输出仿真结果。

表 1 运算放大器的性能仿真

G/dB	BW/GHz	C_L /pF	PN/(°)	P/mW	工艺
100.6	1.28	1.2	50	15.82	慢
99.6	1.37	1.2	52	15.69	正常
98.1	1.40	1.2	54	17.26	快

经过仿真,得到运算放大器的建立时间为 3.5 ns,即可以在半个时钟周期内完全建立,从而保证了采样保持电路的基本工作。

对于采样得到的数据,通过 Matlab 程序进行计算,得到输出数据的频谱,并对频谱信噪比等进行了一系列的分析。

图 6 是在输入端输入 42.04 MHz、 $V_{pp}=2\text{ V}$ 的正弦信号,用 100 MHz 时钟进行采样得到的频谱。根据计算,信噪比达到 64.89 dB;根据 SINAD 的值,得出有 10 位以上的精度。通过 Matlab 程序对多种频率输入的分析,得到的有效位数都有 10 位的精度。当输入信号为 49 MHz 时,仍然有 64 dB 的

信噪比,完全适用于 10 位 A/D 转换器。

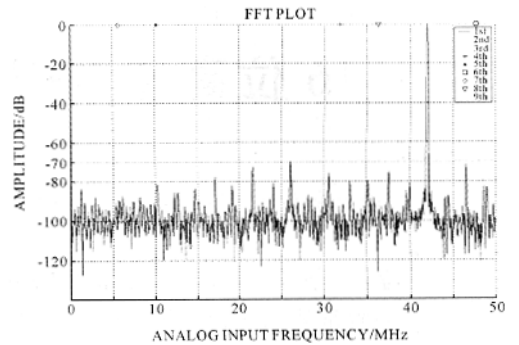


图 6 输入信号为 42.04 MHz 的频谱图

7 结论

本文使用 Charter 半导体公司的 0.35 μm 工艺,设计并实现了一个高速高精度采样保持电路。该电路在 3.3 V 电源电压下,采样频率可以达到 100 MHz,并具有 10 位以上的采样精度,电路功耗为 10.7 mW。结合电路的噪声分析,选取合适的采样电容,同时,使用栅压自举采样开关,有效地减少了时钟馈通和电荷注入效应;采用套筒级联式增益自举运算放大器,在达到较高的带宽和高速建立的同时,降低了整体电路的功耗。整个采样保持电路的高速高精度性能已得到了验证。

参考文献:

- [1] Lewis S H, Gray P R. A pipelined 5-M sample/s 9-bit analog-to-digital converter [J]. IEEE J Sol Sta Circ, 1987, 22(12): 954-961.
- [2] Abo A M, Gray P R. A 1.5-V, 10-bit, 14.3-MS/s COMS pipeline analog-to-digital converter [J]. IEEE J Sol Sta Circ, 1999, 22(5): 599-606.
- [3] Gulati K, Lee H S. A high-swing CMOS telescopic operational amplifier [J]. IEEE J Sol Sta Circ, 1998, 33(12): 2010-2019.
- [4] Bult K, Govert J G, Geelen M. A fast-settling CMOS op amp for SC circuit with 90-dB DC gain [J]. IEEE J Sol Sta Circ, 1990, 25(6): 1379-1384.
- [5] Min B M, Kim P, Bowman F W, et al. A 69-mW 10-bit 80-M sample/s pipelined COMS ADC [J]. IEEE J Sol Sta Circ, 2003, 38(12): 2031-2039.
- [6] Lewis S H, Fetterman H S, Gross G F, et al. A 10-bit 20-M sample/s analog-to-digital converter [J]. IEEE J Sol Sta Circ, 1992, 27(3): 351-358.

作者简介:谭 珺(1980—),女(汉族),上海人,硕士研究生,1999年毕业于复旦大学电子工程系,获学士学位,主要研究方向为高速流水线 A/D 转换电路。