

文章编号: 1004-3365(2004)05-0562-03

# 改进型多制式兼容数字视频编码器

王 杨, 唐长文, 忻 凌, 舒 适, 闵 昊

(复旦大学 专用集成电路与系统国家重点实验室, 上海 200433)

**摘 要:** 介绍了一种数字视频编码器芯片的结构及其实现。并对多制式兼容和数字滤波器模块进行了优化。该芯片兼容 NTSC/PAL/PAL M 三大制式, 并采用 I<sup>2</sup>C 协议标准接口进行模式的配置。在 0.35  $\mu\text{m}$  CMOS 工艺条件下完成版图设计, 芯片面积 2.98 mm $\times$ 2.97 mm, 包括 3.8 万门。测试结果表明, 该设计完全能够满足对数字视频码流进行编码的处理要求。

**关键词:** 数字滤波器; 视频编码器; 多制式; 全电视信号; 数字视频信号

**中图分类号:** TN713<sup>+</sup>.7

**文献标识码:** A

## An Advanced Digital Video Encoder for Multi-Standard Compatibility

WANG Yang, TANG Zhang-wen, XIN Ling, SHU Shi, MIN Hao

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, P. R. China)

**Abstract:** An advanced structure of a programmable digital video encoder and its implementation are presented. Structures of multi-standard compatibility and digital filter modules have been optimized. The chip is compatible to world-wide standards of NTSC/PAL/PAL/M. And the I<sup>2</sup>C protocol port has been used to write the inner ports. The device, which occupies a chip area of 2.98 mm $\times$ 2.97 mm and contains 38-k gates, is implemented in 0.35  $\mu\text{m}$  CMOS technology. Test results show that the encoder can meet the requirement of encoding digital video code streams.

**Key words:** Digital filter; Video encoder; Multi-standard; Composite video signal; Digital video signal

**EEACC:** 1270F

## 1 引 言

随着数字化技术日益成熟, 数字信号处理技术在视频信号处理中起着越来越重要的作用。在 PC 视频编辑卡、数码相机、高清晰电视机(HDTV)等高端视频产品中, 都需要将 RGB、YCrCb 等数字视频信号转换成符合模拟视频信号标准的信号, 以供传统模拟电视机输出。目前, 同类芯片在多制式控制部分未进行复用<sup>[1,2]</sup>, 其中的数字滤波器为单组固定系数, 大大影响了芯片的适用范围。多制式兼容、滤波器系数可配置的改进型数字视频编码芯片就是针对上述情况设计的。

本文设计的多制式芯片能兼容不同的电视制

式, 如我国普遍采用的 PAL(逐行倒相)制式、北美地区的 NTSC(国家电视标准委员会)制式, 以及 PAL/M 等制式。数字滤波器系数的可选, 使芯片可以满足不同标准对视频信号频带的具体规定。另外, 本芯片还具有应用 I<sup>2</sup>C 协议<sup>[8]</sup>标准进行参数配置的特性。

根据视频信号码流的特点, 我们采用了三级流水线结构, 并在多制式模块的复用和系数可配的数字滤波器等模块的设计上进行了优化。相对于同类其它结构的芯片, 本文设计的芯片具有功能更强、硬件复杂度更小的特点。

本文描述了视频编码器的硬件结构, 并对多制式采用的模块复用设计和系数可配置的数字滤波器进行了详细的说明。对硬件实现及与同类芯片进行

收稿日期: 2003-08-18; 定稿日期: 2003-10-20

基金项目: 上海市应用材料研究与发展基金资助项目(AM0108)

了比较,对芯片测试结果进行了分析。

## 2 编码器硬件结构

数字视频编码器的工作原理就是将符合视频标准 (ITU-R601<sup>[4]</sup> & ITU-R656<sup>[5]</sup>) 格式的数字码流转换成模拟视频信号标准 (ITU-R470<sup>[3]</sup>) 的全电视信号。

本设计采用三级流水线结构,其系统框图如图 1 所示,分别为多制式控制级 (timing), 数字滤波级 (FIR filters) 和调制级 (modulate)。多制式控制级根据预先选定的制式标准,提取数字视频码流信号中行与场的信息,同时,将亮度和色度信息进行分离,以供后级处理,并根据模拟电视信号标准,加上行同步头和色载波信号。数字滤波级则根据视频标准,滤除频带外的高频部分,并对信号的幅值进行调整,以满足不同制式对视频信号幅度的要求。调制级则将分离的色度信号进行调制,在加上亮度信号后,最后得到全电视信号。

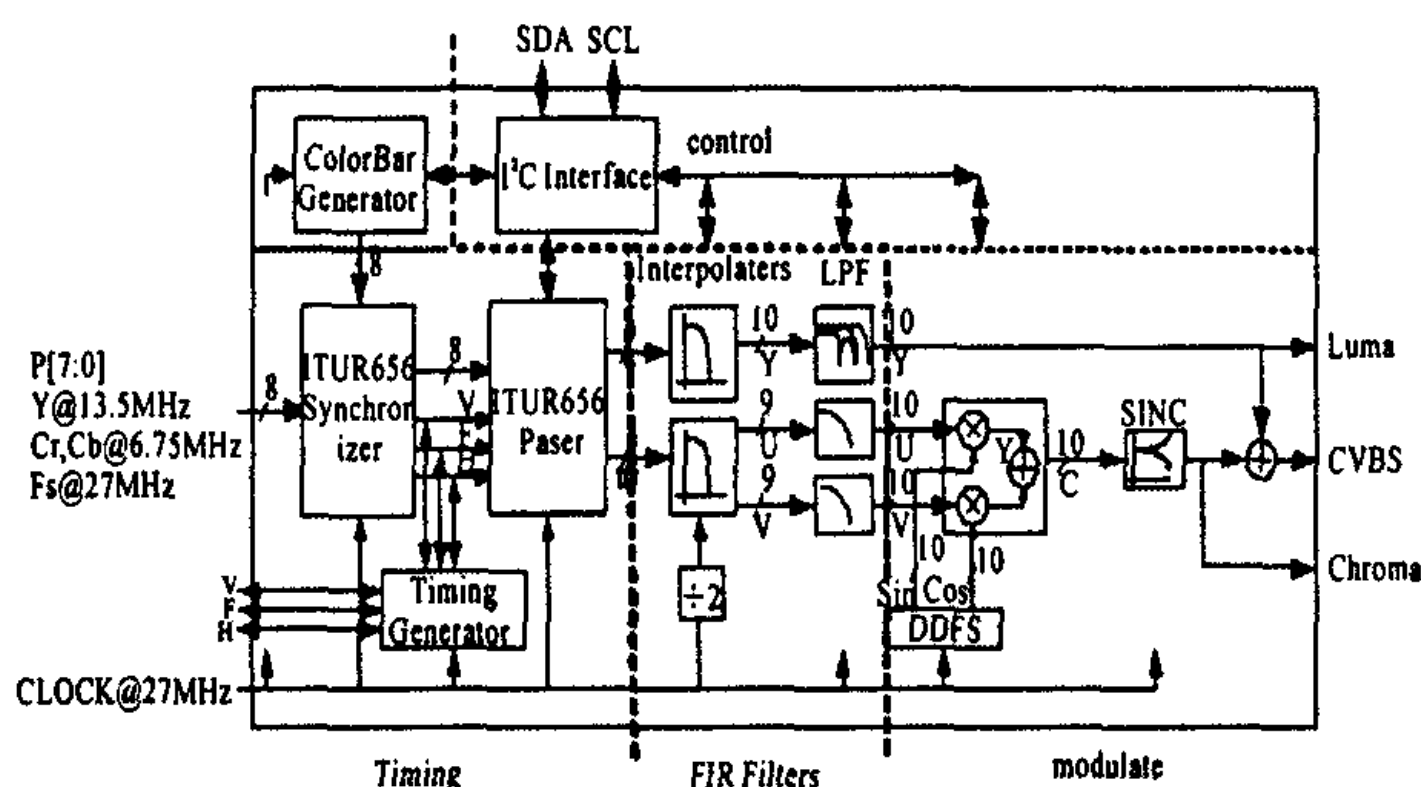


图 1 数字视频编码器系统框图

考虑到实用性,芯片中还加了串行接口模块 (I<sup>2</sup>C interface) 和色彩条发生模块 (CG)。采用 I<sup>2</sup>C 协议对芯片工作模式进行配置,可减少芯片的外围接口。而色彩条发生模块可以产生标准的彩条数字视频码流信号,供芯片测试用,它还可以对外提供标准的行和场同步信号。

### 2.1 多制式控制模块的复用设计

以往的多制式控制模块<sup>[3,4]</sup>实质上为三套独立控制处理模块,分别满足 PAL、NTSC 和 PAL/M 标准的要求。从 ITU-R656 规定的数字视频信号参数分析可以看出,无论是 PAL 还是 NTSC 制式,它们在每一行显示的有效数据点数均为 720 点。另外, PAL/NTSC/PAL M 其实只是在场同步的时间和长短上有细微的区别,而对于显示有效行,其波形大体结构是一致的。因此,只需在场同步的行中,对不

同制式进行不同的编码处理。另外,由于 PAL/M 制式是 PAL 与 NTSC 的混合体,它有 NTSC 所要求的 525 行,又有 PAL 的逐行倒相的特点,所以可将其通过对不同模块的组合,达到三大制式兼容的要求。正是采用这种分模块复用的设计,在很大程度上降低了本芯片的硬件开销。在最后实现的多制式 ASIC 芯片中,多制式控制模块为 4 500 门,而在早期的单制式芯片里,这部分至少也需要 3 000 门。

### 2.2 数字滤波器的设计

为了满足不同制式下对滤波器的不同要求<sup>[3]</sup>,本文提出了一种系数可配置的数字滤波器结构,它由一组滤波器来完成不同制式对波形的滤波要求。同其它芯片<sup>[1,2,6]</sup>比较,它采用的固定系数滤波器具有更大的实用范围。它的亮度信号滤波器有 7 组系数可选,色度信号滤波器有 4 组系数可选,具体参数特性可参见 ITU-470<sup>[3]</sup>。考虑到人眼对色彩突变较敏感,本文采用低通有限冲击响应 (FIR) 滤波器,去除信号中高频部分,减少了人眼对色彩跳变的突兀感<sup>[6]</sup>。

亮度信号的 FIR 滤波器使用的结构采用了乘法器的复用,节省了近一半的乘法器。由于多种系数的滤波器是复用的,所以滤波器的阶数由其中要求最高的一组系数决定。另外,由于外接 A/D 转换器,有 sinc 效应,需将信号做反 sinc 处理。对反 sinc 滤波器只进行系数调整,它可与亮度信号滤波器合并在一起,减少了亮度信号最后输出所需的反 sinc 滤波器。其示意框图如图 2 所示。

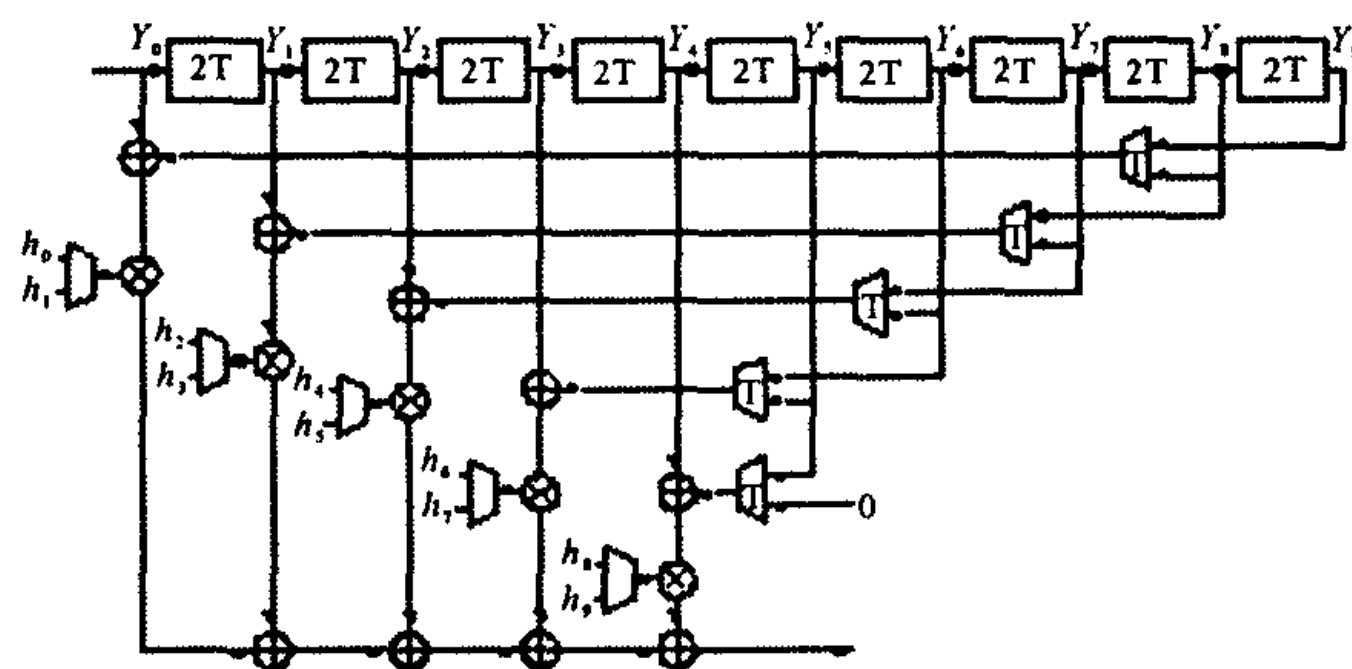


图 2 亮度信号滤波器结构框图

色度信号滤波器除了滤除高频信号外,还要将色度信号由原来的 6.75 MHz 提升到 27 MHz 采样频率。直接进行 4 倍升采样,这对滤波器要求较高,因此可以采用 2 级升采样,每级提升 2 倍。对于第一级的色度信号滤波器,可以简化要求,其结构框图如图 3 所示。第二级滤波器由于信号已经过了第一级滤波器,因而其过渡带加宽,可以使用较少阶数的滤波器来实现。

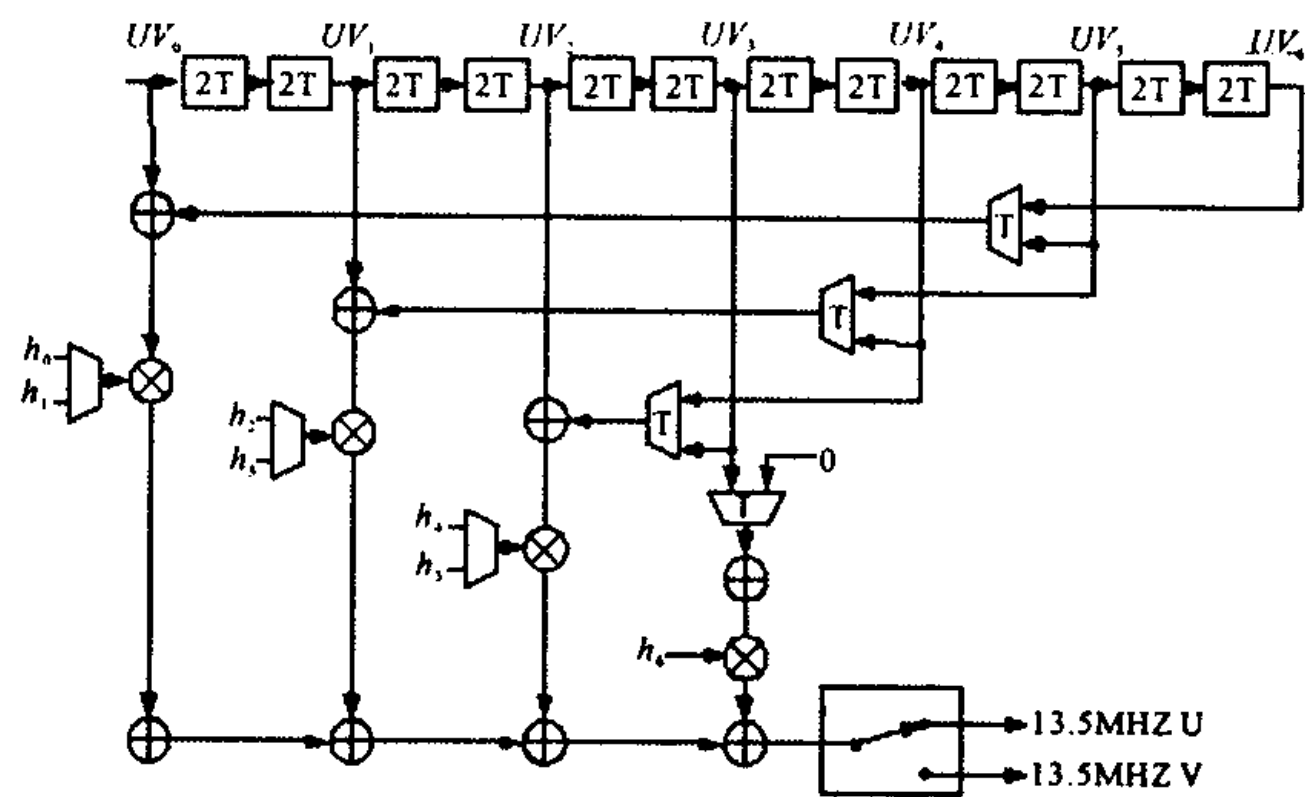


图 3 色度滤波器第一级结构框图

考虑到色度滤波器系数只有 NTSC 和 PAL 各两组,对使用 CSD 码的不利影响较小,可以将其优化为 CSD 码的乘法器<sup>[7]</sup>来实现。如果采用奇偶复用,相同输入下,两组计算结果存在一定偏差,经过两级滤波器后,误差较大,对系数调整有一定困难。所以,在优化为 CSD 码后,采用偶数阶的 FIR 滤波器,就可消除插零后奇偶阶系数计算结尾的误差。对第二级的 CSD 优化,改为采用 8 级 FIR 滤波器来实现,其结构如图 4 所示。其中的 tap 结构如图 5 所示。

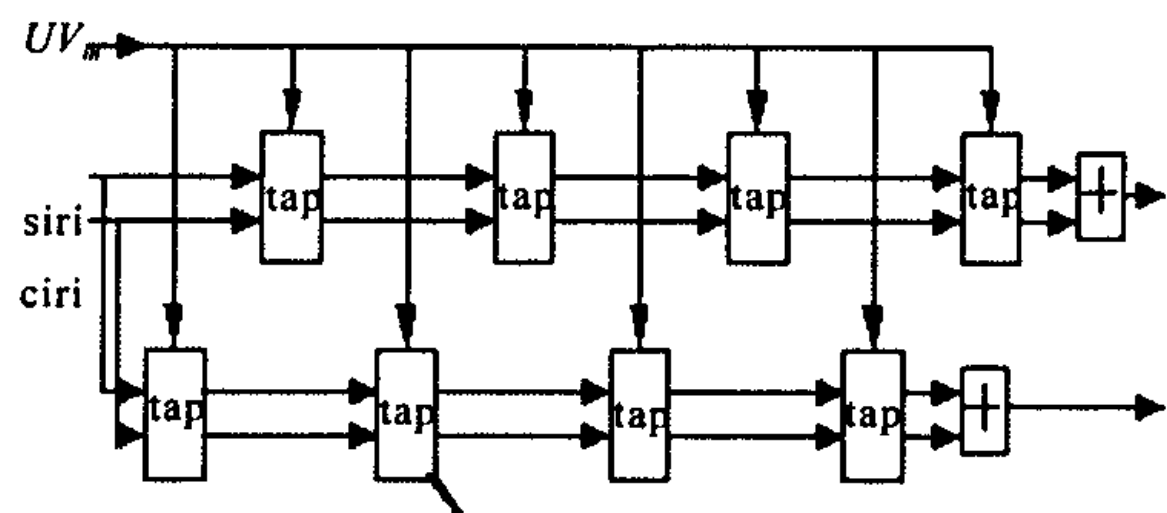


图 4 色度滤波器结构框图

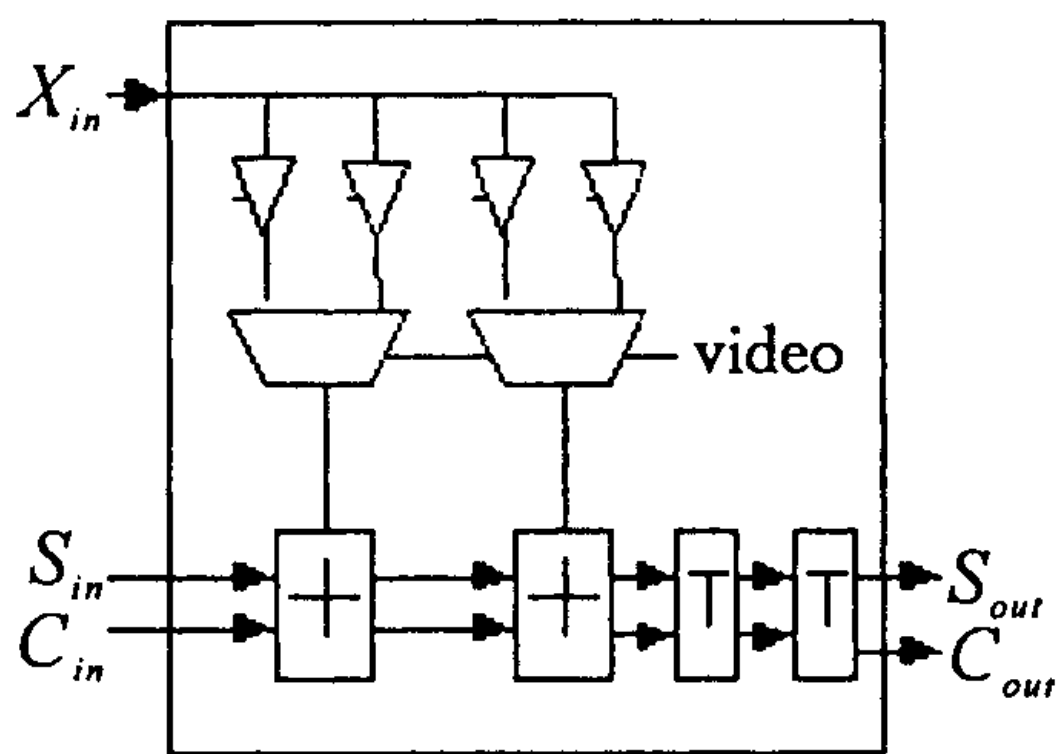


图 5 图 4 中的 tap 结构图

### 3 硬件实现与测试

整个电路采用流水线结构,并使用 VHDL 硬件描述语言进行描述。在 FPGA 验证正确的基础上,我们采用 ASIC 综合工具,在 0.35 μm 标准单元库下进行综合,最后用自动布局布线工具生成版图。芯

片面积为 2.98 mm×2.97 mm,包括 3.8 万门。

表 1 为本芯片与芯片 α<sup>[2]</sup>同功能模块的等效门数比较结果;表 2 为本芯片与其它同类芯片<sup>[1-3]</sup>的功能比较。可以看出,芯片 α 在多制式控制模块部分约需要 9 000 门,即平均一种制式需要 3 000 门,而采用多制式复用结构后,该模块只需 4 500 门,面积减少了近一半。另外,芯片 α 在数字滤波器部分为一组系数的滤波器,需要 21 000 门。而本芯片滤波器系数为亮度滤波器 7 组,色度滤波器 2 组,并可自由配置。芯片面积上也只有 28 000 门。可见,本芯片无论在硬件复杂度上还是在功能上,都较同类芯片有更大的优势。

表 1 芯片各模块的等效门数比较

| 功能模块                | 本芯片   | 芯片 α  |
|---------------------|-------|-------|
| 多制式控制               | 4500  | 9000  |
| 数字滤波器               | 28000 | 21000 |
| I <sup>2</sup> C 接口 | 2700  | 5000  |
| 调制模块                | 2800  | 3000  |

表 2 各芯片功能的比较

| 功能                    | 本芯片 | 芯片 <sup>[1]</sup> | 芯片 <sup>[2]</sup> | 芯片 <sup>[6]</sup> |
|-----------------------|-----|-------------------|-------------------|-------------------|
| 多制式                   | 有   | 有                 | 有                 | 有                 |
| 滤波器可配                 | 有   | 无                 | 无                 | 有                 |
| I <sup>2</sup> C 串行配置 | 有   | 有                 | 有                 | 无                 |
| 主从模式                  | 有   | 有                 | 有                 | 无                 |
| 自检功能                  | 有   | 无                 | 无                 | 无                 |

采用飞利浦公司的 SAA7113<sup>[7]</sup>数字视频解码芯片,构建了本芯片的测试平台。由 VCD 机产生全电视信号,经过 SAA7113 转换成 ITU-R656 标准码流,供本文的芯片输入,本文芯片再将其编码成全电视信号,供模拟电视机实时输入。测试结果表明,本芯片的功能完全达到设计要求。

### 4 总 结

介绍了一种可配置的多制式兼容数字视频编码器。详细叙述了该编码器的硬件结构,并对多制式复用模块和数字滤波器模块进行了优化。作为消费类电子产品,本系统在设计时,尽可能地考虑了应用的灵活度。多制式兼容和软件可配置等特性增加了本芯片的市场竞争力。整个系统通过 VHDL 语言描述,在 FPGA 硬件验证的基础上,完成了 ASIC 的设计与测试,工作时钟频率满足数字视频码流 27 MHz 的要求。测试结果表明,该芯片完全可以满足

(下转第 568 页)

周应进行一次 PULCOM 的完全校准。具体步骤可参阅操作手册<sup>[2]</sup>。这里只介绍手册上未提及的关于运行 SOI 硅片的 PULCOM 补偿校准。

首先将 DATA 设为 01 值,将设备置于“MANUAL”、“No. 1 st”模式。将 0.5 mm 厚度校准表置于 1# 探头下,将 PULCOM 置于“SETUP”模式,1#、3# 探头显示“GAGE-D 模式。将探头放下,3# 探头假如显示值为 12,则 1# 探头可能显示为 512 或其它值。升起探头,松开 1# 探头,将探头放下。将 1# 探头值调于 2(这是一个经验值,可快速将 1# 和 3# 值调至相同),锁紧 1# 探头。

将探头放下,检查 1# 探头显示值是否在 12±0.5 范围内。如果不是,重复调试(1# 探头所调值必须作出相应调整)。

对 1#、3# 探头进行 AutoZERO 操作,按“END”回到主界面,放下两个探头应该都显示为 0.0。升起探头,将 1 mm 厚度校准表置于 1# 探头下,降下探头,将 PULCOM 置于“SETUP”模式,在 3# 探头下进行 AutoZERO 操作,在 1# 探头下进行 CAL 操作,输入值为 500。按“END”回到主界面,取出厚度校准表,将 PULCOM 置于“Auto”模式,补偿校准完成。

此处应注意:CAL 操作输入的 500 值,要用 ADE 测量硅片值与 VG202MKII 运行设定值之间的差别作进一步的补偿,因而不是一个固定值。

最终调试结果如图 5 所示。

(上接第 564 页)

数字视频编码的要求,较同类芯片在面积和功能上有更大的优势。

#### 参考文献:

- [1] Cummins T, Purcell J. Design techniques for a PAL/NTSC mixed-signal video encoder with 66 dB SNR and 0.4% differential gain [A]. Proc IEEE Asia Pacific Conf Circ and Syst [C]. Seoul, South Korea, 1996. 496-499.
- [2] Cummins T, Murray B, Prendergast C. A PAL/NTSC digital video encoder on 0.6- $\mu\text{m}$  CMOS with 66 dB typical SNR, 0.4% differential gain, and 0.2 differential phase [J]. IEEE J Sol Sta Circ, 1997, 32(7): 1091-1100.
- [3] Rec. ITU-R BT. 470-5, conventional TV systems [S]. 1995.
- [4] Rec. ITU-R BT. 601-5, digital TV systems [S]. 1995.
- [5] Rec. ITU-R BT. 656-4, level of recommendation

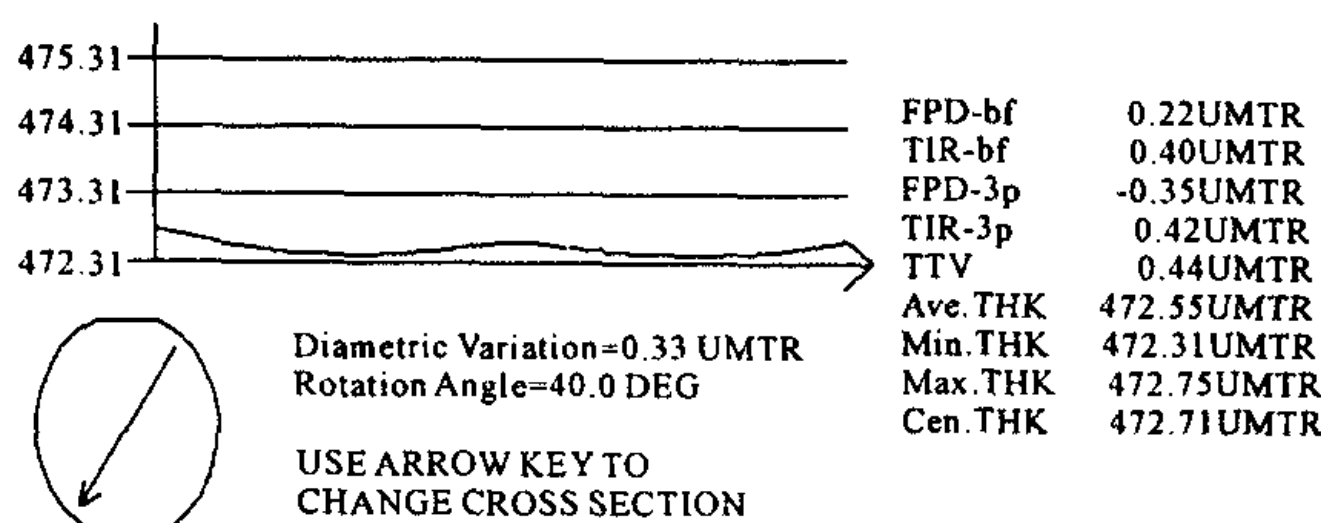


图 5 调试结果

## 6 结束语

本文较为系统地介绍了 VG202MKII 精密硅片减薄机的几项关键调试技术及调试注意事项,对其工艺精度的调试具有指导意义。

#### 参考文献:

- [1] VG202MKII Shibayama Grinder Reference Manual [Z]. Okamoto Corp, Japan. 2002.
- [2] PULCOM V10 machine control gage control unit[Z]. Tokyo Corp, Japan. 1999. 18-19.
- [3] VG202MKII operation and maintenance manual[Z]. Okamoto Corp, Japan. 2002. 1-13.

作者简介:陈洪波(1975—),男(汉族),四川省乐至县人,工学学士,主要从事半导体专用设备维护及技术改造工作。

ITU-R BT. 601 [S]. 1995.

- [6] ADV7175/ADV7176 integrated digital video encoder datasheet [Z]. Analog Devices, 1998.
- [7] Oh S-H, Han S-H. An ASIC implementation of an optimized digital video encoder [J]. IEEE Trans Consumer Electronics, 1998, 44(3): 1097-1102.
- [8] Tang Z-W, Zhang J, Min H. High-speed, programmable, CSD coefficient FIR filter [J]. IEEE Trans Consumer Electronics, 2002, 48(4): 834-837.
- [9] SAA & 113H 9-bit video input processor datasheet [Z]. Philips, 1998.
- [10] The I<sup>2</sup>C-bus specification version 2.1 datasheet [Z]. Philips, 2000.

作者简介:王 杨(1978—),硕士研究生,2001年毕业于复旦大学电子工程系电路与系统专业,主要研究方向为数字集成电路的设计和视频信号处理芯片的体系结构研究。