

文章编号: 1004-3365 (2004) 01-0056-04

ASIC 综合后的静态验证方法的研究

舒 适, 唐长文, 闵 昊

(复旦大学 专用集成电路系统与设计国家重点实验室, 上海 200433)

摘 要: 介绍了基于深亚微米 CMOS 工艺 ASIC 电路设计流程中的静态验证方法。将这种验证方法与以往的动态验证方法进行了比较, 结果表明, 前者比后者更加高效和准确, 由此可以说明, 静态验证完全可以取代动态验证, 并且静态验证比动态验证更加适合超大规模集成电路的发展趋势。

关键词: 专用集成电路; 电路综合; 静态验证; 静态时序分析; 形式验证

中图分类号: TN 492

文献标识码: A

A Study on the Static Verification Methodology for Synthesized ASIC Design

SHU Shi, TANG Zhang-wen, M N Hao

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, P. R. China)

Abstract A static verification methodology for circuit design-flow of ASIC's based on very deep sub-micron CMOS technology is described in the paper. A comparison of the static verification methodology with the dynamic verification methodology indicates that the former is more efficient and more accurate than the latter. It has been shown that the static verification, which is a substitute for dynamic verification, is more suitable for VLSI's.

Key words: ASIC; Circuit synthesis; Static verification; Static timing analysis; Formal verification

EEACC: 2570D

1 引 言

随着深亚微米技术的发展, 数字电路的规模已经发展到上百万门。未来的二十多年里, 一块 ASIC 芯片中将会达到上千万门的规模。这样的电路规模做验证的时间在整个芯片的开发周期所占的比例会越来越重。通常, 在做验证的时候, 我们都会采用动态验证的方法。现在, 用静态验证方法不仅能够完成验证的工作, 而且还能大大地节省验证所需要的时间。

深亚微米工艺下的 ASIC 设计流程如图 1 所示。设计流程可以分为以下几个主要的部分: 整体设计, 设计实现, 设计验证和流片封装。流片失败 70% 是功能出错造成的^[1], 所以, 设计验证是保证设计电路功能正确的关键步骤。

2 静态时序分析与形式验证

在静态时序分析和形式验证的方法出现以前,

唯一的方法是用动态验证工具进行验证。动态验证的最大缺点在于验证时间很长, 而且动态验证是对特殊情况的验证, 其验证结果正确只能说明在这种

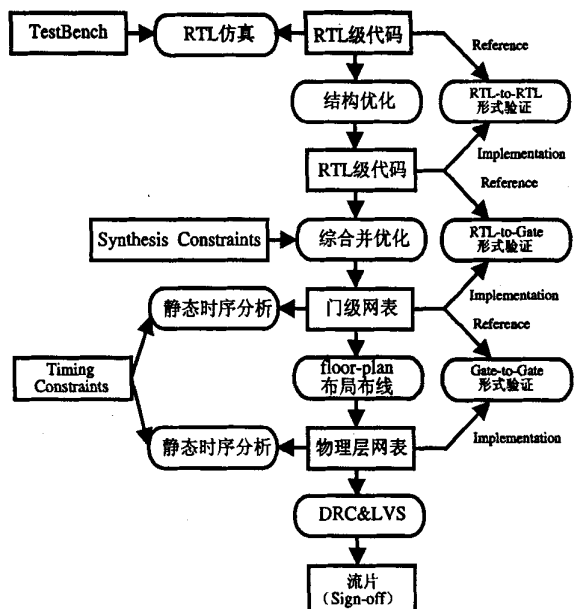


图1 ASIC 设计流程

收稿日期: 2003-01-20; 定稿日期: 2003-03-12



特定条件下的功能正确,不能据此说明电路一定没有功能错误。在提出静态时序分析和形式验证的概念后,我们可以用静态验证代替动态验证。静态验证的方法是把时序验证和逻辑功能验证分开来做,不需要加任何激励。这样做可以大大节省验证时间。

静态时序分析是判断电路中所有单元是否满足时序要求。静态时序分析检查设计中电路每一条通路的时序信息,看是否有时序错误。静态时序分析不检查电路的逻辑功能,所以,在做完电路的时序验证后,还必须做形式验证。

形式验证不考虑设计电路的时序问题,它只比较两个电路的功能是否一致。形式验证不需要加激励。因此,如果 RTL 级电路动态验证正确的前提条件成立,那么,只要通过形式验证,就能保证后者的电路功能没有错误。

比较动态验证和静态验证,后者的优点在于:1)运行时间短;2)覆盖率为100%;3)通过错误分析报告,比较容易找到出错处。

下面,我们着重就后一种验证方法进行具体的描述。

3 ASIC 中的静态时序分析

在设计 ASIC 芯片的时候,设计者除了要考虑如何按照要求设计出正确的电路外,还要考虑设计电路在物理层实现后,原本在 RTL 级正确的逻辑关系是否还会保证不出错。因此,设计者需要能够精确描述器件特性的器件模型。这些器件模型要和实际器件的工作情况相同,当用这些器件模型做设计电路验证时,电路的工作情况就和实际设计出来的芯片的工作情况相同^[2]。

建立一个用器件模型搭出的简单电路,如图2所示。从图中可以看出造成电路延时的四种因素。数据输入跳变延时取决于 D 触发器输入端充放电的速度和输入端 RC 负载的大小,输入数据跳变越频繁,延时就越长;门延时由 D 触发器自身 RC 负载大小和充放电速度决定;线上 RC 延时则由 D 触发器的输出驱动能力和线上 RC 的负载大小决定,连线越长,负载越大,驱动时间越长;输出负载只是增加 D 触发器输出驱动的负荷量,输出接负载的门数越多,输出数据的延时时间就越长。这些延时是基于不同的 CMOS 工艺和具体电路的布局布线。在特定的工艺条件和工作环境下,影响器件充放电速度和自身 RC 负载的因素有器件的面积、密度、掺杂密度、温

度、工作电压、输入充放电速度、输出扇出大小。我们可以通过对实际电路进行测试,从测试得到的数据分析计算器件的延时信息,这样就可以预测出电路在实际实现后会出现的延时信息。不同的厂商提供的库文件中已经包含了器件的延时信息,做静态时序分析的时候调用这些库文件,分析和检查设计电路各个路径的建立时间和保持时间是否满足时序要求,是否有违反设计规则的地方。

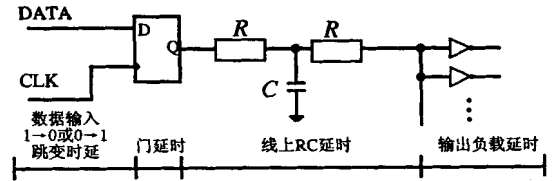


图2 电路器件延时模型

有了器件的模型,就可以用 STA 的工具做电路的静态时序分析。STA 主要分为两个阶段,第一个阶段是在布局布线前,第二个阶段是在布局布线后。这两个阶段的主要区别在于:后者有具体的连线长度、宽度、信号分布情况等信息,所以,后者可以更加准确地估计线上延时,以及时钟树的延时;而前者只能根据设计电路面积的大小,估计线上延时和时钟树的延时。

STA 的工具具有 Synopsys 公司的 Primetime, Cadence 公司的 Pearl, 等等。静态时序分析工具可以对设计电路进行以下几种分析:

- 从主要的输入端口到电路中所有触发器;
- 从触发器到触发器;
- 从触发器到主要输出端口;
- 从主要的输入端口到主要的输出端口。

静态时序分析工具把整个设计电路打散成上述四种类型的时序路径,分析不同路径的时序信息,得到建立时间和保持时间的计算结果。这里有必要介绍一下这两个参数的含义,因为静态时序分析的精髓就在于判断和分析这两个参数的结果。

如图3所示^[3],数据从触发器 FF1 的 D 端进入,传到触发器 FF2 的 Q 端输出,这是一个最基本的时序路径,而且这两个触发器都是用同一个时钟驱动。

首先分析 Setup check。假设在 $t_{\text{time}} = 0$ 的时候, FF1 的第一个上升沿时钟使得 FF1 获得 D 端的数据,那么,数据到达 FF2 的 D 端的时间一定要比 FF2 的第二个上升沿时钟到达 FF2 的 CLK 端的时间要短。如果预定的 Setup time Violation 的尺度为“0”,要求数据到达的时间就必须小于 10 ns,否则,时序分析结果就会报 setup time 的 Violation。Setup time

Violation 的尺度可以大于0, 如果这样的话, Timing path 的延时就必须更小, 对电路时序的要求就更高。

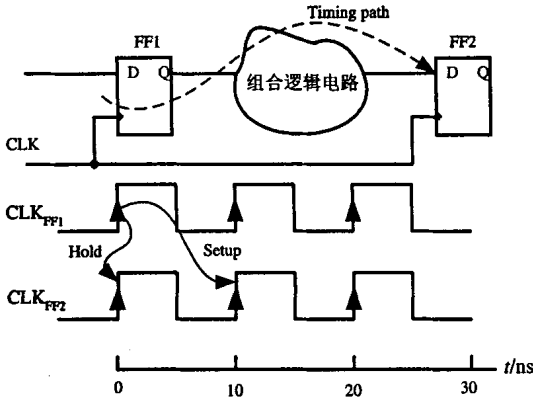


图3 单时钟同步电路建立/保持时间分析示意图

同理可以分析 Hold check。总的来说, 它就是要检测数据是否传得太快。假设当 $t_{ime} = 0$ 的时候, FF1的上升沿时钟使得D端的数据进入触发器, 那么, 数据从FF1的D端传到FF2的D端的时间一定要比FF2在 $t_{ime} = 0$ 的第一个上升沿时钟到达FF2的CLK端的时间长, 否则, 就会报 Holdtime 的 Violation。

如果设计电路中的静态时序分析结果显示没有 Violation, 那么电路就没有时序错误, 否则, 就要根据具体情况, 决定是否重新综合。如果对电路的时序性能要求比较高, 可以另外加最大(最小)延迟时间的约束条件, 最大(最小)时钟有效宽度, 或最大(最小)时钟的 skew time 的约束条件, 让静态时序分析工具检查电路的时序是否满足这些约束条件。

以上分析了造成电路延时的一些因素, 静态时序分析建立的时序模型基础和静态时序分析检查的方法。静态时序分析工作量的大小是由设计电路的复杂程度和电路中一些特殊情况决定的。设计电路中还可能出现时钟分频和多时钟的情况, 这些本文中就不再详细讨论了。

4 ASIC 中的形式验证

形式验证在 ASIC 设计中是一个新的概念, 对设计进行形式验证不需要考虑工艺的因素, 即可以不用考虑电路的时序和物理效应^[4]。形式验证将需要验证的电路与参考电路进行比较, 通过分析两者在功能方面是否一致。前面我们论述了静态时序分析的特点和方法。联系形式验证的特点不难发现, 这两种方法是一种互补的关系, 如果将两者结合起来

做 ASIC 设计的验证, 将是高效而且快捷的。

形式验证的工具很多, 其中包括 Synopsys 公司的 Formality。我们对电路进行了修改, 比如说更改了流水线结构, 改变了有限状态机, 或是从 RTL 级综合到门级, 从门级布局布线转为晶体管级, 都可以做形式验证, 比较改变前后两者在功能上是否改变。形式验证提供了一种静态的回归验证方法, 取代了传统的验证工具。这样做有两个非常明显的优点: 大大节约了验证时间和全面彻底的验证, 具体的原因在介绍静态验证方法时已经提到过。

形式验证是多层次验证, 可以比较的类型有 RTL-to-RTL, RTL-to-gate, 还有 gate-to-gate, RTL-to-RTL 是为了检查新的 RTL 与改变之前的 RTL 功能是否一致, 在设计不断地修改, 加上一些新的功能, 或是改变流水线, 改变有限状态机, 以提高电路性能的情况下, 以前的电路已经验证是逻辑正确的, 但改变后是否仍然正确, 就需要将改变前后的 RTL 电路作一个全面的比较, 以确保电路的逻辑功能没有改变。RTL-to-gate 和 gate-to-gate 则是比较电路综合前后和布局布线前后的电路, 确保电路的逻辑功能没有改变。比如, 当 RTL 电路综合后, 想改进电路的性能, 为了不用重新综合而直接修改了门级网表, 那么就需要用形式验证比较修改前后的门级网表逻辑是否仍然一致。这一步骤如果采用动态验证需要几个星期的话, 那么用形式验证只需要几个小时。

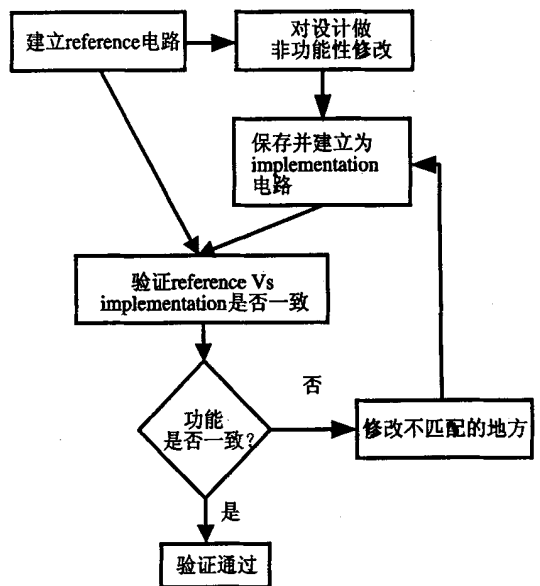


图4 形式验证流程

形式验证的流程如图4所示。从流程图中可以看到, 将修改前的设计作为 Reference 电路, 将修改后

的作为 Implementation 电路, 只要通过验证 Reference 和 Implementation 在不考虑工艺和时序的情况下功能一致, 那么, 修改就是没有错误的; 下一次再验证时, 就可以将这次修改过的设计作为 Reference, 与下次修改的电路进行比较。从以上的描述可以看到, 作形式验证的时候, 并没有给设计加特殊的激励, 这样就大大节省了验证时间, 尤其是进行综合后验证的时候。

5 比较和分析

为了比较静态验证和动态验证方法的区别, 我们用一个具体的例子来说明。分别用静态验证和动态验证方法对一个五万门的数字视频编码芯片设计综合后的门级同步时序数字电路进行验证, 采用 TSMC 0.35 μm CMOS 工艺, 其中动态验证用 Mentor 公司的 ModelSim 验证工具。在同一台工作站上, 验证结果列于表 1。

表 1 验证结果比较

方法 项目	静态验证		动态验证
	Primetime	Fomality	ModelSim
验证时间	1 m in	2 m in	20 h
代码覆盖率	100%		85%
反复次数	20	10	100

从表 1 中可以看出, 静态验证不仅大大地提高了验证效率, 而且充分确保了设计的正确性。与动态验证相比, 静态验证也有一些不足, 后者要求的条件比

前者严格。对设计代码风格的要求也比较严格, 所以, 进行静态验证需要严格规范 RTL 代码的编写风格。

6 结 论

静态验证是可以替代动态验证的一种高效率的验证方法, 它大大地节省了验证的时间, 尤其是在进行综合后验证的时候。随着设计电路规模的不断扩大, 静态验证的优势将会越来越明显。

参 考 文 献:

[1] Bhatnagar H. Advanced ASIC Chip Synthesis [M]. Kluwer Academic Publishers, 2000. 1-4.
 [2] Nekoogar F. Timing Verification of Application Specific Integrated Circuits (ASICs) [M]. Prentice Hall PTR, 1999. 45-48.
 [3] Synopsys. PrimeTime User Guide: Fundamentals [Z]. 2002. 8. 3-8. 4.
 [4] Synopsys. Formality User Guide [Z]. 2002. 1. 2-1. 4.

作者简介: 舒 适 (1978—), 男 (汉族), 湖北武汉人, 硕士研究生, 2000年毕业于华中科技大学电子科学与技术系微电子专业, 主要研究领域有: 数字专用集成电路和射频集成电路, 已经完成的项目有多制式数字视频编码芯片中 I²C 总线控制的设计。

(上接第 55 页)

[3] 林大松, 张鹤鸣, 戴显英, 等. SiGe HBT 基区渡越时间模型 [J]. 西安电子科技大学学报, 2001; 28(4): 456-461.
 [4] 戴显英, 吕懿, 张鹤鸣, 等. SiGe HBT 大电流密度下基区渡越时间模型 [J]. 微电子学, 2003; 33(2): 86-89.
 [5] Liu J J, Lindholm F A, Maibach D C. Forward-voltage capacitance of heterojunction space-charge regions [J]. J Appl Phys, 1988; 63(10): 5015-5022.
 [6] 林大松. SiGe HBT 建模及模拟技术研究 [D]. 西安: 西安电子科技大学, 2001; 28(4): 456-461.
 [7] Hobart K D, Kub F J, Papanicolaou N A. Si/Si_{1-x}Ge_x heterojunction bipolar transistors with high break-down

voltage [J]. IEEE Trans Elec Dev Lett, 1995; 16(5): 205-207.

[8] Liu J J. A model-based comparison of the performance of AlGaAs/GaAs and Si/SiGe heterojunction bipolar transistors (HBTs) including thermal effects [J]. Jpn J Appl Phys, 1994; 33(7B): 990-992.

作者简介: 戴显英 (1961—), 男 (汉族), 四川省成都市人, 高级工程师, IEEE 会员, 中国电子学会高级会员, 1982年毕业于电子科技大学, 主要从事半导体材料、器件物理及功率器件等方面的研究。