

# 从模式 I<sup>2</sup>C 总线接口电路设计及其 VLSI 实现

陈 安, 唐长文, 闵 昊

(复旦大学 专用集成电路和系统国家重点实验室, 上海 200433)

**摘 要:** 提出了一种从模式的 I<sup>2</sup>C 总线接口电路, 该接口电路实现了对可变参数 ASIC 芯片的配置。该电路的设计使得可配置的 ASIC 芯片中参数配置所需要的芯片管脚大大减少。该方案已通过行为仿真和综合后门级时序仿真, 并且用无锡上华 0.6  $\mu\text{m}$  CMOS 工艺实现。

**关键词:** I<sup>2</sup>C 总线; 接口电路; 从模式; VHDL; ASIC

中图分类号: TN47

文献标识码: A

## Design of a Slave I<sup>2</sup>C Bus Interface Circuit and Its VLSI Implementation

CHEN An, TANG Zhang-wen, MIN Hao

(State Key Laboratory of ASIC & System, Fudan Univ., Shanghai 200433, P. R. China)

**Abstract:** An I<sup>2</sup>C bus interface circuit in slave mode is presented in the paper. This interface makes it possible to program the parameter of the programmable ASIC chip. Meanwhile, it greatly reduces pins of the chip. The design of the circuit has passed behavioral simulation and timing simulation after synthesis. And the circuit has been implemented in Wuxi Shanghua's 0.6  $\mu\text{m}$  CMOS process.

**Key words:** I<sup>2</sup>C bus; Interface circuit; Slave-mode; VHDL; ASIC

EEACC: 1290

## 1 引 言

I<sup>2</sup>C 总线是一种被广泛应用的芯片间串行总线, 该总线最早是由 Philips 公司提出并倡导的。I<sup>2</sup>C 总线通过两条信号线实现了连接在总线上的器件之间的软件寻址和同步串行数据传输, 完全避免了器件间传统的片选寻址方法, 节省了大量的数据总线、地址总线、控制总线所占用的芯片管脚和 PCB 板的面积。器件之间简单的 I<sup>2</sup>C 总线互联方式, 可以使用户的硬件系统具有最简单而灵活的扩展方法、简单而有效的系统调试和故障排除方案。并且在设计基于 I<sup>2</sup>C 总线的用户系统时, 由于功能模块图上的功能模块的互联可以直接对应实际的 I<sup>2</sup>C 总线器件的互联, 可以很方便地把功能模块图转变成电原理图。如果再把常用的软件模块建库保存, 开发用户系统的软件部分所花费的时间和资源也可以大大减少。

本设计中包含了一个由 ASIC 实现的从模式 I<sup>2</sup>C 总线的接口, 它可作为一个成熟的 IP 核嵌入到

ASIC 芯片, 以很少的代价节省芯片的管脚。最典型的应用是在参数可配置的 ASIC 芯片, 通过该接口电路只需两个管脚就可实现参数的输入和参数的输出验证, 如图 1 所示。完成相应功能的并行总线接口需要很多管脚, 比如 8 位总线至少需要 8 条数据总线、若干条地址总线、读写控制线和片选线。

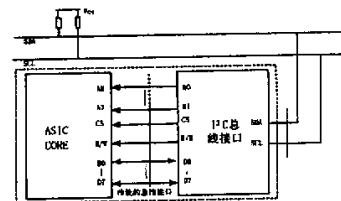


图 1 I<sup>2</sup>C 总线接口示意图

## 2 I<sup>2</sup>C 总线的基本原理<sup>[1,2]</sup>

I<sup>2</sup>C 总线是通过两条双向线(时钟线 SCL 和数据线 SDA)在器件之间传递信息的。SDA、SCL 的输

出级必须是开漏或者开集电极输出,并外接上拉电阻,以实现“线与”功能。当总线空闲时,SDA、SCL 均为高电平。总线上的每个器件都有一个唯一的地址,既作为数据的发送者或接收者,也可以配置成 master 或 slave。master 可以控制总线,实现数据传输,产生传输所需的时钟脉冲。其他被寻址的器件只能处于 slave 模式。

I<sup>2</sup>C 总线的数据传输由起始状态启动,到停止状态结束,如图 2 所示。SDA 线上的数据在 SCL 时钟高时必须稳定。SCL 为高时,SDA 由高到低变化表示起始状态,SDA 由低到高变化则表示停止状态。I<sup>2</sup>C 总线上的每个数据包都是由 8 个数据位和 1 个响应位构成,需要 9 个时钟脉冲传送。发送方先发送数据的最高位,并在响应位释放 SDA,接收方必须在响应位将 SDA 拉低表示接收到数据。当 master 接收方不响应时,表示这是接收的最后一个字节。

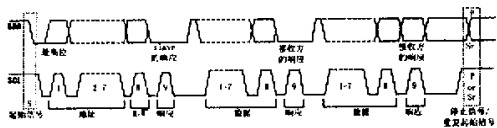


图 2 I<sup>2</sup>C 总线上的数据传输——7 位寻址方式

I<sup>2</sup>C 总线的标准通讯由 4 部分组成:起始信号、slave 地址、数据传送、停止信号。本设计支持 7 位寻址方式。起始信号后,7 位 slave 地址和 1 个读写控制位被发送。只有当 slave 的地址和 master 发送的地址一致时,slave 才会响应。slave 被成功寻址之后,数据以字节为单位顺序传送,方向由读写控制位决定(“1”表示读,“0”表示写),master 产生停止信号,终止数据传输,释放总线。另外,master 也可以产生重复起始信号代替停止信号。

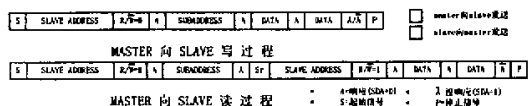


图 3 I<sup>2</sup>C 总线通讯过程的定义

由于该设计是面向可配置参数的 ASIC 芯片设计配置所需要的 I<sup>2</sup>C 总线接口电路,要求通过软件寻址不仅访问芯片本身,而且还要能访问芯片内部寄存器组阵列。因此,master 和 slave 在总线上的通讯过程定义如图 3 所示。

### 3 电路结构

#### 3.1 系统结构

该接口电路主要用于芯片内部寄存器的读写访

问,因此只需要实现从模式即可满足要求,这样可以避免占用过多的芯片面积资源。

由于 I<sup>2</sup>C 总线上数据传输过程的特点,使用状态机控制整个系统的运作,可以使设计思路清晰明确,程序模块化。系统上电复位后即进入状态机,并在状态机的控制之下,完成起始/停止信号的自动检测,slave 地址、子地址、配置数据的接收及响应,发送数据及检测响应,对配置寄存器阵列的寻址和连续读写(子地址自动增加)等功能。此外,系统最高数据传输速度应由系统时钟 CLK 及寄存器存取速度决定,以适应 100 kHz 和 400 kHz 两种模式。根据电路的功能,整个系统可分为两部分<sup>[2]</sup>,如图 4 所示。

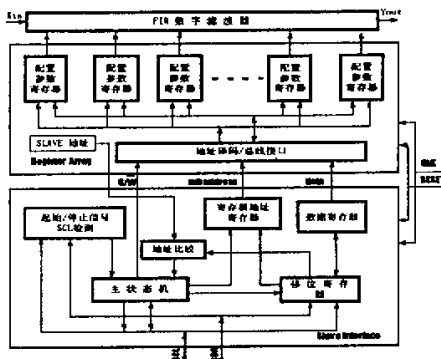


图 4 系统框图

#### 3.2 主状态机

状态机的状态转换是在 SCL 下降沿后第 4 个时钟周期进行的。但由于停止信号出现后总线被释放,SCL、SDA 均呈现高电平,除非再出现起始信号进行数据传输,SCL 是不会再出现下降沿的<sup>[1]</sup>。如果停止信号出现后就把空闲状态赋给 next\_state,将没有 SCL 时钟下降沿做时间基准完成状态转化(即使状态机进入到空闲状态)。为了解决矛盾,就需要将停止信号看作复位信号,即总线上一旦出现停止信号,状态机就在下一个 CLK 脉冲强制进入空闲状态,而不再等待 SCL 下降沿后第 4 个时钟脉冲。

ack\_rx\_subaddr 状态之后,master 既可能发送数据字节,又可能发送重复停止信号或者停止信号<sup>[1]</sup>,如何区分究竟是哪种情况将成为状态机正确进入相应状态的关键。最好的解决办法是在 ack\_rx\_subaddr 状态之后,无条件紧跟 rx\_data 状态接收数据。这样,如果在 rx\_data 状态接收数据字节时检测到重复起始信号,丢弃已接收的数据,并在 SCL 时钟下降沿后第 4 个时钟周期进行状态转化进入 rx\_address 状态,否则继续完成接收数据。若发现停止信号,处理如前所述。这样做既满足设计要

求又不会增加多余的状态。

master 收到数据后没有响应(SDA=1)表示这是 master 接收的最后一个字节数据[1]。在这种情况下,可以在 SCL 时钟下降沿后第 4 个时钟周期就直接进入到空闲状态,处理接下来总线上应该出现的重复起始信号或停止信号,而不需要另设一个状态专门处理。

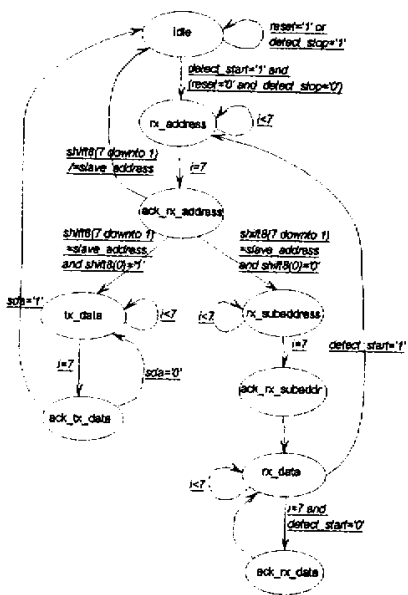


图 5 主状态机

### 3.3 子模块

#### 3.3.1 起始/停止信号、SCL 检测

在高速时钟的上升沿采样 SDA、SCL,如果在前后两个采样点发现 SDA 从“1”变化到“0”,而 SCL 保持“1”,则认为 master 发出起始信号[1],将 detect—start 置为有效。同理,若发现 SDA 从“0”变化到“1”,而 SCL 保持“1”,则认为是停止信号[1],将 detect—stop 置为有效。Detect—start 和 detect—stop 有效只保持一个状态周期,以避免误操作。

依靠 SCL 时钟下降沿进行状态转换以及在 SCL 时钟上升沿将 SDA 的数据送入移位寄存器,时间有些仓促,因此需要推迟若干个 CLK 时钟周期进行。最简单的实现办法是将 SCL 延时若干个时钟周期,再采样检测延时后的 SCL 的下降沿和上升沿,分别作为状态转换和数据采样时刻。

#### 3.3.2 移位寄存器、寄存器子地址寄存器、计数器寄存器

移位寄存器在状态机的控制之下,完成数据采

样时刻(SDA 数据有效时)对 slave 地址、寄存器子地址、数据的串行接收,接收完毕将数据并行送往指定的寄存器的功能和并行接收发送数据、串行发送的功能。寄存器子地址寄存器实现完成对寄存器一次读写操作后地址自动增加的功能,这样可以实现对器件的配置时只输入一次子地址就完成对所有的配置寄存器的配置。计数器寄存器记录接收或发送的数据的位数,为状态机提供控制信号。

#### 3.3.3 SDA、SCL 双向线

利用三态门电路实现开漏或开集电极输出电路[3],如图 6 所示。

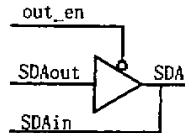


图 6 双向线示意图

为了减少外加干扰对接口电路的不良影响,只在 SCL 为高并且在特定的状态时允许 SDA 输入,增加 SDA 输入使能信号,该信号由状态机决定。

## 4 测试验证

验证该电路的功能,简单的方法是用 master 向该电路进行数据传送。由于需要验证的该接口电路内部有 RAM 单元可以保存数据,因此,只要 master 可以从 slave 那里读回已发送的数据,就可以说明该接口电路功能正确。模拟结果如图 7 和图 8 所示。

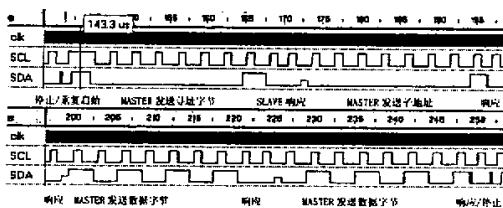


图 7 Slave 接收数据仿真结果

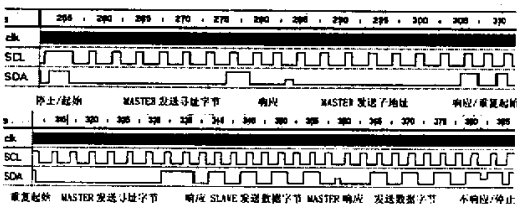


图 8 Slave 发送数据仿真结果

图 7 为 slave 接收并存储由 master 发送的数据的过程,图 8 为 master 读回已发送数据的过程。

## 5 VLSI 实现

整个设计是用 VHDL 语言<sup>[3]</sup>进行行为级描述的,通过 Active-HDL 的功能仿真器进行功能仿真。为了减少竞争冒险、提高电路运行的可靠性,所有的电路设计都采用同一时钟控制下的同步时序电路。例如,状态转化并没有依靠 SCL 时钟的下降沿触发,而利用高速时钟的上升沿采样 SCL,检测到 SCL 时钟的下降沿后,在时钟的上升沿触发状态转化,这样就避免了由于总线负载过重而导致 SCL 下降时间太长所带来的一系列问题。功能仿真正确以后,再用 Synopsys 的 Design Compiler 综合得到门级电路。我们所用的技术库是无锡上华的器件库(csmc06core.db,csmc06core.sdb)。为了方便处理逻辑设计与物理设计环境间的数据交换,我们使用了 Design Compiler 的辅助工具 Floorplan Manager,综合得到门级电路网表,经过适当修改,加上约束条件及 FTGS 或 VITAL 的库,再利用 Active-HDL 的时序仿真器进行时序仿真,时序仿真还加入了 Design Compiler 生成的标准延时格式文件。时序仿真正确以后,再用 Cadence 的 Silicon Ensemble 工具对 Design Compiler 生成的 Verilog 网表进行布局布线。在布局未布线之前,需为 Verilog 网表加入最顶层的 PAD 说明和各层 pin 的说明。生成版图以后,再次利用 Active-HDL 的时序仿真器进行版图后仿真。仿真时需要加入由 Silicon Ensemble 生成的标准延时格式文件。设计的从模式 I<sup>2</sup>C 总线接口电路满足了 I<sup>2</sup>C 总线标准。

## 6 结 论

可配置 FIR 滤波器具有极大的灵活性,但如果采用传统的总线接口电路,可配置的功能实现会占用大量宝贵的芯片管脚,而从模式的 I<sup>2</sup>C 总线接口电路可以很好地解决这个矛盾。该接口电路通过行为级仿真、综合后门级时序仿真,其功能符合 I<sup>2</sup>C 总线协议,可以很好地完成对可配置 FIR 数字滤波器的参数配置和参数读回验证的任务,其小巧的结构也不会占用过多的芯片资源。尽管相对于传统的总线接口,从模式的 I<sup>2</sup>C 总线接口的速度慢一些,但系统配置不象系统运行时那样强调速度,所以采用从模式的 I<sup>2</sup>C 总线,牺牲一些速度是值得的。

### 参 考 文 献:

- [1] The I<sup>2</sup>C-Bus Specification [Z]. Version 2.1. 2000.
- [2] Implementing an I<sup>2</sup>C-Bus Controller in a CoolRunnerTM [Z]. CPLD, Xilinx, 1999.
- [3] FPGA Compiler II/FPGA Express VHDL Reference Manual. [Z]. Synopsys, version 1999.



作者简介:陈安(1978—),男(汉族),湖南省人,2001年毕业于复旦大学电子工程系电子学与信息系统专业,现在香港科技大学攻读博士学位,主要研究领域有数字系统设计、无线通讯系统研究等。

### 《微电子学》来稿注意事项

1. 研究论文一般不超过 8000 字(A4 幅面 4 页,含图、表),综述文章不超过 10000 字(A4 幅面 5 页,含图、表)。
2. 论文标题不超过 20 个汉字
3. 中英文摘要应用最简洁的语言说明文章的目的,主要工作过程及使用的方法,研究工作最后得到的结果和结论。中文摘要不超过 300 个汉字,英文摘要不超过 150 个英文单词。
4. 给出 3~8 个(中英文)关键词。
5. 按《中国图书馆分类法》(第四版)给出论文的“中图分类号”。
6. 按“Electrical & Electronics Abstracts”给出“EEACC”,或按“Physics Abstract”给出“PACC”分类号。
7. 受资助的论文应注明基金项目及其编号。
8. 插图应安排在文中相应位置。图要精选,原则上不超过 6 幅。若图中有坐标,需要注明坐标所表示的物理量(斜体)和单位(正体)。插图宽度一般不超过 8 cm。若有图注,放在图的下部。每幅图均应标明图号,给出图题。
9. 文中表格建议使用三线表,必要时可加辅助线。表号和表题放在表上。表中参数应标明量和单位(用符号),若单位相同可统写在表头或表顶线上右侧。若有表注,写在表底线下左侧。
10. 参考文献中的作者项应注意:①姓在前,名在后(拉丁文只用缩写),②作者 3 人以下应全部列出,4 人以上只列出前 3 人,其后加“等”(外文加“et al”)。