

与工艺无关的 Rail-to-Rail CMOS 运算放大器

唐长文, 张 洁, 闵 昊

(复旦大学 专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 设计了一种与工艺无关的 Rail-to-Rail 运算放大器, 它采用一种新型的与工艺无关的恒跨导 Rail-to-Rail 输入级结构, 输入级的 P 管对和 N 管对的宽长比不需匹配特定的工艺。同时, 还采用了前馈 AB 类控制的 rail-to-rail 输出级, 以保证输出级有大的动态输出范围和较强的驱动负载的能力。在电源电压为 2.7 V 时, 整个运算放大器在 0.35 μm Alcatel 工艺和 0.6 μm 无锡上海工艺下模拟, 其输入级跨导偏差分别为 7% 和 14%, 直流增益分别为 87.9 dB 和 78.4 dB, 单位增益带宽分别为 14 MHz 和 9 MHz, 相位裕度为 67° 和 75°。

关键词: 运算放大器; Rail-to-Rail; 恒跨导; AB 类输出级

中图分类号: TN432; TN722.7+7

文献标识码: A

A Robust Rail-to-Rail CMOS Operational Amplifier

TANG Zhang-wen, ZHANG Jie, MIN Hao

(State Key Laboratory of ASIC & Systems, Fudan Univ., Shanghai 200433, P. R. China)

Abstract: A robust rail-to-rail operational amplifier is presented, in which a new robust constant g_m rail-to-rail input stage is employed. This new circuit is robust in that it does not require transconductance parameter matching n- and p-channel transistors for specific technology. Meanwhile, a front-feed Class AB control is also developed to ensure large dynamic range and strong driving capability. The whole circuit is simulated in 0.35 μm Alcatel and 0.6 μm Wuxi-Shanghai technology at 2.7 V power supply, respectively. The circuits have achieved a maximum transconductance deviation less than 7% and 14%, DC gain of 87.9 dB and 78.4 dB, unit gain bandwidth of 14 MHz and 9 MHz, and a phase margin of 67° and 75°, respectively.

Key words: Operational amplifier; R2R (Rail to Rail); Constant transconductance; Class AB output stage

EEACC: 2570D; 1220

1 引言

集成电路工艺技术的发展, 使得 MOS 管的特征尺寸和电源电压不断下降。对于一个运算放大器^[1], 一是要求它的输入和输出仍然有大的动态范围, 二是要求输出级仍然有较强的驱动能力, 因此, R2R (Rail-to-Rail) 运算放大器就变得尤为重要。

简单的 R2R 运算放大器的输入级^[2]如图 1 所示。它由一个 PMOS 输入对和一个 NMOS 输入对并联构成。电路工作可分为三个区: 当共模输入电压 V_{cm} 接近负电源 V_{SS} 时, NMOS 输入对截止, 只有 PMOS 输入对处于放大状态; 当 V_{cm} 接近正电源 V_{DD} 时, PMOS 输入对截止, 只有 NMOS 输入对处于放大状态; 当共模输入电压处于中间状态时, PMOS 输入对和 NMOS 输入均处于放大状态。图 1 的输入级总跨导可由下式表示:

$$g_{mT} = g_{mn} + g_{mp} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} \quad (1)$$

$$\beta = \mu C_{ox} \left(\frac{W}{L} \right) \quad (2)$$

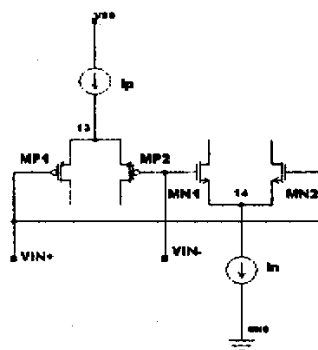


图 1 简单的 R2R 输入级

式中, β_n 和 β_p 分别是 NMOS 管和 PMOS 管的跨导参数, I_n 和 I_p 分别是流经 NMOS 管和 PMOS 管的电流, 一般的 R2R 运算放大器要同时满足 $\beta_n = \beta_p$, $I_n = I_p$ 。可以看到, V_{cm} 在中间状态时, 输入级跨导约变化一倍, g_{mT} 变化将导致运算放大器增益、运算

放大器单位增益带宽都发生变化,这种变化使频率补偿变得困难。为使 g_{mT} 在共模输入电压从 V_{SS} 到 V_{DD} 变化时为一定值,需要设计特定的偏置电路来满足 $\sqrt{I_n} + \sqrt{I_p}$ 为一定值。

我们发现,即使特定的工艺做到了 g_{mT} 在整个共模输入电压范围内为一定值,在仅改变工艺的情况下,同样结构、同样参数的运算放大器,其性能就很可能变得面目全非了。因此,在集成电路工艺不断改进的今天,设计不随工艺变化而变化的运算放大器或其他模拟电路具有非常重要的意义。

本文从这个思路出发,设计了这样一种新型的与工艺无关的 R2R 运算放大器输入级。它从(1)式右边表达式的整体考虑,通过设计一种独特的控制电路,实现 V_{cm} 从 V_{SS} 到 V_{DD} 变化时, $\sqrt{\beta_n I_n} + \sqrt{\beta_p I_p}$ 为一定值。因为它并不要求 $\beta_n = \beta_p$,运算放大器的输入级具有对工艺的自适应性。同时,这个 R2R 运算放大器采用了前馈 AB 类控制的输出级,以保证输出级有大的动态输出范围和较强的驱动负载能力。

2 $\beta_n = \beta_p$ 常跨导输入级

在设计常跨导的输入级时,大多数 R2R 运算放大器^[2,3,4]都假设 $\beta_n = \beta_p$,那么,(1)式可进一步改写为:

$$g_{mT} = g_{mn} + g_{mp} = \sqrt{\beta} (\sqrt{I_n} + \sqrt{I_p}) \quad (3)$$

$$\beta = \beta_n = \beta_p = \mu_n C_{ox} \left(\frac{W_n}{L_n} \right) = \mu_p C_{ox} \left(\frac{W_p}{L_p} \right) \quad (4)$$

可以看到,只有使 $\sqrt{I_n} + \sqrt{I_p}$ 为常数, g_{mT} 在 V_{cm} 从 V_{SS} 到 V_{DD} 范围内才为一固定值。一倍电流镜控制、三倍电流镜控制、平方根电流控制、电流开关控制等 R2R 运算放大器^[5]输入级,就是根据上述原理实现的。同时, μ_n 和 μ_p 是与工艺密切相关的,为了使 $\beta_n = \beta_p$,对应于不同的工艺选用的宽长比是不同的,所以,在一种工艺条件下调整好的电路(结构和参数),在另外一种工艺条件下却不能正常工作。即使是同一工艺,由于工艺自身的偏差,也会导致 μ_n 和 μ_p 偏差 10%~30%。

3 $\beta_n \neq \beta_p$ 常跨导输入级

$\beta_n = \beta_p$ 的假定导致了常跨导输入级对工艺的依赖性。因此,我们摒弃 $\beta_n = \beta_p$ 的假定,从 $\sqrt{\beta_n I_n} + \sqrt{\beta_p I_p}$ 整体考虑,并参考了文献[6]中跨导控制电路。当 V_{cm} 接近 V_{SS} 时,PMOS 管对通过的最大电流

记为 I_{pmax} ;当 V_{cm} 接近 V_{DD} 时,NMOS 管对通过的最大电流记为 I_{nmax} 。首先设计一个计算电路,计算出给定输入级宽长比时 I_{pmax} 和 I_{nmax} 的值,使得 $\beta_n I_{nmax} = \beta_p I_{pmax}$ 。然后,设计一个电流控制电路,当 V_{cm} 在 $(V_{DD} + V_{SS})/2$ 附近时,使得 $\sqrt{\beta_n I_n} + \sqrt{\beta_p I_p}$ 为一固定值。

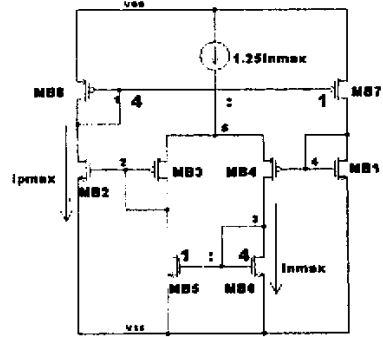


图2 最大电流计算电路

3.1 电流计算电路

当 V_{cm} 接近 V_{SS} 时,NMOS 管对不导通, I_n 为 0; PMOS 管对完全导通, I_p 为 I_{pmax} ;输入级跨导为:

$$g_{mT} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} = \sqrt{\beta_p I_{pmax}} \quad (5)$$

当 V_{cm} 接近 V_{DD} 时,PMOS 管对不导通, I_p 为 0; NMOS 管对完全导通, I_n 为 I_{nmax} ;输入级跨导为:

$$g_{mT} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} = \sqrt{\beta_n I_{nmax}} \quad (6)$$

为保证 V_{cm} 在 V_{SS} 附近和 V_{DD} 附近时,(5)式与(6)式相等,则必须 $\beta_p I_{pmax} = \beta_n I_{nmax}$ 。我们设定 I_{nmax} 的值,通过图2所示的最大电流计算电路计算出 I_{pmax} 值。NMOS 管 M_{B1} 和 M_{B2} 的宽长比与输入管对 M_{N1} 和 M_{N2} 相同,PMOS 管 M_{B3} 和 M_{B4} 的宽长比与输入管 M_{P1} 和 M_{P2} 相同。 M_{B8} 与 M_{B7} 、 M_{B6} 与 M_{B5} 都是 4:1 电流镜,得到下式:

$$V_{SGB3} + V_{GSB2} = V_{SGB4} + V_{GSB1} \quad (7)$$

$$V_{TB3} + \sqrt{\frac{2I_{B3}}{\beta_p}} + V_{TB2} + \sqrt{\frac{2I_{B2}}{\beta_n}} = V_{TB4} + \sqrt{\frac{2I_{B4}}{\beta_p}} + V_{TB1} + \sqrt{\frac{2I_{B1}}{\beta_n}} \quad (8)$$

NMOS 管 M_{B2} 与 M_{B1} 的源极都连接到 V_{SS} ,所以,阈值电压 V_{TB2} 与 V_{TB1} 可以近似认为是相同的;同样,PMOS 管 M_{B3} 与 M_{B4} 的源极都连接到节点 5,阈值电压 V_{TB3} 与 V_{TB4} 也可以近似认为是相同的。故(8)式可进一步改写为:

$$\sqrt{\frac{2I_{B3}}{\beta_p}} + \sqrt{\frac{2I_{B2}}{\beta_n}} = \sqrt{\frac{2I_{B4}}{\beta_p}} + \sqrt{\frac{2I_{B1}}{\beta_n}} \quad (9)$$

$$\text{再由 } I_{B1} = \frac{1}{4} I_{pmax}, I_{B2} = I_{pmax}, I_{B3} = \frac{1}{4} I_{nmax}, I_{B4} =$$

I_{nmax} , 可得:

$$\beta_p I_{pmax} = \beta_n I_{nmax} \quad (10)$$

3.2 电流控制电路

图3是一个电流控制电路,它通过对 M_{P1} 和 M_{P2} PMOS 管对电流的监测,控制通过 M_{N1} 和 M_{N2} NMOS 管对的电流,从而达到常跨导的要求。

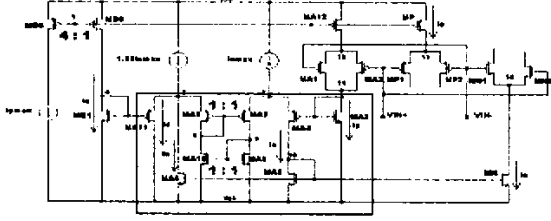


图3 电流控制电路

前面所述的最大电流计算电路只计算出了一定的 I_{nmax} 下的 I_{pmax} 值。为了做到 V_{cm} 在 V_{SS} 附近时 PMOS 管对的最大电流是 I_{pmax} 和 V_{cm} 在 V_{DD} 附近时 NMOS 管对的最大电流是 I_{nmax} , 需要采用一个电流控制电路。在图3中, M_{B8} 和 M_P 组成的电流镜控制了流过 M_P 管的最大电流, 当 M_{B8} 和 M_P 管都处于强反型时, M_P 管的电流 I_p 等于通过 M_{B8} 管的电流 I_{pmax} ; 当 M_P 管渐渐进入线性区, I_p 从 I_{pmax} 值逐渐减小。 M_{A6} 、 M_{A5} 和 M_N 管的宽长比一样, 因此, 流过 M_N 管的最大电流不会超过流过 M_{A5} 管的电流, 而流过 M_{A5} 管的电流与 M_{A4} 管是一样的, 不会大于 I_{nmax} 。

M_{A12} 、 M_{A1} 和 M_{A2} 管是 M_P 、 M_{P1} 和 M_{P2} 管的一个复本, 这样保证了流过 M_{A3} 管的电流完全等于 I_p 。图3实线部分是 I_p 与 I_n 转换的控制电路, 它保证了当 I_p 降为 $\frac{1}{4} I_{pmax}$ 时, I_n 增加到 $\frac{1}{4} I_{nmax}$ 。

M_{A9} 与 M_{A10} 是一个 1:1 电流镜, 流过 M_{A7} 和 M_{A8} 管的漏极电流相同, 且 M_{A7} 和 M_{A8} 宽长比相同, 故 V_{SG7} 等于 V_{SG8} 。这样, M_{A7} 、 M_{A8} 、 M_{A9} 和 M_{A10} 构成了一个电压控制电路, 确保节点6和节点7的电压恒相等。 M_{A11} 和 M_{A4} 管的宽长比与输入管 M_{P1} 和 M_{P2} 一样, M_{A3} 和 M_{B1} 管的宽长比与输入管 M_{N1} 和 M_{N2} 一样。从图3中, 可以得到下式:

$$V_6 = V_{SGA11} + V_{GSB1} = V_{SGA4} + V_{GSA3} = V_7 \quad (11)$$

$$V_{TA11} + \sqrt{\frac{2I_{A11}}{\beta_p}} + V_{TB1} + \sqrt{\frac{2I_{B1}}{\beta_n}} = V_{TA4} + \sqrt{\frac{2I_{A4}}{\beta_p}} + V_{TA3} + \sqrt{\frac{2I_{A3}}{\beta_n}} \quad (12)$$

与最大电流计算电路相类似, NMOS 管 M_{A3} 与 M_{B1} 的源极都连接到 V_{SS} , 阈值电压 V_{TA3} 与 V_{TB1} 可以近似认为是相同的; 同样, PMOS 管 M_{A11} 与 M_{A4} 的源极分别连接到等电压节点6和7, 阈值电压 V_{TA11} 与

V_{TA4} 也可以近似认为是相同的。故(12)式可以进一步改写为:

$$\sqrt{\frac{2I_{A11}}{\beta_p}} + \sqrt{\frac{2I_{B1}}{\beta_n}} = \sqrt{\frac{2I_{A4}}{\beta_p}} + \sqrt{\frac{2I_{A3}}{\beta_n}} \quad (13)$$

再由 $I_{A11} = I_d$ (流过 M_{A11} 管的电流), $I_{B1} = I_c$ (流过 M_{B1} 管的电流), $I_{A4} = I_n$, $I_{A3} = I_p$, (13)式两边都乘以 $\frac{1}{2} \sqrt{\beta_n \beta_p}$, 可得:

$$\sqrt{\beta_n I_c} + \sqrt{\beta_p I_d} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} \quad (14)$$

I_c 和 I_d 都是常数, (14)式等式左边是常数, 等式右边就是输入级的总跨导 g_{mT} 。取 $I_c = \frac{1}{4} I_{nmax}$ 和 $I_d = \frac{1}{4} I_{pmax}$, 并且由(10)式可得:

$$g_{mT} = \sqrt{\beta_n I_n} + \sqrt{\beta_p I_p} = \sqrt{\beta_n I_c} + \sqrt{\beta_p I_d} = \sqrt{\beta_n \times \frac{1}{4} I_{nmax}} + \sqrt{\beta_p \times \frac{1}{4} I_{pmax}} = \sqrt{\beta_p I_{pmax}} = \sqrt{\beta_n I_{nmax}} \quad (15)$$

综上所述, 在 $\beta_n \neq \beta_p$ 条件下, 我们实现了常跨导输入级。

4 前馈 AB 类控制的 R2R 输出级

本文的重点在于设计与工艺无关的 R2R 输入级, 因此, 输出级采用一般的折叠前馈式 AB 类结构^[2,5], 如图4所示。 M_1 和 M_2 为输出管, M_{C11} 和 M_{C12} 、 M_{C9} 和 M_{C10} 为浮动电压源, M_{C1} 和 M_{C2} 、 M_{C5} 和 M_{C6} 分别是输入 NMOS 管对和 PMOS 管对的有源负载。 M_{C3} 和 M_{C4} 、 M_{C7} 和 M_{C8} 分别是单管 Cascode 放大器。

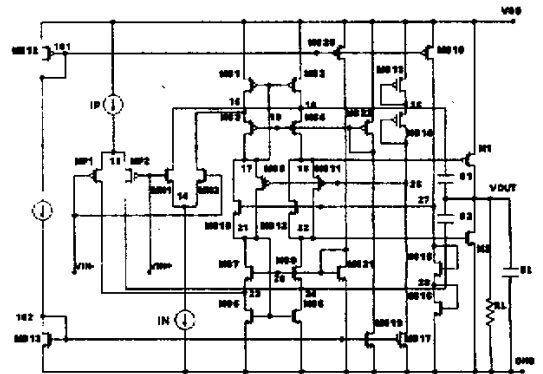


图4 折叠前馈式 AB 类输出级

图4的 AB 类控制电路中包括两条回路, 一条为 M_1 、 M_{C11} 、 M_{C14} 和 M_{C13} , 另一条为 M_2 、 M_{C12} 、 M_{C15} 和 M_{C16} , 它们控制着输出管的静态电流 I_q 。为了补偿体

效应,分别调节 M_{C11} 和 M_{C14} 、 M_{C12} 和 M_{C15} ,使它们分别具有相同的 V_{GS} ,则 M_1 和 M_{C13} 、 M_2 和 M_{C16} 也分别具有相同的 V_{GS} 。因此,输出级的静态电流可以由下式表示:

$$I_q = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_{13}} I_{13} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_{16}} I_{16} \quad (16)$$

AB 类输出级的电流特性曲线如图 5 所示。

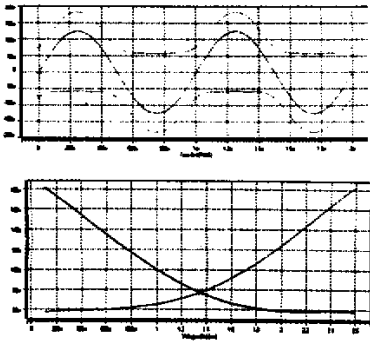


图 5 AB 类输出级电流特性曲线

为了提高单位增益带宽和相位余量,我们采用 Cascoded Miller 补偿技术^[2]。在补偿的过程中,权衡单位增益带宽和相位余量使补偿电容尽量减小。最后结果表明,Cascoded Miller 补偿技术能够提高带宽 2 倍左右。

5 不同工艺条件下的电路实现

整个 R2R 运算放大器首先是在 $0.35 \mu\text{m}$ Alca-

tel 工艺下进行模拟的,晶体管的宽长都考虑到与 $0.6 \mu\text{m}$ 无锡上华工艺兼容。因此在两种工艺条件下,电路结构和参数是完全一样的。整个电路如图 6 所示,负载为 $10 \text{ k}\Omega$ 电阻与 10 pF 电容并联,电路的模拟性能列于表 1。

表 1 模拟结果

工艺	$0.35 \mu\text{m}$ Alcatel 工艺	$0.6 \mu\text{m}$ 无锡上华工艺	单位
输入级跨导误差	7	14	%
电源电压	2.4~4.5	2.4~4.5	V
静态功耗	2.5	1.2	mW
输出峰值电流	6.5	4.2	mA
输入失调电压	0.02	0.1	mV
等效输入噪声 ($f=100 \text{ kHz}$)	140	64	nV/ $\sqrt{\text{Hz}}$
共模电压 输入范围	$-0.6 + V_{SS} \sim V_{DD} + 0.5$	$-0.7 + V_{SS} \sim V_{DD} + 0.6$	V
输出电压范围	$V_{SS} \sim V_{DD} - 0.08$	$V_{SS} \sim V_{DD} - 0.05$	V
直流增益	87.9 ± 0.7	78.4 ± 1.2	dB
单位增益带宽	14 ± 0.8	9.0 ± 0.5	MHz
相位裕度	67 ± 3	75 ± 1	$^\circ$
THD(单位 增益反馈 $f=1 \text{ kHz}, 1 \text{ V}$)	$2.758\text{e-}02$	$6.853\text{e-}03$	%
转换速率	37.5	12.5	V/ μs
建立时间 ($0.1\%, 1 \text{ V}$)	89	150	ns

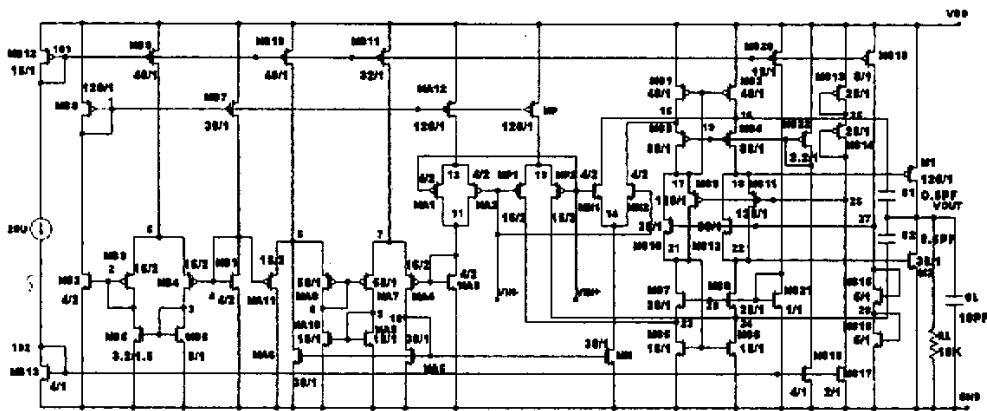


图 6 与工艺无关的 R2R 运算放大器电路

在两种不同的工艺下,我们分别比较了输入级跨导和幅频特性,其仿真波形分别如图 7 和图 8 所示,

其中,(a)是在 Alcatel $0.35 \mu\text{m}$ 工艺下模拟的结果,(b)是在无锡上华 $0.6 \mu\text{m}$ 工艺下模拟的结果。

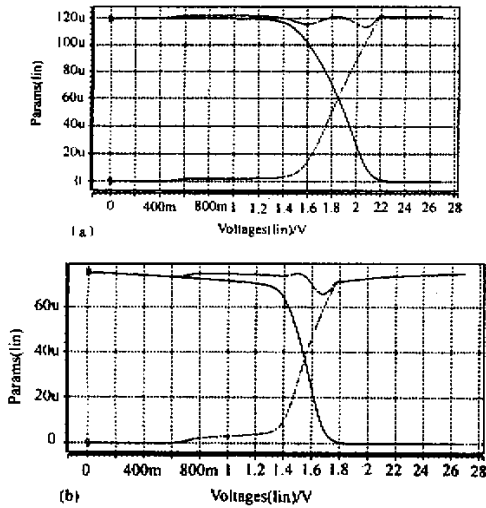


图7 输入级跨导曲线图

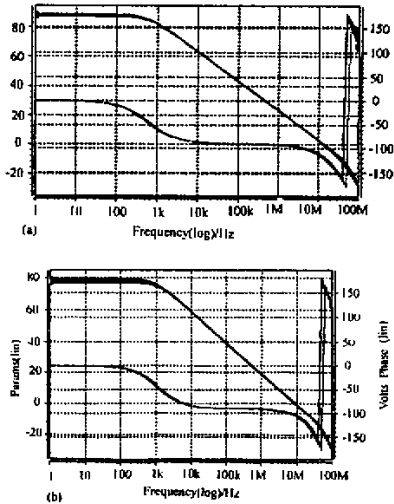


图8 幅频特性曲线图

6 总结

本文设计了一种与工艺无关的 R2R 运算放大器,它采用了一种新型的与工艺无关的恒跨导 R2R 输入级结构,其输入级的 P 管对和 N 管对的宽长比不需匹配特定的工艺。同时,此运算放大器还采用了

前馈 AB 类控制的 rail-to-rail 输出级来保证输出级有大的动态输出范围和较强的驱动负载的能力。在电源电压为 2.7 V 时,整个运算放大器在 0.35 μm Alcatel 工艺和 0.6 μm 无锡上华工艺下模拟,其输入级跨导偏差分别为 7% 和 14%,直流增益单位分别为 87.9 dB 和 78.4 dB,增益带宽分别为 14 MHz 和 9 MHz,相位余量为 67 度和 75 度。

参考文献:

- [1] 李联. MOS 运算放大器——原理、设计及运用[M]. 上海:复旦大学出版社,1988.
- [2] Hogervorst R, Tero J P, Eschauzier R G H, et al. A compact power-efficient 3V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries [J]. IEEE J Sol Sta Circ, 1994; 29(12): 1505-1512.
- [3] Hogervorst R, Tero J P, Huijsing J H. Compact CMOS constant- g_m rail-to-rail input stage with g_m -control by an electronic Zener diode [J]. IEEE J Sol Sta Circ, 1996; 31(7): 1035-1040.
- [4] Langen K J, Huijsing J H. Compact low-voltage power-efficient operational amplifier cells for VLSI [J]. IEEE J Sol Sta Circ, 1998; 33(10): 1482-1496.
- [5] Hogervorst R, Huijsing J H. Design of low-voltage low-power operational amplifier cells [M]. Kluwer Academic Publishers, Netherlands.
- [6] Sakurai S, Ismail M. Robust design of rail-to-rail CMOS operational amplifiers for a low power supply voltage [J]. IEEE J Sol Sta Circ, 1996; 31(2): 146-156.

作者简介: 唐长文(1977—),男(汉族),江西临川人,硕士研究生,1999年毕业于复旦大学电子工程系电子学与信息系统专业,主要研究领域有:数字专用集成电路和模拟单元电路实现、数字信号处理系统设计、数字信号算法 FPGA 结构实现等,目前正在研究单片多制式数字视频编码器系统。