

深亚微米数字集成电路的自动化设计方法学

胡静珍, 唐长文, 闵 昊

(复旦大学 专用集成电路和系统国家重点实验室, 上海 200433)

摘 要: 介绍了基于标准单元库的数字集成电路设计流程和方法学。数字集成电路设计流程从行为级的 HDL 描述开始, 依次进行系统行为级仿真, 行为级综合, RTL 仿真, 逻辑综合, 综合后仿真, 自动化布局布线, 版图后仿真等步骤。讨论了如何把物理设计环境和逻辑设计环境联系起来, 以解决物理设计和逻辑设计相脱节的问题。

关键词: 数字集成电路; 逻辑综合; 静态时序分析(STA); 布局布线

中图分类号: TN431.2

文献标识码: A

An Automatic Design Methodology for Deep Submicron Digital IC's

HU Jing-zhen, TANG Zhang-wen, MIN Hao

(State Key Laboratory of ASIC & System, Fudan Univ., Shanghai 200433, P. R. China)

Abstract: The digital IC design flow and methodology based on standard-cell library is presented. The digital IC design flow begins with behavioral HDL descriptions, followed by system behavioral simulation, behavioral synthesis, RTL simulation, logic synthesis, post-synthesis simulation, auto planning and routing, post-layout simulation. Finally, the interrelation between physical design and logic design is dealt with.

Key words: Digital IC; Logic synthesis; Static timing analysis (STA); Place and route

EEACC: 1265

1 引 言

随着半导体工艺的不断发展和集成电路设计已经到了深亚微米的时代。在同一面积上, 晶体管数目迅猛增加, 传统的芯片设计方法已几乎不再适用。硬件描述语言的应用, 如 VHDL、Verilog, 取代了手画电路图, 提高了设计效率, 并且提高了设计复用。技术更改指令 ECO^[1] (Engineering ChangeOrders) 技术的发展更进一步提高了设计复用。形式验证 (Formal Verification)^[2] 代替动态仿真, 不仅提高了验证速度, 更重要的是它摆脱了工艺的约束和仿真测试平台 (test bench) 的不完全性, 更全面地检查了电路的功能。从行为级开始逻辑综合, 大大提高了设计者的设计灵活性, 使设计者进一步脱离了工艺与物理的限制。Design budget^[3] 方法学的发展使设计者在较少的时间内得到了较好的 QOR, 并且提供了更好的环境约束。模块编译器^[4] 简化和自动化了 data-path 设计, 帮助设计者解决复杂且没有规则的 data-path 设计难题。自动布局布线^[5] 提高了版图生成的效率, 减少了过多的人工干预所带来的不确定性。版图提取和分析^[6] 加强了逻辑设计与物理设计

之间的联系与信息交换, 更进一步提高了逻辑综合时对版图的考虑。设计复用技术、验证技术、行为综合和逻辑综合、设计预算技术、模块编译技术、布局布线自动化、版图提取和分析等技术的应用, 大大提高了设计人员的设计能力, 缩短了设计周期。

2 深亚微米数字集成电路设计流程

大型的基于标准单元库的数字集成电路设计流程如图 1 所示, 其流程大体如下:

1. 功能与规格要求;
2. 行为级代码设计, 仿真测试平台的准备及 DFT 存储器的 BIST 插入;
3. 系统行为级的功能验证;
4. 进行行为级综合, 生成 RTL 级网表;
5. RTL 级仿真;
6. 进行初级综合;
7. 用 Design Budgeter 进行设计约束的分配;
8. 逻辑综合与测试扫描插入;
9. 综合后时序功能验证;
10. 版图前静态时序分析 (Static Timing Analysis);

- 11. floorplan, 布局, Clock Tree 的插入以及全局布线;
- 12. 插入 Clock Tree 后的网表重新进行综合;
- 13. 用 Formality^[6] 验证原来的综合后网表和插入 Clock Tree 后的网表;
- 14. 全局布线后进行静态时序分析;
- 15. 细节布线;
- 16. 版图后静态时序分析;
- 17. 用门级电路的仿真器进行版图后时序功能验证;

- 18. 功耗分析
- 19. DRC & LVS 验证
- 20. 流片

数字集成电路设计的 EDA 工具已经发展到了较完善的程度。整套流程都已实现了 EDA 自动化。但是,随着电路规模的增大和系统的越来越复杂,对 EDA 工具的要求越来越高。为解决新出现的问题,相继提出了一些新的技术,同时,新的工具也得到了发展。本文重点介绍两种新技术。

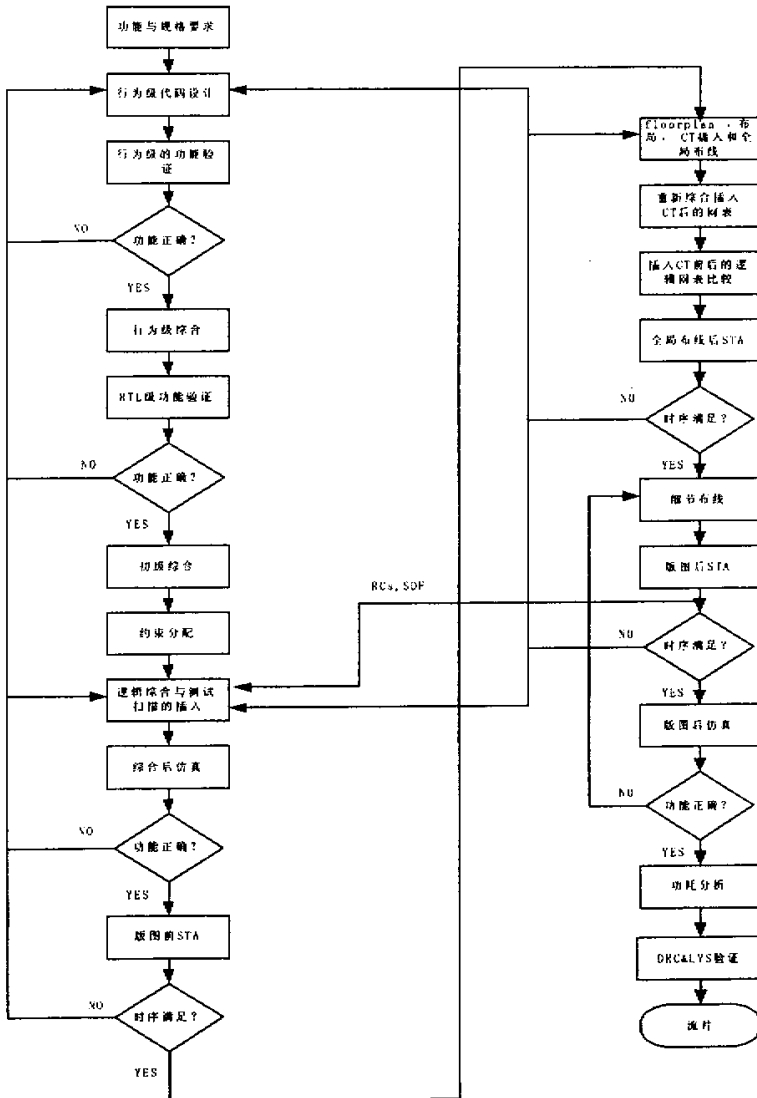


图 1 深亚微米数字集成电路设计流程

3 行为级综合^[7]

随着电路设计进入 VLSI, 甚至 ULSI 时代, 电路规模迅速上升到几十万门, 甚至几百万门。根据摩尔定律, 电路规模每十八个月增加一倍。而设计人员的设计能力只是一个线性增长的曲线, 远远跟不上电路规模指数上升的速度。为了弥补这个差距, 工业界对 EDA 软件和设计方法不断提出新的要求。20 世纪 80 年代, 由美国国防部支持的 Very High Speed Integrated Circuit 发展计划促成了 VHDL 的诞生, 并使之成为了国际标准。而 Cadence 公司的 Verilog HDL 在工业界获得了广泛的接受, 并最终成为了国际标准。利用 HDL 进行设计大大方便了设计输入, 提高了设计抽象程度, 更有利于设计人员的发挥, 可大大提高设计效率, 缩短设计周期。

传统的 HDL 源代码是从 RTL 级编写的。随着电路规模的增大, 直接从 RTL 级编写已经很难全面地顾及到整个系统的完备功能。于是, 设计者先编写行为级的 HDL 源代码。经行为级功能验证正确以后, 再手工分块把它翻译成 RTL 级的 HDL 源代码。这是一个繁琐而复杂的过程, 而且极容易出错。把行为级的 HDL 源代码翻译成 RTL 级的 HDL 源代码, 这个过程称之为行为级综合。为了解决行为级综合这一难题, 工业界发展了新的 EDA 工具, 帮助设计者执行这一过程。其中, Synopsys 公司的 Behavioral Compiler 就是这样一种工具。Behavioral Compiler 只需设计者加入设计所需的一些约束时序条件等, 然后执行 schedule 命令, 就可自动把行为级的 HDL 源代码综合成 RTL 级的 HDL 源代码。这一行为级综合技术的发展给设计者带来了曙光。它使设计者开始逐步摆脱繁重的 RTL 级代码编写, 更早地考虑了工艺及物理对设计的约束限制, 大大提高了设计者的设计灵活性和设计效率。

4 逻辑设计环境和物理设计环境之间的数据交换

随着半导体工艺的不断进步, 器件的特征尺寸越来越小, 线宽越来越窄, 器件的速度变得越快。但随着设计的电路功能越来越复杂, 电路的规模越来越大, 金属线的长度和层数不断增加, 线宽也随之变小, 这导致了金属连线的延时变大。于是, 器件的延时不再是一个系统的主要延时, 连线的延时变

得越来越重要, 甚至超过了器件的延时。因此, 设计系统时只考虑器件延时的观念已经行不通, 设计时必须考虑连线的延时。同时, 还要考虑到综合和版图, 且使综合和版图尽量结合在一起。把综合后的时序信息前注释到布局布线, 同时, 布局布线后提取寄生参数和时序延时信息反注释回综合, 从而使逻辑设计和物理设计紧密地结合起来。

传统的设计流程常常需要多次的反复, 不断地接近预期的时序约束条件。这是一个非常耗时的过程, 且结果往往是不可预测的。因为每一次返回调整设计, 详细的物理信息并没有包含在新设计中。设计者对设计的调整只是根据结果而进行的猜测性调整, 并不是在真正的反复过程中对信息进行紧密的循环反馈, 所以不能保证新的反复结果是更优的。为了解决这信息反馈的问题, 使调整的结果具有确定性, 提出并发展了一种新的技术——links-to-layout 方法学。该方法学降低了综合和版图的重复率, 从而加快了时序条件的符合。

4.1 links-to-layout 方法学^[6]

Links-to-layout^[2]方法学通过逻辑设计和物理设计间数据的交换和设计优化, 把综合环境和物理设计环境联系起来。数据交换指把设计流程中早期的物理信息反注释到逻辑网表中, 从而促进时序的收敛, 减少反复次数和手工编辑。同样地, 数据交换也指把逻辑设计数据前注释到物理设计环境中。Links-to-layout 方法学是一个反复的过程, 通过它的循环反馈, 降低了反复率, 加快了时序的满足。Links-to-layout 方法学的信息交换如图 2 所示。

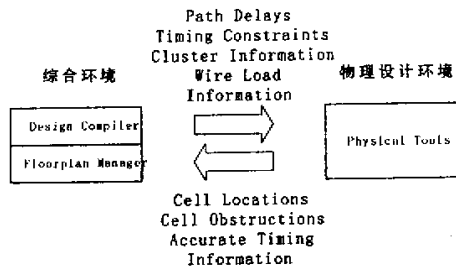


图 2 links-to-layout 中的信息交换

Links-to-layout 方法学流程包含三个阶段:

- 1) 获取物理信息;
- 2) 进行细节处理;
- 3) 得到时序的最终满足。

其关系如图 3 所示。其中的第三个阶段是一个反复的过程。它反复进行综合和布局布线, 循环注释逻辑信息和物理信息, 从而实现不断地向时序满足

方向收敛。

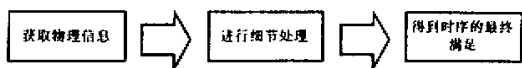


图3 links-to-layout 的三个阶段

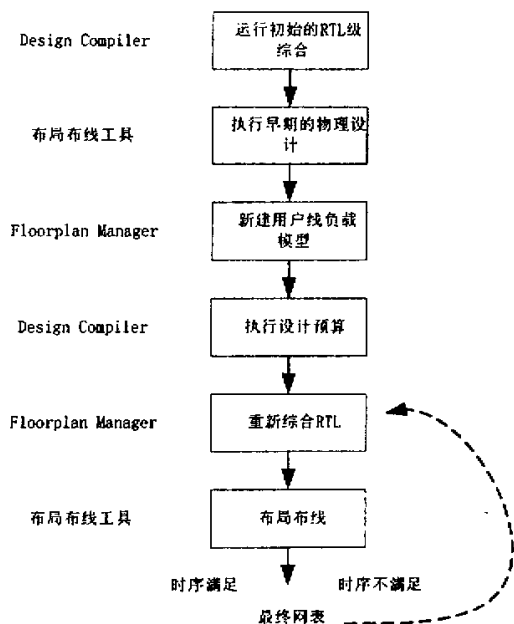


图4 Floorplan Manager 的应用设计流程

4.2 Floorplan Manager^[6]

Floorplan Manager^[2]是处理逻辑设计环境和物理设计环境间数据交换的综合和优化工具。它提供了 Synopsys 的 links-to-layout 方法学。使用 Floorplan Manager 工具,可以前注释逻辑数据到物理环境,反注释物理数据到逻辑环境,反复优化设计,从而快速实现时序的最终满足。它在逻辑环境与物理环境间的数据交换流程如同 links-to-layout 的数据交换流程。

Floorplan Manager 内嵌于逻辑综合工具 Design Compiler。它使用与 Design Compiler 相同的优化技术,相同的时序机制,使用 dc-shell 命令行界面,共享 Design Compiler 的 report 功能。也就是说, Floorplan Manager 并不是一个独立的工具,但是有独立的命令,它在 Design Compiler 中嵌套使用。整个设计流程中 Floorplan Manager 和 links-to-

layout 的位置和功能如图 4 所示。

通过使用 Floorplan Manager,实现了逻辑设计环境和物理设计环境的紧密联系,克服了以前逻辑设计和物理设计相脱节的问题。

5 结束语

随着电路规模的增大、系统复杂性的增强和半导体工艺的发展,集成电路设计进入了深亚微米时代。传统的设计方法已不能适应时代的发展,设计者旧的设计观念必须更新。逻辑设计和物理设计各司其职、互不关心、互不了解的传统必须打破。深亚微米时代的集成电路设计要求设计者在进行 HDL 代码设计时必须考虑后面的逻辑综合和布局布线,进行逻辑综合时必须考虑布局布线,必须把逻辑综合和版图紧密地联系起来,把它们的信息互相反馈。信息互相反馈是一件非常困难的事,原先的设计者只能根据结果对设计进行猜测性的调整。Synopsys 公司的 Floorplan Manager 工具的开发帮助设计者解决了这一难题。

参考文献:

- [1] Synopsys. ECO Compiler User Guide [Z]. 2000. 05
- [2] Synopsys. Formality User Guide [Z]. 2000. 05
- [3] Synopsys. Design Budgeting User Guide [Z]. 2000. 05
- [4] Synopsys. Module Compiler User Guide [Z]. 2000. 05
- [5] Cadence. Cadence Envisia Silicon Ensemble Tutorial & Envisia Silicon Ensemble Reference [Z].
- [6] Synopsys. Floorplan Manager User Guide [Z]. 2000. 05
- [7] Synopsys. Behavioral Compiler User Guide [Z]. 2000. 05



作者简介:胡静珍(1979—),女(汉族),浙江永康人,2001年毕业于复旦大学电子工程系电子学与信息系统专业,现在中科院上海技术物理研究所攻读硕士学位,主要研究领域有:红外系统研究,数据的采集及处理,星载整机及器件研究等。