

文章编号 :0427-7104(2005)01-0166-07

# 一个 1.5 V 低相位噪声的高频率 LC 压控振荡器的设计

邬 蓉, 衣晓峰, 唐长文, 苏彦锋, 洪志良

(复旦大学 专用集成电路和系统国家重点实验室, 上海 200433)

**摘 要:** 介绍了一种适用于 DCS-1800 系统的压控振荡器的设计, 中心频率为 3.6 GHz. 分析并比较了三种降低相位噪声的方法并进行了仿真验证, 然后阐述了 3.6 GHz 压控振荡器器件尺寸的优化分析. 采用电感电容滤波技术降低相位噪声, 在偏离中心频率 600 kHz 处, 仿真得到相位噪声为 -117 dBc/Hz, 调谐范围达到 26.7%. VCO 电路在 1.5 V 电压下工作, 静态电流为 6 mA.

**关键词:** 半导体技术; 压控振荡器; 相位噪声; 电感电容滤波技术

**中图分类号:** TN 752 **文献标识码:** A

随着无线通信产品的迅猛发展, 大大增大了对低成本、低功耗、高性能通信集成电路的需求. 现今各种通信系统对频率综合器的相位噪声要求越来越高. 相位噪声是信息传输质量和可靠性的最重要参数, 因此相位噪声是压控振荡器设计最重要的参数. 目前, 振荡器的研究已经比较成熟, 以电路结构来分, 压控振荡器主要分为两类<sup>[1]</sup>: 环形振荡器和 LC 振荡器. 环形振荡器易于集成, 可调频率范围大, 但相位噪声性能不如 LC 振荡器<sup>[2]</sup>. LC 压控振荡器要求高品质因素的无源器件, 需要片上电感和变容管器件才能集成<sup>[3]</sup>. 本文重点分析了几种降低相位器噪声技术的原理, 并进行了仿真验证和比较, 然后设计了一个电源电压为 1.5 V, 3.6 GHz 的 LC 压控振荡器, 优化分析了器件尺寸参数的选取, 功耗为 9 mW, 同时具有较低的相位噪声和宽的调谐范围.

## 1 相位噪声分析

### 1.1 概述

LC 压控振荡器采用有源器件产生负阻  $-R_{active}$  来补偿电感和可变电容管上的寄生电阻损失. 图 1 中  $R_p$  表示电感和电容的寄生电阻. 要建立振荡, 必须满足  $1/R_{active} = 1/R_p$ .

根据文献[4], 相位噪声的表达式可以表示为

$$L\{m\} = \frac{4FKTR}{V_{RMS}^2} \left(\frac{0}{2Q_m}\right)^2, \quad (1)$$

其中  $F$  是噪声因子, 它是将整个电路的相位噪声归一化为 LC 谐振回路的相位噪声. 有源电路的噪声是振荡器噪声的  $F$  倍,  $V_{RMS}$  是 VCO 幅度的均方根值 (RMS 值),  $R$  是谐振回路的等效并联阻抗. 明显看出, 为了尽量减小相位噪声, 应使输出幅度最大. 根据相位噪声线性模型, 在电流限制区, 就是电流源 MOS 管处于饱和区时, 这时主要的噪声源有: LC 振荡回路的等效电阻, 构成负阻的差分对和尾电流源, 则整个 VCO 的噪声因子为<sup>[4]</sup>:

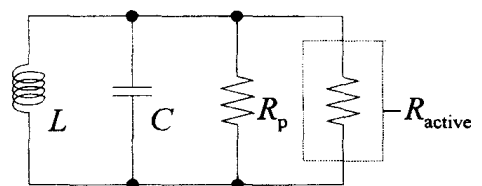


图 1 LC 振荡器的等效模型图

Fig. 1 Equivalent circuit of VCO

\* 收稿日期: 2004-06-08

基金项目: 复旦大学研究生创新基金资助项目 (CQH1203003)

作者简介: 邬 蓉 (1981—), 女, 硕士研究生; 通信联系人洪志良教授.

$$F = 1 + \frac{4IR}{V_0} + \frac{4}{9} g_{m,bias} R, \tag{2}$$

(2) 式中,  $F$  包括了 3 项噪声, 第 1 项是归一化为 1 的谐振回路电阻噪声, 第 2 项是差分对管的噪声, 第 3 项是尾电流源的噪声. 由 (2) 式可以看出, 差分对管的热噪声与管子大小无关.

### 1.2 降低相位噪声的几种方法

#### 1.2.1 尾电流源并联电容滤波

在电感电容振荡器中, 尾电流源的噪声对相位噪声的影响最大. 由于压控振荡器具有混频器的非线性特性, 尾电流源中的低频噪声和偶次谐波 ( $2\omega_0, 4\omega_0, \dots$ ) 附近的噪声会混频到基频附近的相位噪声中, 这就是 LC 压控振荡电路的 flicker 噪声上混频效应. 同时, 更高的偶次谐波上的噪声之间也会互相混频, 进入低频和二次谐波. Flicker 噪声上混频因子可以用  $1/f$  [6] 表示, 它是 VCO 输出波形  $V_A$  的最大和最小导数.

$$1/f \sim \max\left(\frac{dV_A}{dt}\right) + \min\left(\frac{dV_A}{dt}\right). \tag{3}$$

由 (3) 式显然可以看出,  $1/f$  表示了波形的不对称性, 与输出波形的上升斜率和下降斜率有关. 由此也可以看出, 奇次谐波因为它不影响对称性, flicker 噪声上混频也没有影响. 根据线性相位时变模型的分析, ISF (Impulse Sensitivity Function) 函数定义为一个相位增量的脉冲敏感函数, 与振荡器频率和幅度无关, 而与振荡波形密切相关. 脉冲敏感函数描述了 2 周期内,  $t - t_0$  时刻单位脉冲造成振荡器相位增加的大小, 它衡量了振荡器对外界扰动的敏感程度. ISF 通过傅立叶展开如 (4) 式所示:

$$ISF(\omega) = \frac{c_0}{2} + \sum_{n=1}^{\infty} c_n \cos(n\omega t_0); \tag{4}$$

式中  $c_0$  是脉冲敏感函数的直流分量, 它由 VCO 的输出波形的对称性决定, 对称性越好, 则值越小, 反之则大. 因为共模点的频率是  $2\omega_0$ , 尾电流的 ISF 函数的频率也是  $2\omega_0$ , 所以尾电流的 ISF 的奇次傅立叶系数  $c_1, c_3, c_5, \dots$  都为零, 奇次谐波附近的噪声不会影响振荡器基频上的相位噪声. 为了减小偶次谐波上的噪声, 在共模点并联一个大电容  $C_1$ , 为高频谐波提供一个交流地电位, 减小共模点的电压波动, 如图 2 所示. 并联电容值的选取必须是低通滤波器的截止频率, 低于二次谐波频率  $2\omega_0$ , 这样二次谐波以上的偶次谐波就能被滤除. 如图 2(c) 所示.  $V_d, V_c$  分别是输出电压,  $V_b$  是共模点的电平, 与图 2(b) 比较, 共模点电平 ( $V_b$ ) 的高频成分明显减小了, 尾电流源的沟道调制效应减小了, 使振荡波形更加对称, 高次谐波失真减小. 但此技术的缺点是当输出幅度较大时, 负阻管进入线性区, 共模点阻抗降低造成谐振回路的  $Q$  值下降.

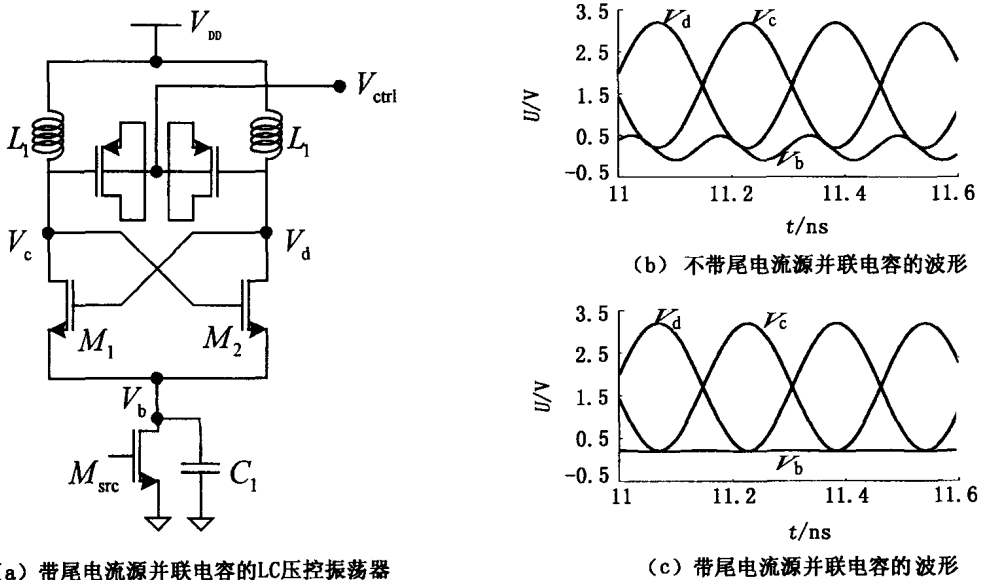


图 2 采用尾电流源并联电容滤波技术的振荡器

Fig. 2 LC VCO with bias parallel capacitor filtering technique

### 1. 2. 2 尾电流源源极电感负反馈

$M_{src}$ 的源极接一个片外大电感  $L_2$  ( $10 \sim 20 \mu\text{H}$ ) 可以减小  $M_{src}$ 的低频噪声,如图 3 所示. 电流源漏端的跨导从原来的  $g_{m,bias}$ 减小到  $\frac{g_{m,bias}}{1 + j g_{m,bias} L_2}$ ,所以  $M_{src}$ 的噪声电流减小了  $|1 + j g_{m,bias} L_2|^2$  倍<sup>[5]</sup>,  $g_{m,bias}$ 减小,尾电流源引起的噪声减小,这由(2)式可以看出. 采用此技术与未采用此技术的相位噪声特性的比较如图 4 所示. 但此技术的缺点是要要求一个大的片外电感,不利于片上集成.

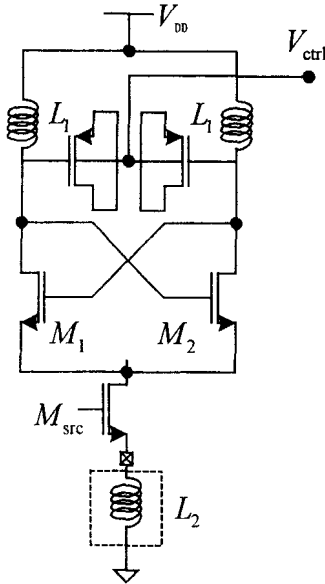


图 3 电感源极负反馈的 LC 振荡器  
Fig. 3 LC VCO with L-degenerate technique

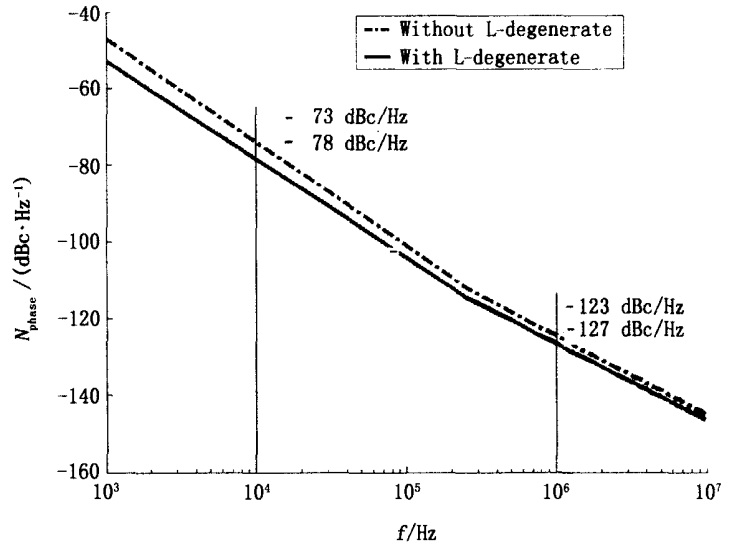


图 4 采用电感源极负反馈技术前后的相位噪声比较  
Fig. 4 Comparison of phase noise using L-degenerate and without using L-degenerate technique

### 1. 2. 3 电感电容滤波

如果只加电流源并联电容  $C_1$ ,共模点在高频相当于低阻抗,电流的二次谐波分量会沿着差分 MOS 管到地,造成谐振回路能量的损失,因此在共模点与尾电流源管之间再接电感  $L_2$ ,如图 5 所示,  $C_0$  是差分对管源极上的寄生电容. 电感  $L_2$  与差分对管源极的寄生电容  $C_0$  并联谐振在  $2 f_0$ <sup>[5]</sup>,等效阻抗为  $\frac{1}{j C_0} - j L_2 = \frac{j L_2}{1 - L_2 C_0}$ . 设计时,使  $2 f_0 = \frac{1}{\sqrt{L_2 C_0}}$ ,则谐振时理想的等效阻抗接近无穷大,因此提高了共模点上的阻抗,抑制  $M_1$  与  $M_2$  由于进入线性区,导致负阻减小,谐振回路的品质因数降低的效应. 同时,  $L_2$ 、 $C_0$  组成的谐振回路相当于一个带通滤波器,不仅阻止尾电流的噪声通过与共源点的  $2 f_0$  信号混频到  $f_0$  附近而影响相位噪声,而且共源端的高阻抗也防止谐振回路中电流的二次谐波分量进入地. 尾电流的滤波电容  $C_1$  滤除  $M_{src}$ 的高频噪声. 即使当尾电流源管进入线性区时,电流源阻抗从  $r_{ds}$ 减到了  $1/g_m$ ,电感电容滤波提供的高阻抗,可以减小差分对管进入线性区时谐振回路品质因数的降低. 采用电感电容滤波技术与未采用滤波技术的相位噪声特性的比较如图 6 所示. 在  $1/f^3$  区域,相位噪声改善了  $9 \text{ dBc/Hz}$ ;在  $1/f^2$  区域,改善了  $4 \text{ dBc/Hz}$ .

### 1. 3 小 结

在比较了以上三种降低相位噪声的技术之后,可以得出,第一种方法电流源并联电容虽然可以滤除  $2 f_0$  处的噪声,但当输出幅度较大时,负阻管进入线性区而使阻抗降低,谐振回路  $Q$  值下降. 电感电容滤波技术正是为了弥补这一缺陷,它的相位噪声改善还是比较满意的. 第二种方法尾电流源源级负反馈的方法需要一个大的片外电感,不利于实现片上集成,因此没有采用.

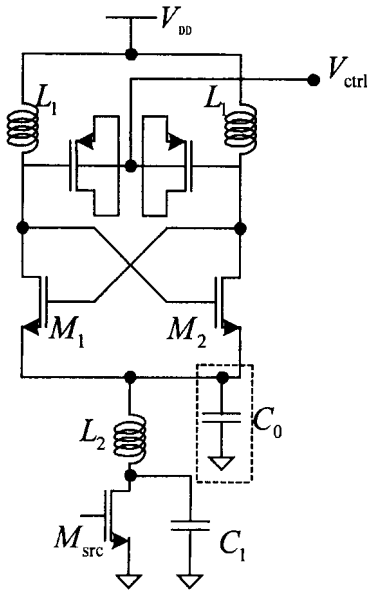


图 5 LC 滤波技术的振荡器

Fig. 5 LC VCO with LC filtering technique

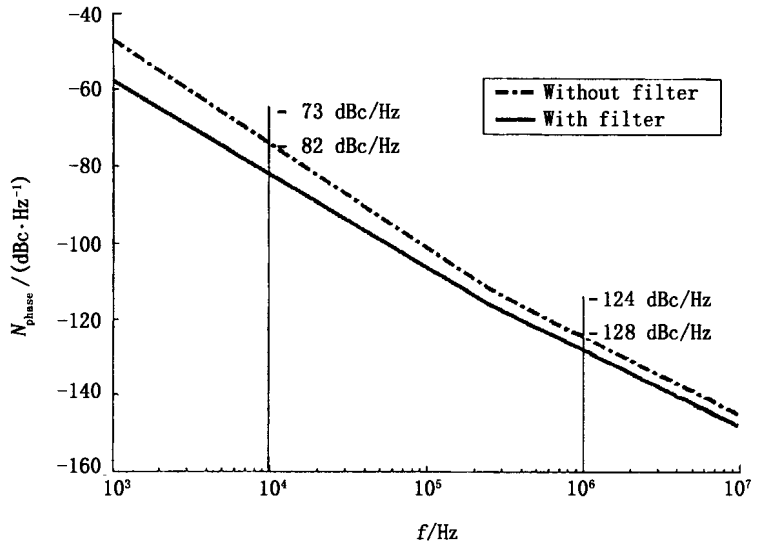


图 6 采用 LC 滤波技术前后的相位噪声比较

Fig. 6 Comparison of phase noise using LC filtering and without using LC filtering technique

## 2 电路设计

### 2.1 电感电容滤波谐振回路的设计

根据 1.2, 1.3 节的分析, 本文设计的电路采用电感电容滤波技术来降低相位噪声, 增加了  $L_2, C_1; C_0$  是差分对管源极的寄生电容 (在虚线框内), 如图 7 所示. 寄生电容  $C_0$  约 204 fF,  $L_2$  取 2.236 nH, 使  $L_2$  与  $C_0$  谐振在 2.0, 即 7.2 GHz. 这样共模点的阻抗为无穷大, 当输出幅度过大, 迫使负阻管进入线性区, 导致阻抗降低时, 共模点的高阻抗抑制了负阻阻抗降低引起的谐振回路  $Q$  值减小的效应.

### 2.2 负阻管的选择

由于本设计的电源电压只有 1.5 V, 只能采用一种类型的管子以使振荡器处于电流限制区. 选择 NMOS 管是因为 NMOS 迁移率比 PMOS 大, 产生相同的  $G_m$ , NMOS 管的尺寸比 PMOS 管小, 寄生电容就小, 这样对压控振荡器调节范围的影响也越小. 负阻管的寄生电容对调节范围的影响见 (5) 式. 当总寄生电容  $C_{\text{parasitic}}$  逐渐增大时, 振荡器的频率调节范围会变小.

$$f = f_{\text{max}} - f_{\text{min}} = \frac{\sqrt{C_{\text{parasitic}} + C_{\text{max}}} - \sqrt{C_{\text{parasitic}} + C_{\text{min}}}}{2 \sqrt{L(C_{\text{parasitic}} + C_{\text{min}})(C_{\text{parasitic}} + C_{\text{max}})}} \quad (5)$$

谐振回路的电感采用工艺库提供的电感模型, 谐振回路的电感直接接在电源电压上, 这样输出幅度不会受到电源电压的限制, 可以满足后级电路的输入幅度要求. 负阻管采用工艺库中的 RF MOS 管, 选择的是最小的 RF NMOS 管, 它足以保证起振, 而且寄生电容比较小, 其他的 MOS 模型是 Bsim3. 由于沟道调制效应与沟道长度  $L$  成反比, 尾电流源管的  $L$  取得大一些, 同时  $w$  也取得较大, 可以减小沟道调制效应和 flicker 噪声, 这样 flicker 噪声上混频效应小了, 相位噪声也得到改善.

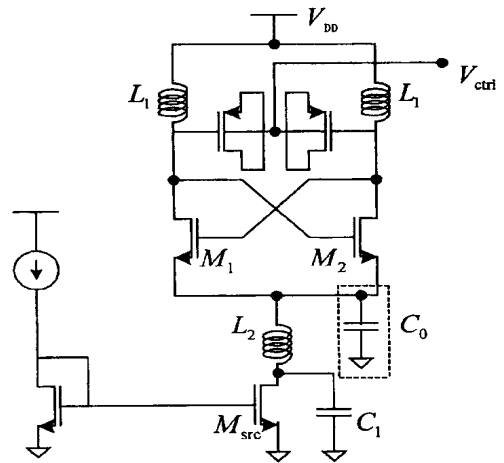


图 7 压控振荡器电路图

Fig. 7 Schematic of LC voltage-controlled oscillator

### 2.3 变容管的选择

变容管的设计是实现大调谐范围的关键. 本文采用积累型 PMOS 管, 它的调谐范围比反型变容管大. 由(1)式中,  $Q$  值提高, 有助于减小相位噪声. 变容管可以等效为沟道电容  $C_{ch}$  与  $R_{ch}/12$  串联.  $Q$  值的表达式如(6)式所示<sup>[3]</sup>.

$$Q = \frac{12}{C_{ch} R_{ch}} = \frac{12}{C_{ox} W L} \cdot k_p \frac{W}{L} (V_{GS} - V_{Tp}) \frac{12 k_p (V_{GS} - V_{Tp})}{C_{ox} L^2}; \quad (6)$$

其中  $L, W$  分别为栅长和宽,  $k_p$  为 PMOS 管的增益因子. 由(6)式得  $Q \propto L^{-2}$ , 所以为了提高  $Q$  值, 变容管取最小沟道长度  $0.35 \mu\text{m}$ .

### 2.4 电容阵列的 MOS 开关管的选择

为了获得更大的调谐范围, 采用 5 位开关电容阵列数字调节和变容管微调的方法. 为了不降低开关电容阵列的  $Q$  值, 应尽量减小开关管的导通电阻.

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})}, \quad (7)$$

由(7)式可知, 采用最小沟道长度和尽可能大的宽长比, 可以提高开关电容阵列的  $Q$  值, 设计中取  $W = 260 \mu\text{m}, L = 0.35 \mu\text{m}$ .

### 2.5 偏置电流的选择

输出幅度与偏置电流的关系如(8)式所示. 在电流限制区, 振荡器的输出摆幅与偏置电流成正比, 与谐振回路的跨导  $g_{tank}$  成反比; 而在电压限制区, NMOS 差分对管大部分时间处于线性区, 并受到 VCO 的电源电压限制. 如图(8)所示, 其中的相位噪声测量点为  $600 \text{ kHz}$ . 由于相位噪声是与电压幅度的平方成反比的, 所以应使振荡器处于电流限制区与电压限制区的交界处, 这时输出幅度最大, 相位噪声相对最小. 本设计偏置电流取  $6 \text{ mA}$ , 即用相对较小的偏置电流获得了最好的相位噪声性能.

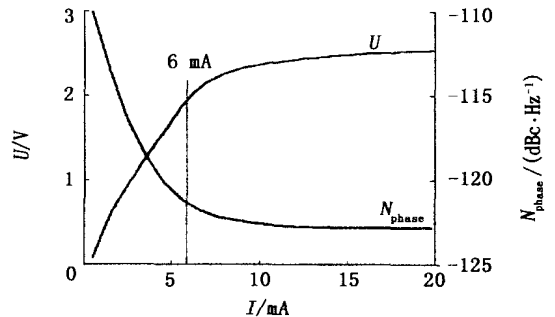


图 8 偏置电流与输出幅度、相位噪声的关系

Fig. 8 Relationship between  $I_{bias}$  current and amplitude

$$V_{tan k} = \begin{cases} (4/ ) I_{bias} / g_{tan k} & \text{电流限制区,} \\ V_{limit} & \text{电压限制区.} \end{cases} \quad (8)$$

## 3 仿真结果

LC 振荡器的仿真采用 Cadence Spectre RF, 用 Chartered  $0.35 \mu\text{m}$  工艺实现. 电路仿真结果如图 9 所示. 图 9(a) 是振荡器的相位噪声特性. 图 9(b) 是 VCO 的调谐特性曲线, 调谐范围可达到  $26.7 \%$ .

压控振荡器的主要性能指标是: 输出幅度  $0.4 \sim 2.4 \text{ V}$ , 调谐范围  $3.25 \sim 4.22 \text{ GHz}$ , 相位噪声  $-117 \text{ dBc/Hz @ } 0.6 \text{ MHz}$ ,  $-122 \text{ dBc/Hz @ } 1 \text{ MHz}$ , 功耗  $9 \text{ mW}$ .

表 1 给出了几个参考文献上的 VCO 的噪声性能比较, 噪声性能用  $FOM$  性能指标<sup>[4]</sup>计算, 它同时衡量了功耗和相位噪声指标.

$$FOM = L\{ f \} - 20 \log\left(\frac{f_0}{f}\right) + 10 \log\left(\frac{P}{1 \text{ mW}}\right). \quad (9)$$

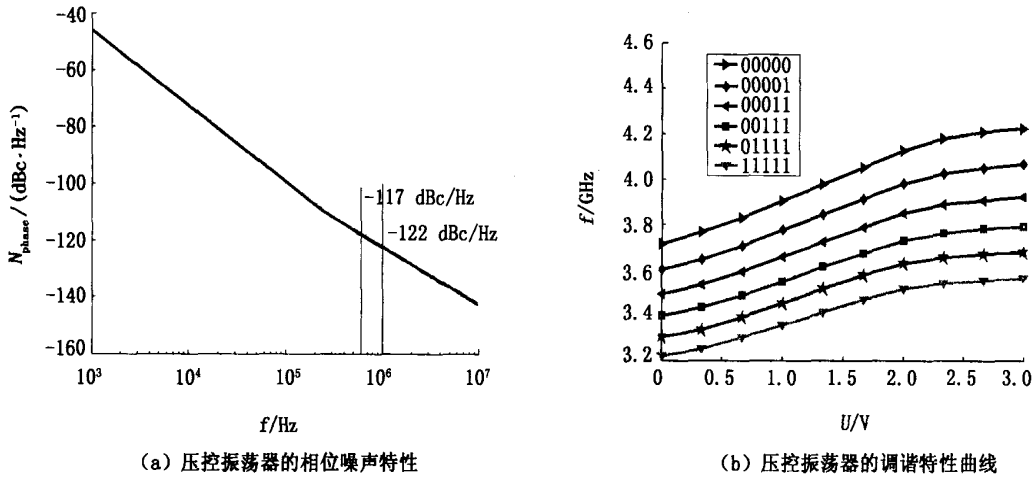


图 9 LC 压控振荡器仿真结果

Fig.9 Simulation results of LC VCO

表 1 与国外文献的 VCO 噪声性能比较

Tab.1 Comparison of noise performance with foreign counterparts

来源	Tech.	$f_0$ /GHz	$N_{\text{phase}} / (\text{dBc} \cdot \text{Hz}^{-1})$	$V_{\text{DD}} / \text{V}$	$I / \text{mA}$	FOM
Hegazi [4]	BiCMOS	1	- 152 @ 3 MHz	2.5	3.65	- 194.86
本文	0.35 $\mu\text{m}$ CMOS	3.6	- 117 @ 600 KHz	1.5	6	- 183.02
Hajimiri [8]	0.25 $\mu\text{m}$ CMOS	1.8	- 121 @ 600 KHz	1.5	4	- 182.76
Bunch [9]	0.35 $\mu\text{m}$ CMOS	2.5	- 117 @ 600 KHz	3	12	- 173.85
Liu [10]	0.35 $\mu\text{m}$ CMOS	6.0	- 98.4 @ 1 MHz	1.5	12	- 161.41

本文重点分析和比较了三种降低相位噪声方法的原理,并进行了仿真验证,在实际的电路设计中,采用电感电容滤波技术降低相位噪声,并对器件尺寸参数的选择进行了优化.这对于 LC 压控振荡器的设计是具有一定参考价值的.

参考文献:

- [1] 李天望,曾晓军,洪志良. 1 V 2.5 GHz 压控振荡器的设计 [J]. 半导体学报,2003,24(1):80-83.
- [2] 陈 钰,洪志良,朱 江. 采用 0.25  $\mu\text{m}$  CMOS 工艺、适用于 LDVS 驱动器的高性能多项时钟生成器的设计 [J]. 半导体学报,2001,22(8):1069-1074.
- [3] Fong N, Plouchart J. Design of wide-band CMOS VCO for multiband wireless LAN applications [J]. *IEEE Journal of Solid-State Circuit*, 2003, 38(8):1333-1342.
- [4] Hegazi E, Sjolund H, Abidi A. A filtering technique to lower oscillator phase noise [J]. *IEEE Journal of Solid-State Circuit*, 2001, 36(12):1921-1929.
- [5] Andreani P. Tail current noise suppression in RF CMOS VCO [J]. *IEEE Journal of Solid-State Circuit*, 2002, 37(3):342-348.
- [6] Bram D M. CMOS fractional-N synthesizers design for high spectral purity and monolithic integration [M]. The Netherlands: Kluwer Academic Publishers, 2003.
- [7] Pietro Andreani. A 1.8 GHz CMOS VCO with reduced phase noise [EB/OL]. [http: www.oersted. dtu. dk/ personal/ pa/ pdfArt/ vcoL2. pdf](http://www.oersted.dtu.dk/personal/pa/pdfArt/vcoL2.pdf), 2001-07-01/2004-04-20.
- [8] Hajimiri A, Lee T H. Design issues in CMOS differential LC oscillators [J]. *IEEE Journal of Solid-State Circuits*,

1999, **34**(5) : 717-724.

- [9] Bunch R, Raman S. A 0.35  $\mu\text{m}$  CMOS 2.5 GHz complementary Gm VCO using PMOS inversion mode varactors [J]. 2001 *IEEE Radio Frequency Integrated Circuits Symposium*, 2001, **5**: 49-52.
- [10] Liu T P. A 6.5 GHz monolithic CMOS voltage-controlled oscillators [J]. *ISSCC Tech Dig*, 1999, **2**: 404-405.

## Design of 1.5 V LC Voltage-Controlled High Frequency Oscillator of Low Phase Noise

WU Rong, YI Xiao-feng, TANG Zhang-wen, SU Yan-feng, HONG Zhi-liang  
(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

**Abstract :** It is described the design of a voltage-controlled oscillator for the DCS-1800 system. The center frequency of the oscillator is 3.6 GHz. The analysis and comparison of three methods to reduce phase noise are presented theoretically, and the simulation results are shown. Then the optimization analysis of the parameters of the device is presented. LC filtering technology is used to reduce the phase noise. The phase noise at 600 kHz away from the center frequency is -117 dBc/Hz, the tuning range is up to 26.7%. The static current is 6 mA at 1.5 V.

**Key words :** semiconductor technology; voltage controlled oscillator (VCO); phase noise; LC noise filtering technology

~~~~~  
(上接第 138 页)

- [5] Prodić A, Dragan M. Mixed-signal simulation of digitally controlled switching converters [J]. *IEEE COMPEL*, 2002, **6**(1) : 34-36.
- [6] Allen P E, Holberg D R. CMOS Analog Circuit Design, 2<sup>nd</sup> Ed [M]. 北京:电子工业出版社, 2002.

## Delay-ring A/D and Its Application in DC/DC Control Chip

HU Jun, LI Wen-hong  
(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

**Abstract :** A non-clock delay-ring A/D converter is presented, which is based on standard cell library and not sensitive to process variation. The architecture of this A/D converter is simple, and its speed is high. Meanwhile there is no need of any control signal. This A/D converter can be used in high-frequency digital control chip of DC/DC converter.

**Key words :** semiconductor technology; DC/DC; PWM; PID control; delay-ring A/D