课程项目
1. 流水线型模数转换器中的采样/保持电路设计
2. 低压降线性稳压电路

上述 2 个设计项目任选一个，独立完成电路设计、版图设计和仿真验证工作，撰写完整设计报告。设计报告包括：电路图、Testbench 电路图、元器件参数、理论和原理分析、手工计算、性能仿真结果等。文档的整洁、排版格式、图中线条和文字的清晰度等占总分的 20%。

工艺为 GSMC 0.13 μm SOI。工艺 PDK 文件将拷贝到重点实验室内网服务器中。
1. 流水线型模数转换器中的采样/保持电路设计

性能指标

<table>
<thead>
<tr>
<th>参数</th>
<th>值</th>
</tr>
</thead>
<tbody>
<tr>
<td>Clock frequency</td>
<td>125 MHz</td>
</tr>
<tr>
<td>Resolution</td>
<td>14-bits</td>
</tr>
<tr>
<td>Input voltage range</td>
<td>$V_{pp} = 1.5,\text{V}$</td>
</tr>
<tr>
<td>Fully differential</td>
<td>Yes</td>
</tr>
<tr>
<td>Switched capacitor CMFB</td>
<td>Yes</td>
</tr>
<tr>
<td>Power Consumption</td>
<td>$&lt; 20,\text{mA} \times 1.2,\text{V}$</td>
</tr>
</tbody>
</table>

参考文献:


[7] 朱臻，王涛，易婷，何捷，洪志良，“30 兆赫采样频率的采样-保持电路和减法-增益电路的误差分析及设计”，固体电子学研究与进展，第 22 卷，第 1 期，第 57-63 页，2002 年 2 月。

[8] 谭君，唐长文，闵昊，“一种 100MHz 采样频率 CMOS 采样/保持电路”，微电子学，第 36 卷，第 1 期，第 90-93 页，2006 年 2 月。

[9] 黄飞鹏，黄煜梅，方杰，洪志良，“一种适合于高速、高精度 ADC 的采样/保持电路”，复旦学报，第 45 卷，第 1 期，第 58-62 页，2006 年 2 月。
2. 低压降线性稳压电路

性能指标

<table>
<thead>
<tr>
<th>性能指标</th>
<th>值</th>
</tr>
</thead>
<tbody>
<tr>
<td>Input voltage range</td>
<td>1.4 ~ 3.3 V</td>
</tr>
<tr>
<td>Reference voltage</td>
<td>1.15 V</td>
</tr>
<tr>
<td>Output voltage</td>
<td>1.2 V</td>
</tr>
<tr>
<td>Current Capability</td>
<td>0 ~ 50 mA</td>
</tr>
<tr>
<td>Integrated noise</td>
<td>&lt; 20 μVRMS</td>
</tr>
<tr>
<td>PSRR@dc, @1MHz</td>
<td>−60 dB, −20 dB</td>
</tr>
<tr>
<td>Loading Capacitor</td>
<td>0 ~ 100 pF</td>
</tr>
<tr>
<td>Power Consumption</td>
<td>&lt; 1 mA</td>
</tr>
</tbody>
</table>

参考文献:


说明:
1) 文字: 中文采用“楷体_GB2312”字体，“小四”；英文采用“Arial”，“12pt”。文中的所有字母和数字采用“Arial”字体，标点符号采用中文“楷体_GB2312”字体
2) 页面设置: “A4”，上下页边距 2cm，左右页边距 2.5cm，行间距：1.25 倍
3) 电路图: 采用 Visio 软件画电路图，使用提供的 Visio 电路图库，在 400%比例尺下画图；采用英文标注，英文字为 8pt 的 Arial 字体；电路图插入到文中时，请使用 150%比例尺
4) 波型图: 确保线条和文字清晰可辨，尽量采用 Matlab 作图，线条粗细合理
5) 方程式使用 MathType 软件编辑，使用“Arial”字体，大小“12pt”。